

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

H01L 21/336 (2006.01)

H01L 21/265 (2006.01)

H01L 29/78 (2006.01)

专利号 ZL 200310109227.1

[45] 授权公告日 2009 年 5 月 20 日

[11] 授权公告号 CN 100490094C

[22] 申请日 2003.12.10

[21] 申请号 200310109227.1

[73] 专利权人 上海华虹 NEC 电子有限公司

地址 201206 上海市浦东川桥路 1188 号

[72] 发明人 钱文生 那 炜 郭永芳 肖胜安
姚泽强

[56] 参考文献

US 5484743 A 1996.1.16

JP 9-321285 A 1997.12.12

JP 4-105328 A 1992.4.7

US 6403486 B1 2002.6.11

审查员 夏瑞临

[74] 专利代理机构 上海浦一知识产权代理有限公司

代理人 丁纪铁

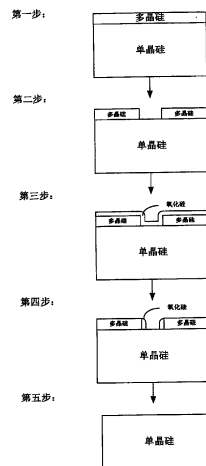
权利要求书 1 页 说明书 4 页 附图 2 页

[54] 发明名称

用于减小 I/O NMOS 反短沟道效应的离子注入

[57] 摘要

本发明公开了一种用于减少 I/O NMOS 反短沟道效应的选择性沟道离子注入，其工艺步骤为：首先，在 P 沟道和 APT 离子注入后，淀积 2000 Å 多晶硅；第二步，采用 I/O NMOS LDD 光刻版刻去该管栅区的多晶硅，形成沟槽；第三步，淀积氧化硅 700 Å；第四步，湿法腐蚀氧化硅，其中去除多晶硅表面上和沟槽底部的氧化硅，而保留位于沟槽侧壁的氧化硅，形成宽度为 700 Å 的两个内侧墙，随后进行调整阈值电压的离子注入；最后，除去多晶硅和氧化硅，继续正常的工艺流程，进行栅氧化层淀积。通过选择性硼注入，硼的分布比常规的沟道全注入要均匀，消除了沟道两端的峰状分布。



1、一种用于减少I/O NMOS反短沟道效应的选择性离子局部沟道离子注入的方法，其操作步骤为：

第一步，在P沟道和APT反穿通离子注入后，淀积多晶硅；

第二步，采用I/O NMOS LDD光刻版刻去NMOS晶体管栅区的多晶硅，形成沟槽；

第三步，淀积氧化硅；

第四步，采用湿法腐蚀氧化硅，形成一定宽度的两个内侧墙，随后进行调整阈值电压的离子注入，其中湿法腐蚀中去除位于多晶硅表面上和沟槽底部的氧化硅，而保留位于沟槽侧壁的氧化硅；

第五步，除去多晶硅和氧化硅，继续正常的工艺流程，进行栅氧化层淀积。

2、如权利要求1所述的方法，其特征在于：第一步中淀积多晶硅为2000Å。

3、如权利要求2所述的方法，其特征在于：第三步中淀积氧化硅700Å。

4、如权利要求1所述的方法，其特征是：所述第四步中形成的内侧墙宽度为700Å。

用于减小 I/O NMOS 反短沟道效应的离子注入

技术领域

本实用新型涉及一种用于减小 I/O NMOS 反短沟道效应的离子注入，特别是指一种用于减小 I/O NMOS 反短沟道效应的选择性沟道离子注入。

背景技术

反短沟道效应(RSCE)在亚微米 NMOS 器件中日益重要。由于低掺杂源/漏(LDD)和源/漏(SD)离子注入所形成的损伤,在热处理过程中形成硼的瞬态增强扩散(TED),造成沟道两边硼的峰形分布,从而使得器件的阈值电压随栅长的减小而增加。RSCE 引起的阈值电压随栅长分布的不均匀性很容易由于工艺起伏而形成器件特性的漂移,比如栅刻蚀的误差会引起短沟道器件阈值电压的剧烈变化。为了提高工艺的容错性,需要在 I/O NMOS 中减小 RSCE,使得阈值电压分布更加平坦。

发明内容

本发明的目的在于提供一种对 I/O NMOS 的选择性局部沟道离子注入,其能减少反短沟道效应,形成较均匀的硼分布。

本发明的目的还在于提供一种可以采用选择性沟道离子注入的晶体管组件。

对 NMOS 器件沟道采用选择性离子注入,形成更加均匀的沟道硼分布,从而有效地减小阈值电压的分布起伏。

本发明的对 I/O NMOS 选择性离子局部沟道离子注入的步骤如下:

第一步,在 P 沟道和 APT 离子注入后,淀积多晶硅;

第二步，采用 I/O NMOS LDD 光刻版刻去 NMOS 晶体管栅区的多晶硅，形成沟槽；

第三步，淀积氧化硅；

第四步，采用湿法腐蚀氧化硅，形成一定宽度的两个内侧墙，随后进行调整阈值电压的离子注入，其中湿法腐蚀中去除位于多晶硅表面上和沟槽底部的氧化硅，而保留位于沟槽侧壁的氧化硅；

第五步，除去多晶硅和氧化硅，继续正常的工艺流程，进行栅氧化层淀积。

对应本发明目的之二的晶体管器件，其包括 P 型衬底，其上覆盖的多晶硅层及其沟道窗口，多晶硅的内侧具有由氧化硅淀积并刻蚀而成的内侧墙。

通过上述设置，与现有技术相比，本发明的有益效果是：通过选择性离子注入，降低 NMOS 制作过程中的 RSCE，使得阈值电压分布更均匀，采用本发明不需要增加新的光刻版，且热载流子效应得到改善，源漏结电容几乎维持不变。提高了 NMOS 管的工艺特性。

附图说明

图 1 是本发明选择性沟道离子注入的工艺步骤。

图 2 是用 TCAD 模拟的 I/O NMOS 选择性沟道离子注入后沟道内硼的横向分布。

图 3 是用 TCAD 模拟的 I/O NMOS 选择性沟道离子注入后，新工艺与常规工艺中阈值电压随栅长的变化对比。

图 4 是本发明的选择性沟道离子注入 I/O NMOS 的器件。

具体实施方式

下面结合附图和实施例对本实用新型作进一步描述。

本发明的技术实现步骤如下：

请参阅图 1 所示，选择性沟道离子注入工艺首先在 P 沟道和 APT 离子注入后，淀积 2000Å 多晶硅，在单晶硅衬底的上方形成一个多晶硅层；

第二步，采用 I/O NMOS LDD 光刻版刻去 NMOS 晶体管栅区的多晶硅，形成沟槽；

第三步，淀积氧化硅 700 Å，在多晶硅层区域及光刻版刻去的区域的表面形成一个氧化硅层；

第四步，采用湿法腐蚀氧化硅，去除位于多晶硅表面上和沟槽底部的氧化硅，而保留位于沟槽侧壁的氧化硅，从而在光刻版刻去的区域形成宽度为 700 Å 的两个内侧墙，随后根据需要进行调整阈值电压的离子注入；

最后，除去多晶硅和氧化硅，继续正常的工艺流程，进行栅氧化层淀积。

采用以上步骤后的 I/O NMOS 晶体管中的沟道中硼离子的横向分布比常规的沟道全注入要均匀，更重要的是消除了沟道两端的峰状分布。参阅图 2 所示的新工艺与常规工艺的沟道内硼分布曲线的对比可以看出，原本在距离沟道中心线 0.125 至 0.175 单位距离处两个峰状分布被有效消除。这样，阈值电压分布更均匀，提高了 NMOS 管的电学性能。请参阅图 3 所示新工艺与常规工艺 I/O NMOS 阈值电压随栅长的变化曲线对比图可以看出，在采用新工艺后，能够减小阈值电压随沟道长度的起伏。且由于反穿通离子注入没有改变，短沟道效应在新工艺中没有变坏。

本发明的采用减小 I/O NMOS 反短沟道效应的选择性沟道离子注入晶体管器件，其包括 P 型衬底，其上覆盖的多晶硅层及其沟道窗口：多晶硅的内侧具有由氧化硅淀积并刻蚀而成的内侧墙。

综上所述，本发明能够完成发明目的，使得采用本发明的选择性局部沟道离子注入方法制成的 I/O NMOS 晶体管能够形成较均匀为硼分布，从而阈值电压分布更均匀。本发明中不需要增加新的光刻版，热载流子效应得到改善，而且源/漏结电容几乎不变。

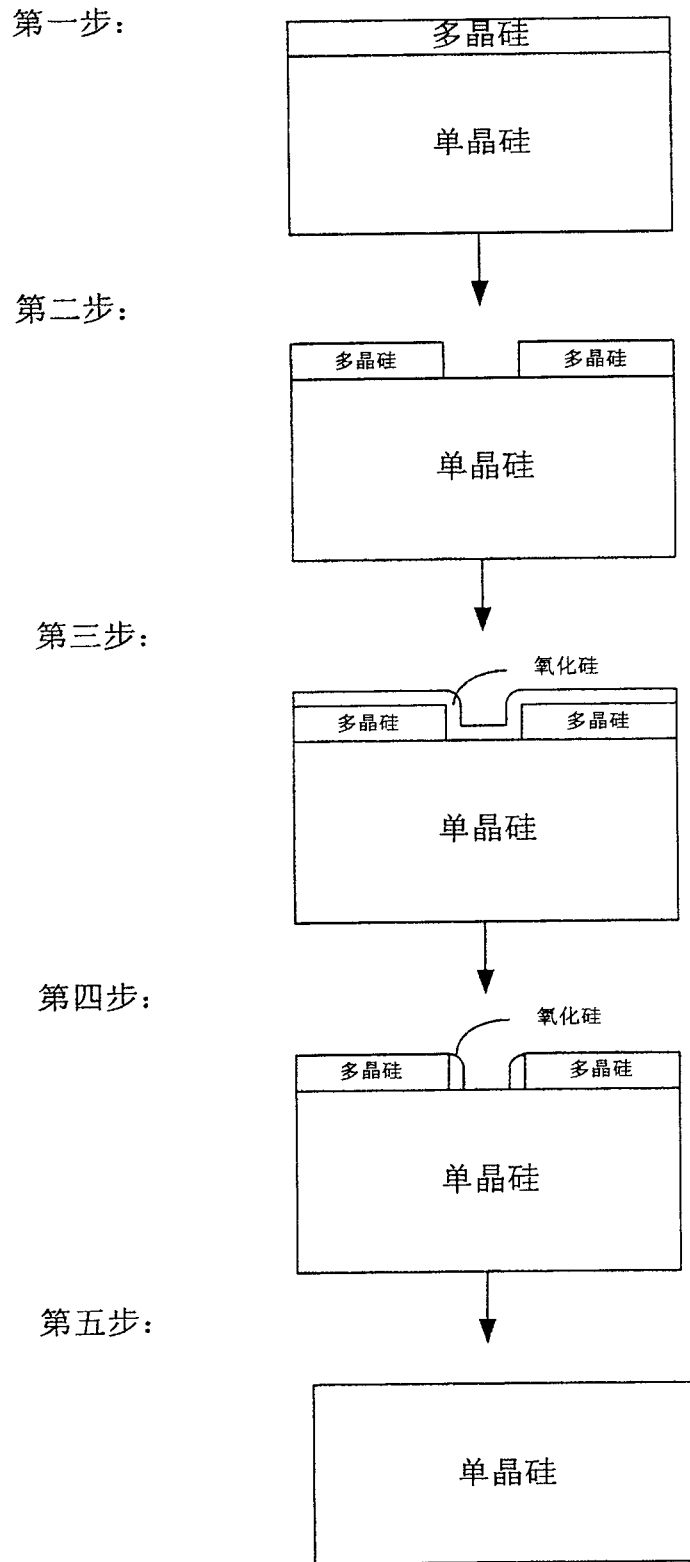


图1

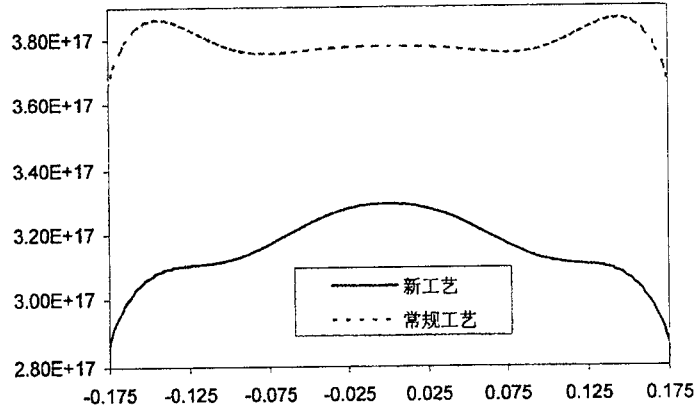


图2

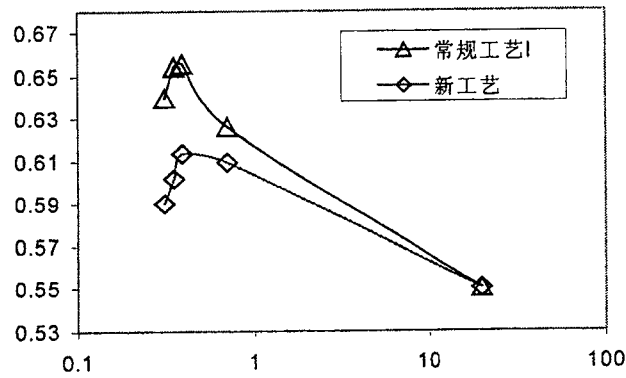


图3

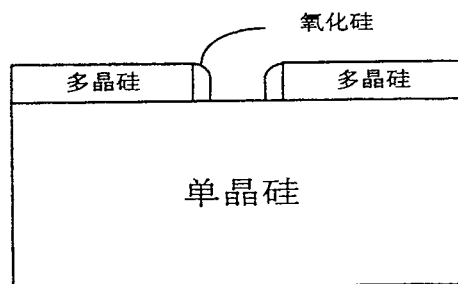


图4