



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2018 122 491.5**

(22) Anmeldetag: **14.09.2018**

(43) Offenlegungstag: **29.05.2019**

(51) Int Cl.: **G11C 29/24 (2006.01)**

(30) Unionspriorität:
10-2017-0158829 24.11.2017 KR

(71) Anmelder:
**Samsung Electronics Co., Ltd., Suwon-si,
Gyeonggi-do, KR**

(74) Vertreter:
**KUHLEN & WACKER Patent- und
Rechtsanwaltsbüro PartG mbB, 85354 Freising,
DE**

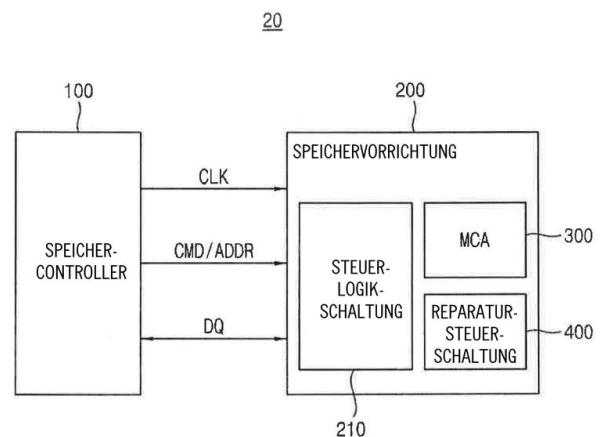
(72) Erfinder:
Kim, Kyung-Ryun, Hwasung, Gyeonggi-do, KR

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **HALBLEITERSPEICHERVORRICHTUNG UND VERFAHREN ZUM BETREIBEN DERSELBEN**

(57) Zusammenfassung: Eine Halbleiterspeichervorrichtung umfasst eine Speicherzellenanordnung und eine Reparatursteuerschaltung. Die Speicherzellenanordnung umfasst einen Normalzellenbereich und einen Redundanzzellenbereich, wobei der Normalzellenbereich eine Mehrzahl von Normalbereichsgruppen aufweist und der Redundanzzellenbereich dazu ausgelegt ist, ausgefallene Speicherzellen des Normalzellenbereichs zu ersetzen. Die Reparatursteuerschaltung ist ausgelegt zum Bestimmen einer Ziel-Normalbereichsgruppe aus der Mehrzahl von Normalbereichsgruppen basierend auf einer Eingangsadresse, zum Extrahieren von Ziel-Ausfalladressen aus einer Mehrzahl von Ausfalladressen basierend auf der Ziel-Normalbereichsgruppe und zum Steuern eines Reparaturvorgangs basierend auf den Ziel-Ausfalladressen und der Eingangsadresse.



Beschreibung

QUERVERWEIS AUF VERWANDTE ANMELDUNG

[0001] Die Anmeldung beansprucht die Priorität der am 24. November 2017 beim koreanischen Patentamt (KIPO) eingereichten koreanischen Patentanmeldung Nr. 10-2017-0158829, deren Offenbarung durch Inbezugnahme hier vollumfänglich mit aufgenommen wird.

HINTERGRUND

Technisches Gebiet

[0002] Beispielhafte Ausführungsformen beziehen sich allgemein auf integrierte Halbleiterschaltkreise. Mindestens einige beispielhafte Ausführungsformen beziehen sich zum Beispiel auf eine Halbleiterspeichervorrichtung und/oder ein Verfahren zum Betreiben einer Halbleiterspeichervorrichtung für einen effizienten Reparaturvorgang.

Erörterung der verwandten Technik

[0003] Halbleiterspeichervorrichtungen lassen sich in nichtflüchtige Speicherelemente wie einen Flash-Speicher und flüchtige Speicherelemente wie einen dynamischen Direktzugriffsspeicher (DRAM) unterteilen. Der Flash-Speicher kann als Speicher für die Ablage von Massendaten und der DRAM als Hauptspeicher für die Ablage von Systemdaten verwendet werden. In jüngster Zeit wird die Fertigungsgröße der Halbleiterspeichervorrichtung fortschreitend verringert, um den Integrationsgrad zu erhöhen, und dementsprechend kann sich die Bitfehlerrate erhöhen und die Ausbeute reduzieren. Zur Sicherstellung eines bestimmten Grads der Ausbeute kann ein Reparaturschema eingesetzt werden, das Redundanzressourcen verwendet. Für eine Implementierung des Reparaturschemas kann sich jedoch die Größe der Halbleiterspeichervorrichtung erhöhen.

KURZFASSUNG

[0004] Einige beispielhafte Ausführungsformen können eine Halbleiterspeichervorrichtung und/oder ein Verfahren zum Betreiben einer Halbleiterspeichervorrichtung mit Fähigkeit zur effizienten Durchführung eines Reparaturvorgangs bereitstellen.

[0005] Einige beispielhafte Ausführungsformen betreffen eine Halbleiterspeichervorrichtung, die Folgendes umfasst: eine Speicherzellenanordnung, die einen Normalzellenbereich und einen Redundanzzellenbereich umfasst, wobei der Normalzellenbereich eine Mehrzahl von Normalbereichsgruppen aufweist und der Redundanzzellenbereich dazu ausgelegt ist, ausgefallene Speicherzellen des Normalzellenbereichs zu ersetzen; und eine Reparatursteuerschal-

tung, die ausgelegt ist zum Bestimmen einer Ziel-Normalbereichsgruppe aus der Mehrzahl von Normalbereichsgruppen basierend auf einer Eingangsadresse, Extrahieren von Ziel-Ausfalladressen aus einer Mehrzahl von Ausfalladressen basierend auf der Ziel-Normalbereichsgruppe und Steuern eines Reparaturvorgangs basierend auf den Ziel-Ausfalladressen und der Eingangsadresse.

[0006] Einige beispielhafte Ausführungsformen betreffen eine Halbleiterspeichervorrichtung, die Folgendes umfasst: einen Normalzellenbereich, der eine Mehrzahl von Normalbereichsgruppen aufweist, wobei jede der Normalbereichsgruppen eine Mehrzahl von Teilbereichen umfasst, wobei die in jeweils entsprechenden Normalbereichsgruppen enthaltenen mehreren Teilbereiche einzeln aufeinanderfolgend in einer Spaltenrichtung entsprechend einem Round-Robin-Schema angeordnet sind; einen Redundanzzellenbereich, der dazu ausgelegt ist, ausgefallene Speicherzellen des Normalzellenbereichs zu ersetzen; und eine Reparatursteuerschaltung, die ausgelegt ist zum Bestimmen einer Ziel-Normalbereichsgruppe aus der Mehrzahl von Normalbereichsgruppen basierend auf einer Eingangsadresse, Extrahieren von Ziel-Ausfalladressen aus einer Mehrzahl von Ausfalladressen basierend auf der Ziel-Normalbereichsgruppe und Steuern eines Reparaturvorgangs basierend auf den Ziel-Ausfalladressen und der Eingangsadresse.

[0007] Einige beispielhafte Ausführungsformen betreffen ein Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, bei dem die Halbleiterspeichervorrichtung einen Normalzellenbereich und einen Redundanzzellenbereich umfasst, wobei der Normalzellenbereich in eine Mehrzahl von Normalbereichsgruppen unterteilt ist und der Redundanzzellenbereich dazu ausgelegt ist, ausgefallene Speicherzellen des Normalzellenbereichs zu ersetzen. In einigen beispielhaften Ausführungsformen umfasst das Verfahren: Bestimmen einer Ziel-Normalbereichsgruppe aus der Mehrzahl von Normalbereichsgruppen basierend auf einer Eingangsadresse, Extrahieren von Ziel-Ausfalladressen aus einer Mehrzahl von Ausfalladressen basierend auf der Ziel-Normalbereichsgruppe; und Steuern eines Reparaturvorgangs basierend auf den Ziel-Ausfalladressen und der Eingangsadresse.

[0008] Die Halbleiterspeichervorrichtung und das Verfahren zum Betreiben der Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen können die Größe der Halbleiterspeichervorrichtung reduzieren, indem der Normalzellenbereich in die mehreren Normalbereichsgruppen gruppiert wird, um die Anzahl der Vergleiche und die Bitzahl der Ausfalladressen, die gespeichert und verglichen werden, zu reduzieren.

[0009] Die Halbleiterspeichervorrichtung und das Verfahren zum Betreiben der Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen können außerdem die Ausbeute der Halbleiterspeichervorrichtung ohne eine Vergrößerung der Halbleiterspeichervorrichtung erhöhen, indem jede Normalbereichsgruppe in eine Mehrzahl von Teilblöcken unterteilt wird und die benachbarten Teilbereiche in den verschiedenen Normalbereichsgruppen angeordnet werden.

Figurenliste

[0010] Beispielhafte Ausführungsformen der vorliegenden Offenbarung lassen sich anhand der im Zusammenhang mit den Begleitzeichnungen zu lesenden folgenden Detailbeschreibung besser verstehen.

Fig. 1 ist ein Flussdiagramm zur Darstellung eines Verfahrens zum Betreiben einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen.

Fig. 2 ist eine Darstellung einer beispielhaften Ausführungsform einer Speicherzellenanordnung (Array), die in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

Fig. 3 ist ein Blockschaltbild zur Darstellung eines Speichersystems gemäß einer beispielhaften Ausführungsform.

Fig. 4 ist ein Blockschaltbild zur Darstellung einer Halbleiterspeichervorrichtung gemäß einer beispielhaften Ausführungsform.

Fig. 5 ist eine Darstellung eines Beispiels eines Bank-Arrays in der Halbleiterspeichervorrichtung von **Fig. 4**.

Fig. 6 ist ein Blockschaltbild einer beispielhaften Ausführungsform einer in der Halbleiterspeichervorrichtung enthaltenen Reparatursteuerschaltung gemäß beispielhaften Ausführungsformen.

Fig. 7 ist eine Darstellung einer beispielhaften Ausführungsform einer in der Reparatursteuerschaltung von **Fig. 6** enthaltenen Gruppenansteuerungsschaltung.

Fig. 8 ist eine Darstellung einer beispielhaften Ausführungsform einer in der Reparatursteuerschaltung von **Fig. 6** enthaltenen Adressspeicherschaltung.

Fig. 9 ist eine Darstellung einer beispielhaften Ausführungsform einer in der Reparatursteuerschaltung von **Fig. 6** enthaltenen Vergleicherschaltung.

Fig. 10 ist eine Darstellung einer beispielhaften Ausführungsform eines in der Reparatursteuerschaltung von **Fig. 9** enthaltenen Vergleichers.

Fig. 11 ist eine Darstellung einer beispielhaften Ausführungsform eines Normalzellenbereichs, der in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

Fig. 12 ist eine Darstellung einer beispielhaften Ausführungsform einer Speicherzellenanordnung, die in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

Fig. 13 ist eine Darstellung eines Beispiels einer Eingangsadresse entsprechend der Speicherzellenanordnung von **Fig. 12**.

Fig. 14 ist eine Darstellung einer beispielhaften Ausführungsform einer Speicherzellenanordnung, die in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

Fig. 15 ist eine Darstellung einer beispielhaften Ausführungsform eines Bank-Arrays, das in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

Fig. 16 ist eine Darstellung einer beispielhaften Ausführungsform einer Speicherzellenanordnung, die in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

Fig. 17 ist eine Darstellung eines Beispiels einer Eingangsadresse entsprechend der Speicherzellenanordnung von **Fig. 16**.

Fig. 18 ist eine Darstellung einer beispielhaften Ausführungsform einer Speicherzellenanordnung, die in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

Fig. 19 und **Fig. 20** sind Darstellungen einer gestapelten Speichervorrichtung gemäß beispielhaften Ausführungsformen.

Fig. 21 ist eine Darstellung einer beispielhaften Anordnung der Halbleiterspeichervorrichtungen der **Fig. 19** und **Fig. 20**.

Fig. 22 ist ein Blockschaltbild zur Darstellung eines mobilen Systems gemäß beispielhaften Ausführungsformen.

DETAILLIERTE BESCHREIBUNG

[0011] Es folgt eine Beschreibung verschiedener beispielhafter Ausführungsformen unter Verweis auf die Begleitzeichnungen, in denen einige beispielhafte Ausführungsformen dargestellt sind. In den Zeichnungen stehen gleiche Bezugszeichen durchweg für gleiche Elemente. Auf wiederholte Beschreibungen wird gegebenenfalls verzichtet.

[0012] Fig. 1 ist ein Flussdiagramm zur Darstellung eines Verfahrens zum Betreiben einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen, und Fig. 2 ist eine Darstellung einer beispielhaften Ausführungsform einer Speicherzellenanordnung, die in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

[0013] Wie in Fig. 1 und Fig. 2 dargestellt, wird in Vorgang S100 ein Normalzellenbereich NCREG in eine Mehrzahl von Normalbereichsgruppen NRGR1~NRGRQ unterteilt. In Vorgang S200 wird ein Redundanzzellenbereich RCREG bereitgestellt, um ausgefallene Speicherzellen des Normalzellenbereichs zu ersetzen.

[0014] In einigen beispielhaften Ausführungsformen kann ein Teilabschnitt einer über Halbleiterspeichervorgänge ausgebildeten Speicherzellenanordnung 300 dem Normalzellenbereich NCREG zugeordnet werden und ein anderer Teilabschnitt der Speicherzellenanordnung kann dem Redundanzzellenbereich RCREG zugeordnet werden. In Fig. 2 ist jede Normalbereichsgruppe zur Vereinfachung der Darstellung als ein getrennter Bereich abgebildet, aber jede der mehreren Normalbereichsgruppen NRGR1~NRGRQ kann in eine Mehrzahl von Teilbereichen unterteilt werden, und die Teilbereiche ein und derselben Normalbereichsgruppe können in der Speicherzellenanordnung 300 verteilt werden.

[0015] Wie weiter unten unter Verweis auf Fig. 3 und Fig. 4 erörtert, kann eine Reparatursteuerschaltung 400 mit Hilfe dieser Struktur der Speicherzellenanordnung 300 einen effizienten Reparaturvorgang ausführen.

[0016] In Vorgang S300 kann die Reparatursteuerschaltung 400 aus der Mehrzahl von Normalbereichsgruppen NRGR1~NRGRQ beispielsweise eine Ziel-Normalbereichsgruppe bestimmen, die einer Eingangsadresse entspricht.

[0017] In Vorgang S400 werden die der Ziel-Normalbereichsgruppe entsprechenden Ziel-Ausfalladressen der Reparatursteuerschaltung 400 aus einer Mehrzahl von Ausfalladressen extrahiert.

[0018] In Vorgang S500 kann die Reparatursteuerschaltung 400, basierend auf einem Ergebnis des Vergleichs der Ziel-Ausfalladressen mit der Eingangsadresse, einen Reparaturvorgang der Halbleiterspeichervorrichtung steuern.

[0019] Beispielhafte Ausführungsformen der Extraktion der Ziel-Ausfalladressen von Vorgang S400 und des Reparaturvorgangs von Vorgang S500 werden nachfolgend unter Verweis auf die Fig. 6 bis Fig. 10 beschrieben.

[0020] Die Halbleiterspeichervorrichtung und das Verfahren zum Betreiben der Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen können daher die Größe der Halbleiterspeichervorrichtung reduzieren, indem der Normalzellenbereich in die mehreren Normalbereichsgruppen gruppiert wird, um die Anzahl der Vergleiche und die Bitzahl der Ausfalladressen, die gespeichert und verglichen werden, zu reduzieren.

[0021] Gemäß beispielhaften Ausführungsformen, wie weiter unten unter Verweis auf die Fig. 11 bis Fig. 18 beschrieben wird, kann jede der mehreren Normalbereichsgruppen NRGR1~NRGRQ in eine Mehrzahl von Teilbereichen untergliedert werden, und die aneinander angrenzenden Teilbereiche können in den verschiedenen Normalbereichsgruppen enthalten sein. Die in den entsprechenden Normalbereichsgruppen enthaltenen Teilbereiche können zum Beispiel einzeln aufeinanderfolgend in einer Spaltenrichtung entsprechend einem Round-Robin-Schema angeordnet sein.

[0022] Die Halbleiterspeichervorrichtung und das Verfahren zum Betreiben der Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen können daher die Ausbeute der Halbleiterspeichervorrichtung ohne eine Vergrößerung der Halbleiterspeichervorrichtung erhöhen, indem jede Normalbereichsgruppe in eine Mehrzahl von Teilblöcken unterteilt wird und die benachbarten Teilbereiche in den verschiedenen Normalbereichsgruppen angeordnet werden.

[0023] Fig. 3 ist ein Blockschaltbild zur Darstellung eines Speichersystems gemäß einer beispielhaften Ausführungsform.

[0024] Wie in Fig. 3 zu sehen, kann ein Speichersystem 20 einen Speicher-Controller 100 und eine Halbleiterspeichervorrichtung 200 umfassen.

[0025] Der Speicher-Controller 100 kann den Gesamtbetrieb des Speichersystems 20 steuern. Der Speicher-Controller 100 kann den gesamten Datenaustausch zwischen einem externen Host und der Halbleiterspeichervorrichtung 200 steuern. Der Speicher-Controller 100 kann in Reaktion auf eine Anforderung des Hosts beispielsweise Daten in die Halbleiterspeichervorrichtung 200 einschreiben oder Daten aus der Halbleiterspeichervorrichtung 200 auslesen. Der Speicher-Controller 100 kann darüber hinaus an die Halbleiterspeichervorrichtung 200 Betriebsbefehle zum Steuern der Halbleiterspeichervorrichtung 200 ausgeben.

[0026] In einigen beispielhaften Ausführungsformen kann es sich bei der Halbleiterspeichervorrichtung 200 um ein Speicherbauelement mit enthaltenen dynamischen Speicherzellen, wie um einen dynami-

schen Direktzugriffsspeicher (**DRAM**), einen **SDRAM** (Double Data Rate 4 (**DDR4**) Synchronous **DRAM**), einen **LPDDR4 SDRAM** (Low Power **DDR4 SDRAM**) oder einen **LPDDR5 SDRAM**, handeln.

[0027] Der Speicher-Controller **100** kann ein Taktsignal **CLK**, einen Befehl **CMD** und eine Adresse (Adresssignal) **ADDR** an die Halbleiterspeichervorrichtung **200** senden und Daten **DQ** mit der Halbleiterspeichervorrichtung **200** austauschen.

[0028] Die Halbleiterspeichervorrichtung **200** kann eine Speicherzellenanordnung **MCA 300**, welche die Daten **DQ** speichert, eine Steuerlogikschaltung **210** und eine Reparatursteuerschaltung **400** aufweisen.

[0029] Die Speicherzellenanordnung **300** kann einen Normalzellenbereich, der eine Mehrzahl von Normalbereichsgruppen **NRGR1~NRGRQ** aufweist, und einen Redundanzzellenbereich zum Ersetzen von ausgefallenen Speicherzellen des Normalzellenbereichs umfassen, wie oben beschrieben.

[0030] Die Steuerlogikschaltung **210** und die Reparatursteuerschaltung **400** können Speicher und Verarbeitungsschaltungen aufweisen.

[0031] Der Speicher kann mindestens eines der Elemente flüchtiger Speicher, nichtflüchtiger Speicher, Direktzugriffsspeicher (**RAM**), Flash-Speicher, Festplattenlaufwerk und optisches Laufwerk umfassen. Der Speicher kann eine Stream-Mapping-Tabelle **150** und eine Garbage-Collection-Sollkostentabelle **160** speichern.

[0032] Bei den Verarbeitungsschaltungen kann es sich insbesondere, aber nicht ausschließlich, um einen oder mehrere Prozessoren, zentrale Verarbeitungseinheiten (**CPUs**), Controller, arithmetische logische Einheiten (**ALUs**), digitale Signalprozessoren, Mikrocomputer, feldprogrammierbare Gate-Arrays (**FPGAs**), anwendungsspezifische integrierte Schaltkreise (**ASICs**), System-on-Chip (**SoCs**), programmierbare logische Einheiten, Mikroprozessoren oder andere Bauelemente mit Fähigkeit zur definierten Ausführung von Betriebsvorgängen handeln.

[0033] Die Verarbeitungsschaltungen können per Layout-Entwurf oder durch Ausführung von in einem Speicher (nicht dargestellt) abgelegten computerlesbaren Anweisungen als ein Spezialcomputer zur Ausführung der Betriebsvorgänge der Steuerlogikschaltung **210** und/oder der Reparatursteuerschaltung **400** ausgelegt sein. Die Steuerlogikschaltung **210** und die Reparatursteuerschaltung **400** können in getrennten Verarbeitungsschaltungen oder in ein und derselben Verarbeitungsschaltungsanordnung realisiert sein.

[0034] Die Verarbeitungsschaltungen der Steuerlogikschaltung **210** können, basierend auf dem Befehl

CMD und der Adresse **ADDR**, den Zugriff auf die Speicherzellenanordnung **300** steuern.

[0035] Die Verarbeitungsschaltungen der Reparatursteuerschaltung **400** können den Reparaturvorgang der Halbleiterspeichervorrichtung **200** mit Hilfe der Gruppierungsstruktur der Speicherzellenanordnung **300** effizient steuern. Die Reparatursteuerschaltung **400** kann beispielsweise aus den mehreren Normalbereichsgruppen eine Ziel-Normalbereichsgruppe bestimmen, die einer Eingangsadresse entspricht, kann Ziel-Ausfalladressen, die der Ziel-Normalbereichsgruppe entsprechen, aus einer Mehrzahl von Ausfalladressen extrahieren und dann, basierend auf einem Ergebnis des Vergleichs der Ziel-Ausfalladressen mit der Eingangsadresse, einen Reparaturvorgang steuern.

[0036] Fig. 4 ist ein Blockschaltbild zur Darstellung einer Halbleiterspeichervorrichtung gemäß einer beispielhaften Ausführungsform.

[0037] Wie in Fig. 4 dargestellt, kann eine Halbleiterspeichervorrichtung **200** eine Steuerlogikschaltung **210**, ein Adressregister **220**, eine Banksteuerlogik **230**, einen Auffrischzähler **245**, einen Zeilenadressen-Multiplexer **240**, einen Spaltenadressen-Zwischenspeicher (Latch) **250**, einen Zeilendecoder **260**, einen Spaltendecoder **270**, die Speicherzellenanordnung **300**, eine Erfassungsverstärkereinheit **285**, eine I/O-Gating-Schaltung **290**, eine Fehlerkorrekturschaltung **280**, einen Daten-I/O-Puffer **295**, eine Reparatursteuerschaltung **400** und eine Zeitsteuerungsschaltung **500** umfassen.

[0038] Die Speicherzellenanordnung **300** umfasst ein erstes bis achttes Bank-Array **310-380**. Der Zeilendecoder **260** umfasst einen ersten bis achten Bank-Zeilendecoder **260a-260h**, die mit dem entsprechenden ersten bis achten Bank-Array **310-380** gekoppelt sind, der Spaltendecoder **270** umfasst einen ersten bis achten Bank-Spaltendecoder **270a-270h**, die mit dem entsprechenden ersten bis achten Bank-Array **310-380** gekoppelt sind, und die Erfassungsverstärkereinheit **285** umfasst einen ersten bis achten Bank-Erfassungsverstärker **285a-285h**, die mit dem entsprechenden ersten bis achten Bank-Array **310-380** gekoppelt sind. Das erste bis achte Bank-Array **310-380**, der erste bis achte Bank-Zeilendecoder **260a-260h**, der erste bis achte Bank-Spaltendecoder **270a-270h** und der erste bis achte Bank-Erfassungsverstärker **285a-285h** können erste bis achte Banken ausbilden. Das erste bis achte Bank-Array **310-380** weisen jeweils eine Mehrzahl von Speicherzellen **MC** auf, die an Schnittpunkten von mehreren Wortleitungen **WL** und mehreren Bitleitungen **BL** ausgebildet sind.

[0039] Das Adressregister **220** kann aus dem Speicher-Controller **100** eine Adresse **ADDR** empfan-

gen, die eine Bankadresse **BANK_ADDR**, eine Zeilenadresse **ROW_ADDR** und eine Spaltenadresse **COL_ADDR** umfasst. Das Adressregister **220** kann die empfangene Bankadresse **BANK_ADDR** der Banksteuerlogik **230** bereitstellen, die empfangene Zeilenadresse **ROW_ADDR** dem Zeilenadressen-Multiplexer **240** bereitstellen und die empfangene Spaltenadresse **COL_ADDR** dem Spaltenadressen-Latch **250** bereitstellen.

[0040] Die Banksteuerlogik **230** kann in Reaktion auf die Bankadresse **BANK_ADDR** Banksteuersignale erzeugen. Einer der ersten bis achten Bank-Zeilendecoder **260a-260h**, der der Bankadresse **BANK_ADDR** entspricht, kann in Reaktion auf die Banksteuersignale aktiviert werden, und einer der ersten bis achten Bank-Spaltendecoder **270a-270h**, der der Bankadresse **BANK_ADDR** entspricht, kann in Reaktion auf die Banksteuersignale aktiviert werden.

[0041] Der Zeilenadressen-Multiplexer **240** kann aus dem Adressregister **220** die Zeilenadresse **ROW_ADDR** empfangen und kann aus dem Auffrischzähler **245** eine Refresh-Zeilenadresse **REF_ADDR** empfangen. Der Zeilenadressen-Multiplexer **240** kann als Zeilenadresse **RA** wahlweise die Zeilenadresse **ROW_ADDR** oder die Refresh-Zeilenadresse **REF_ADDR** ausgeben. Die vom Zeilenadressen-Multiplexer **240** ausgegebene Zeilenadresse **RA** kann an die ersten bis achten Bank-Zeilendecoder **260a-260h** angelegt werden.

[0042] Derjenige der ersten bis achten Bank-Zeilendecoder **260a-260h**, der von der Banksteuerlogik **230** aktiviert wird, kann die vom Zeilenadressen-Multiplexer **240** ausgegebene Zeilenadresse **RA** dekodieren und eine der Zeilenadresse **RA** entsprechende Wortleitung aktivieren. Der aktivierte Bank-Zeilendecoder kann zum Beispiel eine Wortleitungssteuerspannung an die der Zeilenadresse **RA** entsprechende Wortleitung anlegen. Der aktivierte Bank-Zeilendecoder kann zudem, basierend auf einem Reparatursteuersignal **RP** aus der Reparatursteuerschaltung **400**, zeitgleich mit der Aktivierung der Wortleitung, die der Zeilenadresse **RA** entspricht, eine Ersatzwortleitung aktivieren, die einer Ersatzzeilenadresse entspricht.

[0043] Der Spaltenadressen-Latch **250** kann aus dem Adressregister **220** die Spaltenadresse **COL_ADDR** empfangen und die empfangene Spaltenadresse **COL_ADDR** zwischenspeichern. In einigen Ausführungsformen kann der Speicheradressen-Latch **250** in einem Stoßbetrieb Spaltenadressen inkrementell aus der empfangenen Spaltenadresse **COL_ADDR** generieren. Der Spaltenadressen-Latch **250** kann die zwischengespeicherte oder generierte Spaltenadresse an die ersten bis achten Bank-Spaltendecoder **270a-270h** anlegen.

[0044] Der aktivierte der ersten bis achten Bank-Spaltendecoder **270a-270h** kann über die I/O-Gating-Schaltung **290** einen Erfassungsverstärker aktivieren, der der Bankadresse **BANK_ADDR** und der Spaltenadresse **COL_ADDR** entspricht. Der aktivierte Bank-Spaltendecoder kann darüber hinaus basierend auf dem Reparatursteuersignal **RP** von der Reparatursteuerschaltung **400** einen Spaltenreparaturvorgang ausführen.

[0045] Die I/O-Gating-Schaltung **290** kann eine Schaltungsanordnung für das Durchschalten von Eingangs-/Ausgangsdaten (I/O-Daten) umfassen und ferner Lesedaten-Latches zum Speichern von Daten, die von den ersten bis achten Bank-Arrays **310-380** ausgegeben werden, und Schreib-Treiber zum Einschreiben von Daten in die ersten bis achten Bank-Arrays **310-380** aufweisen.

[0046] Das aus einem Bank-Array der ersten bis achten Bank-Arrays **310-380** ausgelesene Codewort **CW** kann durch einen Erfassungsverstärker (Sense Amplifier), der mit dem einen Bank-Array, aus dem die Daten auszulesen sind, gekoppelt ist, ausgelesen und in den Lesedaten-Latches gespeichert werden. Das in den Lesedaten-Latches gespeicherte Codewort **CW** kann, nach Ausführung einer ECC-Dekodierung am Codewort **CW** durch die Fehlerkorrekturschaltung **280**, über den Daten-I/O-Puffer **295** dem Speicher-Controller **100** bereitgestellt werden. Die in ein Bank-Array der ersten bis achten Bank-Arrays **310-380** einzuschreibenden Daten **DQ** können aus dem Speicher-Controller **100** dem Daten-I/O-Puffer **295** bereitgestellt werden und, nach Ausführung einer ECC-Dekodierung an den Daten **DQ** durch die Fehlerkorrekturschaltung **280**, durch die Schreib-Treiber in ein Bank-Array geschrieben werden.

[0047] Der Daten-I/O-Puffer **295** kann in einem Schreibvorgang der Halbleiterspeichervorrichtung **200** basierend auf dem Taktsignal **CLK** die Daten **DQ** aus dem Speicher-Controller **100** der Fehlerkorrekturschaltung **280** bereitstellen und kann in einem Lesevorgang der Halbleiterspeichervorrichtung **200** die Daten **DQ** aus der Fehlerkorrekturschaltung **280** dem Speicher-Controller **100** bereitstellen.

[0048] Die Fehlerkorrekturschaltung **280** kann im Schreibvorgang, basierend auf den Daten **DQ** aus dem Daten-I/O-Puffer **295**, Paritätsbits erzeugen und kann die I/O-Gating-Schaltung **290** mit dem Codewort **CW**, das die Daten **DQ** und die Paritätsbits enthält, versorgen. Die I/O-Gating-Schaltung **290** kann das Codewort **CW** in ein Bank-Array schreiben. Die Fehlerkorrekturschaltung **280** kann im Lesevorgang außerdem von der I/O-Gating-Schaltung **290** das aus einem Bank-Array ausgelesene Codewort **CW** empfangen. Die Fehlerkorrekturschaltung **280** kann, basierend auf den Paritätsbits im Codewort **CW**, eine ECC-Dekodierung an den Daten **DQ** vornehmen, ei-

nen einzelnen Bitfehler oder doppelten Bitfehler in den Daten **DQ** korrigieren und korrigierte Daten dem Daten-I/O-Puffer **295** bereitstellen.

[0049] Die Steuerlogikschaltung **210** kann Betriebsvorgänge der Halbleiterspeichervorrichtung **200** steuern. Beispielsweise kann die Steuerlogikschaltung **210** Steuersignale für die Halbleiterspeichervorrichtung **200** zur Durchführung eines Schreibvorgangs oder eines Lesevorgangs erzeugen. Die Steuerlogikschaltung **210** kann einen Befehlsdecoder **211**, der einen aus dem Speicher-Controller **100** eingehenden Befehl **CMD** dekodiert, und ein Modusregister **212**, das eine Betriebsart (Modus) der Halbleiterspeichervorrichtung **200** einstellt, umfassen.

[0050] Der Befehlsdecoder **211** kann beispielsweise durch Dekodieren eines Schreibfreigabesignals, eines Zeilenadress-Strobesignals, eines Spaltenadress-Strobesignals, eines Chip-Anwahlsignals usw. Betriebssteuersignale **ACT**, **PCH**, **WE** und **RD** entsprechend dem Befehl **CMD** erzeugen. Die Steuerlogikschaltung **210** kann die Betriebssteuersignale **ACT**, **PCH**, **WE** und **RD** der Zeitsteuerschaltung **500** bereitstellen. Die Betriebssteuersignale **ACT**, **PCH**, **WE** und **RD** können ein aktives Signal **ACT**, ein Vorladesignal **PCH**, ein Schreibsignal **WE** und ein Lesesignal **RD** umfassen.

[0051] Die Zeitsteuerschaltung **500** kann erste Steuersignale **CTL1** zur Steuerung des Spannungspegels der Wortleitung **WL** und zweite Steuersignale **CTL2** zur Steuerung des Spannungspegels der Bitleitung **BL** in Reaktion auf die Betriebssteuersignale **ACT**, **PCH**, **WE** und **RD** erzeugen sowie die ersten Steuersignale **CTL1** und die zweiten Steuersignale **CTL2** der Speicherzellenanordnung **300** bereitstellen.

[0052] Die Reparatursteuerschaltung **400** kann das Reparatursteuersignal **RP** basierend auf einer Eingangsadresse **INADDR** erzeugen. Die Eingangsadresse **INADDR** kann die Adresse **ADDR** aus dem Speicher-Controller oder ein Teilabschnitt der Adresse **ADDR** sein.

[0053] In einigen beispielhaften Ausführungsformen kann die Halbleiterspeichervorrichtung **200** einen Zeilenreparaturvorgang ausführen, um die ausgefallenen Speicherzellen um eine Zeileneinheit zu reparieren, wie weiter unten mit Verweis auf die **Fig. 12** bis **Fig. 14** noch beschrieben wird. In diesem Fall kann die Eingangsadresse **INADDR** mindestens einen Teilabschnitt der Zeilenadresse **ROW_ADDR** umfassen. In anderen beispielhaften Ausführungsformen kann die Halbleiterspeichervorrichtung **200** einen Spaltenreparaturvorgang ausführen, um die ausgefallenen Speicherzellen um eine Spalteneinheit in jedem Speicherblock zu reparieren, wie weiter unten mit Verweis auf die **Fig. 15** bis **Fig. 18** noch beschrieben wird. In diesem Fall kann die Eingangsadresse

INADDR mindestens einen Teilabschnitt der Zeilenadresse **ROW_ADDR** und mindestens einen Teilabschnitt der Spaltenadresse **COL_ADDR** umfassen.

[0054] Die Reparatursteuerschaltung **400** kann das Reparatursteuersignal **RP** dem entsprechenden Bank-Zeilendecoder **260a** bis **260h** und/oder dem entsprechenden Bank-Spaltendecoder **270a** bis **270h** bereitstellen. Der entsprechende Bank-Zeilendecoder und/oder der entsprechende Bank-Spaltendecoder können den Reparaturvorgang basierend auf dem Reparatursignal **RP** ausführen und so auf Redundanzspeicherzellen im Redundanzzellenbereich zugreifen, um die im Normalzellenbereich ausgefallenen Speicherzellen zu ersetzen. Die Reparatursteuerschaltung **400** wird weiter unten mit Verweis auf die **Fig. 6** bis **Fig. 10** noch näher erörtert.

[0055] **Fig. 5** ist eine Darstellung eines Beispiels eines Bank-Arrays in der Halbleiterspeichervorrichtung von **Fig. 4**.

[0056] Wie in **Fig. 5** zu sehen, kann ein Bank-Array einen Normalzellenbereich **NCREG** und einen Redundanzzellenbereich **RCREG** umfassen. Der Normalzellenbereich **NCREG** kann eine Mehrzahl von Wortleitungen **WL1-WLm** (wobei *m* eine natürliche Zahl größer als zwei ist), eine Mehrzahl von Bitleitungen **BL1-BLn** (wobei *n* eine natürliche Zahl größer als zwei ist) und eine Mehrzahl von Speicherzellen **MC**, die an Schnittpunkten zwischen den Wortleitungen **WL1-WLm** und den Bitleitungen **BL1-BLn** angeordnet sind, umfassen. Der Redundanzzellenbereich **RCREG** kann eine Mehrzahl von Ersatzwortleitungen **SWL1-SWLr** (wobei *r* eine natürliche Zahl größer als zwei ist), die Bitleitungen **BL1-BLn** und eine Mehrzahl von Ersatzspeicherzellen **SMC**, die an Schnittpunkten zwischen den Ersatzwortleitungen **SWL1-SWLr** und den Bitleitungen **BL1-BLn** angeordnet sind, umfassen.

[0057] Wie oben beschrieben, kann der Normalzellenbereich **NCREG** in eine Mehrzahl von Normalbereichsgruppen untergliedert werden, und jede Normalbereichsgruppe kann eine Mehrzahl von Teilbereichen aufweisen. Der Normalzellenbereich **NCREG** kann eine Verschachtelungsstruktur oder eine Streustruktur aufweisen, so dass die benachbarten Teilbereiche in unterschiedlichen Normalbereichsgruppen enthalten sind.

[0058] **Fig. 6** ist ein Blockschaltbild einer beispielhaften Ausführungsform einer Reparatursteuerschaltung, die in der Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

[0059] Wie in **Fig. 6** dargestellt, kann eine Reparatursteuerschaltung **400** eine Gruppenansteuerschaltung **420**, eine Adressspeicherschaltung **440** und eine Vergleichsschaltung **460** umfassen.

[0060] Die Gruppenansteuerungsschaltung **420** kann, basierend auf Gruppenidentitätsbits **BGR** von M Bits, die in der Eingangsadresse **INADDR** enthalten sind, eine Mehrzahl von Gruppenansteuerungssignalen **GRSEL** von Q Bits, die die Ziel-Normalbereichsgruppe darstellen, erzeugen. In einigen beispielhaften Ausführungsformen können die Bitzahlen $Q=2^M$ erfüllen, wie unter Bezugnahme auf **Fig. 7** noch beschrieben wird.

[0061] Die Adressspeicherschaltung **440** kann eine Mehrzahl von Ausfalladressen speichern und, basierend auf den mehreren Gruppenansteuerungssignalen **GRSEL**, Ziel-Ausfalladressen **TFADDR1~TFADDRP** aus den mehreren Ausfalladressen extrahieren und bereitstellen. Die Ziel-Ausfalladressen **TFADDR1~TFADDRP** können jeweils $N-M$ Bits betragen.

[0062] Die Vergleichsschaltung **460** kann die Ziel-Ausfalladressen **TFADDR1~TFADDRP** mit anderen Bits oder verbleibenden Bits **BRM** von $N-M$ Bits der Eingangsadresse **INADDR** mit Ausnahme der Gruppenidentitätsbits **BGR** vergleichen und, basierend auf dem Ergebnis des Vergleichs der anderen Bits **BRM** und der Ziel-Ausfalladressen **TFADDR1~TFADDRP**, das Reparatursteuersignal **RP** erzeugen.

[0063] Wenn die Bitzahl der Eingangsadresse **INADDR** N beträgt und die Bitzahl der Gruppenidentitätsbits **BGR** M beträgt, beträgt die Bitzahl der anderen Bits **BRM** der Eingangsadresse **INADDR** mit Ausnahme der Gruppenidentitätsbits **BGR** $N-M$. Die Adressspeicherschaltung **440** kann die mehreren Ausfalladressen von $N-M$ Bits speichern, und somit kann die Bitzahl der Ziel-Ausfalladressen **TFADDR1~TFADDRP** $N-M$ betragen. Die Vergleichsschaltung **460** kann einen bitweisen Vergleich der anderen Bits **BRM** und jeder Ziel-Ausfalladresse ausführen, um das Reparatursteuersignal **RP** zu erzeugen.

[0064] Die Vergleichsschaltung **460** gemäß beispielhaften Ausführungsformen kann die $N-M$ Bits in der Eingangsadresse **INADDR** und die $N-M$ Bits der jeweiligen Ziel-Ausfalladressen vergleichen, wohingegen herkömmliche Reparatursteuerschaltungen N -Bit-Eingangsadresse und N -Bit-Ausfalladresse vergleichen. Die Adressspeicherschaltung **440** kann daher die Ausfalladressen der reduzierten Bitzahl speichern, und dadurch kann die Adressspeicherschaltung **440** größtmäßig reduziert werden. Darüber hinaus kann die Bitzahl der von der Vergleichsschaltung **460** zu vergleichenden Adressen reduziert werden, und somit kann die Größe der Vergleichsschaltung **460** reduziert werden. Wie weiter unten noch beschrieben, kann zudem die Zahl der zu vergleichenden Ausfalladressen reduziert werden. In diesem Fall kann die Anzahl der Vergleiche in der Vergleichs-

schaltung **460** reduziert werden, und damit kann die Größe der Vergleichsschaltung **460** weiter reduziert werden.

[0065] Im Falle einer Halbleiterspeichervorrichtung kann eine Redundanzschaltungsanordnung für jede Zeile von gerichteten Verdrahtungsleitungen und jede Spalte von gerichteten Verdrahtungsleitungen eingerichtet werden, und es kann ein Schmelzsicherungsblock für die Aufzeichnung der Adressinformationen von ausgefallenen Speicherzellen enthalten sein. Wenn ein Zugriff auf die ausgefallenen Speicherzellen erfolgt, wird über den Reparaturprozess mit Hilfe des Sicherungsblocks nicht auf die ausgefallenen Speicherzellen, sondern auf die ersetzten Speicherzellen zugegriffen. Der Sicherungsblock kann eine Mehrzahl von Schmelzsicherungsleitungen umfassen. Durch Ausführung eines Sicherungsschneidprozesses, in dem eine spezielle Sicherung von mehreren Sicherungen mittels Laser geschnitten wird, können die Adressinformationen der reparierten Speicherzellen aufgezeichnet werden. Zur Aufzeichnung der Adressinformationen der reparierten Speicherzellen können mehrere Sicherungen notwendig sein. Allgemein können Sicherungen für die entsprechenden Bits einer Adresse vorgesehen sein. Um beispielsweise die Reparaturinformationen einer 16-Bit-Adresse aufzuzeichnen, können mindestens 16 Sicherungen erforderlich sein.

[0066] Zur Aufzeichnung einer reparierten Adresse kann ein Sicherungsblock notwendig sein. Mit steigender Anzahl von Sicherungsblöcken kann deshalb eine höhere Anzahl von ausgefallenen Speicherzellen ersetzt werden, wodurch eine größere Zahl von Halbleiterspeicherelementen mit ausgefallenen Speicherzellen in Gutprodukte umgewandelt werden kann. Da mit einer wachsenden Zahl von Sicherungsblöcken eine größere Fläche in Anspruch genommen wird, gibt es Grenzen bei der Integration einer erhöhten Anzahl von Sicherungsblöcken. Das heißt, die Anzahl auszulagernder Sicherungsblöcke kann anhand der Chip-Größe und der Fertigungsausbeute bestimmt werden.

[0067] Die Halbleiterspeichervorrichtung und das Verfahren zum Betreiben der Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen können die Größe der Halbleiterspeichervorrichtung reduzieren, indem der Normalzellenbereich in die mehreren Normalbereichsgruppen gruppiert wird, um die Anzahl der Vergleiche und die Bitzahl der Ausfalladressen, die gespeichert und verglichen werden, zu reduzieren.

[0068] **Fig. 7** ist eine Darstellung einer beispielhaften Ausführungsform einer Gruppenansteuerungsschaltung in der Reparatursteuerschaltung von **Fig. 6**.

[0069] Wie in **Fig. 7** zu sehen, kann eine Gruppenansteuerungsschaltung **420** Gruppenansteuerungssignale **GRSEL1~GRSELQ** von Q Bits, die eine Ziel-Normalbereichsgruppe darstellen, basierend auf den Gruppenidentitätsbits **BGR1~BGRM** von M Bits der Eingangsadresse **INADDR** erzeugen, wobei gilt: $Q = 2^M$. Q kann beispielsweise $4 = 2^2$ betragen, wenn M gleich 2, oder Q kann $8 = 2^3$ betragen, wenn M gleich 3.

[0070] Die Gruppenansteuerungsschaltung **420** kann die Gruppenidentitätsbits **BGR1~BGRM** dekodieren, um eines der Gruppenansteuerungssignale **GRSEL1~GRSELQ** zu aktivieren und die anderen der Gruppenansteuerungssignale **GRSEL1~GRSELQ** zu deaktivieren. Mit Hilfe der Gruppenansteuerungssignale **GRSEL1~GRSELQ**, die ausgehend von den Gruppenidentitätsbits **BGR1~BGRM** selektiv aktiviert werden, kann die Adressspeicherschaltung **440** die dem aktivierten Gruppenansteuerungssignal entsprechenden Ziel-Ausfalladressen extrahieren und bereitstellen.

[0071] **Fig. 8** ist eine Darstellung einer beispielhaften Ausführungsform einer in der Reparatursteuerschaltung von **Fig. 6** enthaltenen Adressspeicherschaltung.

[0072] Wie in **Fig. 8** dargestellt, kann eine Adressspeicherschaltung **440** eine Mehrzahl von Adresseinheiten **AU11~AUQP**, Wortleitungen **AW1~AWLQ** zum Zugreifen auf die Adresseinheiten **AU11~AUQP**, Bitleitungen **ABL1~ABLP** zum Senden der Adresse aus den angesprochenen Adresseinheiten und eine Erfassungsschaltung **442** zum Erfassen der über die Bitleitungen **ABL1~ABLP** gesendeten Adresse umfassen.

[0073] Die Adresseinheiten **AU11~AUQP** in jeder Zeile können die Ausfalladressen einer entsprechenden Normalbereichsgruppe speichern. Die Adresseinheiten **AU11~AU1P** in der ersten Zeile können die Ausfalladressen der ersten Normalbereichsgruppe speichern, die Adresseinheiten **AU21~AU2P** in der zweiten Zeile können die Ausfalladressen der zweiten Normalbereichsgruppe speichern, und die Adresseinheiten **AUQ1~AUQP** in der Q -ten Zeile können auf diese Weise die Ausfalladressen der Q -ten Normalbereichsgruppe speichern.

[0074] Wie oben beschrieben, kann nur eines der Gruppenansteuerungssignale **GRSEL1~GRSELQ**, das der Ziel-Normalbereichsgruppe entspricht, aktiviert werden, und die anderen der Gruppenansteuerungssignale **GRSEL1~GRSELQ** können deaktiviert werden. Dementsprechend können die Adresseinheiten in der Zeile angesteuert werden, die der Ziel-Normalbereichsgruppe entspricht, und die in den angewählten Adresseinheiten gespeichert

ten Ausfalladressen können als Ziel-Ausfalladressen **TFADDR1~TFADDRP** bereitgestellt werden.

[0075] In einigen beispielhaften Ausführungsformen können die Adresseinheiten in **Fig. 8** mit nichtflüchtigen Speicherzellen realisiert werden. In diesem Fall kann die Ausfalladresse direkt in den Adresseinheiten programmiert werden.

[0076] In anderen beispielhaften Ausführungsformen können die Adresseinheiten in **Fig. 8** mit flüchtigen Speicherzellen realisiert werden. In diesem Fall können die Ausfalladressen in die Adresseinheiten geladen werden, beispielsweise während eines Booting-Prozesses der Halbleiterspeichervorrichtung. Die Adresseinheiten können zum Beispiel mit statischen Direktzugriffsspeicherzellen (SRAM-Zellen) realisiert werden, die keine Refresh-Operationen erfordern.

[0077] Wie oben beschrieben, kann jede Adresseinheit jede Ausfalladresse von $N-M$ Bits speichern, die den anderen Bits BRM von $N-M$ Bits in der Eingangsadresse **INADDR** von N Bits mit Ausnahme der Gruppenidentitätsbits **BGR** von M Bits entspricht. Das heißt mit anderen Worten, die Bitzahl der zu speichernden Ausfalladresse beträgt $N-M$, ist also kleiner als die Gesamtbitzahl N der Eingangsadresse **INADDR**. Im Vergleich mit herkömmlichen Schemata zur Speicherung der Ausfalladressen von N Bits können nur $N-M$ Bits der Ausfalladressen gespeichert werden, und damit kann die Größe der Adressspeicherschaltung **440** reduziert werden.

[0078] **Fig. 9** ist eine Darstellung einer beispielhaften Ausführungsform einer in der Reparatursteuerschaltung von **Fig. 6** enthaltenen Vergleichsschaltung.

[0079] Wie in **Fig. 9** dargestellt, kann eine Vergleichsschaltung **460** eine Mehrzahl von Vergleichen **COM1~COMP** aufweisen, um die Ziel-Ausfalladressen **TFADDR1~TFADDRP** mit den jeweils entsprechenden anderen Bits BRM der Eingangsadresse **INADDR** mit Ausnahme der Gruppenidentitätsbits **BGR** zu vergleichen.

[0080] Die Adressspeicherschaltung **440** von **Fig. 8** kann die P Ausfalladressen für jede Normalbereichsgruppe speichern, und die Vergleichsschaltung **460** kann die P Vergleiche aufweisen. Die der Vergleichsschaltung **460** bereitgestellten Ziel-Ausfalladressen **TFADDR1~TFADDRP** werden gemäß der Ziel-Normalbereichsgruppe, die der Eingangsadresse **INADDR** entspricht, geändert. Das heißt mit anderen Worten, die Vergleichsschaltung **460** kann von mehreren Normalbereichsgruppen gemeinsam genutzt werden.

[0081] Wenn die Anzahl der Normalbereichsgruppen Q beträgt, liegt die Höchstzahl der in der Adress-

speicherschaltung **460** speicherbaren Ausfalladressen bei $P \cdot Q$. In herkömmlichen Schemata können die $P \cdot Q$ Vergleicher dazu eingesetzt werden, sämtliche Ausfalladressen gleichzeitig mit der Eingangsadresse zu vergleichen, um die Geschwindigkeit des Reparaturvorgangs zu erhöhen. In einer oder mehreren beispielhaften Ausführungsformen sind im Gegensatz dazu P Vergleicher, die der Anzahl der Ziel-Ausfalladressen **TFADDR1~TFADDRP** entsprechen, in der Vergleicherschaltung **460** enthalten und dadurch kann die Baugröße der Vergleicherschaltung **460** reduziert werden.

[0082] Fig. 10 ist eine Darstellung einer beispielhaften Ausführungsform eines in der Vergleicherschaltung von Fig. 9 enthaltenen Vergleichers.

[0083] Wie in Fig. 10 zu sehen, kann ein Vergleicher **462** eine Mehrzahl von logischen Gates $G1 \sim G(N-M)$ und ein Ausgangsgate **GS** aufweisen. Die logischen Gates $G1 \sim G(N-M)$ können einen bitweisen Vergleich von Bits **TFADDRi1~TFADDRi(N-M)** der Ziel-Ausfalladressen **TFADDRi** und anderen Bits **BRM1~BRM(N-M)** der Eingangsadresse **INADDR** mit Ausnahme der Gruppenidentitätsbits **BGR** ausführen. Das Ausgangsgate **GS** kann eine logische Operation an den Ausgängen der logischen Gates $G1 \sim G(N-M)$ ausführen, um ein Reparatursteuersignal **RPi** zu erzeugen.

[0084] Fig. 10 zeigt ein nicht-einschränkendes Beispiel, bei dem die logischen Gates $G1 \sim G(N-M)$ mit XOR-Gates realisiert sind und das Ausgangsgate **GS** mit einem NAND-Gate realisiert ist, aber die Kombination der Gates im Vergleicher **462** kann unterschiedlich bestimmt werden.

[0085] In herkömmlichen Schemata kann jeder Vergleicher **N** logische Gates nutzen, um einen bitweisen Vergleich der Ausfalladresse und der Eingangsadresse von **N** Bits auszuführen. In einer oder mehreren beispielhaften Ausführungsformen kann hingegen der Vergleicher **462** die $N-M$ logischen Gates $G1 \sim G(N-M)$ nutzen, um einen bitweisen Vergleich der anderen Bits **BRM** der Eingangsadresse **INADDR** und der Ziel-Ausfalladresse von $N-M$ Bits auszuführen. Dementsprechend lässt sich die Anzahl der in jedem Vergleicher enthaltenen logischen Gates vermindern, und damit kann die Größe der Vergleicherschaltung **460** weiter reduziert werden.

[0086] Im Folgenden ist eine erste Richtung **D1** eine Zeilenrichtung, in der Wortleitungen verlaufen, und eine zweite Richtung **D2** ist eine Spaltenrichtung, in der Bitleitungen verlaufen.

[0087] Fig. 11 ist eine Darstellung einer beispielhaften Ausführungsform eines Normalzellenbereichs, der in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

[0088] Wie in Fig. 11 dargestellt, kann ein Normalzellenbereich **NCREG** eine Mehrzahl von Normalbereichsgruppen **NRGR1~NRGRQ** umfassen, und jede der mehreren Normalbereichsgruppen **NRGR1~NRGRQ** kann eine Mehrzahl von Teilbereichen umfassen. Die erste Normalbereichsgruppe **NRGR1** kann einen ersten bis S-ten Teilbereich **SBREG11~SBREG1S** umfassen, die zweite Normalbereichsgruppe **NRGR2** kann einen ersten bis S-ten Teilbereich **SBREG21~SBREG2S** umfassen, und die Q-te Normalbereichsgruppe **NRGRQ** kann auf diese Weise erste bis S-te Teilbereiche **SBREGQ1~SBREGQS** umfassen.

[0089] Gemäß beispielhaften Ausführungsformen kann der Normalzellenbereich **NCREG** eine Verschachtelungsstruktur oder eine Streustruktur aufweisen, so dass die benachbarten Teilbereiche in unterschiedlichen Normalbereichsgruppen enthalten sind. Fig. 11 veranschaulicht eine beispielhafte Ausführungsform, in der die in den jeweiligen Normalbereichsgruppen **NRGR1~NRGRQ** enthaltenen Teilbereiche **SBREG11~SBREGQS** einzeln aufeinanderfolgend in einer Spaltenrichtung entsprechend einem Round-Robin-Schema angeordnet sind.

[0090] Bei Defekten, die in einer Speicherzellenanordnung auftreten, kann es sich um einen Defekt infolge eines anfälligen Bitleitungserfassungsverstärkers, einen Partikeldefekt, einen Multibit-Defekt handeln. Das heißt mit anderen Worten, die Defekte sind örtlich so beschaffen, dass die ausgefallenen Speicherzellen tendenziell in einem kleinen Bereich konzentriert sind. Herkömmlicherweise kann eine Speicherzellenanordnung in die mehreren Normalbereichsgruppen **NRGR1~NRGRQ** unterteilt sein, und die maximalen Reparaturressourcen für jede Normalbereichsgruppe können begrenzt sein. Die Chipgröße kann daher durch eine Begrenzung der Flexibilität des Reparaturvorgangs verringert werden, aber die Flexibilitätsbeschränkung kann im Falle der lokalen Defekte eine übermäßige Senkung der Ausbeute der Halbleiterspeichervorrichtung zur Folge haben.

[0091] Gemäß beispielhaften Ausführungsformen kann im Gegensatz dazu jede Normalbereichsgruppe in eine Mehrzahl von Teilbereichen unterteilt werden, und die Teilbereiche können beispielsweise über das Round-Robin-Schema in Streustruktur angeordnet werden, um den lokalen Defekt auf die mehreren Normalbereichsgruppen zu verteilen. Die Ausbeute der Halbleiterspeichervorrichtung kann dadurch erhöht werden, ohne die Größe der Halbleiterspeichervorrichtung oder die Chipgröße zu erhöhen.

[0092] Fig. 12 ist eine Darstellung einer beispielhaften Ausführungsform einer Speicherzellenanordnung, die in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist,

und **Fig. 13** ist eine Darstellung eines Beispiels einer Eingangsadresse entsprechend der Speicherzellenanordnung von **Fig. 12**.

[0093] **Fig. 12** zeigt einen Zeilenreparaturvorgang zum Reparieren von ausgefallenen Speicherzellen um eine Zeileneinheit.

[0094] Wie in **Fig. 12** zu sehen, kann eine Speicherzellenanordnung **300a** einen Normalzellenbereich **NCREGa** und einen Redundanzzellenbereich **RCREGa** umfassen.

[0095] Der Normalzellenbereich **NCREGa** kann eine Mehrzahl von Normalbereichsgruppen **NRGR1~NRGR4** aufweisen. **Fig. 12** zeigt vier Normalbereichsgruppen **NRGR1~NRGR4** zur Vereinfachung der Abbildung und Beschreibung, und der Normalzellenbereich **NCREGa** kann eine beliebige Anzahl von Normalbereichsgruppen aufweisen.

[0096] Jede der mehreren Normalbereichsgruppen **NRGR1~NRGR4** kann eine Mehrzahl von Teilbereichen umfassen. Die erste Normalbereichsgruppe **NRGR1** kann einen ersten bis S-ten Teilbereich **SBREG11~SBREG1S** umfassen, die zweite Normalbereichsgruppe **NRGR2** kann einen ersten bis S-ten Teilbereich **SBREG21~SBREG2S** umfassen, die dritte Normalbereichsgruppe **NRGR3** kann einen ersten bis S-ten Teilbereich **SBREG31~SBREG3S** umfassen, und die vierte Normalbereichsgruppe **NRGR4** kann einen ersten bis S-ten Teilbereich **SBREG41~SBREG4S** umfassen.

[0097] Gemäß beispielhaften Ausführungsformen, wie in **Fig. 12** dargestellt, können die in den jeweiligen Normalbereichsgruppen **NRGR1~NRGR4** enthaltenen Teilbereiche **SBREG11~SBREG4S** einzeln aufeinanderfolgend in der Spaltenrichtung **D2** entsprechend einem Round-Robin-Schema angeordnet sein.

[0098] Die in der ersten bis vierten Normalbereichsgruppe **NRGR1~NRGR4** jeweils enthaltenen ersten Teilbereiche **SBREG11~SBREG41** sind aufeinanderfolgend in Spaltenrichtung **D2** angeordnet, um einen ersten Clusterbereich **CLST1** zu bilden, die in der ersten bis vierten Normalbereichsgruppe **NRGR1~NRGR4** jeweils enthaltenen zweiten Teilbereiche **SBREG12~SBREG42** sind aufeinanderfolgend in Spaltenrichtung **D2** angeordnet, um einen zweiten Clusterbereich **CLST2** zu bilden, und die in der ersten bis vierten Normalbereichsgruppe **NRGR1~NRGR4** jeweils enthaltenen S-ten Teilbereiche **SBREG1S~SBREG4S** sind auf diese Weise aufeinanderfolgend in Spaltenrichtung **D2** angeordnet, um einen S-ten Clusterbereich **CLSTS** zu bilden,

[0099] Jeder der mehreren Teilbereiche **SBREG11~SBREG4S** kann einer oder mehreren Wort-

leitungen entsprechen. Jeder Teilbereich kann beispielsweise zwei Wortleitungen entsprechen. Wenn die Anzahl der Clusterbereiche **CLST1~CLSTS** $S=2^{13}$ beträgt, kann die Zeilenadresse **ROW_ADDR** durch 16 Adressbits **A0~A15** dargestellt werden, wie in **Fig. 13** abgebildet.

[0100] Wie in **Fig. 13** zu sehen, kann die einer Eingangsadresse entsprechende Zeilenadresse **ROW_ADDR** Teilbereich-Identitätsbits **BCL**, Gruppenidentitätsbits **BGR** und Zeilenidentitätsbits **BRW** umfassen. Die Gruppenidentitätsbits **BGR** können den zwei Adressbits **A1** und **A2** entsprechen und eine Ziel-Normalbereichsgruppe aus der Mehrzahl von Normalbereichsgruppen **NRGR1~NRGR4** darstellen. Die Teilbereich-Identitätsbits **BCL** können den dreizehn Adressbits **A3~A15** entsprechen und einen Ziel-Teilbereich aus der Mehrzahl von Teilbereichen darstellen. Das heißt mit anderen Worten, die Teilbereich-Identitätsbits **BCL** können einen der Zeilenadresse **ROW_ADDR** entsprechenden Ziel-Clusterbereich aus der Mehrzahl von Clusterbereichen **CLST1~CLSTS** darstellen. Die Zeilenidentitätsbits **BRW** können dem einen Adressbit **A0** entsprechen und eine Position einer Ziel-Zeile oder einer Ziel-Wortleitung in jedem Teilbereich darstellen.

[0101] Bei den Gruppenidentitätsbits **BGR** kann es sich daher um Bits handeln, die weniger signifikant sind als die Teilbereich-Identitätsbits **BCL** in der Zeilenadresse **ROW_ADDR**, was anzeigt, dass die in den jeweiligen Normalbereichsgruppen **NRGR1~NRGR4** enthaltenen Teilbereiche **SBREG11~SBREG4S** einzeln aufeinanderfolgend in der Spaltenrichtung **D2** entsprechend einem Round-Robin-Schema angeordnet sind.

[0102] Wie unter nochmaligem Verweis auf **Fig. 12** zu sehen, kann der Redundanzzellenbereich **RCREGa** eine Mehrzahl von Redundanzbereichsgruppen **RRGR1~RRGR4** umfassen, die den mehreren Normalbereichsgruppen **NRGR1~NRGR4** jeweils entsprechen. Jede der mehreren Redundanzbereichsgruppen **RRGR1~RRGR4** kann die Speicherzellen ersetzen, die in der entsprechenden Normalbereichsgruppe der mehreren Normalbereichsgruppen **NRGR1~NRGR4** ausgefallen sind. Beispielsweise kann, wie in **Fig. 12** dargestellt, eine erste ausgefallene Wortleitung **FWL1** in der ersten Normalbereichsgruppe **NRGR1** mit einer ersten Ersatz-Wortleitung **SWL1** in der ersten Redundanzbereichsgruppe **RRGR1** ersetzt werden, eine zweite ausgefallene Wortleitung **FWL2** in der zweiten Normalbereichsgruppe **NRGR2** kann mit einer zweiten Ersatz-Wortleitung **SWL2** in der zweiten Redundanzbereichsgruppe **RRGR2** ersetzt werden, und eine dritte ausgefallene Wortleitung **FWL3** in der dritten Normalbereichsgruppe **NRGR3** kann mit einer dritten Ersatz-Wortleitung **SWL3** in der dritten Redundanzbereichsgruppe **RRGR3** ersetzt werden.

[0103] **Fig. 14** ist eine Darstellung einer beispielhaften Ausführungsform einer Speicherzellenanordnung, die in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

[0104] Ein Normalzellenbereich **NCREGb** in einer Speicherzellenanordnung **300b** von **Fig. 14** ist im Wesentlichen identisch mit den Normalzellenbereich **NCREGa** in der Speicherzellenanordnung **300a** von **Fig. 12**, und auf wiederholende Beschreibungen wird hier verzichtet.

[0105] Wie in **Fig. 14** zu sehen, kann der Redundanzzellenbereich **RCREGb** von den mehreren Normalbereichsgruppen **NRGR1~NRGR4** gemeinsam genutzt werden, um die ausgefallenen Speicherzellen in den mehreren Normalbereichsgruppen **NRGR1~NRGR4** zu ersetzen. Wie in **Fig. 14** beispielhaft dargestellt, können eine erste ausgefallene Wortleitung **FWL1** in der ersten Normalbereichsgruppe **NRGR1**, eine zweite ausgefallene Wortleitung **FWL2** in der zweiten Normalbereichsgruppe **NRGR2** und eine dritte ausgefallene Wortleitung **FWL3** in der dritten Normalbereichsgruppe **NRGR3** mit einer ersten Ersatz-Wortleitung **SWL1**, einer zweiten Ersatz-Wortleitung **SWL2** beziehungsweise einer dritten Ersatz-Wortleitung **SWL3** im Redundanzzellenbereich **RCREGb** ersetzt werden, ohne den Redundanzzellenbereich **RCREGb** zu unterteilen.

[0106] **Fig. 15** ist eine Darstellung einer beispielhaften Ausführungsform eines Bank-Arrays, das in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

[0107] Wie in **Fig. 15** dargestellt, kann eine Speicherbank eine Mehrzahl von Speicherblöcken **BLK~BLKm** umfassen. Die Erfassungsverstärkereinheit **285** in **Fig. 4** kann eine Mehrzahl von Erfassungsverstärkerschaltungen **SAC1~SAC4** umfassen. Jeder der Speicherblöcke **BLK1~BLKm** kann eine gewünschte (oder alternativ eine vorherbestimmte) Anzahl von Wortleitungen aufweisen. Beispielsweise kann jeder der Speicherblöcke **BLK1~BLKm** **1024** Wortleitungen, das heißt 1024 Speicherzellen pro Bitleitung, aufweisen.

[0108] Wie in **Fig. 15** zu sehen, kann jede der Erfassungsverstärkerschaltungen **SAC1~SAC4** mit den beiden angrenzenden, an der Oberseite und Unterseite angeordneten Speicherblöcken verbunden sein. Jede der Erfassungsverstärkerschaltungen **SAC1~SAC4** kann beispielsweise nur mit den ungerade nummerierten Bitleitungen des oberseitigen Speicherblocks und unterseitigen Speicherblocks oder nur mit den gerade nummerierten Bitleitungen des oberseitigen Speicherblocks und unterseitigen Speicherblocks verbunden sein.

[0109] In dieser Struktur können die Speicherblöcke **BLK1~BLKm** jeweils den Teilbereichen gemäß obiger Beschreibung zugeordnet sein.

[0110] **Fig. 16** ist eine Darstellung einer beispielhaften Ausführungsform einer Speicherzellenanordnung, die in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist, und **Fig. 17** ist eine Darstellung eines Beispiels einer Eingangsadresse entsprechend der Speicherzellenanordnung von **Fig. 16**.

[0111] **Fig. 16** zeigt einen Spaltenreparaturvorgang zum Reparieren von ausgefallenen Speicherzellen um eine Spalteneinheit.

[0112] Wie in **Fig. 16** zu sehen, kann eine Speicherzellenanordnung **300c** einen Normalzellenbereich **NCREGc** und einen Redundanzzellenbereich **RCREGc** umfassen. Der Normalzellenbereich **NCREGc** kann eine Mehrzahl von Normalbereichsgruppen **NRGR1~NRGR4** aufweisen. **Fig. 16** zeigt vier Normalbereichsgruppen **NRGR1~NRGR4** zur Vereinfachung der Abbildung und Beschreibung, und der Normalzellenbereich **NCREGc** kann eine beliebige Anzahl von Normalbereichsgruppen aufweisen.

[0113] Jede der mehreren Normalbereichsgruppen **NRGR1~NRGR4** kann eine Mehrzahl von Teilbereichen umfassen. Die erste Normalbereichsgruppe **NRGR1** kann einen ersten bis S-ten Teilbereich **SBREG11~SBREG1S** umfassen, die zweite Normalbereichsgruppe **NRGR2** kann einen ersten bis S-ten Teilbereich **SBREG21~SBREG2S** umfassen, die dritte Normalbereichsgruppe **NRGR3** kann einen ersten bis S-ten Teilbereich **SBREG31~SBREG3S** umfassen, und die vierte Normalbereichsgruppe **NRGR4** kann einen ersten bis S-ten Teilbereich **SBREG41~SBREG4S** umfassen.

[0114] Gemäß beispielhaften Ausführungsformen, wie in **Fig. 16** dargestellt, können die in den jeweiligen Normalbereichsgruppen **NRGR1~NRGR4** enthaltenen Teilbereiche **SBREG11~SBREG4S** einzeln aufeinanderfolgend in der Spaltenrichtung **D2** entsprechend einem Round-Robin-Schema angeordnet sein.

[0115] Die in der ersten bis vierten Normalbereichsgruppe **NRGR1~NRGR4** jeweils enthaltenen ersten Teilbereiche **SBREG11~SBREG41** sind aufeinanderfolgend in Spaltenrichtung **D2** angeordnet, um einen ersten Clusterbereich **CLST1** zu bilden, die in der ersten bis vierten Normalbereichsgruppe **NRGR1~NRGR4** jeweils enthaltenen zweiten Teilbereiche **SBREG12~SBREG42** sind aufeinanderfolgend in Spaltenrichtung **D2** angeordnet, um einen zweiten Clusterbereich **CLST2** zu bilden, und die in der ersten bis vierten Normalbereichsgruppe **NRGR1~NRGR4** jeweils enthaltenen S-ten Teilberei-

che **SBREG1S~SBREG4S** sind auf diese Weise aufeinanderfolgend in Spaltenrichtung **D2** angeordnet, um einen S-ten Clusterbereich **CLSTS** zu bilden,

[0116] Die mehreren Teilbereiche **SBREG11~SBREG4S** können den Speicherblöcken entsprechen, wie unter Bezugnahme auf **Fig. 15** beschrieben. Jeder Teilbereich kann beispielsweise ein Speicherblock sein, der 1024 Wortleitungen entspricht. Wenn die Anzahl der Clusterbereiche **CLST1~CLSTS** $S=2^4$ beträgt, kann die Zeilenadresse **ROW_ADDR** durch 16 Adressbits **A0~A15** dargestellt werden, wie in **Fig. 17** abgebildet.

[0117] Wie in **Fig. 17** dargestellt, kann die einer Eingangsadresse entsprechende Zeilenadresse **ROW_ADDR** Teilbereich-Identitätsbits **BCL**, Gruppenidentitätsbits **BGR** und Zeilenidentitätsbits **BRW** umfassen. Obwohl in **Fig. 17** nicht dargestellt, kann die oben beschriebene Eingangsadresse **INADDR** zusätzlich zur Zeilenadresse **ROW_ADDR** eine Spaltenadresse **COL_ADDR** aufweisen. Die Gruppenidentitätsbits **BGR** können den zwei Adressbits **A1** und **A2** entsprechen und eine Ziel-Normalbereichsgruppe aus der Mehrzahl von Normalbereichsgruppen **NRGR1~NRGR4** darstellen. Die Teilbereich-Identitätsbits **BCL** können den vier Adressbits **A12~A15** entsprechen und einen Ziel-Teilbereich aus der Mehrzahl von Teilbereichen darstellen. Das heißt mit anderen Worten, die Teilbereich-Identitätsbits **BCL** können einen der Zeilenadresse **ROW_ADDR** entsprechenden Ziel-Clusterbereich aus der Mehrzahl von Clusterbereichen **CLST1~CLSTS** darstellen. Die Zeilenidentitätsbits **BRW** können den zehn Adressbits **A0~A9** entsprechen und eine Position einer Ziel-Zeile oder einer Ziel-Wortleitung in jedem Teilbereich darstellen.

[0118] Bei den Gruppenidentitätsbits **BGR** kann es sich daher um Bits handeln, die weniger signifikant sind als die Teilbereich-Identitätsbits **BCL** in der Zeilenadresse **ROW_ADDR**, was anzeigt, dass die in den jeweiligen Normalbereichsgruppen **NRGR1~NRGR4** enthaltenen Teilbereiche **SBREG11~SBREG4S** einzeln aufeinanderfolgend in der Spaltenrichtung **D2** entsprechend einem Round-Robin-Schema angeordnet sind.

[0119] Wie unter nochmaligem Verweis auf **Fig. 16** zu sehen, kann der Redundanzzellenbereich **RCREGa** eine Mehrzahl von Redundanzbereichsgruppen **RRGR1~RRGR4** umfassen, die den mehreren Normalbereichsgruppen **NRGR1~NRGR4** jeweils entsprechen. Jede der mehreren Redundanzbereichsgruppen **RRGR1~RRGR4** kann die Speicherzellen ersetzen, die in der entsprechenden Normalbereichsgruppe der mehreren Normalbereichsgruppen **NRGR1~NRGR4** ausgefallen sind. Wie in **Fig. 16** beispielhaft dargestellt, kann eine erste ausgefallene Bitleitung **FBL1** in der ersten Normalbereichsgrup-

pe **NRGR1** mit einer ersten Ersatz-Bitleitung **SBL1** in der ersten Redundanzbereichsgruppe **RRGR1** ersetzt werden, eine zweite ausgefallene Bitleitung **FBL2** in der zweiten Normalbereichsgruppe **NRGR2** kann mit einer zweiten Ersatz-Bitleitung **SBL2** in der zweiten Redundanzbereichsgruppe **RRGR2** ersetzt werden, eine dritte ausgefallene Bitleitung **FBL3** in der dritten Normalbereichsgruppe **NRGR3** kann mit einer dritten Ersatz-Bitleitung **SBL3** in der dritten Redundanzbereichsgruppe **RRGR3** ersetzt werden, und eine vierte ausgefallene Bitleitung **FBL4** in der vierten Normalbereichsgruppe **NRGR4** kann mit einer vierten Ersatz-Bitleitung **SBL4** in der vierten Redundanzbereichsgruppe **RRGR4** ersetzt werden.

[0120] **Fig. 18** ist eine Darstellung einer beispielhaften Ausführungsform einer Speicherzellenanordnung, die in einer Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen enthalten ist.

[0121] Ein Normalzellenbereich **NCREGd** in einer Speicherzellenanordnung **300d** von **Fig. 18** ist im Wesentlichen identisch mit den Normalzellenbereich **NCREGc** in der Speicherzellenanordnung **300c** von **Fig. 16**, und auf wiederholende Beschreibungen wird hier verzichtet.

[0122] Wie in **Fig. 18** zu sehen, kann der Redundanzzellenbereich **RCREGd** von den mehreren Normalbereichsgruppen **NRGR1~NRGR4** gemeinsam genutzt werden, um die ausgefallenen Speicherzellen in den mehreren Normalbereichsgruppen **NRGR1~NRGR4** zu ersetzen. Wie in **Fig. 18** dargestellt, können eine erste ausgefallene Bitleitung **FBL1** in der ersten Normalbereichsgruppe **NRGR1**, eine zweite ausgefallene Bitleitung **FBL2** in der zweiten Normalbereichsgruppe **NRGR2**, eine dritte ausgefallene Bitleitung **FBL4** in der dritten Normalbereichsgruppe **NRGR3** und eine vierte ausgefallene Bitleitung **FBL4** in der vierten Normalbereichsgruppe **NRGR4** mit einer ersten Ersatz-Bitleitung **SBL1**, einer zweiten Ersatz-Bitleitung **SBL2**, einer dritten Ersatz-Bitleitung **SBL3** beziehungsweise einer vierten Ersatz-Bitleitung **SBL4** im Redundanzzellenbereich **RCREGd** ersetzt werden, ohne den Redundanzzellenbereich **RCREGd** zu unterteilen.

[0123] **Fig. 19** und **Fig. 20** sind Darstellungen einer gestapelten Speichervorrichtung gemäß beispielhaften Ausführungsformen.

[0124] Wie in **Fig. 19** dargestellt, kann eine Halbleiterspeichervorrichtung **900** einen ersten bis k-ten integrierten Halbleiterschaltkreis-Layer **LA1** bis **LAK** umfassen, bei denen davon ausgegangen wird, dass der unterste erste integrierte Halbleiterschaltkreis-Layer **LA1** eine Schnittstelle oder ein Steuerungschip ist und die anderen integrierten Halbleiterschaltkreis-Layer **LA2** bis **LAK** Slave-Chips sind, die Kernspeicherchips umfassen. Die Slave-Chips können eine

Mehrzahl von Speicherrängen bilden, wie oben beschrieben.

[0125] Der erste bis k-te integrierte Halbleiterschaltkreis-Layer **LA1** bis **LAK** können über Durchkontaktierungen **TSVs** (zum Beispiel Silizium-Durchkontaktierungen) Signale zwischen den Layern senden und empfangen. Der unterste erste integrierte Halbleiterschaltkreis-Layer **LA1** als Schnittstelle oder Steuerungschicht kann über eine auf einer Außenfläche ausgebildete leitfähige Struktur mit einem externen Speicher-Controller kommunizieren.

[0126] Jeder des ersten integrierten Halbleiterschaltkreis-Layers **910** bis k-ten integrierten Halbleiterschaltkreis-Layers **920** kann Speicherbereiche **921** und periphere Schaltungen **922** zum Ansteuern der Speicherbereiche **921** umfassen. Die peripheren Schaltungen **922** können beispielsweise einen Zeitrentreiber zum Ansteuern von Wortleitungen eines Speichers, einen Spaltentreiber zum Ansteuern von Bitleitungen des Speichers, eine Daten-Eingabe/Ausgabe-Schaltung zum Steuern der Ein- und Ausgabe von Daten, einen Befehlspeicher zum Empfangen eines Befehls von einer externen Quelle und Zwischenspeichern des Befehls sowie einen Adresspuffer zum Empfangen einer Adresse von einer externen Quelle und Zwischenspeichern der Adresse umfassen.

[0127] Der erste integrierte Halbleiterschaltkreis-Layer **910** kann ferner eine Steuerschaltung aufweisen. Die Steuerschaltung kann, basierend auf einem Befehl und einem Adresssignal von einem Speicher-Controller, den Zugriff auf den Speicherbereich **921** steuern und kann Steuersignale für den Zugriff auf den Speicherbereich **921** erzeugen.

[0128] Die dem Slave-Layer entsprechenden integrierten Halbleiterschaltkreis-Layer **LA2** bis **LAK** können jeweils eine Speicherzellenanordnung mit der oben beschriebenen Struktur und eine Reparatursteuerschaltung **RCC 922** gemäß obiger Beschreibung umfassen.

[0129] Die Speichervorrichtung **900** kann eine dreidimensionale (3D) vertikale Array-Struktur aufweisen, die vertikale NAND-Ketten enthält, die senkrecht so ausgerichtet sind, dass mindestens eine Speicherzelle über einer anderen Speicherzelle positioniert ist. Die mindestens eine Speicherzelle kann einen Ladungsfallen-Layer aufweisen. Die folgenden Patentdokumente, die durch Inbezugnahme hier vollumfänglich mit aufgenommen werden, beschreiben geeignete Ausgestaltungen für eine Speicherzellenanordnung mit einer vertikalen 3D-Array-Struktur, in welcher das 3D-Speicherarray in Form mehrerer Levels ausgestaltet ist, wobei Wortleitungen und/oder Bitleitungen zwischen Levels gemeinsam genutzt werden: US-Patent- Nr. 7679133, 8553466,

8654587 und 8559235 sowie US-Patent-Pub- Nr. 2011/0233648.

[0130] Obwohl die in der nichtflüchtigen Speichervorrichtung enthaltene Speicherzellenanordnung gemäß beispielhaften Ausführungsformen auf Grundlage einer Flash-Speichervorrichtung beschrieben wird, kann die nichtflüchtige Speichervorrichtung gemäß beispielhaften Ausführungsformen ein beliebiges nichtflüchtiges Speicherbauelement sein, zum Beispiel ein PRAM (Phase Random Access Memory), ein RRAM (Resistive Random Access Memory), ein NFGM (Nano Floating Gate Memory), ein PoRAM (Polymer Random Access Memory), ein MRAM (Magnetic Random Access Memory), ein FRAM (Ferroelectric Random Access Memory), ein TRAM (Thyristor Random Access Memory) usw.

[0131] **Fig. 20** zeigt eine beispielhafte Speicherorganisation mit hoher Bandbreite (HBM).

[0132] Wie in **Fig. 20** dargestellt, kann der HBM **1100** so ausgestaltet sein, dass er einen Stapel mehrerer **DRAM**-Halbleiterchips **1120**, **1130**, **1140** und **1150** aufweist. Der HBM der Stapelstruktur kann über eine Mehrzahl von unabhängigen Schnittstellen, die als Kanäle bezeichnet werden, optimiert werden. Jeder Stapel (**DRAM**-Stack) kann bis zu 8 Kanäle entsprechend den HBM-Standards unterstützen. **Fig. 20** zeigt einen beispielhaften Stack, der 4 **DRAM**-Halbleiterchips **1120**, **1130**, **1140** und **1150** umfasst, und jeder **DRAM**-Halbleiterchip trägt zwei Kanäle **CHANNEL0** und **CHANNEL1**.

[0133] Jeder Kanal bietet den Zugriff auf einen unabhängigen Satz von **DRAM**-Banken. Anforderungen von einem Kanal ermöglichen keinen Zugriff auf Daten, die an einem anderen Kanal hängen. Kanäle sind unterschiedlich getaktet und müssen nicht synchron sein.

[0134] Der HBM **1100** kann ferner einen Schnittstellenchip **1110** oder einen unten an der Stapelstruktur angeordneten Logikchip aufweisen, um eine Signalweiterleitung oder andere Funktionen bereitzustellen. Die Funktion für die **DRAM**-Halbleiterchips **1120**, **1130**, **1140** und **1150** kann zum Teil im Schnittstellenchip **1110** implementiert sein.

[0135] Die **DRAM**-Halbleiterchips **1120**, **1130**, **1140** und **1150** können jeweils eine Speicherzellenanordnung mit der oben beschriebenen Struktur und eine Reparatursteuerschaltung gemäß obiger Beschreibung umfassen.

[0136] **Fig. 21** ist eine Darstellung einer beispielhaften Anordnung der Halbleiterspeichervorrichtungen der **Fig. 19** und **Fig. 20**.

[0137] Wie in **Fig. 21** dargestellt, kann eine Halbleiter-Speichervorrichtung **200** ein erstes bis achttes Bank-Array **310-380**, einen ersten bis achten Bank-Zeilendecoder **260a-260h**, einen ersten bis achten Bank-Spaltendecoder **270a-270h**, eine Zeitsteuerschaltung **500** und eine Reparatursteuerschaltung **400** umfassen. Gemäß einer beispielhaften Ausführungsform können die Bank-Arrays eins bis acht in einem Kernbereich des Substrats verteilt sein.

[0138] Das erste Bank-Array **310** und das dritte Bank-Array **330** können in einem ersten Bereich **301** eines Substrats angeordnet sein, das zweite Bank-Array **320** und das vierte Bank-Array **340** können in einem zweiten Bereich **302** des Substrats angeordnet sein, das fünfte Bank-Array **350** und das siebente Bank-Array **370** können in einem dritten Bereich **303** des Substrats angeordnet sein, und das sechste Bank-Array **360** und das achte Bank-Array **380** können in einem vierten Bereich **304** des Substrats angeordnet sein. Für den durchschnittlichen Fachmann dürfte verständlich und ersichtlich sein, dass die in **Fig. 21** dargestellten Anordnungen rein illustrativen Zwecken dienen und die vorliegende Offenbarung nicht auf die abgebildete Struktur beschränkt ist.

[0139] Der erste Bank-Zeilendecoder (oder erste Zeilendecoder) **260a** und der erste Bank-Spaltendecoder (oder erste Spaltendecoder) **270a** können angrenzend zum ersten Bank-Array **310** angeordnet sein, der zweite Bank-Zeilendecoder **260b** und der zweite Bank-Spaltendecoder **270b** können angrenzend zum zweiten Bank-Array **320** angeordnet sein, der dritte Bank-Zeilendecoder **260c** und der dritte Bank-Spaltendecoder **270c** können angrenzend zum dritten Bank-Array **330** angeordnet sein, und der achte Bank-Zeilendecoder **260h** und der achte Bank-Spaltendecoder **270h** können angrenzend zum achten Bank-Array **380** angeordnet sein. Die ersten bis vierten Bereiche **301-304** können einem Kernbereich des Substrats entsprechen.

[0140] Die Reparatursteuerschaltung **400** und die Zeitsteuerschaltung **500** können in einem peripheren Bereich PERI des Substrats angeordnet sein. Obwohl nicht dargestellt, können die Steuerlogikschaltung **210**, das Adressregister **220**, der Spaltenadressen-Latch **250**, der Daten-I/O-Puffer **295** von **Fig. 4** im peripheren Bereich PERI angeordnet sein.

[0141] **Fig. 22** ist ein Blockschaltbild zur Darstellung eines mobilen Systems gemäß beispielhaften Ausführungsformen.

[0142] Wie in **Fig. 22** dargestellt, umfasst ein mobiles System **1200** einen Anwendungsprozessor **1210**, eine Konnektivitätsschaltung **1220**, eine flüchtige Speichervorrichtung (VM) **1230**, eine nichtflüchtige Speichervorrichtung (NVM) **1240**, eine Benutzerschnittstelle **1250** und eine Stromversorgung **1260**.

[0143] Der Anwendungsprozessor **1210** kann Computeranweisungen ausführen, die in computerlesbaren Medien (zum Beispiel in Speicherbauelementen) gespeichert sind, wozu Anwendungen wie ein Web-Browser, eine Game-Anwendung, ein Video-Player usw. gehören. Die Konnektivitätsschaltung **1220** kann eine drahtgebundene oder drahtlose Kommunikation mit einem externen Gerät durchführen. Die flüchtige Speichervorrichtung **1230** kann vom Anwendungsprozessor **1210** verarbeitete Daten speichern oder als Arbeitsspeicher arbeiten. Die flüchtige Speichervorrichtung **1230** kann beispielsweise ein dynamischer Direktzugriffsspeicher wie ein DDR **SDRAM** (Double Data Rate Synchronous Dynamic Random-Access Memory), LPDDR **SDRAM** (Low Power Double Data Rate Synchronous Dynamic Random-Access Memory), GDDR **SDRAM** (Graphics Double Data Rate Synchronous Dynamic Random-Access Memory), RDRAM (Rambus Dynamic Random-Access Memory) usw. sein. Die nichtflüchtige Speichervorrichtung **1240** kann ein Boot-Image für das Booten des mobilen Systems **1200** speichern. Die Benutzerschnittstelle **1250** kann mindestens eine Eingabevorrichtung wie ein Tastenfeld, einen Touchscreen usw. und mindestens eine Ausgabevorrichtung wie einen Lautsprecher, eine Anzeigevorrichtung usw. aufweisen. Die Stromversorgung **1260** kann eine Versorgungsspannung der mobilen System **1200** bereitstellen. In einigen Ausführungsformen kann das mobile System **1200** zudem einen Kamerabilprozess (CIS) und/oder eine Speichervorrichtung wie eine Speicherkarte, ein Solid-State-Drive (SSD), ein Festplattenlaufwerk (HDD), eine CD-ROM usw. aufweisen.

[0144] Die flüchtige Speichervorrichtung **1230** kann eine Speicherzellenanordnung MCA **1231** mit der oben beschriebenen Struktur und eine Reparatursteuerschaltung **1232** gemäß obiger Beschreibung aufweisen.

[0145] Wie oben beschrieben, können die Halbleiterspeichervorrichtung und/oder das Verfahren zum Betreiben der Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen die Größe der Halbleiterspeichervorrichtung reduzieren, indem der Normalzellenbereich in die mehreren Normalbereichsgruppen gruppiert wird, um die Anzahl der Vergleicher und die Bitzahl der Ausfalladressen, die gespeichert und verglichen werden, zu reduzieren. Die Halbleiterspeichervorrichtung und/oder das Verfahren zum Betreiben der Halbleiterspeichervorrichtung gemäß beispielhaften Ausführungsformen können außerdem die Ausbeute der Halbleiterspeichervorrichtung ohne eine Vergrößerung der Halbleiterspeichervorrichtung erhöhen, indem jede Normalbereichsgruppe in eine Mehrzahl von Teilblöcken unterteilt wird und die benachbarten Teilbereiche in den verschiedenen Normalbereichsgruppen angeordnet werden.

[0146] Beispielhafte Ausführungsformen der erfinderschen Konzepte können auf beliebige Geräte und Systeme angewendet werden, die eine Speichervorrichtung mit erforderlichem Reparaturbetrieb umfassen. Beispielhafte Ausführungsformen der erfinderschen Konzepte können auf Systeme wie ein Mobiltelefon, ein Smartphone, einen persönlichen digitalen Assistenten (PDA), einen portablen Multimedia-Player (PMP), eine digitale Kamera, einen Camcorder, einen Personalcomputer (PC), einen Server-Computer, eine Arbeitsstation, einen Laptop-Computer, einen digitalen Fernseher, eine Set-Top-Box, eine tragbare Spielkonsole, ein Navigationssystem usw. angewendet werden.

[0147] Gemäß einer oder mehreren beispielhaften Ausführungsformen können die oben beschriebenen Einheiten und/oder Vorrichtungen, wie die Komponenten der Steuerlogikschaltung und der Reparatursteuerschaltung sowie deren Teilkomponenten, die die Gruppenansteuerungsschaltung **420**, die Adressspeicherschaltung **440** und die Vergleichsschaltung **460** umfassen, mit Hilfe von Hardware, einer Kombination von Hardware und Software oder eines nicht-transistorischen Speichermediums, auf dem eine ausführbare Software zur Ausführung der entsprechenden Funktionen gespeichert ist, realisiert werden. Diese Komponenten können in der gleichen Hardware-Plattform oder in separaten Hardware-Plattformen realisiert werden.

[0148] Die Realisierung der Hardware kann über Verarbeitungsschaltungen erfolgen, wie insbesondere, aber nicht ausschließlich, über einen oder mehrere Prozessoren, eine oder mehrere zentrale Verarbeitungseinheiten (CPU), einen oder mehrere Controller, eine oder mehrere arithmetische logische Einheiten (ALU), einen oder mehrere digitale Signalprozessoren (DSP), einen oder mehrere Mikrocomputer, ein oder mehrere feldprogrammierbare Gate-Arrays (FPGA), ein oder mehrere System-on-Chips (SoC), eine oder mehrere programmierbare logische Einheiten (PLU), einen oder mehrere Mikroprozessoren, einen oder mehrere anwendungsspezifische integrierte Schaltkreise (ASIC) oder (eine) andere Vorrichtung (en) mit Fähigkeit zur Reaktion auf und Ausführung von Anweisungen in definierter Weise.

[0149] Die Software kann ein Computerprogramm, einen Programmcode, Anweisungen oder eine Kombination derselben umfassen, um eine Hardware-Vorrichtung für den gewünschten Betrieb unabhängig oder zusammen zu instruieren oder zu konfigurieren. Das Computerprogramm und/oder der Programmcode können Programminstruktionen oder computerlesbare Anweisungen, Software-Komponenten, Software-Module, Datendateien, Datenstrukturen usw. umfassen, die sich durch eine oder mehrere Hardware-Vorrichtungen, wie eine oder mehrere der oben erwähnten Hardware-Vorrichtungen, realisieren las-

sen. Beispiele von Programmcode sind sowohl ein von einem Compiler erzeugter Maschinencode als auch ein von einem Interpreter ausgeführter Higher-Level-Programmcode.

[0150] Wenn es sich bei der Hardware-Vorrichtung beispielsweise um eine Computer-Verarbeitungsvorrichtung (zum Beispiel um einen oder mehrere Prozessoren, **CPUs**, Controller, **ALUs**, **DSPs**, Mikrocomputer, Mikroprozessoren usw.) handelt, kann die Computer-Verarbeitungsvorrichtung zur Ausführung von Programmcode ausgestaltet sein, indem sie arithmetische, logische und Eingabe/Ausgabe-Operationen gemäß dem Programmcode ausführt. Sobald der Programmcode in eine Computer-Verarbeitungsvorrichtung geladen ist, kann die Computer-Verarbeitungsvorrichtung so programmiert werden, dass sie den Programmcode ausführt, wodurch die Computer-Verarbeitungsvorrichtung in eine zweckspezifische Computer-Verarbeitungsvorrichtung umgewandelt wird. In einem spezielleren Ausführungsbeispiel wird mit dem Laden des Programmcodes in einen Prozessor dieser Prozessor so programmiert, dass er den Programmcode und entsprechende Vorgänge ausführt, wodurch der Prozessor in einen Spezialprozessor umgewandelt wird. In einem anderen Beispiel kann die Hardware-Vorrichtung ein integrierter Schaltkreis sein, der per Customizing in eine zweckspezifische Verarbeitungsschaltung (zum Beispiel eine ASIC) umgewandelt wird.

[0151] Eine Hardware-Vorrichtung, wie eine Computer-Verarbeitungsvorrichtung, kann ein Betriebssystem (OS) und eine oder mehrere auf dem OS laufende Software-Anwendungen betreiben. Die Computer-Verarbeitungsvorrichtung kann in Reaktion auf die Ausführung der Software auch Daten abgreifen, speichern, bearbeiten, verarbeiten und erstellen. Aus Gründen der Vereinfachung können eine oder mehrere beispielhafte Ausführungsformen als nur eine Computer-Verarbeitungsvorrichtung veranschaulicht sein; für den Fachmann wird jedoch ersichtlich, dass eine Hardware-Vorrichtung mehrere Verarbeitungselemente und mehrere Arten von Verarbeitungselementen aufweisen kann. Eine Hardware-Vorrichtung kann beispielsweise mehrere Prozessoren oder einen Prozessor und einen Controller umfassen. Darüber hinaus sind andere Verarbeitungs Konfigurationen, wie parallele Prozessoren, möglich.

[0152] Software und/oder Daten können permanent oder temporär in einer beliebigen Art von Speichermedium realisiert sein, darunter insbesondere, aber nicht ausschließlich, eine Maschine, Komponente, physische oder virtuelle Ausrüstung oder ein Computerspeichermedium oder -gerät mit der Fähigkeit, Anweisungen oder Daten einer Hardware-Vorrichtung bereitzustellen oder von einer Hardware-Vorrichtung interpretieren zu lassen. Die Software kann auch auf vernetzte Computersysteme verteilt werden, so dass

die Software auf verteilte Weise gespeichert und ausgeführt wird. Insbesondere können Software und Daten beispielsweise von einem oder mehreren computerlesbaren Aufzeichnungsmedien gespeichert werden, darunter physischen oder nichttransistorischen Speichermedien wie hier erörtert.

[0153] Speichermedien können auch eine oder mehrere Speichervorrichtungen in Einheiten und/oder Vorrichtungen gemäß einer oder mehreren Ausführungsformen umfassen. Die eine oder die mehreren Speichervorrichtungen können physische oder nichttransistorische computerlesbare Speichermedien sein, wie Direktzugriffsspeicher (**RAM**), Lesespeicher (**ROM**), ein permanentes Massenspeichergerät (wie ein Plattenlaufwerk) und/oder ein beliebiger anderer Datenspeichermechanismus mit Fähigkeit zur Speicherung und Aufzeichnung von Daten. Die eine oder die mehreren Speichervorrichtungen können so ausgestaltet sein, dass sie Computerprogramme, Programmcode, Anweisungen oder eine Kombination derselben für ein oder mehrere Betriebssysteme und/oder für die Realisierung der hier beschriebenen beispielhaften Ausführungsformen speichern. Die Computerprogramme, der Programmcode, die Anweisungen oder eine Kombination derselben können auch mit Hilfe eines Laufwerkmechanismus von einem separaten computerlesbaren Speichermedium aus in die eine oder die mehreren Speichervorrichtungen und/oder in die eine oder die mehreren Computer-Verarbeitungsvorrichtungen geladen werden. Ein solches separates computerlesbares Speichermedium kann ein Universal-Serial-Bus(USB)-Flash-Drive, einen Speicherstick, ein Blu-Ray/DVD/CD-ROM-Laufwerk, eine Speicherkarte und/oder andere ähnliche computerlesbare Speichermedien umfassen.

[0154] Die Computerprogramme, der Programmcode, die Anweisungen oder eine Kombination derselben können über eine Netzwerk-Schnittstelle, statt über ein computerlesbares Speichermedium, aus einer fernen Datenspeichervorrichtung in die eine oder die mehreren Speichervorrichtungen und/oder in die eine oder die mehreren Computer-Verarbeitungsvorrichtungen geladen werden. Die Computerprogramme, der Programmcode, die Anweisungen oder eine Kombination derselben können über ein Netzwerk aus einem fernen Rechensystem, das dazu ausgelegt ist, die Computerprogramme, den Programmcode, die Anweisungen oder eine Kombination derselben zu senden und/oder zu verteilen, in die eine oder die mehreren Speichervorrichtungen und/oder in die eine oder die mehreren Computer-Verarbeitungsvorrichtungen geladen werden. Das ferne Rechensystem kann die Computerprogramme, den Programmcode, die Anweisungen oder eine Kombination derselben über eine drahtgebundene Schnittstelle, eine Luftschnittstelle und/oder ein anderes ähnliches Medium senden und/oder verteilen.

[0155] Die eine oder die mehreren Hardware-Vorrichtungen, die Speichermedien, die Computerprogramme, der Programmcode, die Anweisungen oder eine Kombination derselben können speziell für die Zwecke der beispielhaften Ausführungsformen ausgelegt und aufgebaut sein oder können vorbekannte Vorrichtungen sein, die für die Zwecke der beispielhaften Ausführungsformen abgeändert und/oder modifiziert werden.

[0156] Die vorhergehenden Ausführungen illustrieren beispielhafte Ausführungsformen und sind nicht als deren Einschränkung zu verstehen. Obwohl einige wenige beispielhafte Ausführungsformen beschrieben wurden, wird es dem Fachmann leicht ersichtlich, dass in den beispielhaften Ausführungsformen viele Änderungen möglich sind, ohne wesentlich von den beispielhaften Ausführungsformen der erfindatorischen Konzepte abzuweichen.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- KR 1020170158829 [0001]
- US 7679133 [0129]
- US 8553466 [0129]
- US 8654587 [0129]
- US 8559235 [0129]
- US 2011/0233648 [0129]

Patentansprüche

1. Halbleiterspeichervorrichtung, umfassend:
eine Speicherzellenanordnung, die einen Normalzellenbereich und einen Redundanzzellenbereich umfasst, wobei der Normalzellenbereich eine Mehrzahl von Normalbereichsgruppen aufweist und der Redundanzzellenbereich dazu ausgelegt ist, ausgefallene Speicherzellen des Normalzellenbereichs zu ersetzen; und
eine Reparatursteuerschaltung, die ausgelegt ist zum Bestimmen einer Ziel-Normalbereichsgruppe aus der Mehrzahl von Normalbereichsgruppen basierend auf einer Eingangsadresse,
Extrahieren von Ziel-Ausfalladressen aus einer Mehrzahl von Ausfalladressen basierend auf der Ziel-Normalbereichsgruppe und
Steuern eines Reparaturvorgangs basierend auf den Ziel-Ausfalladressen und der Eingangsadresse.

2. Halbleiterspeichervorrichtung nach Anspruch 1, wobei jede der mehreren Normalbereichsgruppen eine Mehrzahl von Teilbereichen umfasst, so dass diejenigen der mehreren Teilbereiche, die aneinander angrenzen, in unterschiedlichen der mehreren Normalbereichsgruppen liegen.

3. Halbleiterspeichervorrichtung nach Anspruch 2, wobei in jeder der mehreren Normalbereichsgruppen die mehreren Teilbereiche aufeinanderfolgend in einer Spaltenrichtung entsprechend einem Round-Robin-Schema angeordnet sind.

4. Halbleiterspeichervorrichtung nach Anspruch 1, wobei eine Anzahl von Bits von jeder der mehreren Ausfalladressen kleiner ist als eine Anzahl von Bits der Eingangsadresse.

5. Halbleiterspeichervorrichtung nach Anspruch 1, wobei
die Mehrzahl von Normalbereichsgruppen 2^M Normalbereichsgruppen umfasst, eine Anzahl von Bits der Eingangsadresse N Eingangsbits beträgt und eine Anzahl von Bits von jeder der mehreren Ausfalladressen $N-M$ beträgt, wobei N eine natürliche Zahl ist und M eine natürliche Zahl kleiner als N ist.

6. Halbleiterspeichervorrichtung nach Anspruch 1, wobei die Eingangsadresse ein oder mehrere Gruppenidentitätsbits aufweist, die die Ziel-Normalbereichsgruppe darstellen.

7. Halbleiterspeichervorrichtung nach Anspruch 6, wobei die Reparatursteuerschaltung umfasst:
eine Gruppenansteuerungsschaltung, die ausgelegt ist zum Erzeugen von einer Mehrzahl von Gruppenansteuerungssignalen basierend auf den Gruppenidentitätsbits, wobei die mehreren Gruppenansteuerungssignale die Ziel-Normalbereichsgruppe darstellen;

eine Adressspeicherschaltung, die ausgelegt ist zum Speichern der Mehrzahl von Ausfalladressen und zum Extrahieren der Ziel-Ausfalladressen aus der Mehrzahl von Ausfalladressen basierend auf der Mehrzahl von Gruppenansteuerungssignalen; und
eine Vergleichsschaltung, die ausgelegt ist zum Erzeugen eines Reparatursteuersignals basierend auf der Eingangsadresse und den Ziel-Ausfalladressen.

8. Halbleiterspeichervorrichtung nach Anspruch 7, wobei die Vergleichsschaltung von den mehreren Normalbereichsgruppen gemeinsam genutzt wird.

9. Halbleiterspeichervorrichtung nach Anspruch 7, wobei
die Vergleichsschaltung eine Mehrzahl von Vergleichen umfasst, die dazu ausgelegt sind, die Ziel-Ausfalladressen mit der Eingangsadresse zu vergleichen, und
wobei eine Anzahl der mehreren Vergleiche kleiner ist als eine Anzahl der in der Adressspeicherschaltung speicherbaren Ausfalladressen.

10. Halbleiterspeichervorrichtung nach Anspruch 9, wobei
die Anzahl der mehreren Vergleiche P beträgt und eine Anzahl der mehreren Normalbereichsgruppen Q beträgt, und
die Anzahl der in der Adressspeicherschaltung speicherbaren Ausfalladressen $P \cdot Q$ beträgt, wobei P und Q natürliche Zahlen sind.

11. Halbleiterspeichervorrichtung nach Anspruch 9, wobei
die Eingangsadresse das eine oder die mehreren Gruppenidentitätsbits und andere Bits umfasst, jeder der mehreren Vergleiche eine Mehrzahl von logischen Gates umfasst, die dazu ausgelegt sind, einen bitweisen Vergleich von Bits von einer der Ziel-Ausfalladressen mit den anderen Bits der Eingangsadresse auszuführen, und
die Mehrzahl von Normalbereichsgruppen 2^M Normalbereichsgruppen umfasst, eine Anzahl von Bits der Eingangsadresse N Eingangsbits beträgt und eine Anzahl der mehreren logischen Gates in jedem Vergleich $N-M$ beträgt, wobei N eine natürliche Zahl ist und M eine natürliche Zahl kleiner als N ist.

12. Halbleiterspeichervorrichtung nach Anspruch 2, wobei die Eingangsadresse ein oder mehrere Gruppenidentitätsbits und ein oder mehrere Teilbereich-Identitätsbits aufweist, wobei das eine oder die mehreren Gruppenidentitätsbits die Ziel-Normalbereichsgruppe darstellen und das eine oder die mehreren Teilbereich-Identitätsbits einen Ziel-Teilbereich aus der Mehrzahl von Teilbereichen darstellen.

13. Halbleiterspeichervorrichtung nach Anspruch 12, wobei die Gruppenidentitätsbits in der Eingangs-

adresse weniger signifikante Bits als die Teilbereich-Identitätsbits in der Eingangsadresse sind.

14. Halbleiterspeichervorrichtung nach Anspruch 2, wobei die Halbleiterspeichervorrichtung ausgelegt ist zum Ausführen eines Zeilenreparaturvorgangs zum Reparieren der ausgefallenen Speicherzellen um die Einheit einer Zeile, so dass jeder der mehreren Teilbereiche einer Mehrzahl von Wortleitungen entspricht.

15. Halbleiterspeichervorrichtung nach Anspruch 2, wobei die Halbleiterspeichervorrichtung ausgelegt ist zum Ausführen eines Spaltenreparaturvorgangs zum Reparieren der ausgefallenen Speicherzellen um die Einheit einer Spalte in jedem von mehreren Speicherblöcken, so dass die Mehrzahl von Teilbereichen der Mehrzahl von Speicherblöcken entspricht, und Wortleitungen des Redundanzzellenbereichs sich von Wortleitungen des Normalzellenbereichs unterscheiden.

Es folgen 20 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

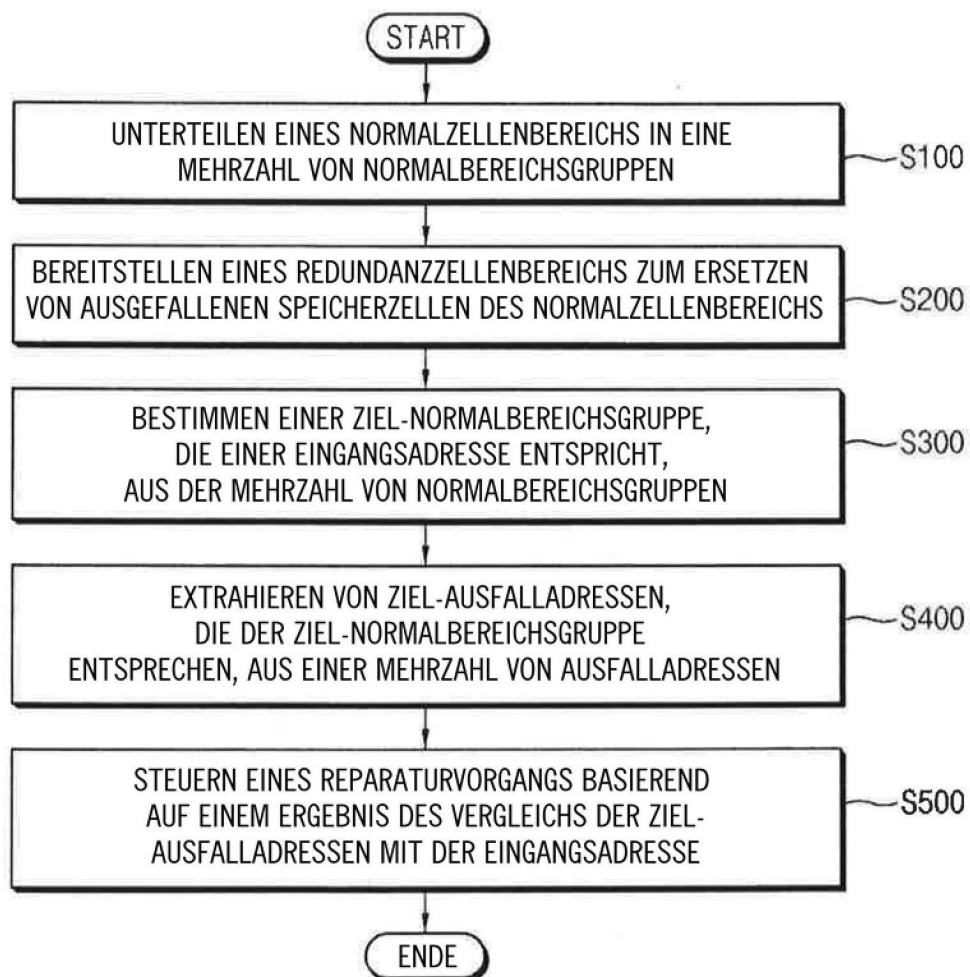


FIG. 2

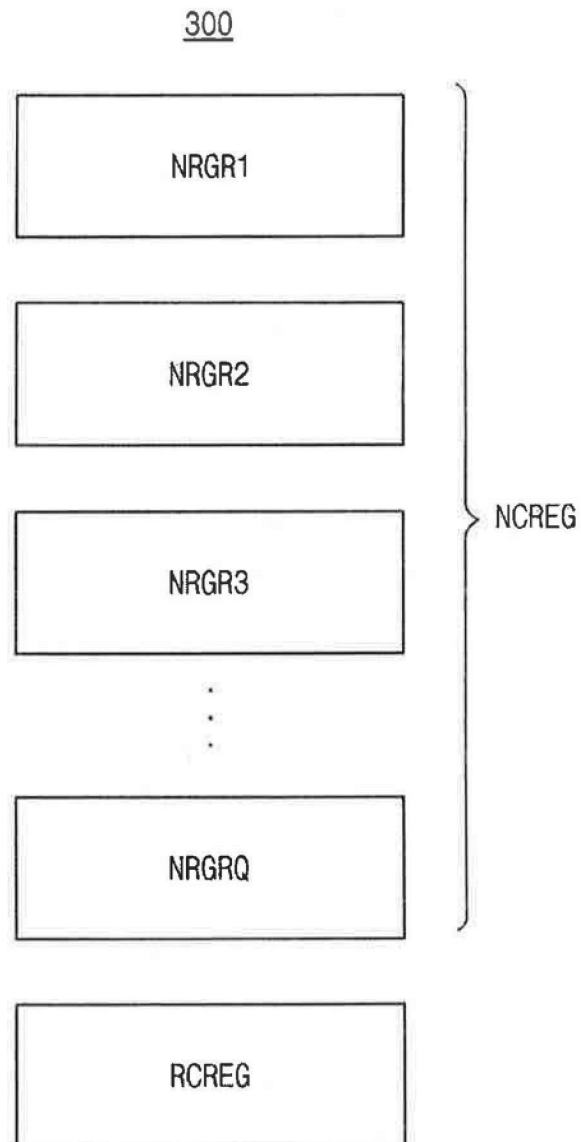


FIG. 3

20

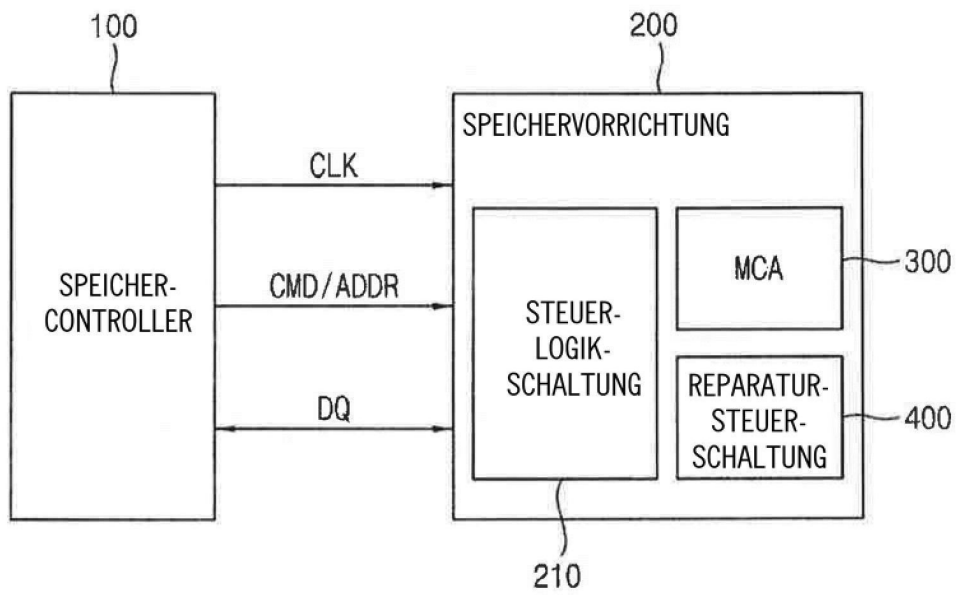


FIG. 5

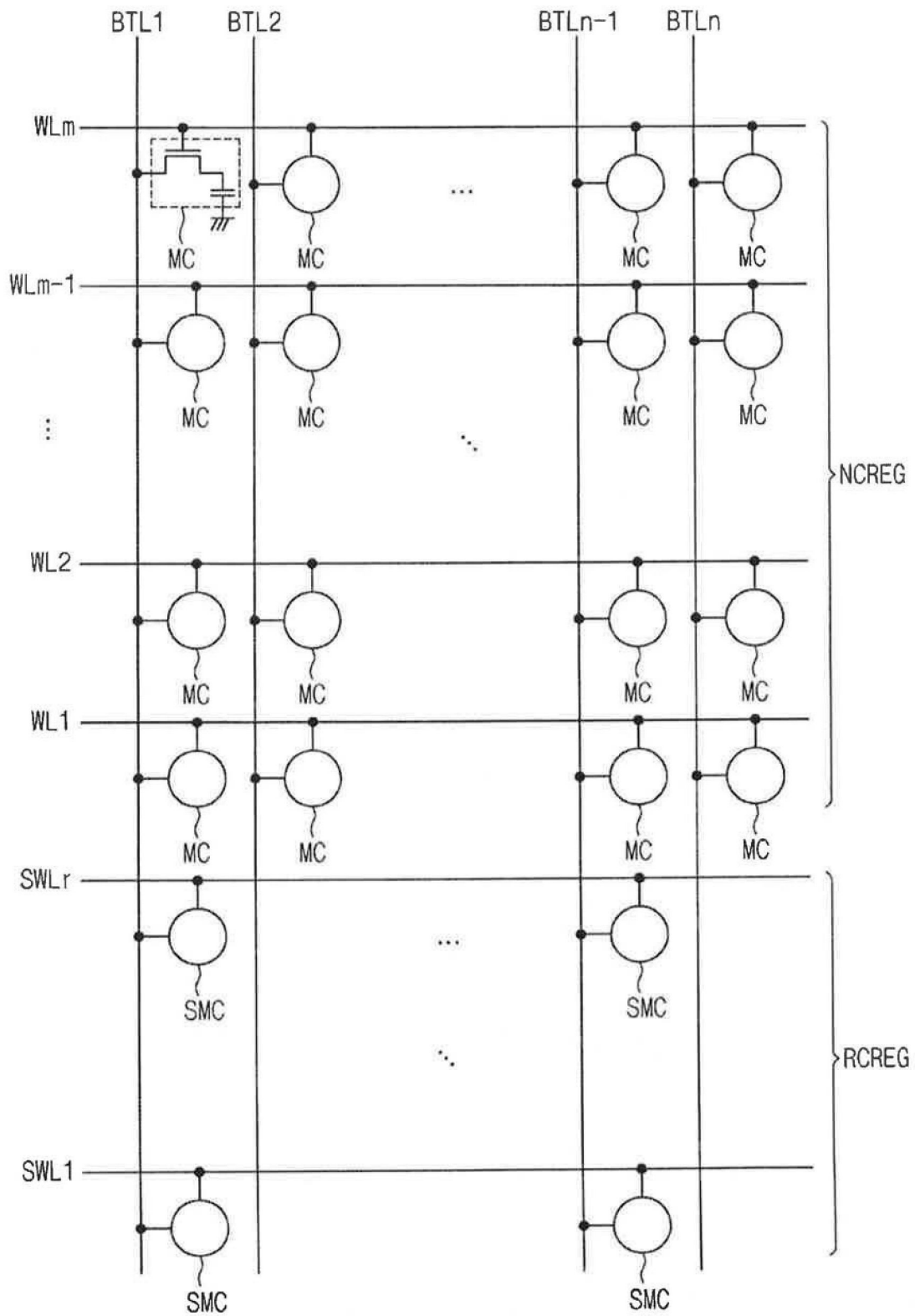


FIG. 6

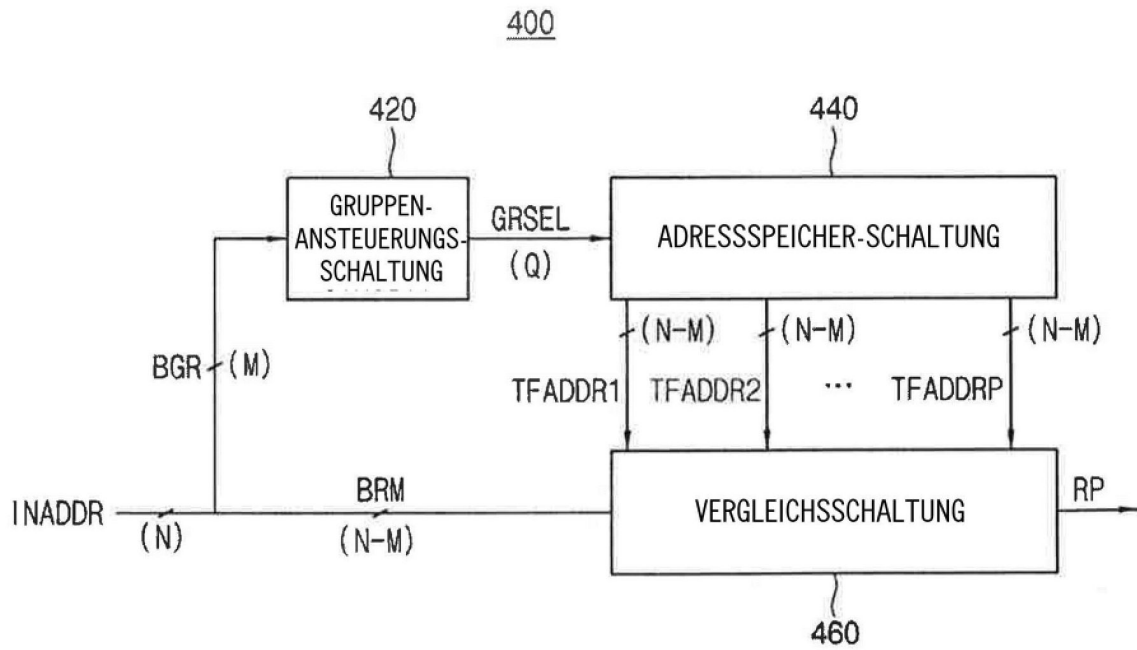


FIG. 7

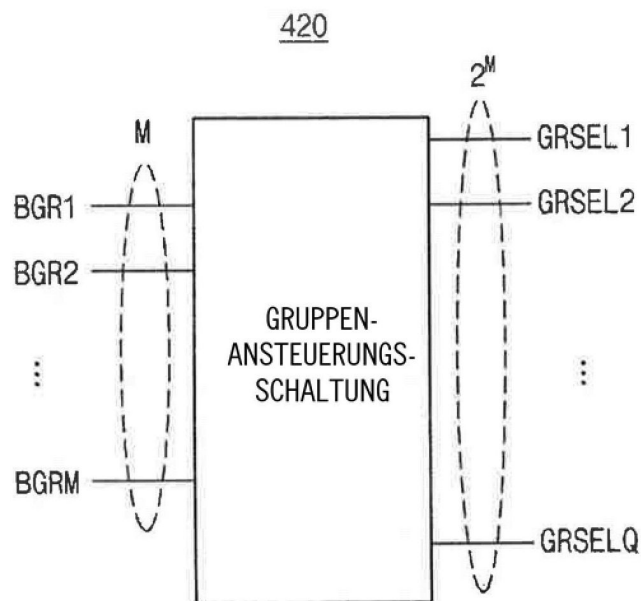


FIG. 8

440

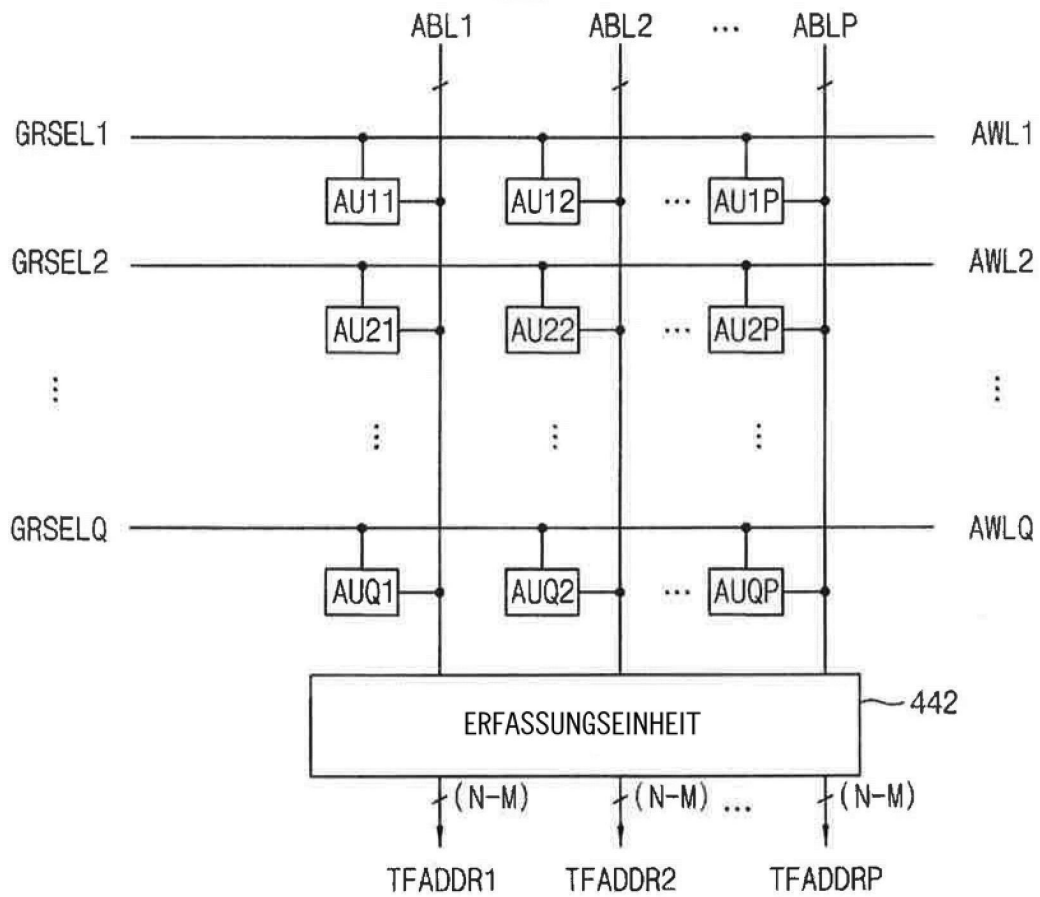


FIG. 9

460

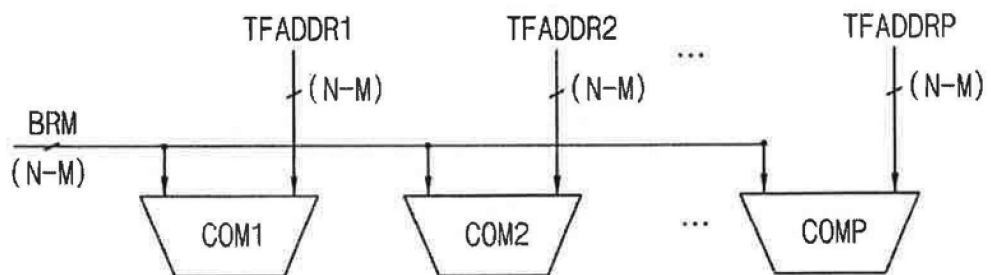


FIG. 10

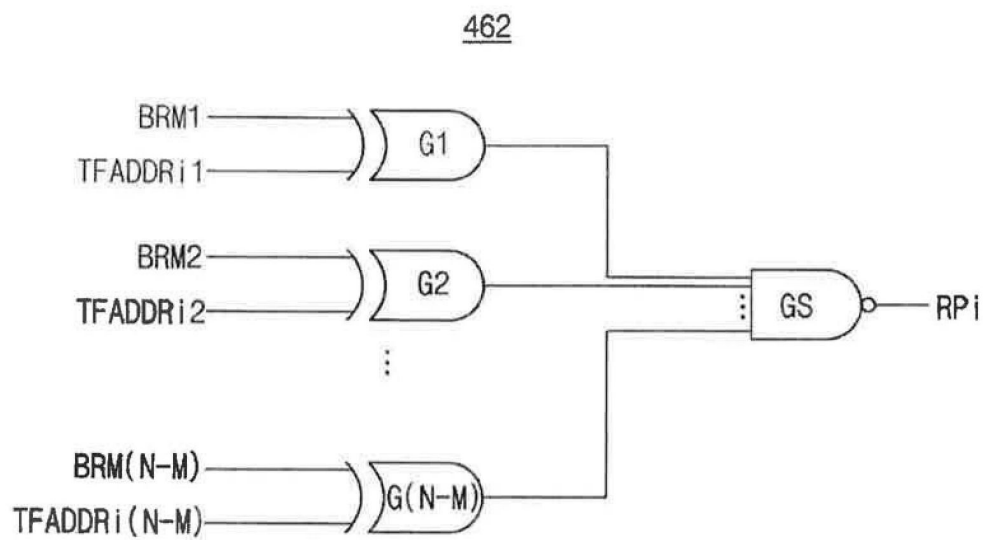


FIG. 11

NCREG

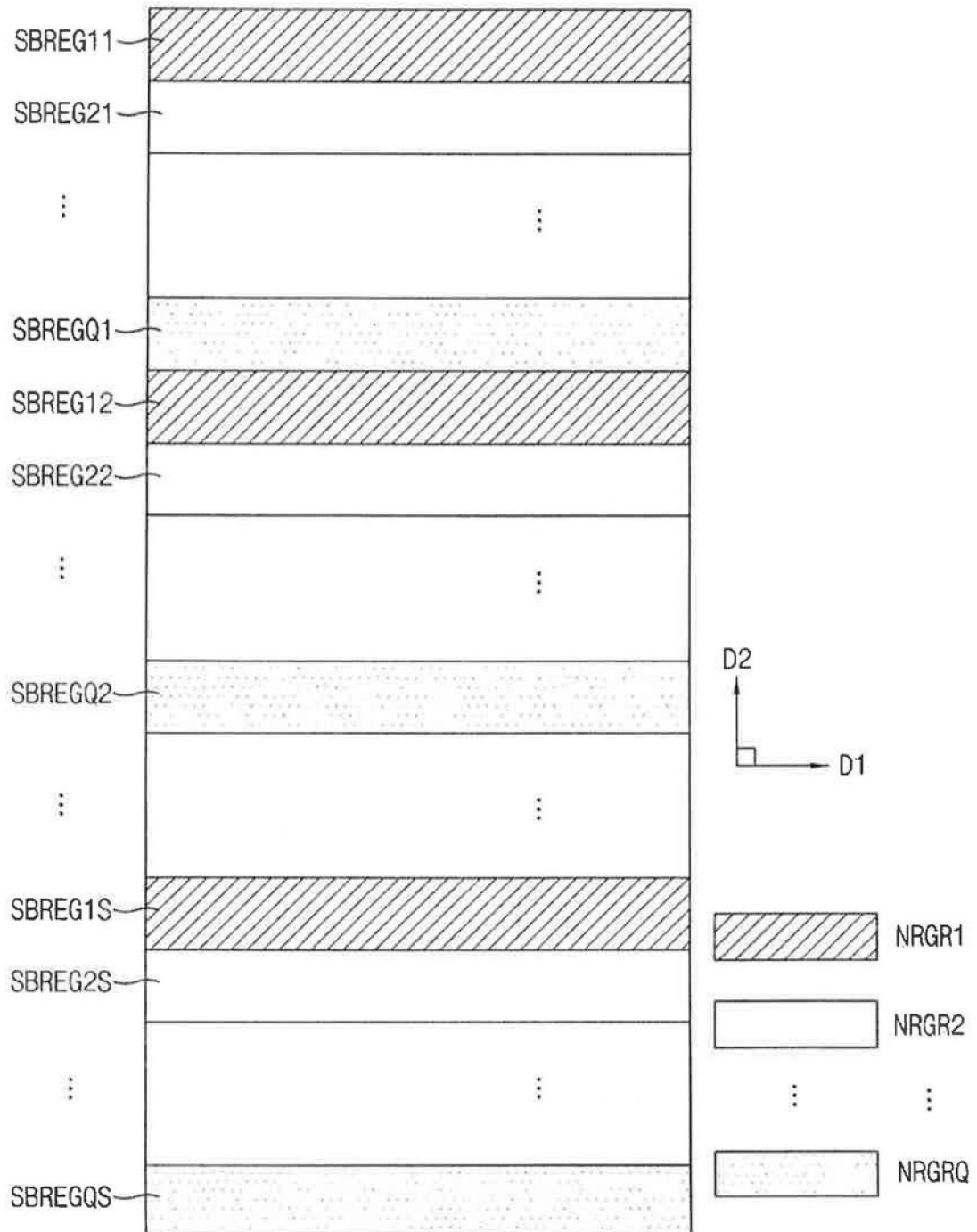


FIG. 12

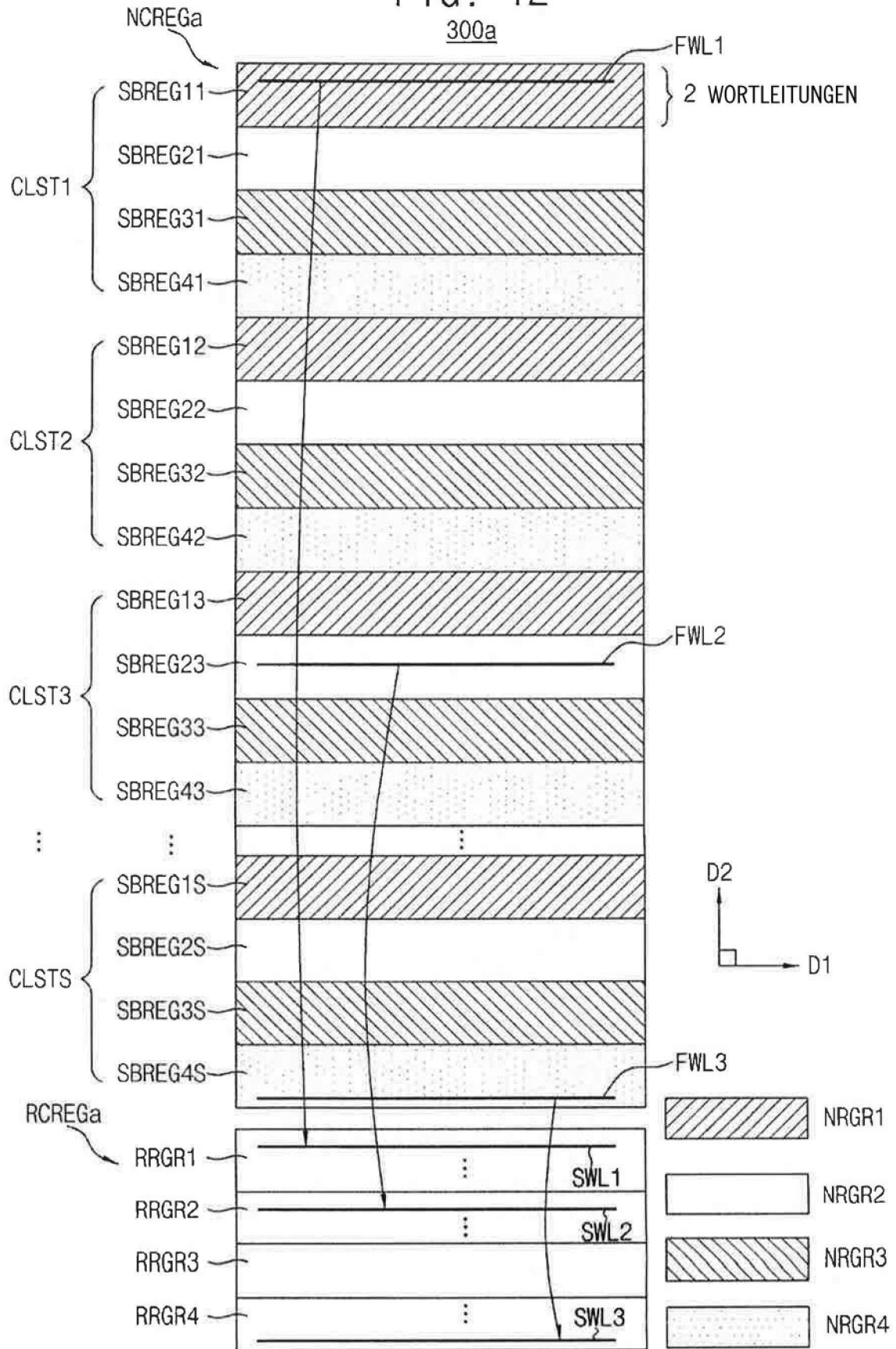


FIG. 13

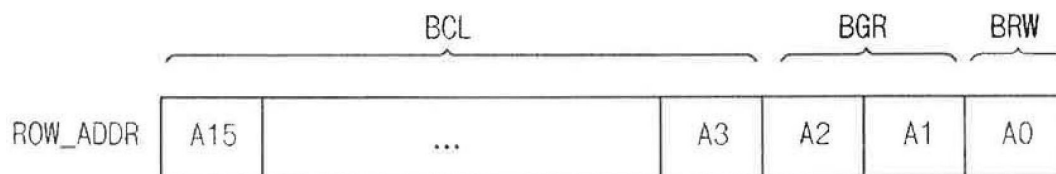


FIG. 14

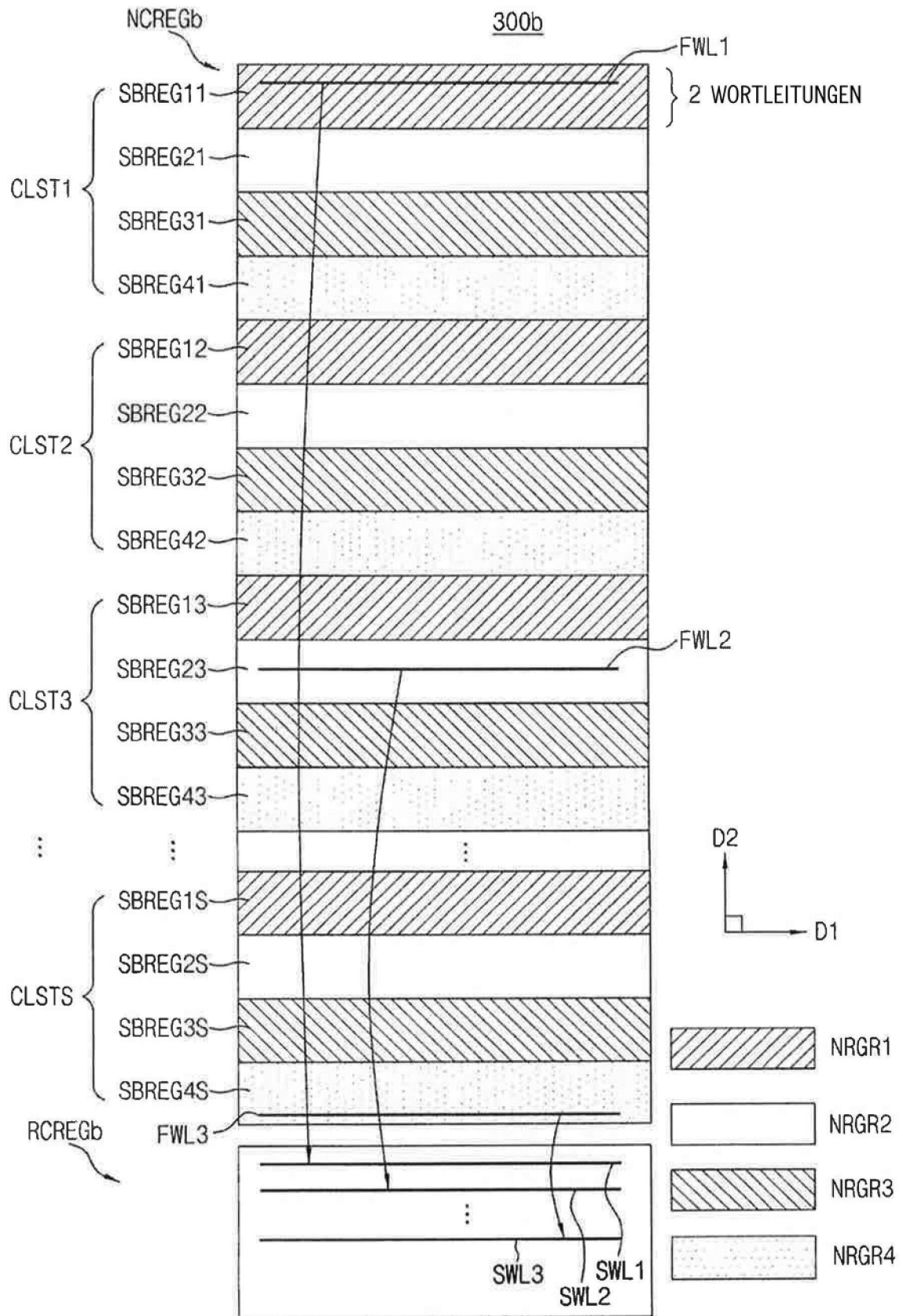


FIG. 15

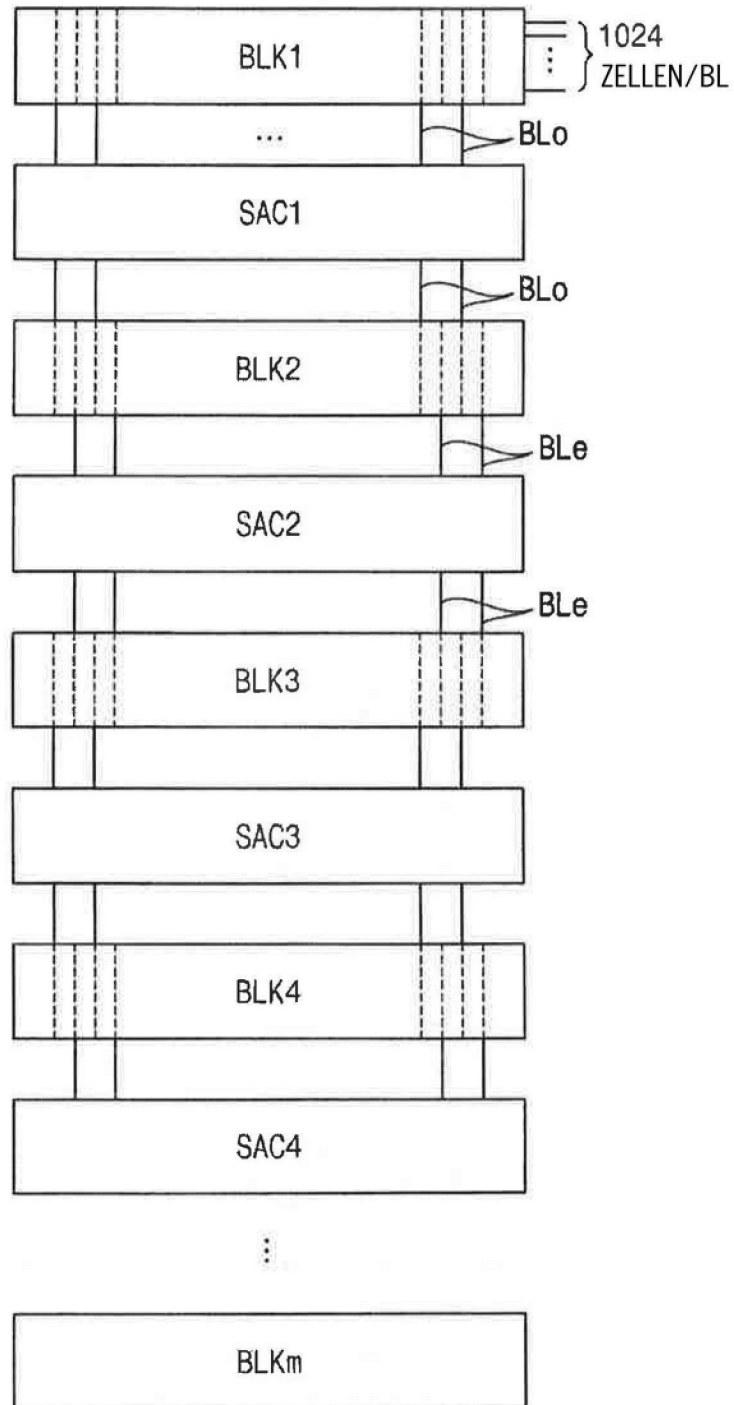


FIG. 16

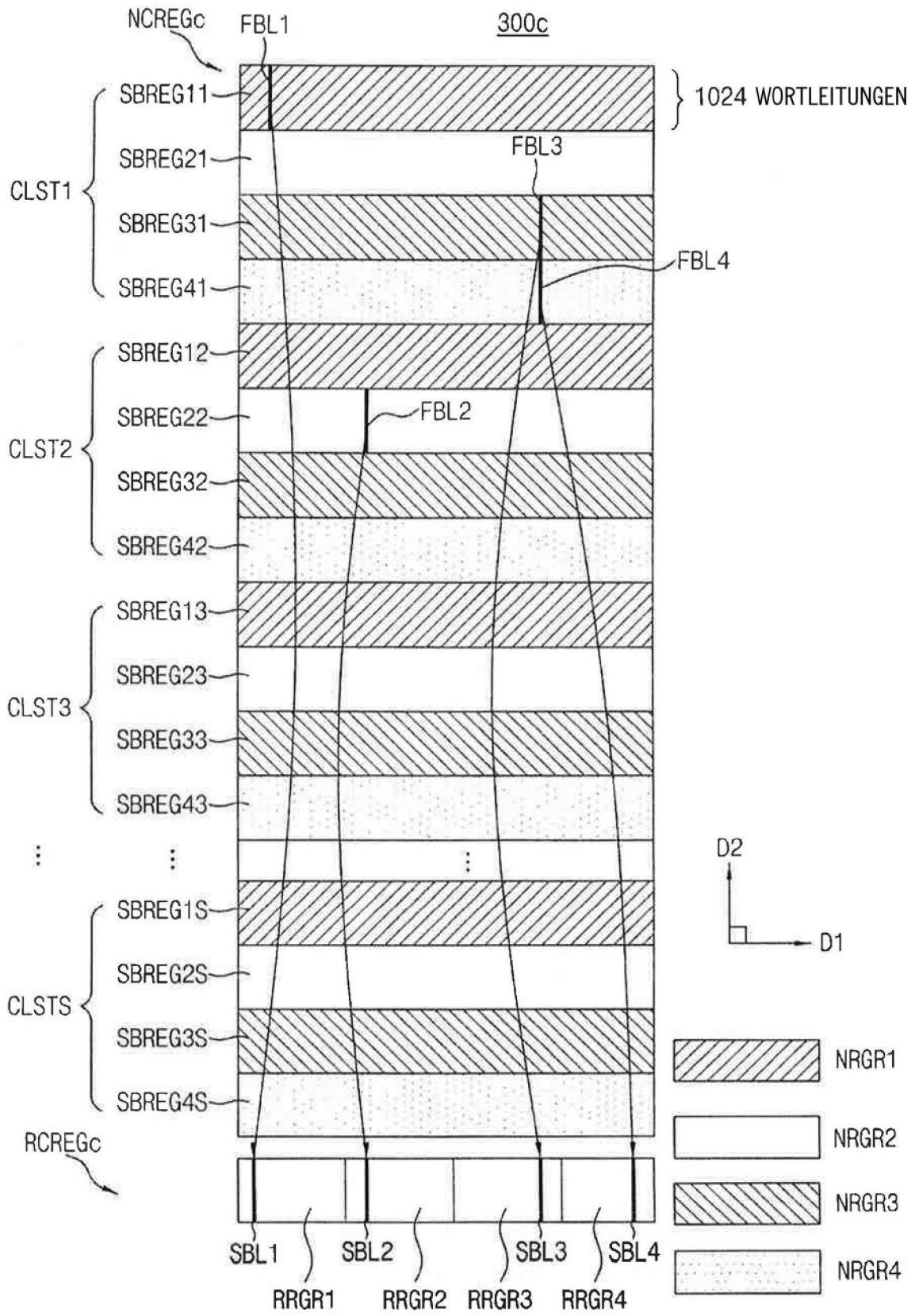


FIG. 17

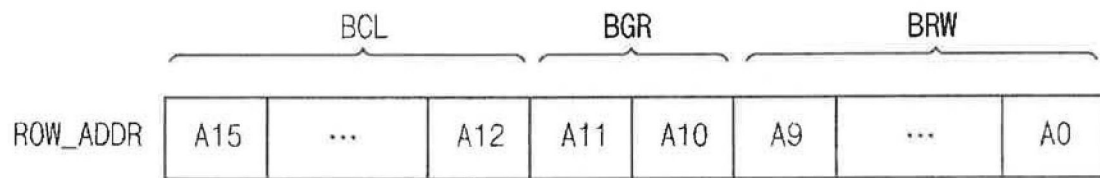


FIG. 18

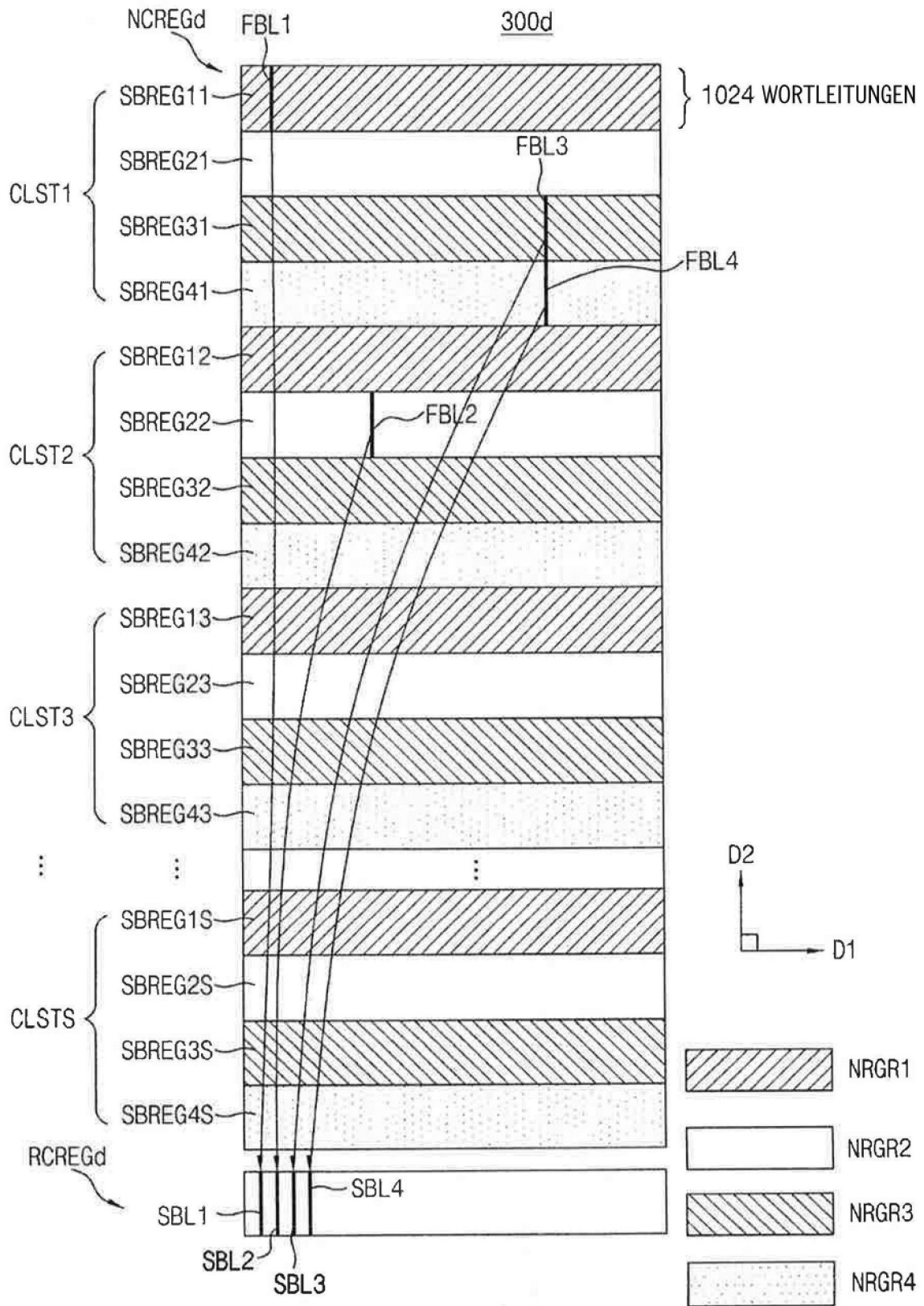


FIG. 19

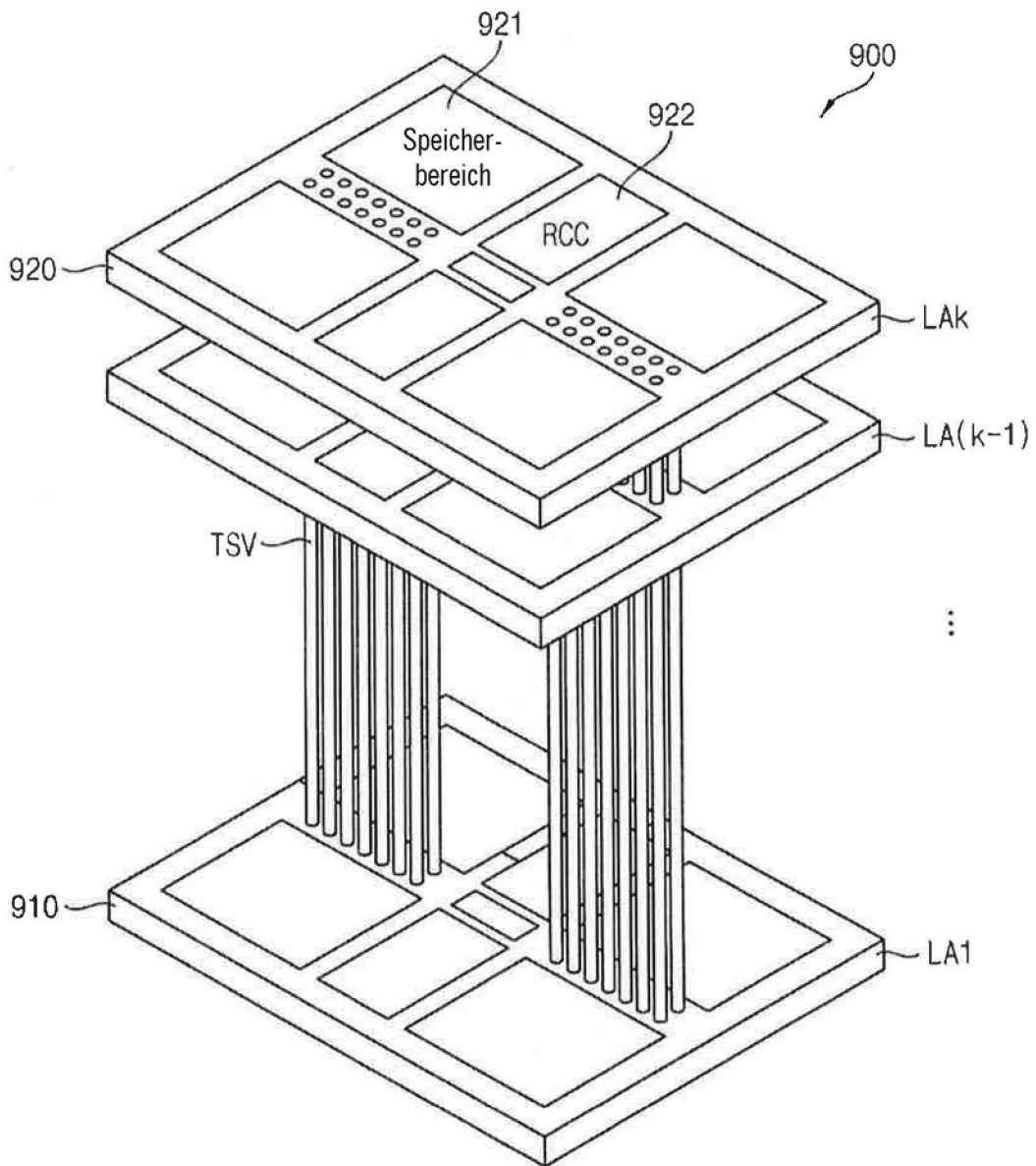


FIG. 20

1100

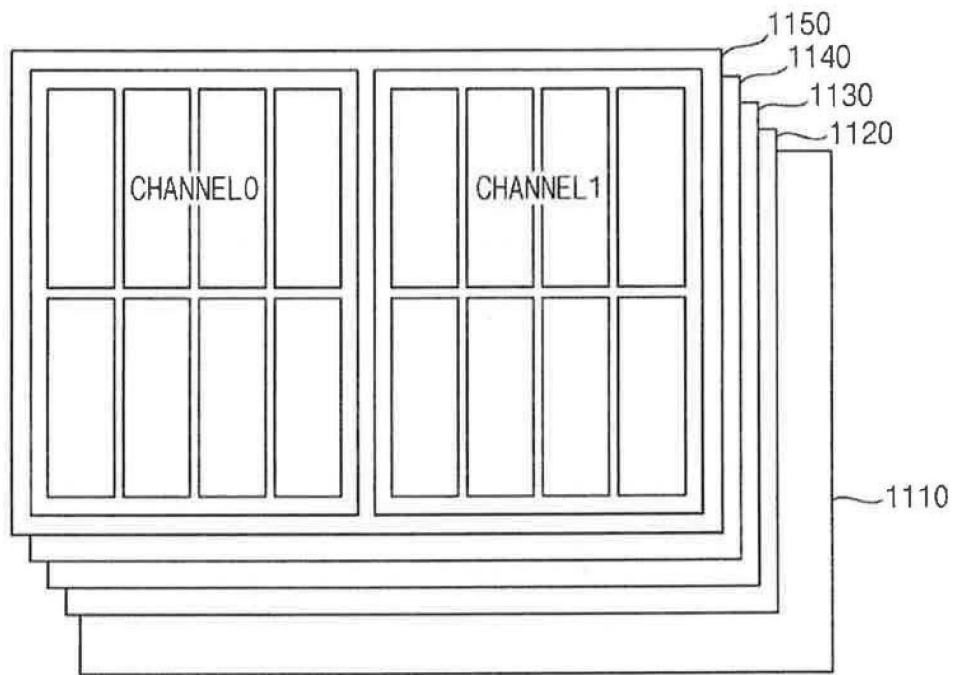


FIG. 21

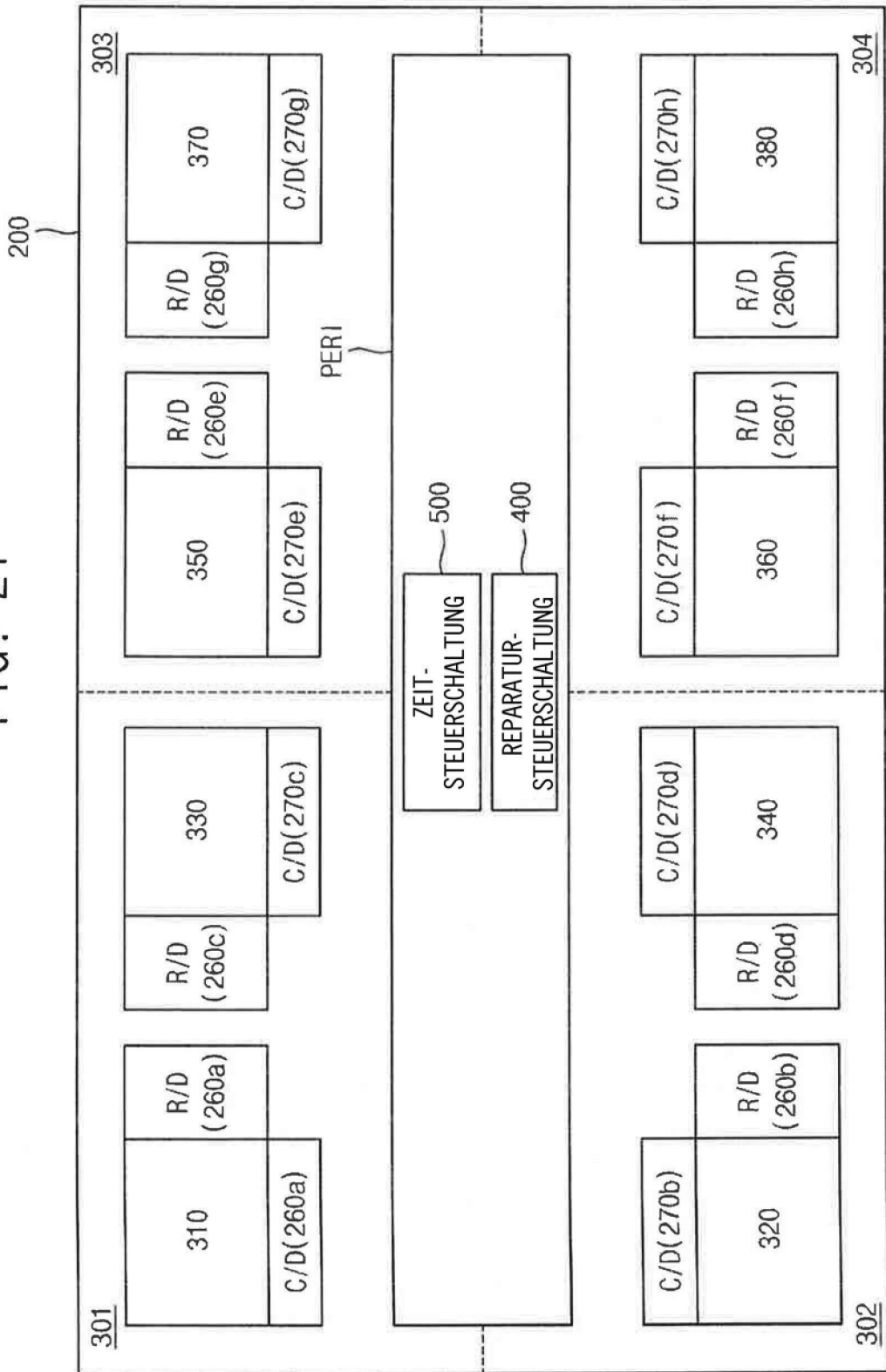


FIG. 22

1200

