



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I462299 B

(45)公告日：中華民國 103 (2014) 年 11 月 21 日

(21)申請案號：098106189

(22)申請日：中華民國 98 (2009) 年 02 月 26 日

(51)Int. Cl. : **H01L29/786 (2006.01)**

(30)優先權：2008/03/01 日本

2008-051436

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：大力浩二 DAIRIKI, KOJI (JP)；池田隆之 IKEDA, TAKAYUKI (JP)；宮入秀和
MIYAIRI, HIDEKAZU (JP)；黑川義元 KUROKAWA, YOSHIYUKI (JP)；鄉戶宏
充 GODO, HIROMICHI (JP)；河江大輔 KAWAE, DAISUKE (JP)；井上卓之
INOUE, TAKAYUKI (JP)；小林聰 KOBAYASHI, SATOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP H2-218166A

JP H3-278466A

JP 2005-167051A

審查人員：陳建丞

申請專利範圍項數：21 項 圖式數：33 共 107 頁

(54)名稱

薄膜電晶體及顯示裝置

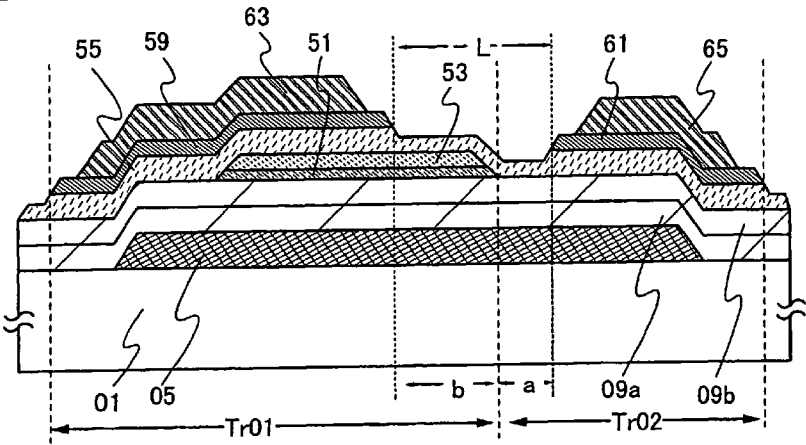
THIN FILM TRANSISTOR AND DISPLAY DEVICE

(57)摘要

本發明提供一種薄膜電晶體及顯示裝置。改善關於薄膜電晶體的導通電流及截止電流的問題。該薄膜電晶體包括：添加有賦予一導電型的雜質元素的一對雜質半導體層，該一對雜質半導體層相離地設置；導電層，該導電層在上述閘極絕緣層上重疊於上述閘極電極及上述添加有賦予一導電型的雜質元素的一對雜質半導體層的一方；以及非晶半導體層，該非晶半導體層從上述導電層上延伸到上述閘極絕緣層上，與添加有賦予一導電型的雜質元素的一對雜質半導體層雙方接觸，並且連續設置在該添加有賦予一導電型的雜質元素的一對雜質半導體層之間。

To improve problems with on-state current and off-state current of thin film transistors, a thin film transistor includes a pair of impurity semiconductor layers to which an impurity element imparting one conductivity type is added, provided with a space therebetween; a conductive layer which is overlapped, over the gate insulating layer, with the gate electrode and one of the pair of impurity semiconductor layers to which an impurity element imparting one conductivity type is added; and an amorphous semiconductor layer which is provided successively between the pair of impurity semiconductor layers to which an impurity element imparting one conductivity type is added in such a manner that the amorphous semiconductor layer extends over the gate insulating layer from the conductive layer and is in contact with both of the pair of impurity semiconductor layers to which an impurity element imparting one conductivity type is added.

圖1A



- 01 . . . 基板
- 05 . . . 閘極電極
- 09a、09b . . . 閘極絕緣層
- 51 . . . 導電層
- 53 . . . 緩衝層
- 55 . . . 非晶半導體層
- 59 . . . 雜質半導體層
- 61 . . . 雜質半導體層
- 63 . . . 佈線
- 65 . . . 佈線
- Tr01 . . . 第一薄膜電晶體
- Tr02 . . . 第二薄膜電晶體
- a、b . . . 距離
- L . . . 通道長度

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：98106189

※申請日：98年02月26日

※IPC分類：

H01L 27/86 (2006.01)

一、發明名稱：(中文／英文)

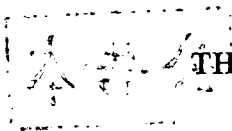
薄膜電晶體及顯示裝置

Thin film transistor and display device

二、中文發明摘要：

本發明提供一種薄膜電晶體及顯示裝置。改善關於薄膜電晶體的導通電流及截止電流的問題。該薄膜電晶體包括：添加有賦予一導電型的雜質元素的一對雜質半導體層，該一對雜質半導體層相離地設置；導電層，該導電層在上述閘極絕緣層上重疊於上述閘極電極及上述添加有賦予一導電型的雜質元素的一對雜質半導體層的一方；以及非晶半導體層，該非晶半導體層從上述導電層上延伸到上述閘極絕緣層上，與添加有賦予一導電型的雜質元素的一對雜質半導體層雙方接觸，並且連續設置在該添加有賦予一導電型的雜質元素的一對雜質半導體層之間。

三、英文發明摘要：



THIN FILM TRANSISTOR AND DISPLAY DEVICE

To improve problems with on-state current and off-state current of thin film transistors, a thin film transistor includes a pair of impurity semiconductor layers to which an impurity element imparting one conductivity type is added, provided with a space therebetween; a conductive layer which is overlapped, over the gate insulating layer, with the gate electrode and one of the pair of impurity semiconductor layers to which an impurity element imparting one conductivity type is added; and an amorphous semiconductor layer which is provided successively between the pair of impurity semiconductor layers to which an impurity element imparting one conductivity type is added in such a manner that the amorphous semiconductor layer extends over the gate insulating layer from the conductive layer and is in contact with both of the pair of impurity semiconductor layers to which an impurity element imparting one conductivity type is added.

四、指定代表圖：

(一)、本案指定代表圖為：第(1A)圖。

(二)、本代表圖之元件代表符號簡單說明：

01：基板

05：閘極電極

09a、09b：閘極絕緣層

51：導電層

53：緩衝層

55：非晶半導體層

59：雜質半導體層

61：雜質半導體層

63：佈線

65：佈線

Tr01：第一薄膜電晶體

Tr02：第二薄膜電晶體

a、b：距離

L：通道長度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於一種薄膜電晶體以及使用該薄膜電晶體工作的顯示裝置。

【先前技術】

作為場效應電晶體的一種，已知有將通道區域形成於在具有絕緣表面的基板上形成的半導體層中的薄膜電晶體。已公開有使用非晶矽、微晶矽及多晶矽作為用於薄膜電晶體的半導體層的技術（參照專利檔 1 至 5）。薄膜電晶體的典型應用例是液晶電視裝置，薄膜電晶體作為構成顯示幕幕的各像素的開關電晶體而實現實用化。

專利檔 1：日本專利特開 2001-053283 號公報

專利檔 2：日本專利特開平 5-129608 號公報

專利檔 3：日本專利特開 2005-049832 號公報

專利檔 4：日本專利特開平 7-131030 號公報

專利檔 5：日本專利特開 2005-191546 號公報

在非晶矽層中形成通道的薄膜電晶體的問題在於，只能獲得 $0.4\text{cm}^2/\text{V}\cdot\text{sec}$ 至 $0.8\text{cm}^2/\text{V}\cdot\text{sec}$ 左右的場效應遷移率，其導通電流低。另一方面，在微晶矽層中形成通道的薄膜電晶體與使用非晶矽的薄膜電晶體相比，其問題在於，雖然場效應遷移率提高了，但是截止電流也變高，從而不能獲得充分的開關特性。

多晶矽層成為通道形成區域的薄膜電晶體具有如下特

性：其場效應遷移率格外高於上述兩種薄膜電晶體的場效應遷移率，能夠獲得高導通電流。根據上述特性，該薄膜電晶體除了構成設置於像素中的開關用薄膜電晶體之外，還可以構成被要求高速工作的驅動器電路。

然而，與由非晶矽層形成薄膜電晶體的情況相比，多晶矽層成為通道形成區域的薄膜電晶體需要半導體層的晶化步驟，從而帶來製造成本增大的問題。例如，製造多晶矽層所需的雷射退火技術存在以下問題，即因雷射光束的照射面積小，而不能高效地生產大螢幕液晶面板。

順便提及，用於製造顯示面板的玻璃基板正逐年大型化，即第 3 代（ $550\text{mm}\times 650\text{mm}$ ）、第 3.5 代（ $600\text{mm}\times 720\text{mm}$ 或 $620\text{mm}\times 750\text{mm}$ ）、第 4 代（ $680\text{mm}\times 880\text{mm}$ 或 $730\text{mm}\times 920\text{mm}$ ）、第 5 代（ $1100\text{mm}\times 1300\text{mm}$ ）、第 6 代（ $1500\text{mm}\times 1850\text{mm}$ ）、第 7 代（ $1870\text{mm}\times 2200\text{mm}$ ）、第 8 代（ $2200\text{mm}\times 2400\text{mm}$ ），預計今後將向第 9 代（ $2400\text{mm}\times 2800\text{mm}$ 、 $2450\text{mm}\times 3050\text{mm}$ ）、第 10 代（ $2950\text{mm}\times 3400\text{mm}$ ）的大面積化發展。玻璃基板的大型化是基於成本最小設計的思想。

然而，能夠在大面積母玻璃基板如第 10 代（ $2950\text{mm}\times 3400\text{mm}$ ）上高生產性地製造能高速工作的薄膜電晶體的技術尚未確立，這成為產業界的問題。

因此，本發明的一個課題在於解決關於薄膜電晶體的導通電流及截止電流的上述問題。另一課題是提供一種能夠高速工作的薄膜電晶體。

【發明內容】

本發明之一的薄膜電晶體包括添加有賦予一導電型的雜質元素的一對雜質半導體層，該一對雜質半導體層以隔著閘極絕緣層並至少一部分與閘極電極重疊的方式彼此分離地設置，並且形成源區及汲區。該薄膜電晶體還包括：導電層，該導電層在閘極絕緣層上重疊於閘極電極及添加有賦予一導電型的雜質元素的一對雜質半導體層的一方；以及非晶半導體層，該非晶半導體層從該導電層延伸到閘極絕緣層上，與添加有賦予一導電型的雜質元素的一對雜質半導體層雙方接觸，並且連續設置在該添加有賦予一導電型的雜質元素的一對雜質半導體層之間。還可以設置重疊於導電層的緩衝層。

本發明之一的薄膜電晶體包括：覆蓋閘極電極的閘極絕緣層；設置於閘極絕緣層上的非晶半導體層；以及一對雜質半導體層，它添加有賦予形成源區及汲區的一導電型的雜質元素，並且彼此分離地設置在上述非晶半導體層上。該薄膜電晶體包括導電層，該導電層設置於閘極絕緣層和非晶半導體層之間，重疊於添加有賦予一導電型的雜質元素的一對雜質半導體層的一方，並且在上述源區和上述汲區之間延伸。還包括與上述導電層及非晶半導體層接觸、且重疊於導電層的緩衝層。

本發明之一的薄膜電晶體包括：隔著閘極絕緣層重疊於閘極電極的導電層；覆蓋導電層的側面的非晶半導體層

；以及添加有賦予一導電型的雜質元素的一對雜質半導體層，該一對雜質半導體層設置在非晶半導體層上並形成源區及汲區。添加有賦予一導電型的雜質元素的一對雜質半導體層的一方的至少一部分重疊於導電層，添加有賦予一導電型的雜質元素的一對雜質半導體層的一方設置在導電層的外側。

薄膜電晶體利用施加到閘極電極的電壓控制流過源區及汲區之間的載流子（電子或電洞），流過源區和汲區之間的載流子流過設置為重疊於閘極電極的導電層、和從該導電層上向通道長度方向延伸設置的非晶半導體層。

然而，導電層並沒有在薄膜電晶體的通道長度方向上的整個區域延伸，而是設置為使其不重疊於添加有賦予形成源區及汲區的一導電型的雜質元素的一對雜質半導體層的一方。就是說，該薄膜電晶體採用如下結構：在源區及汲區之間的通道長度方向的一定距離中，流過通道之間的載流子流過非晶半導體層。

導電層的電導率為 0.1 S/cm 至 1.8 S/cm ，非晶半導體層的電導率低於導電層的電導率。微晶半導體層的施體濃度為 $1 \times 10^{18}\text{ atoms/cm}^3$ 以上且 $2 \times 10^{20}\text{ atoms/cm}^3$ 以下。導電層至少是向薄膜電晶體的通道長度方向延伸，並且具有上述電導率，從而起到產生高導通電流的作用。另一方面，設置在通道之間並形成所謂補償區域的非晶半導體層起到減小截止電流的作用。

所謂雜質半導體，是指參與導電的載流子大多數是從

所添加的雜質供應的半導體。雜質是能夠提供電子作為載流子而成為施體的元素，或者是能夠提供電洞作為載流子而成為受體的元素，典型地說，以元素週期表第 15 族元素為施體，以元素週期表第 13 族元素為受體。

所謂微晶半導體，是指例如結晶粒徑為 2nm 以上且 200nm 以下、較佳為 10nm 以上且 80nm 以下、更較佳為 20nm 以上且 50nm 以下，並且電導率大約為 10^{-7}S/cm 至 10^{-4}S/cm ，但藉由價電子控制可以將其提高到 10^1S/cm 的半導體。但是，微晶半導體的概念並不固定於上述結晶粒徑、電導率的數值，只要是具有同等物性值的材料，就可以替換成其他半導體材料。所謂非晶半導體，是指不具有晶體結構（原子的排列沒有長程有序）的半導體。注意，非晶矽還包括含有氫的非晶矽。

所謂“導通電流”，是指在將適當的閘極電壓施加到閘極電極以使電流流過通道形成區域時（就是，薄膜電晶體處於導通狀態時）流過通道形成區域的電流。所謂“截止電流”，是指當閘極電壓低於薄膜電晶體的臨界值電壓時（就是，薄膜電晶體處於截止狀態時）流過源極和汲極之間的電流。

使導電層不在薄膜電晶體的通道長度方向上的整個區域延伸，而是設置為使其不重疊於添加有賦予形成源區及汲區的一導電型的雜質元素的一對雜質半導體層的一方，並且在源區及汲區之間的通道長度方向的一定距離上，使流過通道之間的載流子流過非晶半導體層，藉由採用這樣

的結構，可以獲得高導通電流且減小截止電流。

另外，藉由提高導電層的施體濃度，還可以提高場效應遷移率，並能夠實現高速工作。

【實施方式】

下面，關於發明的實施模式，參照附圖作以下說明。但是，所公開的發明不侷限於以下說明，只要是所屬技術領域的技術人員，就可以很容易地理解一個事實，就是其方式和詳細內容可以不脫離所公開的發明的宗旨及其範圍地進行種種變更。因而，所公開的發明不應該被解釋為僅限定在以下實施模式所記載的內容中。在以下公開的發明結構中，在不同附圖中共同使用相同標號來表示相同部分。

另外，在下面的實施模式中，表示閘極電極 05 為閘極佈線的一部分的方式。因此，有時將閘極電極 05 表示為閘極佈線 05。另外，與此相同，有時將佈線 63 表示為源極佈線 63 或源極電極 63。

實施模式 1

在此，參照圖 1 說明一種薄膜電晶體的結構，其截止電流比通道形成區域中具有微晶半導體層的薄膜電晶體的低，並且與通道形成區域中具有非晶半導體層的薄膜電晶體相比，能夠進行高速工作，且導通電流高。

圖 1A 所示的薄膜電晶體中，在基板 01 上形成閘極電

極 05，在閘極電極 05 上形成閘極絕緣層 09a、09b，在閘極絕緣層 09b 上形成導電層 51，在導電層 51 上形成緩衝層 53。該緩衝層 53 設置為大致重疊於導電層 51。另外，形成覆蓋導電層 51 及緩衝層 53 的側面與上表面的非晶半導體層 55。在非晶半導體層 55 上形成一對雜質半導體層 59、61（第一雜質半導體層 59 及第二雜質半導體層 61），這一對雜質半導體層 59、61 中添加有賦予一導電型的雜質元素，並形成源區及汲區，在添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 上形成佈線 63、65。另外，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的一方 61 不重疊於緩衝層 53。另外，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的另一方 59 的一個端部重疊於緩衝層 53。

導電層 51 由電導率為 0.1Scm^{-1} 至 1.8Scm^{-1} 的導電層形成。作為導電層 51，有滿足上述電導率的金屬層、金屬氮化物層、金屬碳化物層、金屬硼化物層、金屬矽化物層、添加有用作施體的雜質元素的半導體層等。

作為金屬層，可以適當地使用典型的鋁、銅、鈦、鈹、銦、鉬、鉭、鎢、鈷、鎳、銀、金、鉑、錫、銥等金屬層或由這些多種金屬形成的金屬合金層。另外，還可以由上述金屬層或金屬合金層的單層或疊層形成。

作為金屬氮化物層，可以使用氮化鈦層、氮化鋁層、氮化鈾層、氮化鉕層、氮化鈮層、氮化鉻層、氮化鎳層、氮化鈹層等。另外，還可以由上述金屬氮化物

層的單層或疊層形成。

作為金屬碳化物層，可以使用碳化鈦層、碳化鈐層、碳化鈮層、碳化鉭層、碳化釩層、碳化鈷層、碳化鉬層、碳化鈳層、碳化鉍層、碳化鎢層等。另外，還可以由上述金屬碳化物層的單層或疊層形成。

作為金屬硼化物層，可以使用硼化鈦層。

作為金屬矽化物層，可以使用矽化鉑層、矽化鈦層、矽化鉬層、矽化鎳層、矽化鉻層、矽化鈳層、矽化釩層、矽化鎢層、矽化鈷層、矽化鈐層、矽化鈮層、矽化鉭層等。另外，還可以由上述金屬矽化物層的單層或疊層形成。

再者，可以使導電層 51 具有使用多個金屬層、金屬氮化物層、金屬碳化物層、金屬硼化物層、金屬矽化物層的疊層結構。

注意，在形成金屬層、金屬氮化物層、金屬碳化物層、金屬硼化物層、金屬矽化物層作為導電層 51 時，為了與非晶半導體層 55 實現歐姆接觸，可以採用如下疊層結構，即在金屬層、金屬氮化物層、金屬碳化物層、金屬硼化物層、金屬矽化物層等中的某一層上，形成添加有用作施體的雜質元素或用作受體的雜質元素的半導體層 72a（參照圖 32A）。另外，添加有用作施體的雜質元素或用作受體的雜質元素的半導體層 72c 可以覆蓋金屬層、金屬氮化物層、金屬碳化物層、金屬硼化物層、金屬矽化物層等中的某一層的上表面及側面（參照圖 32B）。還可以採用如下疊層結構，即在閘極絕緣層 09b 上形成添加有用作施

體的雜質元素或用作受體的雜質元素的半導體層 72e，在其上形成金屬層、金屬氮化物層、金屬碳化物層、金屬硼化物層、金屬矽化物層等中的某一層（參照圖 32C）。藉由採用這種結構，可以避免金屬層、金屬氮化物層、金屬碳化物層、金屬硼化物層、金屬矽化物層等中的某一層和非晶半導體層的介面上的肖特基結，並且提高薄膜電晶體的特性。

在添加有用作施體的雜質元素的半導體層中，添加有供應電子作為載流子的元素即施體。用作施體的雜質元素，典型地有元素週期表第 15 族的元素，即磷、砷、銻等。添加有用作施體的雜質元素的半導體層，可以由非晶矽層、非晶矽鍺層、非晶鍺層、微晶矽層、微晶矽鍺層、微晶鍺層、多晶矽層、多晶矽鍺層、多晶鍺層等形成。另外，在半導體層為非晶鍺層及微晶鍺層的情況下，因為其電阻率低，所以無需包含用作施體的雜質元素。

在利用二次離子品質分析法（SIMS：Secondary Ion Mass Spectroscopy）進行測量的情況下，將添加有用作施體的雜質元素的半導體層中所添加的用作施體的雜質元素的濃度設定為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上且 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下，從而能夠減小閘極絕緣層 09b 和添加有用作施體的雜質元素的半導體層的介面中的電阻，並且可以製造能夠高速工作且導通電流高的薄膜電晶體。

這裏的微晶半導體是指具有非晶和結晶結構（包括單晶、多晶）的中間結構的半導體。該半導體是具有在自由

能方面很穩定的第三狀態的半導體，並且是具有短程有序且晶格畸變的結晶半導體，粒徑為 0.2nm 以上且 200nm 以下、較佳為 10nm 以上且 80nm 以下、更較佳為 20nm 以上且 50nm 以下的柱狀或針狀結晶相對於基板表面沿法線方向生長。還指這樣一種半導體，即其電導率大約是 10^{-7}S/cm 至 10^{-4}S/cm ，但藉由價電子控制而可以提高到 10^1S/cm 左右。另外，在多個微晶半導體之間存在非單晶半導體。作為微晶半導體的典型例子的微晶矽，其拉曼光譜向表示單晶矽的 520cm^{-1} 的低波數一側偏移。亦即，微晶矽的拉曼光譜的峰值位於表示單晶矽的 520cm^{-1} 和表示非晶矽的 480cm^{-1} 之間。另外，微晶矽中包含至少 1 原子 % 或以上的氫或鹵素，以終止懸空鍵 (dangling bond)。再者，藉由添加稀有氣體元素比如氦、氬、氖、氙等來進一步促進晶格畸變，可以獲得穩定性得到提高的優良微晶半導體。例如，在美國專利 4,409,134 號中公開了關於這種微晶半導體的記載。但是，微晶半導體的概念不僅僅固定於上述結晶粒徑和電導率的數值，只要具有同等的物性數值，就可以替換成其他半導體材料。

以 5nm 以上且 50nm 以下、較佳為 5nm 以上且 30nm 以下的厚度形成導電膜 51。

另外，在導電層 51 為添加有用作施體的雜質元素的半導體層的時，氧濃度及氮濃度設定為低於用作施體的雜質元素的濃度的 10 倍，典型為低於 $3 \times 10^{19}\text{atoms/cm}^3$ ，更較佳為低於 $3 \times 10^{18}\text{atoms/cm}^3$ ，並且較佳將碳濃度設定為

$3 \times 10^{18} \text{ atoms/cm}^3$ 以下。在添加有用作施體的雜質元素的半導體層為微晶半導體層時，藉由降低混入到添加有用作施體的雜質元素的半導體層中的氧、氮及碳的濃度，可以抑制微晶半導體層中產生缺陷。再者，若氧及氮進入微晶半導體層，就不容易晶化。由此，在添加有用作施體的雜質元素的半導體層為微晶半導體層時，藉由使微晶半導體層中的氧濃度及氮濃度較低、並且添加用作施體的雜質元素，可以提高微晶半導體層的結晶性。

另外，關於添加有用作施體的雜質元素的半導體層，藉由對添加有用作施體的雜質元素的半導體層在成膜的同時或成膜之後添加用作受體的雜質元素，能夠控制臨界值電壓。作為用作受體的雜質元素，典型的有硼，較佳的是，將 B_2H_6 、 BF_3 等雜質氣體以 1ppm 至 1000ppm、較佳以 1ppm 至 100ppm 的比例混入氫化矽中。並且，將硼的濃度較佳設定為用作施體的雜質元素的十分之一左右，例如為 $1 \times 10^{14} \text{ atoms/cm}^3$ 至 $6 \times 10^{16} \text{ atoms/cm}^3$ 。

緩衝層 53 由非晶半導體層形成。另外，使用添加有氟、氯等鹵素的非晶半導體層。以 30nm 至 200nm、較佳以 50nm 至 150nm 的厚度形成緩衝層 53。作為非晶半導體層，有非晶矽層、或包含銻的非晶矽層等。

在導電層 51 為微晶半導體層時，藉由將緩衝層 53 的側面傾斜為 30° 至 60° ，能夠以該微晶半導體層為結晶生長核來提高與微晶半導體層相接觸的非晶半導體層 55 的介面的結晶性，因此，薄膜電晶體能夠高速工作，並且能夠

提高導通電流。

在導電層 51 為微晶半導體層時，藉由形成非晶半導體層、或形成包含氫、氮或鹵素的非晶半導體層作為緩衝層 53，能夠防止添加有用作施體的雜質元素的半導體層的晶粒表面自然氧化。尤其在微晶半導體層中，非晶半導體和微晶粒接觸的區域容易因局部應力而產生裂縫。若該裂縫與氧接觸，則晶粒被氧化而形成氧化矽。然而，藉由在添加有用作施體的雜質元素的半導體層的表面形成緩衝層 53，可以防止微晶粒的氧化。因此，可以減少載流子被捕獲的缺陷、或阻礙載流子行進的區域，並且薄膜電晶體能夠高速工作且提高導通電流。

作為非晶半導體層 55，有非晶矽層或包含銻的非晶矽層等。另外，非晶半導體層 55 中也可以包含氟、氯等。在形成添加有用作施體的雜質元素的半導體層作為導電層 51 時，可以使用添加有磷的非晶半導體層，其中磷的濃度低於添加有用作施體的雜質元素的半導體層的濃度。另外，以 50nm 以上且小於 500nm 的厚度形成重疊於佈線的非晶半導體層 55。

非晶半導體層 55 覆蓋導電層 51 及緩衝層 53 的側面。另外，在導電層 51 的周邊部分，閘極絕緣層 09b 與非晶半導體層 55 接觸。由於這些結構，導電層 51 與添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 被隔開，從而可以減小在導電層 51 和添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 之間產生的漏電

流。另外，非晶半導體層 55 較佳重疊於緩衝層 53。由於非晶半導體層 55 重疊於緩衝層 53，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 和緩衝層 53 不直接接觸，因此可以減小漏電流。

另外，在閘極絕緣層 09b 為氧化矽層或氮化矽層時，在採用添加有用作施體的雜質元素的半導體層作為導電層 51 的情況下，藉由使用添加有磷的非晶半導體層作為非晶半導體層 55，其中磷的濃度低於添加有用作施體的雜質元素的半導體層的濃度，從而可以減小臨界值電壓的變動。

作為基板 01，除了可以使用藉由熔融法或浮法製造的無碱玻璃基板如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等、以及陶瓷基板以外，還可以使用具有可耐受本製造步驟的處理溫度的耐熱性塑膠基板等。另外，也可以使用在不銹鋼合金等金屬基板的表面上設置絕緣層基板。在基板 01 為母玻璃的情況下，可以採用如下尺寸的基板：第一代（320mm×400mm）、第二代（400mm×500mm）、第三代（550mm×650mm）、第四代（680mm×880mm 或 730mm×920mm）、第五代（1000mm×1200mm 或 1100mm×1250mm）、第六代（1500mm×1800mm）、第七代（1900mm×2200mm）、第八代（2160mm×2460mm）、第九代（2400mm×2800mm 或 2450mm×3050mm）、第十代（2950mm×3400mm）等。

閘極電極 05 由金屬材料形成。作為金屬材料，採用鋁、鉻、鈦、鉭、鉬、銅等。例如，閘極電極 05 較佳由

鋁或鋁和阻擋金屬的疊層結構體形成。作為阻擋金屬，採用鈦、鉬、鉻等高熔點金屬。較佳設置阻擋金屬，以便防止鋁的小丘及氧化。

閘極電極 05 以 50nm 以上且 300nm 以下的厚度形成。藉由將閘極電極 05 的厚度設定為 50nm 以上且 100nm 以下，能夠防止後面形成的半導體層或佈線斷裂。另外，藉由將閘極電極 05 的厚度設定為 150nm 以上且 300nm 以下，能夠減小閘極電極 05 的電阻，可以實現大面積化。

另外，由於在閘極電極 05 上形成半導體層或佈線，所以為了防止斷裂，較佳將其端部加工為錐形。另外，雖然未圖示，但是在該步驟中還可以同時形成連接到閘極電極的佈線或電容佈線。

閘極絕緣層 09a 及 09b 可以分別由厚度為 50nm 至 150nm 的氧化矽層、氮化矽層、氧氮化矽層或氮氧化矽層形成。在此示出形成氮化矽層或氮氧化矽層作為閘極絕緣層 09a、並且形成氧化矽層或氧氮化矽層作為閘極絕緣層 09b 並將它們層疊的方式。另外，閘極絕緣層可以由氧化矽層、氮化矽層、氧氮化矽層或氮氧化矽層的單層形成，而不是由兩層形成。

藉由使用氮化矽層或氮氧化矽層形成閘極絕緣層 09a，提高了基板 01 和閘極絕緣層 09a 的黏合力，在使用玻璃基板作為基板 01 時，能夠防止來自基板 01 的雜質擴散到導電層 51、緩衝層 53、以及非晶半導體層 55 中，並且可以防止閘極電極 05 氧化。亦即，可以防止膜的剝離，

並且可以提高後面形成的薄膜電晶體的電特性。另外，若閘極絕緣層 09a、09b 的厚度分別為 50nm 以上，則能夠緩和由閘極電極 05 的凹凸導致的覆蓋率的降低，因此是較佳的。

在此，所謂氧氮化矽層，是指其組成中氧含量多於氮含量的層，並且在使用盧瑟福背散射光譜學法（RBS:Rutherford Backscattering Spectrometry）及氫前方散射法（HFS:Hydrogen Forward Scattering）進行測量的情況下，作為組成範圍，包含 50 原子%至 70 原子%的氧、0.5 原子%至 15 原子%的氮、25 原子%至 35 原子%的矽、以及 0.1 原子%至 10 原子%的氫。另外，所謂氮氧化矽層，是指其組成中氮含量多於氧含量的層，並且在使用 RBS、HFS 進行測量的情況下，作為組成範圍，包含 5 原子%至 30 原子%的氧、20 原子%至 55 原子%的氮、10 原子%至 30 原子%的矽、15 原子%至 25 原子%的氫。但是，在將構成氧氮化矽或氮氧化矽的原子總計設定為 100 原子%時，氮、氧、矽及氫的含有比率包括在上述範圍內。

在形成 n 通道型薄膜電晶體的情況下，對添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 添加磷作為典型雜質元素即可，對氫化矽添加 PH_3 等雜質氣體即可。另外，在形成 p 通道型薄膜電晶體的情況下，添加硼作為典型雜質元素即可，對氫化矽添加 B_2H_6 等雜質氣體即可。藉由將磷或硼的濃度設定為 $1 \times 10^{19} \text{ atoms/cm}^3$ 至 $1 \times 10^{21} \text{ atoms/cm}^3$ ，可以實現與佈線 63、65 歐姆接觸，而

用作源區及汲區。添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61，可以由微晶半導體層或非晶半導體層形成。添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 以 10nm 以上且 100nm 以下、較佳為 30nm 以上且 50nm 以下的厚度形成。藉由減小添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的厚度，可以提高生產率。

添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的一方，在此是添加有賦予一導電型的雜質元素的雜質半導體層 61，不重疊於導電層 51，且與導電層 51 具有一定距離（距離 a）。藉由將距離 a 設定為小於添加有賦予一導電型的雜質元素的雜質半導體層 59 的端部和導電層 51 的端部的距離（距離 b），從而可以減小薄膜電晶體的截止電流，並且可以提高導通電流，實現高速工作。

佈線 63、65 較佳由鋁、銅、或添加有防遷移元素、提高耐熱性的元素、或防小丘元素如銅、矽、鈦、釹、鉬、鉬等的鋁合金的單層或疊層形成。另外，也可以採用如下疊層結構，即使用鈦、鉭、鉬、鎢、或這些元素的氮化物，形成與添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 接觸一側的層，並且在其上形成鋁或鋁合金。也可以採用以鈦、鉭、鉬、鎢或這些元素的氮化物夾著鋁或鋁合金的上表面及下表面的疊層結構。在此作為佈線 63、65，可以採用鈦層、鋁層、以及鈦層的疊層結構。

另外，也可以如圖 1B 所示那樣不設置緩衝層 53，而

與導電層 51 相接觸地形成非晶半導體膜 55。由於未形成緩衝層 53，因此可以提高生產率。

另外，在圖 1A 所示的薄膜電晶體的結構中，非晶半導體層 55 與佈線 63、65 不接觸，並且隔著添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 在緩衝層 53 上形成佈線 63、65，然而也可以如圖 1C 所示那樣，採用非晶半導體層 55 的側面與佈線 63、65 接觸的結構。

另外，在本實施模式中所示的薄膜電晶體連接到第一薄膜電晶體 Tr01 及第二薄膜電晶體 Tr02。第一薄膜電晶體 Tr01 由閘極電極 05、閘極絕緣層 09a、09b、導電層 51、緩衝層 53、非晶半導體層 55、添加有賦予一導電型的雜質元素的雜質半導體層 59、以及佈線 63 構成。第二薄膜電晶體 Tr02 由閘極電極 05、閘極絕緣層 09a、09b、非晶半導體層 55、添加有賦予一導電型的雜質元素的雜質半導體層 61、以及佈線 65 構成。

第二薄膜電晶體 Tr02 是將非晶半導體層用於通道形成區域的薄膜電晶體。但是，在第一薄膜電晶體 Tr01 中，載流子流過的區域為導電層 51。該區域的電導率為 0.1S/cm 至 1.8S/cm ，與通常的非晶半導體層及微晶半導體層相比，其電阻率較低。因此，即使是對閘極電極 05 施加低於第二薄膜電晶體 Tr02 的臨界值電壓的正電壓的情況下，也會成為導電層 51 中多數載流子被激發的狀態。當將第二薄膜電晶體 Tr02 的臨界值電壓以上的正電壓施加到閘極電極 05 時，第二薄膜電晶體 Tr02 處於導通，導

電層 51 中被激發的多數載流子流向第一薄膜電晶體 Tr01 的佈線 63 或第二薄膜電晶體 Tr02 的佈線 65。

本實施模式的薄膜電晶體的通道長度 L 是距離 a 與距離 b 之和，其中，距離 a 是添加有賦予一導電型的雜質元素的雜質半導體層 61 的一個端部與導電層 51 的一個端部的距離，距離 b 是添加有賦予一導電型的雜質元素的雜質半導體層 59 的一個端部與導電層 51 的一個端部的距離。相對於通道長度 L ，使添加有賦予一導電型的雜質元素的雜質半導體層 61 的一個端部與導電層 51 的一個端部的距離 a 變短，並且使添加有賦予一導電型的雜質元素的雜質半導體層 59 的一個端部與導電層 51 的一個端部的距離 b 變長，從而來提高導通電流和場效應遷移率。

注意，因為藉由本實施模式可以使第二薄膜電晶體 Tr02 的通道長度（就是距離 a ）變短，所以較佳使閘極絕緣層的厚度變薄，以便第二薄膜電晶體 Tr02 中不發生短通道效應。

另一方面，在對閘極電極 05 施加負電壓時，即使導電層 51 中載流子被激發，但由於第二薄膜電晶體 Tr02 是由非晶半導體層形成的，因此，第二薄膜電晶體 Tr02 將阻礙薄膜電晶體的截止電流的流通，從而可以減小截止電流。

如上所述，本實施模式所示的薄膜電晶體是其導通電流及場效應遷移率高、截止電流低的薄膜電晶體。

另外，連接源區及汲區的非晶半導體層 55 的表面（

背通道)呈凹凸狀，且距離長，因此流過源區及汲區之間的非晶半導體層 55 表面的洩漏通道(leak path)的距離變長。其結果是，可以減小流過非晶半導體層 55 表面的漏電流。

再者，在閘極電極 05 和添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 之間，除形成閘極絕緣層 09a、09b 之外，還形成有非晶半導體層 55，因此，閘極電極 05 和添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 之間的時間隔變大。因此，可以減小在閘極電極 05 和添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 之間產生的寄生電容。尤其可以成為減小汲極一側電壓降的薄膜電晶體。由此，採用該結構的顯示裝置可以提高像素的回應速度。尤其是形成於液晶顯示裝置的像素中的薄膜電晶體，由於可以減小漏電壓的電壓降，因此能夠提高液晶材料的回應速度。

實施模式 2

在本實施模式中，使用圖 2 示出導電層 51 及緩衝層 53 的其他形狀。

在截面結構中，圖 2 所示的薄膜電晶體是在導電層 51a 的內側形成有緩衝層 53a 的薄膜電晶體。即，形成其面積小於導電層 51a 的面積的緩衝層 53a、且導電層 51a 的一部分從緩衝層 53a 露出的薄膜電晶體。藉由採用這種結構，在導電層 51a 為微晶半導體層、金屬矽化物層、或

金屬層時，能夠以該微晶半導體層、金屬矽化物層、或金屬層為結晶生長核，提高與導電層 51a 接觸的非晶半導體層 55 的結晶性，因此，薄膜電晶體能夠高速工作，並且提高導通電流。

另外，雖然未圖示，但在圖 1 及圖 2 中，導電層 51 及緩衝層 53 的側壁、導電層 51a 及緩衝層 53a 的側壁可以是大約垂直，或者側面的傾斜角度為 80° 至 100° ，較佳為 85° 至 95° 。藉由將導電層 51 及緩衝層 53 的側壁、導電層 51a 及緩衝層 53a 的側壁形成為大約垂直，可以縮小薄膜電晶體所占的面積。因此，可以提高將該薄膜電晶體用於像素的透過型顯示裝置的開口率。

注意，本實施模式可以與實施模式 1 組合。

實施模式 3

在本實施模式中，使用圖 3 表示緩衝層的其他方式。本實施模式的特徵在於，由絕緣層形成緩衝層 52。

在圖 3A 所示的薄膜電晶體中，在基板 01 上形成閘極電極 05，在閘極電極 05 上形成閘極絕緣層 09a、09b，在閘極絕緣層 09b 上形成導電層 51，在導電層 51 上形成緩衝層 52。該緩衝層 52 設置為大致重疊於導電層 51。另外，形成有覆蓋導電層 51 及緩衝層 52 的側面及上表面的非晶半導體層 55。在非晶半導體層 55 上形成添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61，在添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 上

形成佈線 63、65。另外，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的一方 61 不重疊於緩衝層 53。另外，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的另一方 59 的一個端部重疊於緩衝層 53。

在本實施模式中，由絕緣層形成緩衝層 52。緩衝層 52 典型地使用氮化矽層、氧化矽層、氮氧化矽層、氧氮化矽層、其他無機絕緣層而形成。另外，還使用聚醯亞胺、丙烯酸樹脂、環氧樹脂、其他有機絕緣層而形成。再者，以 10nm 至 150nm 的厚度形成緩衝層 52。藉由由絕緣層形成緩衝層 52，可以利用緩衝層 52 阻擋從添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 流到非晶半導體層 55 的漏電流，因此可以減小漏電流。還可以減小截止電流。

另外，如圖 3B 所示，在導電層 51 上形成由半導體層形成的緩衝層 53，在緩衝層 53 上形成由絕緣層形成的緩衝層 54。作為緩衝層 54，使用氮化矽層、氧化矽層、氮氧化矽層、氧氮化矽層、其他無機絕緣層而形成。另外，還使用聚醯亞胺、丙烯酸樹脂、環氧樹脂、其他有機絕緣層而形成。

在圖 3B 中，由半導體層形成的緩衝層 53 要比由絕緣層形成的緩衝層 54 的厚度厚，也可以使緩衝層 54 的厚度比緩衝層 53 的厚。注意，緩衝層 53 及緩衝層 54 的厚度總和為 30nm 至 200nm，較佳為 50nm 至 150nm。在導電層 51 為添加有用作施體的雜質元素的半導體層的情況下，藉

由在添加有用作施體的雜質元素的半導體層上形成由半導體層形成的緩衝層 53，從而可以減少添加有用作施體的雜質元素的半導體層的氧化，並且可以抑制添加有用作施體的雜質元素的半導體層的電阻率的降低。另外，藉由在由半導體層形成的緩衝層 53 上設置由絕緣層形成的緩衝層 54，能夠利用緩衝層 54 來阻擋從添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 流到非晶半導體層 55 的漏電流，因此，可以減小漏電流。還可以減小截止電流。

注意，本實施模式可以與實施模式 1 和實施模式 2 分別組合。

實施模式 4

本實施模式示出導電層 51 的其他方式。

在圖 4A 所示的薄膜電晶體中，在基板 01 上形成閘極電極 05，在閘極電極 05 上形成閘極絕緣層 09a、09b，在閘極絕緣層 09b 上形成導電性粒子 56，在導電性粒子 56 及閘極絕緣層 09b 上形成緩衝層 53。該緩衝層 53 設置為大致重疊於導電性粒子 56。另外，形成覆蓋緩衝層 53 側面及上表面的非晶半導體層 55。在非晶半導體層 55 上形成添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61，並且在添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 上形成佈線 63、65。另外，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的一方

61 的兩個端部不重疊於緩衝層 53。另外，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的另一方 59 的一個端部重疊於緩衝層 53。

導電性粒子 56 可以由適當地利用實施模式所示的導電層材料而形成的導電性粒子形成。另外，在導電性粒子 56 為添加有用作施體的雜質元素的半導體晶粒的情況下，添加有用作施體的雜質元素的半導體晶粒可以由矽、或矽的含量多於銻的含量的矽銻 ($\text{Si}_x\text{Ge}_{1-x}, 0.5 < x < 1$) 等形成。若將導電性粒子 56 的尺寸設定為 1nm 至 30nm，密度設定為低於 $1 \times 10^{13}/\text{cm}^2$ ，較佳為低於 $1 \times 10^{10}/\text{cm}^2$ ，則可以形成相離的晶粒，並且可以提高與後面形成的緩衝層 53 和閘極絕緣層 09b 的黏合性。因此，可以提高薄膜電晶體的成品率。

在導電性粒子 56 為金屬粒子、金屬氮化物粒子、金屬碳化物粒子、金屬硼化物粒子、金屬矽化物粒子的情況下，可以利用濺射法、蒸鍍法、液滴噴射法、或 CVD (Chemical Vapor Deposition: 化學氣相沉積) 法形成。

作為添加有用作施體的雜質元素的半導體晶粒的形成方法，藉由濺射法或電漿 CVD 法形成添加有用作施體的雜質元素的微晶半導體層之後，將添加有用作施體的雜質元素的微晶半導體層暴露於氫電漿中，對添加有用作施體的雜質元素的微晶半導體層的非晶半導體成分進行蝕刻，從而可以形成添加有用作施體的雜質元素的半導體晶粒。另外，還可以藉由濺射法或電漿 CVD 法，以晶粒不連續

並分散的狀態的厚度形成添加有用作施體的雜質元素的微晶半導體層或結晶半導體層，從而形成添加有用作施體的雜質元素的半導體晶粒。

另外，也可以在閘極絕緣層 09b 上形成導電層以代替導電性粒子 56，然後使用藉由光刻步驟形成的抗蝕劑掩模對導電層進行蝕刻，從而形成相離的導電層。

在圖 4B 所示的薄膜電晶體中，在基板 01 上形成閘極電極 05，在閘極電極 05 上形成閘極絕緣層 09a、09b，在閘極絕緣層 09b 上形成導電性粒子 56，在導電性粒子 56 及閘極絕緣層 09b 上形成非晶半導體層 55，而不形成緩衝層。在非晶半導體層 55 上形成添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61，在添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 上形成佈線 63、65。

由於導電性粒子 56 不連續、且在其之間形成有非晶半導體層 55，因此，即使導電性粒子 56 形成為重疊於添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61，也可以降低截止電流的上升。另外，因為不形成緩衝層，所以可以減少一個光掩模，從而能夠提高生產率並且降低成本。

注意，本實施模式可以與實施模式 1 至 3 分別組合。

實施模式 5

在本實施模式中，表示非晶半導體層的其他方式。

在圖 5 所示的薄膜電晶體中，在基板 01 上形成閘極電極 05，在閘極電極 05 上形成閘極絕緣層 09a、09b，在閘極絕緣層 09b 上形成導電層 51，在導電層 51 上形成緩衝層 53。該緩衝層 53 設置為大致重疊於導電層 51。另外，形成覆蓋導電層 51 及緩衝層 53 的側面及上表面的微晶半導體層 58，在微晶半導體層 58 上形成非晶半導體層 55。微晶半導體層 58 及非晶半導體層 55 的形狀大致相同。在非晶半導體層 55 上形成添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61，在添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 上形成佈線 63、65。另外，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的一方 61 不重疊於緩衝層 53 及導電層 51。另外，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的另一方 59 的一個端部重疊於緩衝層 53 及導電層 51。

微晶半導體層 58 可以由微晶矽層、微晶矽鍺層、微晶鍺層形成。另外，微晶半導體層 58 也可以添加有用作施體的雜質元素，該雜質元素的濃度低於可用於導電層 51 的添加有用作施體的半導體層所包含的用作施體的雜質元素濃度。藉由添加低濃度的雜質元素用作施體，可以控制薄膜電晶體的臨界值電壓。

另外，也可以將微晶半導體層 58 設置為與導電層接觸，而不在導電層 51 上設置緩衝層 53。

藉由減小微晶半導體層 58 的厚度，即 5nm 至 30nm，

較佳為 10nm 至 20nm，可以確保薄膜電晶體的低截止電流。另外，因為在微晶半導體層 58 及添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 之間形成非晶半導體層 55，所以與使用微晶半導體層形成的薄膜電晶體相比，可以減小截止電流。另外，藉由在非晶半導體層 55 及閘極絕緣層 09b 之間設置微晶半導體層 58，該微晶半導體層 58 的電阻率低於非晶半導體層的電阻率，可以使載流子容易流過且薄膜電晶體能夠高速工作。

另外，與形成氮化矽層作為閘極絕緣層 09b、並且不形成微晶半導體層 58 而形成非晶半導體層的情況相比，藉由形成氧化矽層或氧氮化矽層作為閘極絕緣層 09b，並且形成微晶矽層作為微晶半導體層 58，能夠減小臨界值電壓的變動。

注意，本實施模式可以與實施模式 1 至 4 分別組合。

實施模式 6

本實施模式示出薄膜電晶體的結構的其他方式。

圖 6 所示的薄膜電晶體中，在基板 01 上形成閘極電極 05，在閘極電極 05 上形成閘極絕緣層 09a、09b，在閘極絕緣層 09b 上形成環形導電層 51e，在導電層 51e 上形成環形緩衝層 53e。該緩衝層 53e 設置為大致重疊於導電層 51e。另外，形成覆蓋導電層 51e 及緩衝層 53e 的側面及上表面的非晶半導體層 55。在非晶半導體層 55 上，形成添加有賦予一導電型的雜質元素的一對雜質半導體層 59

、61，在添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 上形成佈線 63、65。另外，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的一方 61 不重疊於緩衝層 53e。另外，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的另一方 59 的一個端部重疊於緩衝層 53e。

圖 6 所示的薄膜電晶體的特徵在於，源區及汲區相對的通道形成區域為圓形。具體而言，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的一方 59 為環形，並且，添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的另一方 61 為圓形。就是說，採用這樣的結構：源區或汲區的一方隔開一定的間隔包圍源區或汲區的另一方。因此，在以佈線 63 為源極佈線，且以佈線 65 為汲極佈線時，若通道形成區域為曲線形狀，就能夠減小臨界值電壓的變動，並且可以提高薄膜電晶體特性的可靠性。另外，與源極佈線及汲極佈線為平行型的薄膜電晶體相比，由於源區及汲區的相對面積較大，所以在設計通道寬度相等的薄膜電晶體的情況下，可以縮小薄膜電晶體的面積。

注意，本實施模式可以與實施模式 1 至 5 分別組合。

實施模式 7

在本實施模式中，表示圖 1A 所示的薄膜電晶體的製造步驟，該薄膜電晶體能夠高速工作、導通電流高且截止

電流低。

關於具有非晶半導體層或微晶半導體層的薄膜電晶體，由於 n 型薄膜電晶體具有比 p 型薄膜電晶體高的場效應遷移率，因此更適用於驅動電路。較佳的是，在同一個基板上形成同一極性的薄膜電晶體，以抑制步驟數。這裏，使用 n 通道型薄膜電晶體進行說明。

使用圖 7 至圖 10，表示圖 1A 所示的薄膜電晶體的製造步驟。注意，在圖 7 及圖 8 中，左側是圖 10A-B 線的截面圖，表示形成薄膜電晶體的區域的截面，右側是圖 10C-D 線的截面圖，表示在像素中閘極佈線和源極佈線交叉的區域的截面。

如圖 7A 所示，在基板 01 上形成導電層 03。作為導電層 03，可以使用實施模式 1 所示的作為閘極電極 05 舉出的材料而形成。導電層 03 藉由濺射法、CVD 法、鍍敷法、印刷法、液滴噴射法等形成。

接下來，利用抗蝕劑掩模將導電層 03 蝕刻為所希望的形狀，該抗蝕劑掩模藉由使用第一光掩模的光刻步驟而形成，以如圖 7B 所示那樣形成閘極佈線 05。之後去除抗蝕劑掩模。

接下來，在閘極佈線 05 及基板 01 上形成閘極絕緣層 09。作為閘極絕緣層 09，可以使用實施模式 1 所示的為閘極絕緣層 09a、09b 舉出的材料而形成。閘極絕緣層 09 藉由 CVD 法或濺射法等形成。

接下來，在閘極絕緣層 09 上層疊形成導電層 11 及緩

衝層 13。下面示出當導電層 11 為添加有用作施體的雜質元素的半導體層時的成膜方法。

在電漿 CVD 裝置的反應室中，將包含矽或銻的沉積氣體和氫混合，並且利用輝光放電電漿形成微晶半導體層或非晶半導體層。將氫的流量相對於包含矽或銻的沉積氣體的流量稀釋為 10 倍至 2000 倍，較佳稀釋為 50 倍至 200 倍，以形成微晶半導體層。將氫的流量相對於包含矽或銻的沉積氣體的流量稀釋 0 倍至 10 倍，較佳為 1 倍至 5 倍，以形成非晶半導體層。基板的加熱溫度為 100°C 至 300°C ，較佳為 120°C 至 220°C 。另外，藉由與上述原料氣體一起混合包含磷、砷、銻等的氣體，可以形成添加有用作施體的雜質元素的半導體層。在此，藉由與矽烷、氫和 / 或稀有氣體一起混合磷化氫，並且利用輝光放電電漿，可以形成包含磷的微晶矽層作為添加有用作施體的雜質元素的半導體層。

在添加有用作施體的雜質元素的半導體層的形成步驟中，藉由施加 3MHz 至 30MHz 左右的 HF (high frequency : 高頻) 頻帶，典型為 13.56MHz、27.12MHz 的高頻功率，或施加大於 30MHz 至 300MHz 左右的 VHF (very high frequency : 甚高頻) 頻帶的高頻功率，典型為 60MHz 的高頻功率來生成輝光放電電漿。

另外，作為包含矽或銻的沉積氣體的代表例子，有 SiH_4 、 Si_2H_6 、 GeH_4 、 Ge_2H_6 等。

注意，也可以形成添加有用作施體的雜質元素的絕緣

層作為閘極絕緣層 09，並且在其上形成不包含用作施體的雜質元素的半導體層，來代替形成添加有用作施體的雜質元素的半導體層。例如，也可以形成包含用作施體的雜質元素（磷、砷、或銻）的氧化矽層、氮化矽層、氧氮化矽層、或氮氧化矽層等作為閘極絕緣層。另外，在閘極絕緣層 09 採用疊層結構的情況下，也可以對與微晶半導體層接觸的層或與基板 01 接觸的層添加用作施體的雜質元素。

作為被用作閘極絕緣層 09 的添加有用作施體的雜質元素的絕緣層的形成方法，只要與絕緣層的原料氣體一起使用包含用作施體的雜質元素的氣體形成絕緣層即可。例如，可以藉由利用矽烷、氨、以及磷化氫的電漿 CVD 法形成包含磷的氮化矽層。另外，可以藉由利用矽烷、一氧化二氮、氨、以及磷化氫的電漿 CVD 法形成包含磷的氧氮化矽層。

另外，也可以在形成閘極絕緣層 09 之前，將包含用作施體的雜質元素的氣體流入成膜裝置的反應室中，以使用用作施體的雜質元素吸附到基板 01 表面及反應室內壁。之後，藉由形成閘極絕緣層 09，一邊引入用作施體的雜質元素一邊沉積絕緣層，因此，可以形成添加有用作施體的雜質元素的絕緣層。

另外，也可以在形成添加有用作施體的雜質元素的半導體層之前，將包含用作施體的雜質元素的氣體流入成膜裝置的反應室中，以使用用作施體的雜質元素吸附到閘極絕

緣層 09 及反應室內壁。之後，藉由沉積半導體層，一邊引入用作施體的雜質元素一邊沉積半導體層，因此，可以形成添加有用作施體的雜質元素的半導體層。

另外，在形成金屬層、金屬氮化物層、金屬碳化物層、金屬硼化物層、金屬矽化物層作為導電層 11 的情況下，藉由濺射法、蒸鍍法、CVD 法、液滴噴射法、印刷法等形成導電層。

注意，在閘極絕緣層 09 為氧化矽、或氧氮化矽的情況下，可以在形成導電層 11 之前，對閘極絕緣層 09 的表面進行電漿處理。典型地說，將閘極絕緣層 09 的表面暴露於氫電漿、氮電漿、 H_2O 電漿、氮電漿、氫電漿、氬電漿等的電漿。其結果是可以減少閘極絕緣層表面的缺陷。典型地說，可以終止閘極絕緣層 09 表面的懸空鍵。之後，若形成導電層或非晶半導體層，就可以減少導電層或非晶半導體層的介面中的缺陷。其結果，能夠減少由缺陷導致的載流子捕獲，從而可以提高導通電流。

接下來，形成緩衝層 13。在形成半導體層作為緩衝層 13 的情況下，可以藉由利用包含矽或鉻的沉積氣體的電漿 CVD 法形成非晶半導體層。另外，也可以使用選自氫、氫、氮、氬中的一種或多種稀有氣體元素來稀釋包含矽或鉻的沉積氣體，從而形成非晶半導體層。另外，還可以藉由使用其流量為矽烷氣體流量的 0 倍以上且 10 倍以下、更較佳為 1 倍以上且 5 倍以下的氫，從而形成包含氫的非晶半導體層。另外，也可以對上述氫化半導體層添加氟、氬

等鹵素。

另外，還可以藉由使用矽、鍺等半導體靶材，並且利用氫或稀有氣體進行濺射，來形成非晶半導體層。

在形成絕緣層作為緩衝層 13 的情況下，可以與閘極絕緣層 09 同樣地形成。另外，可以在塗敷聚醯亞胺、丙烯酸樹脂、環氧樹脂、其他有機絕緣層的原料之後焙燒來形成絕緣層。

另外，在導電層 11 為添加有用作施體的雜質元素的半導體層的情況下，較佳藉由電漿 CVD 法以 300℃ 至 400℃ 的溫度形成緩衝層 13。借助於該成膜處理，氫被供給到添加有用作施體的雜質元素的半導體層，從而獲得與對添加有用作施體的雜質元素的半導體層進行氫化的同等效果。換言之，藉由在添加有用作施體的雜質元素的半導體層上沉積緩衝層 13，可以使氫擴散到添加有用作施體的雜質元素的半導體層中，來終止懸空鍵。

當添加有用作施體的雜質元素的半導體層由微晶半導體層形成時，藉由在添加有用作施體的雜質元素的半導體層的表面上形成非晶半導體層、特別是包含氫、氮、或鹵素的非晶半導體層作為緩衝層 13，能夠防止添加有用作施體的雜質元素的半導體層所包含的晶粒的表面自然氧化。尤其在非晶半導體和微晶粒接觸的區域，容易因局部應力而產生裂縫。若該裂縫與氧接觸，則晶粒被氧化而形成氧化矽。然而，藉由在添加有用作施體的雜質元素的半導體層的表面上形成非晶半導體層，可以防止微晶粒氧化。另

外，在對薄膜電晶體施加的電壓高（例如 15V 左右）的顯示裝置、典型為液晶顯示裝置中，若將緩衝層形成得較厚，則汲極耐壓性提高，即便對薄膜電晶體施加高電壓，也可以減輕薄膜電晶體退化。

接下來，在緩衝層 13 上塗敷抗蝕劑之後，利用抗蝕劑掩模將緩衝層 13 及導電層 11 蝕刻為所希望的形狀，該抗蝕劑掩模藉由使用第二光掩模的光刻步驟而形成，以如圖 7C 所示那樣在形成薄膜電晶體的區域中形成導電層 51、以及緩衝層 19。另外，在閘極佈線和源極佈線交叉的區域中形成導電層 17 及緩衝層 21。之後去除抗蝕劑掩模。

接下來，如圖 7D 所示，形成非晶半導體層 23、以及添加有賦予一導電型的雜質元素的雜質半導體層 25。

作為非晶半導體層 23，可以與使用半導體層形成緩衝層 13 的情況同樣地形成。

注意，在形成非晶半導體層 23 時，若在電漿 CVD 裝置的成膜室內壁上預塗氮氧化矽層、氮化矽層、氧化矽層、氧氮化矽層，然後將氫的流量相對於包含矽或銻的沉積氣體的流量稀釋 10 倍至 2000 倍，較佳為 50 倍至 200 倍，以形成半導體層，則一邊將成膜室內壁的氫、氮等引入膜中一邊沉積膜，因此不發生晶化，從而可以形成緻密的非晶半導體層。注意，有時該半導體層也包含微晶。另外，在閘極絕緣層 09 為氮化矽層的情況下，藉由利用該成膜方法形成非晶半導體層，不會發生膜的剝離，從而可以提高成品率。

在此，爲了形成 n 通道型薄膜電晶體，藉由使用包含矽或銻的沉積氣體和磷化氫的電漿 CVD 法形成添加有賦予一導電型的雜質元素的雜質半導體層 25。另外，在形成 p 通道型薄膜電晶體時，藉由使用包含矽或銻的沉積氣體和乙硼烷的電漿 CVD 法而形成。

在導電層 11、緩衝層 13、非晶半導體層 23、以及添加有賦予一導電型的雜質元素的雜質半導體層 25 的形成步驟中，藉由施加 3MHz 至 30MHz 左右的 HF 頻帶，典型爲 13.56MHz、27.12MHz 的高頻功率，或施加大於 30MHz 至 300MHz 左右的 VHF 頻帶，典型爲 60MHz 的高頻功率來生成輝光放電電漿。

作爲導電層 27，可以使用實施模式 1 所示的爲佈線 63、65 舉出的材料形成。導電層 27 藉由 CVD 法、濺射法、印刷法、液滴噴射法等形成。

接下來，在導電層 27 上塗敷抗蝕劑。抗蝕劑可以使用正型抗蝕劑或負型抗蝕劑。在此，使用正型抗蝕劑。

接下來，使用多級灰度掩模作爲第三光掩模，對抗蝕劑照射光，然後進行顯影，以形成抗蝕劑掩模 29。

在此，使用圖 9 說明使用多級灰度掩模的曝光。

所謂多級灰度掩模，是指能夠對曝光部分、中間曝光部分、以及未曝光部分以三個曝光水準進行曝光的掩模，藉由進行一次曝光及顯影步驟，能夠形成具有多個（典型爲兩種）厚度區域的抗蝕劑掩模。由此，藉由使用多級灰度掩模，能夠減少光掩模的數量。



作為多級灰度掩模的代表例子，有如圖 9A 所示的灰色調掩模 159a、如圖 9C 所示的半色調掩模 159b。

如圖 9A 所示，灰色調掩模 159a 由具有透光性的基板 163、形成在其上的遮光部 164、以及衍射光柵 165 構成。在遮光部 164 中，光的透射率為 0%。另一方面，衍射光柵 165 藉由將狹縫、點、網眼等透光部的間隔設定為用於曝光的光的解析度限度以下的間隔，可以控制透光量。另外，週期性狹縫、點、網眼、以及非週期性狹縫、點、網眼都可以用於衍射光柵 165。

作為具有透光性的基板 163，可以使用石英等具有透光性的基板。遮光部 164 及衍射光柵 165 可以使用鉻、氧化鉻等吸收光的遮光材料來形成。

在對灰色調掩模 159a 照射曝光光線的情況下，如圖 9B 所示，在遮光部 164 中，透光量 166 的透射率為 0%，而在未設置遮光部 164 及衍射光柵 165 的區域中，透光量 166 的透射率為 100%。另外，在衍射光柵 165 中，可以在 10%至 70%的範圍內調整透光量。衍射光柵 165 中透光量的調整，能夠藉由調整衍射光柵的狹縫、點、或網眼的間隔及間距而實現。

如圖 9C 所示，半色調掩模 159b 由具有透光性的基板 163、形成在其上的半透射部 167 及遮光部 168 構成。半透射部 167 可以使用 MoSiN 、 MoSi 、 MoSiO 、 MoSiON 、 CrSi 等。遮光部 168 可以使用鉻或氧化鉻等吸收光的遮光材料形成。

在對半色調掩模 159b 照射曝光光線的情況下，如圖 9D 所示，在遮光部 168 中，透光量 169 的透射率為 0%，而在未設置遮光部 168 及半透射部 167 的區域中，透光量 169 的透射率為 100%。另外，在半透射部 167 中，可以在 10%至 70%的範圍內調整透光量。半透過部 167 中的透光量的調整可藉由半透射部 167 的材料來實現。

藉由在使用多級灰度掩模曝光之後進行顯影，可以如圖 7D 所示那樣形成具有不同厚度區域的抗蝕劑掩模 29。

接下來，使用抗蝕劑掩模 29 對非晶半導體層 23、添加有賦予一導電型的雜質元素的雜質半導體層 25、以及導電層 27 進行蝕刻而分離。結果，可以形成如圖 7E 所示的一對非晶半導體層 33、35、添加有賦予一導電型的雜質的一對半導體層 37、39、以及導電層 41。

接著，對抗蝕劑掩模 29 進行灰化處理。結果，抗蝕劑的面積縮小，其厚度變薄。此時，厚度薄的區域的抗蝕劑（與閘極佈線 05 的一部分重疊的區域）被去除，如圖 7E 所示，可以形成被分離的抗蝕劑掩模 45。

接下來，使用抗蝕劑掩模 45 對導電層 41 進行蝕刻而分離。結果，可以形成如圖 8A 所示的源極佈線 63、汲極電極 65。當使用抗蝕劑掩模 45 對導電層 41 進行濕法蝕刻時，導電層 41 被各向同性地蝕刻。結果，可以形成其面積小於抗蝕劑掩模 45 的源極佈線 63 及汲極電極 65。

在閘極佈線 05 和添加有賦予一導電型的雜質元素的半導體層 39 的交叉部中，除了形成閘極絕緣層 09 之外，

還形成導電層 17、緩衝層 21、以及非晶半導體層 35，使得閘極佈線 05 和添加有賦予一導電型的雜質元素的半導體層 39 之間的間隔變大。因此，可以減少閘極佈線 05 和添加有賦予一導電型的雜質元素的半導體層 39 交叉區域中的寄生電容。

接下來，使用抗蝕劑掩模 45，對添加有賦予一導電型的雜質的半導體層 37 進行蝕刻，來形成添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61。注意，在該蝕刻步驟中，非晶半導體層 33 的一部分也被蝕刻，成為非晶半導體層 55。

在此，源極佈線 63 及汲極電極 65 的端部、和添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的端部並不一致，而是偏離的，在源極佈線 63、汲極電極 65 的端部外側形成添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61 的端部。然後去除抗蝕劑掩模 45。

接下來，也可以對露出的非晶半導體層 55 照射 H_2O 電漿。典型的是，藉由對非晶半導體層 55、添加有賦予一導電型的雜質元素的一對雜質半導體層 59、61、源極佈線 63、以及汲極電極 65 的露出部分照射利用電漿對氣化了的水進行放電而生成的基，從而使得薄膜電晶體能夠高速工作，並且進一步提高導通電流。還可以減小截止電流。

藉由上述步驟，可以形成薄膜電晶體。

接下來，如圖 8B 所示那樣，在源極佈線 63、汲極電極 65、閘極絕緣層 09 上形成保護絕緣層 67。作為保護絕

緣層 67，可以使用氮化矽層、氮氧化矽層、氧化矽層、或氧氮化矽層而形成。另外，保護絕緣層 67 是用於防止懸浮在大氣中的有機物、金屬物、水蒸氣等污染雜質的侵入，因此較佳為緻密的膜。

接下來，也可以在保護絕緣層 67 上形成平坦化層 69。作為平坦化層 69，可以使用丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽氧烷聚合物等有機絕緣層而形成。在此，使用光敏性有機樹脂形成平坦化層 69。接著，在使用第四光掩模使平坦化層 69 感光之後進行顯影，如圖 8C 所示，使保護絕緣層 67 露出。接著，使用平坦化層 69 對保護絕緣層 67 進行蝕刻，形成使汲極電極 65 的一部分露出的接觸孔。

接下來，在接觸孔中形成像素電極 71。在此，在平坦化層 69 上形成導電層之後，在導電層上塗敷抗蝕劑。然後，利用抗蝕劑掩模對導電層進行蝕刻，該抗蝕劑掩模藉由使用第五光掩模的光刻步驟而形成，以形成像素電極 71。

像素電極 71 可以使用具有透光性的導電材料，諸如包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。

另外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物形成像素電極 71。使用導電組成物形成的像素電極的薄層電阻較佳為 $10000\Omega/\square$ 以下，波長 550nm

處的透光率較佳為 70%以上。另外，包含在導電組成物中的導電高分子的電阻率較佳為 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或由上述物質中的兩種以上構成的共聚物等。

在此，像素電極 71 是藉由如下步驟來形成的，即藉由濺射法形成 ITO (Indium Tin Oxide: 銦錫氧化物) 膜之後，在 ITO 膜上塗敷抗蝕劑，然後使用第六光掩模對抗蝕劑進行曝光及顯影，形成抗蝕劑掩模，接著，使用抗蝕劑掩模對 ITO 膜進行蝕刻，從而形成像素電極。之後去除抗蝕劑掩模。注意，圖 8C 相當於沿著圖 10 中的 A-B 線及 C-D 線的截面圖。雖然圖 10 所示的薄膜電晶體的源區及汲區彼此相對的通道形成區域的上表面形狀是平行型，但是也可以製造通道形成區域的上表面形狀為 C 字 (U 字) 形的薄膜電晶體，來代替上述薄膜電晶體。

如上所述，可以製造截止電流低、導通電流高、以及能夠高速工作的薄膜電晶體。另外，可以製造具有該薄膜電晶體作為像素電極開關元件的元件基板。注意，在本實施模式中，與通常的反交錯型薄膜電晶體的製造步驟相比，雖然增加了一個用來將導電層及緩衝層蝕刻為預定形狀的光掩模，但是由於使用多級灰度掩模作為用來將一對非晶半導體層、添加有賦予一導電型的雜質元素的一對雜質半導體層、以及佈線蝕刻為所希望形狀的光掩模，所以該

步驟中可以減少一個光掩模，由此從製造步驟整體來看，沒有增加掩模數量。

實施模式 8

在本實施模式中，示出圖 1B 所示的薄膜電晶體的製造步驟，該薄膜電晶體與通道形成區域具有非晶半導體層的薄膜電晶體相比，能夠進行高速工作，其導通電流高，並且與通道形成區域具有微晶半導體層的薄膜電晶體相比，其截止電流低。

圖 11 中的左側是沿著圖 12 的 A-B 線的截面圖，示出薄膜電晶體的 formed 區域的截面，右側是沿著圖 12 的 C-D 線的截面圖，示出像素中間極佈線和源極佈線的交叉區域的截面。

根據實施模式 7 所示的圖 7A 的步驟，形成閘極佈線 05。接著，在閘極佈線 05 及基板 01 上形成閘極絕緣層 09。

接著，根據圖 7B 的步驟，在閘極絕緣層 09 上依次層疊導電層 11 及緩衝層 13。然後，使用藉由光刻步驟形成的抗蝕劑掩模，對導電層 11 及緩衝層 13 進行蝕刻，如圖 11A 所示那樣形成導電層 51、17、及緩衝層 19、21。

然後，形成非晶半導體層 23 及添加有賦予一導電型的雜質元素的雜質半導體層 25。

接著，使用藉由光刻步驟形成的抗蝕劑掩模，將非晶半導體層 23 及添加有賦予一導電型的雜質元素的雜質半

導體層 25 蝕刻為所希望的形狀，如圖 11B 所示那樣，在薄膜電晶體的形成區域中形成非晶半導體層 81 及添加有賦予一導電型的雜質元素的雜質半導體層 83。另外，在閘極佈線和源極佈線交叉的區域中，形成非晶半導體層 82 及添加有賦予一導電型的雜質元素的雜質半導體層 84。然後，去除抗蝕劑掩模。注意，導體層 51、17 的側面被非晶半導體層 81、82 覆蓋。

接著，如圖 11C 所示那樣形成導體層 27。

然後，使用藉由光刻步驟形成的抗蝕劑掩模，將導體層 27 蝕刻為所希望的形狀，如圖 11D 所示那樣形成源極佈線 85 及汲極電極 87。

在閘極佈線 05 和源極佈線 85 的交叉部中，除了形成閘極絕緣層 09 以外，還形成有導體層 17、緩衝層 21 以及非晶半導體層 82，從而閘極佈線 05 與源極佈線 85 的間隔變大。因此，可以減少閘極佈線 05 和源極佈線 85 的交叉區域中的寄生電容。

接著，使用抗蝕劑掩模對添加有賦予一導電型的雜質元素的雜質半導體層 83 進行蝕刻，形成添加有賦予一導電型的雜質元素的一對雜質半導體層 91、93。另外，在該蝕刻步驟中，還對非晶半導體層 81 進行蝕刻。將其中一部分被蝕刻形成凹部的非晶半導體層稱為非晶半導體層 95。可以在同一步驟中形成源區及汲區、非晶半導體層 95 的凹部。然後，去除抗蝕劑掩模。

接著，也可以對露出的非晶半導體層 95 照射 H_2O 電

漿。典型地說，藉由對非晶半導體層 95、添加有賦予一導電型的雜質元素的一對雜質半導體層 91、93、源極佈線 85、以及汲極電極 87 的露出部分照射利用電漿對汽化了的水進行放電而產生的基，從而使得薄膜電晶體能夠高速工作，並且進一步提高導通電流。還可以減小截止電流。

藉由上述步驟，形成能夠進行高速工作、導通電流高且截止電流低的薄膜電晶體。

接著，根據圖 8B 及圖 8C 所示的步驟，如圖 11E 所示那樣形成保護絕緣層 67、平坦化層 69 以及連接於汲極電極的像素電極 71。注意，圖 11E 相當於沿著圖 12 的 A-B 線及 C-D 線的截面圖。雖然圖 12 所示的薄膜電晶體的源區及汲區相對的通道形成區域的上表面形狀為平行型，但是也可以製造通道形成區域的上面形狀為 C 字（U 字）形的薄膜電晶體，來代替上述薄膜電晶體。

藉由上述步驟，可以製造截止電流低、導通電流高且能夠進行高速工作的薄膜電晶體。另外，可以製造具有該薄膜電晶體作為像素電極的開關元件的元件基板。

實施模式 9

在本實施模式中，使用圖 33 表示通道保護型薄膜電晶體。

在圖 33 所示的薄膜電晶體中，在基板 01 上形成有閘極電極 05，在閘極電極 05 上形成有閘極絕緣層 09a 及 09b，並且在閘極絕緣層 09b 上形成有導電層 51。另外，

在導電層 51 上形成有緩衝層 53，並且在閘極絕緣層 09b 及緩衝層 53 上形成有非晶半導體層 55。在非晶半導體層 55 上重疊於閘極電極 05 及導電層 51 的一個端部的區域中，形成有通道保護層 73。另外，在通道保護層 73 及非晶半導體層 55 上，形成添加有賦予一導電型的雜質元素的一對雜質半導體層 59 及 61，並且在添加有賦予一導電型的雜質元素的一對雜質半導體層 59 及 61 上形成有佈線 63 及 65。

作為通道保護層 73，可以適當地使用閘極絕緣層 09a 及 09b 的材料、平坦化層 69 所示的材料。

注意，本實施模式可以與其他實施模式組合。

實施模式 10

在本實施模式中，使用圖 14，表示圖 13 所示的設置於元件基板 300 的周邊部的掃描線輸入端子部和信號線輸入端子部的結構。圖 14 表示設置於基板 01 的周邊部的掃描線輸入端子部和信號線輸入端子部、以及像素部的薄膜電晶體的截面圖。

在採用將控制像素電極電位的薄膜電晶體設置於像素部的像素中的主動矩陣型顯示裝置的情況下，掃描線連接於閘極電極。或者，掃描線的一部分被用作閘極電極。因此，下面，掃描線也表示為閘極佈線 05。另外，由於信號線連接於薄膜電晶體的源極，因此，下面，信號線也表示為源極佈線 63。但是，在信號線連接於薄膜電晶體的汲極

的情況下，可以使信號線為汲極佈線。

在圖 13 所示的元件基板 300 中設置有像素部 301，並且在像素部 301 和基板 01 的周邊部之間設置有保護電路 302 及 322、信號線 323 以及掃描線 303。雖然未圖示，但從保護電路 302 及 322 向像素部 301，形成有信號線和掃描線。在信號線 323 和掃描線 303 的端部設置有信號線輸入端子部 326 及掃描線輸入端子部 306。FPC (Flexible Printed Circuit: 撓性印刷電路板) 324 及 304 分別連接於信號線輸入端子部 326 和掃描線輸入端子部 306 的端子，並且在 FPC324 及 304 中設置有信號線驅動電路 325 和掃描線驅動電路 305。另外，雖然未圖示，但是在像素部 301 中將像素 327 配置為矩陣形狀。

在圖 14A 中，掃描線輸入端子 306a 連接於薄膜電晶體 330 的閘極佈線 05。另外，信號線輸入端子 326a 連接於源極佈線 63。

掃描線輸入端子 306a 和信號線輸入端子 326a 分別由與像素部的薄膜電晶體 330 的像素電極 71 相同的層形成。另外，掃描線輸入端子 306a 和信號線輸入端子 326a 形成於在源極佈線 63 上形成的平坦化層 69 上。另外，在平坦化層 69 上，掃描線輸入端子 306a 和信號線輸入端子 326a 隔著各向異性導電黏合劑 307 及 327 的導電粒子 308 及 328，連接於 FPC304 及 324 的佈線 309 及 329。

這裏，閘極佈線 05 和掃描線輸入端子 306a 連接，但是也可以在閘極佈線 05 和掃描線輸入端子 306a 之間設置

由與源極佈線 63 相同的層形成的導電層。

在圖 14B 中，掃描線輸入端子 306b 連接於薄膜電晶體 330 的閘極佈線 05。另外，信號線輸入端子 326b 連接於薄膜電晶體 330 的源極佈線 63。

掃描線輸入端子 306b 和信號線輸入端子 326b 分別由與像素部的薄膜電晶體 330 的像素電極 71 相同的層形成。另外，掃描線輸入端子 306b 和信號線輸入端子 326b 形成於平坦化層 69 及保護絕緣層 67 上。另外，在平坦化層 69 及保護絕緣層 67 的開口部中，掃描線輸入端子 306b 和信號線輸入端子 326b 隔著各向異性導電黏合劑 307 及 327 的導電粒子 308 及 328，連接於 FPC304 及 324 的佈線 309 及 329。

連接於源極佈線 63 的信號線輸入端子 326b，在基板 01 及源極佈線 63 之間，除了形成閘極絕緣層 09 以外，還形成有非晶半導體層 35、添加有賦予一導電型的雜質元素的半導體層 39，從而其厚度增大。因此容易連接信號線輸入端子 326b 和 FPC324 的佈線 328。

實施模式 11

下面，示出作為本發明的一個方式的顯示面板的結構。

圖 15A 示出只有信號線驅動電路 6013 另外形成、且將它連接於形成在基板 6011 上的像素部 6012 的顯示面板的方式。形成有像素部 6012、保護電路 6016 以及掃描線

驅動電路 6014 的元件基板，使用上述實施模式所示的元件基板而形成。藉由使用薄膜電晶體形成信號線驅動電路，該薄膜電晶體的場效應遷移率高於將非晶半導體層用於通道形成區域的薄膜電晶體，可以使信號線驅動電路的工作穩定，該信號線驅動電路被要求其驅動頻率高於掃描線驅動電路。注意，信號線驅動電路 6013 也可以是將單晶半導體用於通道形成區域的電晶體、將多晶半導體用於通道形成區域的薄膜電晶體、或將 SOI (Silicon On Insulator: 絕緣體上沉積矽) 用於通道形成區域的電晶體。使用 SOI 的電晶體包括將設置於玻璃基板上的單晶半導體層用於通道形成區域的電晶體。藉由 FPC6015 分別供給像素部 6012、信號線驅動電路 6013 以及掃描線驅動電路 6014 電源電位、各種信號等。還可以在信號線驅動電路 6013 及 FPC6015 之間、或在信號線驅動電路 6013 及像素部 6012 之間，設置由上述實施模式所示的薄膜電晶體形成的保護電路 6016。作為保護電路 6016，也可以設置由選自薄膜電晶體、二極體、電阻元件以及電容元件等中的一個或多個元件構成的保護電路，來代替由上述實施模式所示的薄膜電晶體形成的保護電路。

注意，也可以將信號線驅動電路及掃描線驅動電路一起形成在與像素部相同的基板上。

此外，在另外形成驅動電路的情況下，不一定需要將形成有驅動電路的基板貼合在形成有像素部的基板上，例如也可以貼合在 FPC 上。圖 15B 示出只有信號線驅動電

路 6023 另外形成、且形成於基板 6021 上的元件基板與 FPC 連接的顯示裝置面板的方式，該元件基板形成有像素部 6022、保護電路 6026 以及掃描線驅動電路 6024。像素部 6022、保護電路 6026 以及掃描線驅動電路 6024 使用上述實施模式所示的薄膜電晶體形成。信號線驅動電路 6023 藉由 FPC6025 及保護電路 6026 連接於像素部 6022。藉由 FPC6025 分別供給像素部 6022、信號線驅動電路 6023 以及掃描線驅動電路 6024 電源電位、各種信號等。還可以在 FPC6025 及像素部 6022 之間設置由上述實施模式所示的薄膜電晶體形成的保護電路 6026。作為保護電路 6026，也可以設置由選自薄膜電晶體、二極體、電阻元件以及電容元件等中的一個或多個元件構成的保護電路，來代替由上述實施模式所示的薄膜電晶體形成的保護電路。

另外，也可以是只有信號線驅動電路的一部分或掃描線驅動電路的一部分由上述實施模式所示的薄膜電晶體形成在與像素部相同的基板上，而其他部分另外形成，並將它電連接於像素部。圖 15C 示出將信號線驅動電路所具有的類比開關 6033a 形成在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 上，並且將信號線驅動電路所具有的移位暫存器 6033b 另外形成在不同的基板上，使其彼此貼合的顯示裝置面板的方式。像素部 6032、保護電路 6036 以及掃描線驅動電路 6034 使用上述實施模式所示的薄膜電晶體形成。信號線驅動電路所具有的移位暫存器 6033b 藉由 FPC6035 及保護電路 6036 連接於像素部 6032

。藉由 FPC6035 分別供給像素部 6032、信號線驅動電路以及掃描線驅動電路 6034 電源電位、各種信號等。還可以在移位暫存器 6033b 及類比開關 6033a 之間設置由上述實施模式所示的薄膜電晶體形成的保護電路 6036。作為保護電路 6036，也可以設置由選自薄膜電晶體、二極體、電阻元件以及電容元件等中的一個或多個元件構成的保護電路，來代替由上述實施模式所示的薄膜電晶體形成的保護電路。

如圖 15 所示，本實施模式的顯示裝置可以在與像素部相同的基板上，使用上述實施模式所示的薄膜電晶體形成驅動電路的一部分或全部。

注意，另外形成的基板的連接方法沒有特別的限定，可以使用已知的 COG（Chip On Glass：玻璃上晶片）方法、引線接合法或 TAB（Tape Automated Bonding：卷帶自動接合）方法等。此外，連接的位置只要能夠電連接，就不限於圖 15 所示的位置。另外，也可以另外形成控制器、CPU（Central Processing Unit：中央處理器）、記憶體等來進行連接。

注意，本實施模式中所使用的信號線驅動電路包括移位暫存器和類比開關。或者，除了移位暫存器和類比開關之外，還可以包括緩衝器、位準轉移器、源極跟隨器等其他電路。另外，不一定需要設置移位暫存器和類比開關，例如既可以使用像解碼器電路那樣的可以選擇信號線的其他電路來代替移位暫存器，又可以使用鎖存器等來代替類

比開關。

實施模式 12

根據上述實施模式獲得的元件基板及使用該元件基板的顯示裝置等，可以用於主動矩陣型顯示裝置面板。就是說，對於將這些組裝到顯示部中的所有電子設備，都可以實施上述實施模式。

作為這種電子設備，可以舉出影像拍攝裝置如攝像機和數位相機等、頭戴式顯示器（護目鏡型顯示器）、汽車導航儀、投影儀、汽車音響、個人計算機、可攜式資訊終端（行動計算機、行動電話或電子書籍等）等。圖 16 示出其中一例。

圖 16A 是電視裝置。藉由如圖 16A 所示那樣將顯示面板組裝在外殼中，可以完成電視裝置。主屏 2003 由顯示面板形成，作為其他附屬配件，具有揚聲器部 2009、操作開關等。像這樣，可以完成電視裝置。

如圖 16A 所示，在外殼 2001 中組裝利用顯示元件的顯示用面板 2002，從而可以藉由接收機 2005 接收普通的電視廣播，而且還可以藉由數據機 2004 連接到有線或無線方式的通訊網絡，以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間）的資訊通訊。電視裝置的操作可以藉由組裝在外殼中的開關或另外形成的遙控操作裝置 2006 進行，並且該遙控單元 2006 也可以設置顯示輸出資訊的顯示部 2007。

除了主屏 2003 以外，電視裝置中還可以設置由第二顯示面板形成的副屏 2008，以顯示頻道或音量等。在這種結構中，也可以利用液晶顯示面板形成主屏 2003，利用發光顯示面板形成副屏。另外，也可以採用以下結構，即利用發光顯示面板形成主屏 2003，利用發光顯示面板形成副屏 2008，其中副屏 2008 能夠點亮和熄滅。

圖 17 是示出電視裝置的主要結構的方塊圖。在顯示面板 900 中形成有像素部 921。也可以採用 COG 方式將信號線驅動電路 922 和掃描線驅動電路 923 安裝在顯示面板 900 上。

作為其他外部電路的結構，在視頻信號的輸入側具有視頻信號放大電路 925、視頻信號處理電路 926、控制電路 927 等，其中，視頻信號放大電路 925 對調諧器 924 所接收的信號中的視頻信號進行放大，視頻信號處理電路 926 將視頻信號放大電路 925 輸出的信號轉換成對應於紅、綠和藍各種顏色的顏色信號，控制電路 927 將該視頻信號轉換成驅動器 IC 的輸入規格。控制電路 927 將信號分別輸出到掃描線一側和信號線一側。在進行數位驅動的情況下，也可以採用如下結構：在信號線一側設置信號分割電路 928，將輸入數位信號劃分成 m 個來供給。

調諧器 924 所接收的信號中的音頻信號被發送到音頻信號放大電路 929，其輸出經過音頻信號處理電路 930 而供給揚聲器 933。控制電路 931 從輸入部 932 接收接收站（接收頻率）或音量的控制資訊，並將信號發送到調諧器

924、音頻信號處理電路 930。

當然，本發明不侷限於電視裝置，還可以應用於各種用途，如個人計算機的監視器、火車站或機場等中的資訊顯示幕或街頭的廣告顯示幕等的大面積顯示介質。

藉由在主屏 2003 和副屏 2008 中應用上述實施模式所說明的元件基板及具有該元件基板的顯示裝置，可以使提高了對比度等圖像品質的電視裝置的批量生產性提高。

圖 16B 表示行動電話機 2301 的一例。該行動電話機 2301 包括顯示部 2302、操作部 2303 等。藉由在顯示部 2302 中應用上述實施模式所說明的元件基板及具有該元件基板的顯示裝置，可以使提高了對比度等圖像品質的行動電話機的批量生產性提高。

圖 16C 所示的行動計算機包括主體 2401、顯示部 2402 等。藉由在顯示部 2402 中應用上述實施模式所示的元件基板及具有該元件基板的顯示裝置，可以使提高了對比度等圖像品質的行動計算機的批量生產性提高。

圖 16D 是桌上照明器具，包括照明部分 2501、燈罩 2502、可變臂 2503、支柱 2504、台 2505 和電源 2506。藉由將發光裝置用於照明部分 2501 來製造桌上照明器具。注意，照明器具包括固定到天花板上的照明器具、掛在牆上的照明器具等。藉由應用上述實施模式所示的元件基板及具有該元件基板的顯示裝置，可以提高批量生產性，並且可以提供廉價的桌上照明器具。

圖 18 是應用上述實施模式的智慧手機的一個結構例

。圖 18A 為正視圖，圖 18B 為後視圖，圖 18C 為展開圖。智慧手機由外殼 1111 及 1112 兩個外殼構成。智慧手機具有行動電話和可攜式資訊終端雙方的功能，其內置有計算機，除了音頻通話以外還可以進行各種資料處理。

外殼 1111 具有顯示部 1101、揚聲器 1102、麥克風 1103、操作鍵 1104、定位裝置 1105、表面相機用透鏡 1106、外部連接端子插口 1107、耳機端子 1108 等，外殼 1112 具有鍵盤 1201、外部記憶體插槽 1202、背面相機 1203、光燈 1204 等。另外，天線內置於外殼 1111 內部。

除了上述結構以外，還可以內置非接觸 IC 晶片、小型存儲裝置等。

彼此重疊的外殼 1111 和外殼 1112（圖 18A）滑動而如圖 18C 那樣展開。能夠在顯示部 1101 中組裝上述實施模式所示的顯示裝置，其顯示方向根據使用方式而適當地變化。由於在同一面上設置有顯示部 1101 及表面相機用透鏡 1106，所以能夠進行電視電話。另外，還能夠將顯示部 1101 作為取景器，使用背面相機 1203 及光燈 1204 拍攝靜態圖像及動態圖像。

揚聲器 1102 及麥克風 1103 不侷限於音頻通話，還具有電視電話、錄音、再現等用途。利用操作鍵 1104，能夠進行電話的撥打和接聽、電子郵件等的簡單資訊輸入、螢幕捲動（scroll）、游標移動等。

另外，在製造檔、作為可攜式資訊終端使用等要處理的資訊很多時，若使用鍵盤 1201 就很方便。再者，當彼

此重疊的外殼 1111 和外殼 1112（圖 18A）可滑動而如圖 18C 那樣展開、用作可攜式資訊終端時，能夠使用鍵盤 1201 和定位裝置 1105 進行順利的操作。外部連接端子插口 1107 能夠與 AC 適配器及 USB 線等各種電纜連接，能夠進行充電、以及與個人計算機等的資料通訊。另外，藉由將存儲介質插入外部記憶體插槽 1202，可以對應更大量資料的保存及移動。

外殼 1112 的背面（圖 18B）具有背面相機 1203 及光燈 1204，藉由將顯示部 1101 作為取景器，能夠拍攝靜態圖像及動態圖像。

除了上述功能結構以外，還可以具有紅外線通訊功能、USB 埠、單波段電視廣播（television one-segment broadcasting）接收功能、非接觸 IC 晶片、耳機插口等。

藉由應用上述實施模式所示的顯示裝置，可以提高批量生產性。

實施例 1

在本實施例中，製造圖 1C 所示的薄膜電晶體，並示出測量其電晶體特性的結果。

首先，表示薄膜電晶體的製造步驟。

如圖 7A 所示那樣，在基板 01 上形成導電層 03。在此，作為基板 01 使用玻璃基板。另外，作為導電層 03，藉由利用氬對鉬靶進行濺射，來形成厚度為 150nm 的鉬層。

接下來，在導電層 03 上塗敷抗蝕劑之後，藉由光刻步驟形成抗蝕劑掩模，利用該抗蝕劑掩模對導電層 03 進行濕法蝕刻，如圖 7B 所示那樣形成閘極電極 05。之後去除抗蝕劑掩模。

接下來，如圖 7B 所示，在基板 01 及閘極電極 05 上形成閘極絕緣層 09，並且在閘極絕緣層 09 上形成導電層 11，在導電層 11 上形成緩衝層 13。

在此，作為閘極絕緣層 09，藉由電漿 CVD 法形成厚度為 110nm 的氮化矽層及厚度為 110nm 的氧化矽層。作為導電層 11，藉由電漿 CVD 法形成厚度為 20nm 的包含磷的微晶矽層。在此，將 10ppmPH₃（用矽烷稀釋）和氫的流量比設定為 1:150，來形成包含磷的微晶矽層。作為緩衝層 13，藉由電漿 CVD 法形成厚度為 50nm 的非晶矽層。

接下來，在緩衝層 13 上塗敷抗蝕劑之後，藉由光刻步驟形成抗蝕劑掩模，使用該抗蝕劑掩模對導電層 11 及緩衝層 13 進行乾法蝕刻，來形成導電層 51 及緩衝層 19。之後去除抗蝕劑掩模。然後，藉由乾法蝕刻對緩衝層 19 進行 20nm 的蝕刻，然後照射氬電漿去除緩衝層 19 表面的雜質。

使用將氟酸以純水稀釋 10 倍至 100 倍的溶液去除導電層 51 及緩衝層 19 的表面的氧化層。

接下來，如圖 11A 所示，在閘極絕緣層 09、緩衝層 19、以及導電層 51 上形成非晶半導體層 23 及添加有賦予

一導電型的雜質元素的雜質半導體層 25。

在此，作為非晶半導體層 23，藉由電漿 CVD 法形成厚度為 80nm 的非晶矽層。另外，作為添加有賦予一導電型的雜質元素的雜質半導體層 25，藉由電漿 CVD 法形成厚度為 50nm 的添加有磷的非晶矽層。

接下來，藉由光刻步驟形成抗蝕劑掩模，使用該抗蝕劑掩模對緩衝層 19、以及添加有賦予一導電型的雜質元素的雜質半導體層 25 進行乾法蝕刻，以如圖 11B 所示那樣形成非晶半導體層 81、以及添加有賦予一導電型的雜質元素的雜質半導體層 83。之後去除抗蝕劑掩模。

接下來，如圖 11C 所示，在閘極絕緣層 09、添加有賦予一導電型的雜質元素的雜質半導體層 83 上形成導電層 27。

在此，作為導電層 27，藉由利用氬對鉬靶進行濺射，形成厚度為 300nm 的鉬層。

接下來，在導電層 27 上塗敷抗蝕劑之後，藉由光刻步驟形成抗蝕劑掩模，使用該抗蝕劑掩模對導電層 27 進行濕法蝕刻，以如圖 11D 所示那樣形成源極佈線 85 及汲極電極 87。另外，對添加有賦予一導電型的雜質元素的雜質半導體層 83 進行乾法蝕刻，形成添加有賦予一導電型的雜質元素的一對雜質半導體層 91、93。此時，非晶半導體層 81 的表面的一部分也被蝕刻，而成為非晶半導體層 95。之後去除抗蝕劑掩模。

在此，作為樣品 1，對導電層 27 進行蝕刻，使其如實

施模式 1 及圖 11D 所示那樣，源極佈線 85 的一個端部與導電層 51 重疊 $2\mu\text{m}$ ，並且汲極電極 87 的一個端部離開導電層 $512\mu\text{m}$ 。另外，作為樣品 2，對導電層 27 進行蝕刻，使其源極佈線 85 的一個端部和導電層 51 的一個端部一致，並且汲極電極 87 的一個端部和導電層 51 的一個端部一致。

接下來，將氬電漿照射到非晶半導體層 95 的表面，去除非晶半導體層 95 中殘留的雜質。

接下來，如圖 11E 所示，形成保護絕緣層 67。在此，作為保護絕緣層 67，藉由電漿 CVD 法形成厚度為 300nm 的氮化矽層。

接下來，在保護絕緣層 67 上塗敷抗蝕劑之後，使用藉由光刻步驟形成的抗蝕劑掩模，對保護絕緣層 67 的一部分進行乾法蝕刻，來使汲極電極 87 露出。另外，對保護絕緣層 67 及閘極絕緣層 09 的一部分進行乾法蝕刻，使閘極電極 05 露出。

接下來，在保護絕緣層 67 上形成導電層。在此，藉由濺射法形成厚度為 50nm 的 ITO 作為導電層。注意，也可以不形成該 ITO。

之後，對樣品 1 及樣品 2 的薄膜電晶體的電特性進行測量。圖 19A 示出樣品 1 的電流電壓特性，圖 19B 示出樣品 2 的電流電壓特性。注意，將樣品 1 及樣品 2 的薄膜電晶體的通道長度設定為 $10\mu\text{m}$ ，將通道寬度設定為 $20\mu\text{m}$ 。另外，以實線表示漏電壓為 1V 及 10V 的電流電壓特性，

以虛線表示漏電壓為 1V 時的場效應遷移率。

樣品 1 的場效應遷移率為 $1.37\text{cm}^2/\text{Vs}$ ，樣品 2 的場效應遷移率為 $1.14\text{cm}^2/\text{Vs}$ 。由此可知，因為實施模式 1 所示的結構，提高了薄膜電晶體的場效應遷移率。另外，從圖 19A 及 19B 可知，樣品 1 的導通電流提高，並且截止電流減小。另外，樣品 2 的臨界值大幅度偏移到負側，然而樣品 1 的臨界值稍微偏移到正側。

如上所述，藉由本實施例的結構，可以提高薄膜電晶體的導通電流及場效應遷移率，並且能夠減小截止電流。

實施例 2

在本實施例中，示出上述實施模式所示的薄膜電晶體的電流路徑中的能帶圖及電流電壓特性的類比結果。注意，將 Silvaco 公司製造的裝置模擬器“ATLAS”用於裝置模擬。

圖 20 示出用於裝置類比的薄膜電晶體的結構。

在絕緣基板上形成厚度為 150nm 鉬（Mo）作為閘極電極。鉬（Mo）的功函數為 4.6eV。

在閘極電極上層疊氮化矽 SiN（介電常數為 7.0、厚度為 110nm）和氧氮化矽 SiON（介電常數為 4.1、厚度為 110nm）作為閘極絕緣層。

在閘極絕緣層上層疊添加有磷的微晶矽層 $\mu\text{c-Si}(\text{n})$ （厚度為 10nm、施體濃度為 $1 \times 10^{18}\text{atoms/cm}^3$ 、激發率為 100%）作為導電層，並且層疊非晶矽層 $\text{a-Si}(\text{il})$ （厚度

爲 30nm) 作爲緩衝層。

另外，還在緩衝層及閘極絕緣層上層疊非晶矽層 a-Si (i2) (厚度爲 80nm) 作爲非晶半導體層。由於非晶半導體層用作爲通道蝕刻層，因此呈凹部狀，該凹部中的厚度爲 40nm。

在非晶半導體層上層疊添加有磷的非晶矽層 a-Si(n⁺) (厚度爲 50nm) 作爲添加有賦予一導電型的雜質元素的一對雜質半導體層。在圖 20 中，添加有磷的非晶矽層 a-Si(n⁺) 的距離相當於薄膜電晶體的通道長度 L。這裏，通道長度 L=10μm。另外，“D-N”表示添加有磷的微晶矽層 μc-Si(n) 和添加有磷的非晶矽層 a-Si(n⁺) 的一方的距離。在此，將距離 D-N 設定爲 2μm。另外，添加有磷的非晶矽層 a-Si(n⁺) 的施體濃度爲 $1 \times 10^{19} \text{ atoms/cm}^3$ ，具有高導電性。

在添加有賦予一導電型的雜質元素的一對雜質半導體層上層疊鉬 (Mo) (厚度爲 300nm) 作爲源極電極及汲極電極。假設在鉬 (Mo) 和添加有磷的非晶矽層 a-Si(n⁺) 之間爲歐姆接觸。

圖 21 示出進行圖 20 所示的薄膜電晶體的裝置類比的電流電壓特性的結果。虛線表示漏電壓爲 1V 時的漏電流，實線表示漏電壓爲 10V 時的漏電流。當閘極電壓 (VG) 爲臨界值電壓 (在此爲 0.6V) 時，電流電壓特性的凹凸反轉。就是說，VG < V_{th} 時，曲線下凸，VG > V_{th} 時，曲線上凸。另外，根據閘極電壓表示導通或截止的動作。

接下來，下面示出將漏電壓固定於 1V 時的、沿著圖 20 中的 A-B-C-D 線的層的能帶圖的裝置模擬結果及勢壘的閘極電壓依賴性。

圖 22 示出 $V_D = V_G = 0V$ 時能帶圖的裝置模擬結果。當 V_G 為 0V 時，在 $\mu c-Si(n)$ 和 $a-Si(i2)$ 的介面部分形成妨礙電子遷移的勢壘。

圖 23 示出 $V_D = 1V$ 、 $V_G = 0V$ 時能帶圖的裝置模擬結果，圖 24 示出 $V_D = 1V$ 、 $V_G = V_{th}$ （臨界值電壓為 0.6V）時能帶圖的裝置模擬結果。在 V_G 為 0V 及臨界值電壓時，也存在勢壘。注意，在 V_G 等於臨界值電壓的情況下，其勢壘要低於 V_G 為 0V 時的勢壘。

圖 25 示出 $V_D = 1V$ 、 $V_G > V_{th}$ （閘極電壓為 2V）時能帶圖的裝置模擬結果。當 V_G 大於臨界值電壓時，勢壘進一步降低，使得電子可以透過。根據該結果，本實施例所示的薄膜電晶體可以獲得如圖 21 所示那樣的電流電壓特性。

實施例 3

在本實施例中，示出模擬上述實施模式所示的薄膜電晶體的電流電壓特性的類比結果。注意，將 Silvaco 公司製造的裝置模擬器“ATLAS”用於裝置模擬。另外，薄膜電晶體的結構與實施例 2 所示的薄膜電晶體的結構相同。

圖 26 示出將圖 20 所示的 D-N 距離設定為 d 時， d 為 $2\mu m$ 且汲極電壓 V_d 為 1V 時薄膜電晶體的電流電壓曲線。

圖 27 示出 d 爲 $2\mu\text{m}$ 且汲極電壓 V_d 爲 10V 時薄膜電晶體的電流電壓曲線。

圖 28 示出汲極電壓 V_d 爲 1V 時截止電流相對於施體濃度隨距離 d 發生的變化。圖 29 示出汲極電壓 V_d 爲 10V 時截止電流相對於施體濃度隨距離 d 發生的變化。

圖 30 示出汲極電壓 V_d 爲 1V 時遷移率相對於施體濃度隨距離 d 發生的變化。圖 31 示出在將距離 d 設定爲 $2\mu\text{m}$ 、汲極電壓 V_d 爲 10V 時，遷移率相對於施體濃度隨距離 d 發生的變化。

由圖 28 至 30 所示的圖表可知，作為可用於顯示裝置的薄膜電晶體的條件，要滿足以下條件，即 $V_d=10\text{V}$ 時截止電流爲 $1\times 10^{-9}\text{A}$ 以上、且 $V_d=1\text{V}$ 時截止電流爲 $1\times 10^{-10}\text{A}$ 以下。在 d 爲 $0.5\mu\text{m}$ 至 $4\mu\text{m}$ 時，滿足所述條件的施體濃度爲 $1\times 10^{15}\text{atoms/cm}^3$ 至 $1\times 10^{19}\text{atoms/cm}^3$ 。

另外， $V_d=1\text{V}$ 時場效應遷移率爲 $1.0\text{cm}^2/\text{V}\cdot\text{sec}$ 以上，是指在 d 爲 $2\mu\text{m}$ 時施體濃度爲 $1\times 10^{18}\text{atoms/cm}^3$ 至 $1\times 10^{19}\text{atoms/cm}^3$ 。

由此可見，較佳地是，在距離 d 爲 $0.5\mu\text{m}$ 至 $4\mu\text{m}$ 的情況下，施體濃度爲 $1\times 10^{18}\text{atoms/cm}^3$ 至 $1\times 10^{19}\text{atoms/cm}^3$ ，較佳爲 $5\times 10^{18}\text{atoms/cm}^3$ 至 $1\times 10^{19}\text{atoms/cm}^3$ 。

另外，在施體濃度爲 $1\times 10^{18}\text{atoms/cm}^3$ 至 $1\times 10^{19}\text{atoms/cm}^3$ 的情況下，施體激發率爲 100% 時的電導率爲 0.1S/cm 至 1.8S/cm 。另外，在激發率爲 5% 至 100% 時，滿足所述電導率的使用作施體的雜質元素的濃度爲 $1\times$

$10^{18} \text{ atoms/cm}^3$ 至 $2 \times 10^{20} \text{ atoms/cm}^3$ 。

【圖式簡單說明】

圖 1 是說明根據本實施模式的薄膜電晶體的截面圖。

圖 2 是說明根據本實施模式的薄膜電晶體的截面圖。

圖 3 是說明根據本實施模式的薄膜電晶體的截面圖。

圖 4 是說明根據本實施模式的薄膜電晶體的截面圖。

圖 5 是說明根據本實施模式的薄膜電晶體的製造步驟的截面圖。

圖 6 是說明根據本實施模式的薄膜電晶體的截面圖及俯視圖。

圖 7 是說明根據本實施模式的薄膜電晶體的製造步驟的截面圖。

圖 8 是說明根據本實施模式的薄膜電晶體的製造步驟的截面圖。

圖 9 是說明可適用於本實施模式的多級灰度掩模的圖

圖 10 是說明根據本實施模式的薄膜電晶體的製造步驟的俯視圖。

圖 11 是說明根據本實施模式的薄膜電晶體的製造步驟的截面圖。

圖 12 是說明根據本實施模式的薄膜電晶體的製造步驟的俯視圖。

圖 13 是說明根據本實施模式的元件基板的平面圖。

圖 14 是說明根據本實施模式的元件基板的端子部及像素部的截面圖。

圖 15 是說明根據本實施模式的顯示面板的立體圖。

圖 16 是說明使用根據本實施模式的顯示裝置的電子設備的立體圖。

圖 17 是說明使用根據本實施模式的顯示裝置的電子設備的圖。

圖 18 是說明使用根據本實施模式的顯示裝置的電子設備的立體圖。

圖 19 是表示藉由實施例 1 獲得的薄膜電晶體的電特性的圖。

圖 20 是表示在裝置類比中使用的裝置結構的圖。

圖 21 是表示藉由裝置模擬獲得的薄膜電晶體的電特性的圖。

圖 22 是表示藉由裝置模擬獲得的帶隙圖。

圖 23 是表示藉由裝置模擬獲得的帶隙圖。

圖 24 是表示藉由裝置模擬獲得的帶隙圖。

圖 25 是表示藉由裝置模擬獲得的帶隙圖。

圖 26 是表示藉由裝置模擬獲得的薄膜電晶體的電特性的圖。

圖 27 是表示藉由裝置模擬獲得的薄膜電晶體的電特性的圖。

圖 28 是表示藉由裝置模擬獲得的薄膜電晶體的導通電流的圖。

圖 29 是表示藉由裝置模擬獲得的薄膜電晶體的導通電流的圖。

圖 30 是表示藉由裝置模擬獲得的薄膜電晶體的場效應遷移率的圖。

圖 31 是表示藉由裝置模擬獲得的薄膜電晶體的場效應遷移率的圖。

圖 32 是說明根據本實施模式的薄膜電晶體的截面圖。

圖 33 是說明根據本實施模式的薄膜電晶體的截面圖。

【主要元件符號說明】

1：基板

3：導電層

5：閘極電極

9：閘極絕緣膜

9a：閘極絕緣膜

9b：閘極絕緣膜

11：導電層

13：緩衝層

17：導電層

19：緩衝層

21：緩衝層

23：非晶半導體層

- 25：雜質半導體層
- 27：導電層
- 29：抗蝕劑掩模
- 33：非晶半導體層
- 35：非晶半導體層
- 37：半導體層
- 39：半導體層
- 41：導電層
- 45：抗蝕劑掩模
- 51：導電層
- 51a：導電層
- 51e：導電層
- 52：緩衝層
- 53：緩衝層
- 53a：緩衝層
- 53e：緩衝層
- 54：緩衝層
- 55：非晶半導體層
- 56：導電性粒子
- 58：微晶半導體層
- 59：雜質半導體層
- 61：雜質半導體層
- 63：佈線
- 65：佈線

67：保護絕緣層
 69：平坦化層
 71：像素電極
 72a：半導體層
 72c：半導體層
 72e：半導體層
 73：通道保護層
 81：非晶半導體層
 82：非晶半導體層
 83：雜質半導體層
 84：雜質半導體層
 85：源極佈線
 87：汲極電極
 91：雜質半導體層
 93：雜質半導體層
 95：非晶半導體層
 159a：灰色調掩模
 159b：半色調掩模
 163：基板
 164：遮光部
 165：衍射光柵
 166：透光量
 167：半透射部
 168：遮光部

- 169：透 光 量
- 300：基 板
- 301：像 素 部
- 302：保 護 電 路
- 303：掃 描 線
- 304：撓 性 印 刷 電 路 板
- 305：信 號 線 驅 動 電 路
- 306：掃 描 線 輸 入 端 子 部
- 306a：掃 描 線 輸 入 端 子
- 306b：掃 描 線 輸 入 端 子
- 307：各 向 異 性 導 電 黏 合 劑
- 308：導 電 粒 子
- 309：佈 線
- 322：保 護 電 路
- 323：信 號 線
- 324：撓 性 印 刷 電 路 板
- 325：信 號 線 驅 動 電 路
- 326：信 號 線 輸 入 端 子 部
- 326a：信 號 線 輸 入 端 子
- 326b：信 號 線 輸 入 端 子
- 327：各 向 異 性 導 電 黏 合 劑
- 328：導 電 粒 子
- 329：佈 線
- 330：薄 膜 電 晶 體

- 900：顯示面板
- 921：像素部
- 922：信號線驅動電路
- 923：掃描線驅動電路
- 924：調諧器
- 925：視頻信號放大電路
- 926：視頻信號處理電路
- 927：控制電路
- 928：信號分割電路
- 929：音頻信號放大電路
- 930：音頻信號處理電路
- 931：控制電路
- 932：輸入部
- 1101：顯示部
- 1102：揚聲器
- 1103：麥克風
- 1104：操作鍵
- 1105：定位裝置
- 1106：表面相機用透鏡
- 1107：外部連接端子插口
- 1111：外殼
- 1112：外殼
- 1201：鍵盤
- 1202：外部記憶體插槽

1203：背 面 相 機
1204：光 燈
2001：外 殼
2002：顯 示 用 面 板
2003：主 屏
2004：數 據 機
2005：接 收 機
2006：遙 控 單 元
2007：顯 示 部
2008：副 屏
2009：揚 聲 器 部
2301：行 動 電 話 機
2302：顯 示 部
2303：操 作 部
2401：主 體
2402：顯 示 部
2501：照 明 部 分
2502：燈 罩
2503：可 變 臂
2504：支 柱
2505：台
2506：電 源
6011：基 板
6012：像 素 部

6013：信號線驅動電路

6014：掃描線驅動電路

6015：撓性印刷電路板

6016：保護電路

6021：基板

6022：像素部

6023：信號線驅動電路

6024：掃描線驅動電路

6025：撓性印刷電路板

6026：保護電路

6031：基板

6032：像素部

6033a：類比開關

6033b：移位暫存器

6034：掃描線驅動電路

6035：撓性印刷電路板

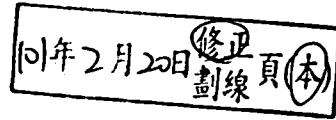
6036：保護電路

第098106189號專利申請案中文申請專利範圍修正本

民國 101 年 2 月 20 日修正

P1~3

七、申請專利範圍：



1.一種薄膜電晶體，包括：

基板上的閘極電極；

該閘極電極上的閘極絕緣層；

該閘極電極上且隔著該閘極絕緣層的導電層；

該導電層上的非晶半導體層，該非晶半導體層包括第一部分和第二部分，其中該第一部分重疊於該閘極電極和該導電層，並且該第二部分重疊於該閘極電極並且與該閘極絕緣層接觸；

該非晶半導體層上的第一雜質半導體層，該第一雜質半導體層重疊於該非晶半導體層的該第一部分；以及

該非晶半導體層上的第二雜質半導體層，該第二雜質半導體層重疊於該非晶半導體層的該第二部分。

2.如申請專利範圍第 1 項的薄膜電晶體，還包括該導電層上的緩衝層。

3.如申請專利範圍第 1 項的薄膜電晶體，其中該非晶半導體層的該第一部分與該導電層接觸。

4.如申請專利範圍第 1 項的薄膜電晶體，其中該導電層的電導率是 0.1S/cm 至 1.8S/cm 。

5.如申請專利範圍第 1 項的薄膜電晶體，其中該導電層是金屬層、金屬氮化物層、金屬碳化物層、金屬硼化物層或金屬矽化物層。

6.如申請專利範圍第 1 項的薄膜電晶體，其中該導電層是包含用作施體的雜質元素的半導體層。

7.如申請專利範圍第 6 項的薄膜電晶體，其中該半導體層的施體濃度為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上且 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下。

8.如申請專利範圍第 1 項的薄膜電晶體，其中該導電層是包含用作施體的雜質元素的微晶矽層。

9.如申請專利範圍第 1 項的薄膜電晶體，其中該非晶半導體層是非晶矽層。

10.一種顯示裝置，其中在像素部的各像素中設置有如申請專利範圍第 1 項的薄膜電晶體。

11.一種薄膜電晶體，包括：

基板上的閘極電極；

該閘極電極上的閘極絕緣層；

該閘極電極上且隔著該閘極絕緣層的導電層；

該導電層上的非晶半導體層，該非晶半導體層包括第一部分和第二部分，其中該第一部分重疊於該閘極電極和該導電層，並且該第二部分重疊於該閘極電極並且不重疊於該導電層；

該非晶半導體層上的第一雜質半導體層，該第一雜質半導體層重疊於該非晶半導體層的該第一部分；以及

該非晶半導體層上的第二雜質半導體層，該第二雜質半導體層重疊於該非晶半導體層的該第二部分。

12.如申請專利範圍第 11 項的薄膜電晶體，還包括該

導電層上的緩衝層。

13.如申請專利範圍第 12 項的薄膜電晶體，還包括覆蓋該導電層及該緩衝層的微晶矽層。

14.如申請專利範圍第 11 項的薄膜電晶體，其中該非晶半導體層的該第一部分與該導電層接觸。

15.如申請專利範圍第 11 項的薄膜電晶體，其中該導電層的電導率是 0.1S/cm 至 1.8S/cm 。

16.如申請專利範圍第 11 項的薄膜電晶體，其中該導電層是金屬層、金屬氮化物層、金屬碳化物層、金屬硼化物層或金屬矽化物層。

17.如申請專利範圍第 11 項的薄膜電晶體，其中該導電層是包含用作施體的雜質元素的半導體層。

18.如申請專利範圍第 17 項的薄膜電晶體，其中該半導體層的施體濃度為 $1 \times 10^{18} \text{atoms/cm}^3$ 以上且 $2 \times 10^{20} \text{atoms/cm}^3$ 以下。

19.如申請專利範圍第 11 項的薄膜電晶體，其中該導電層是包含用作施體的雜質元素微晶矽層。

20.如申請專利範圍第 11 項的薄膜電晶體，其中該非晶半導體層是非晶矽層。

21.一種顯示裝置，其中在像素部的各像素中設置有如申請專利範圍第 11 項的薄膜電晶體。

圖 1A

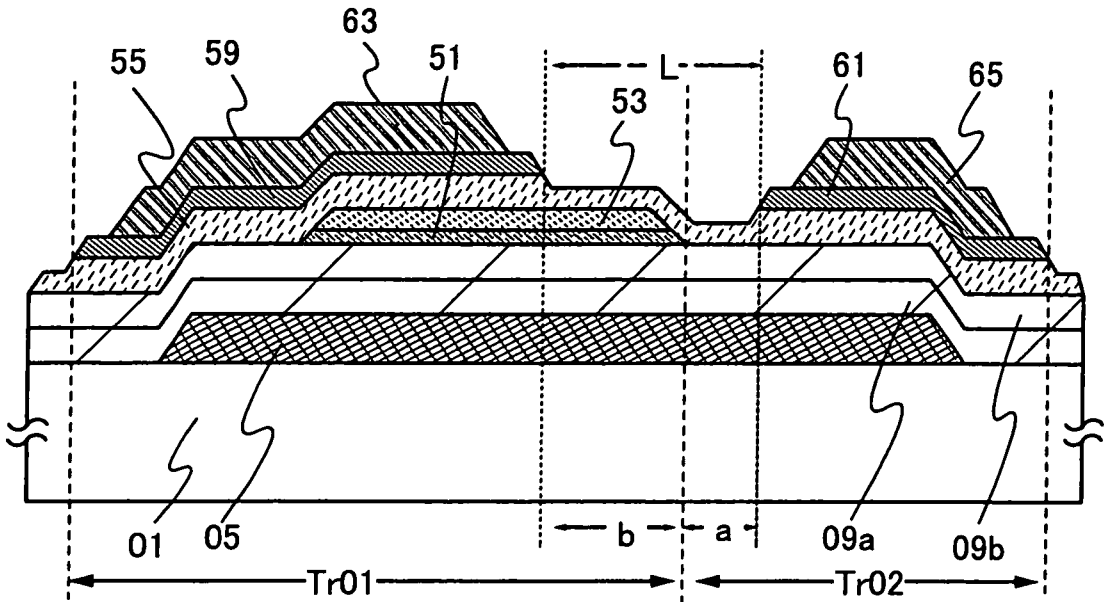


圖 1B

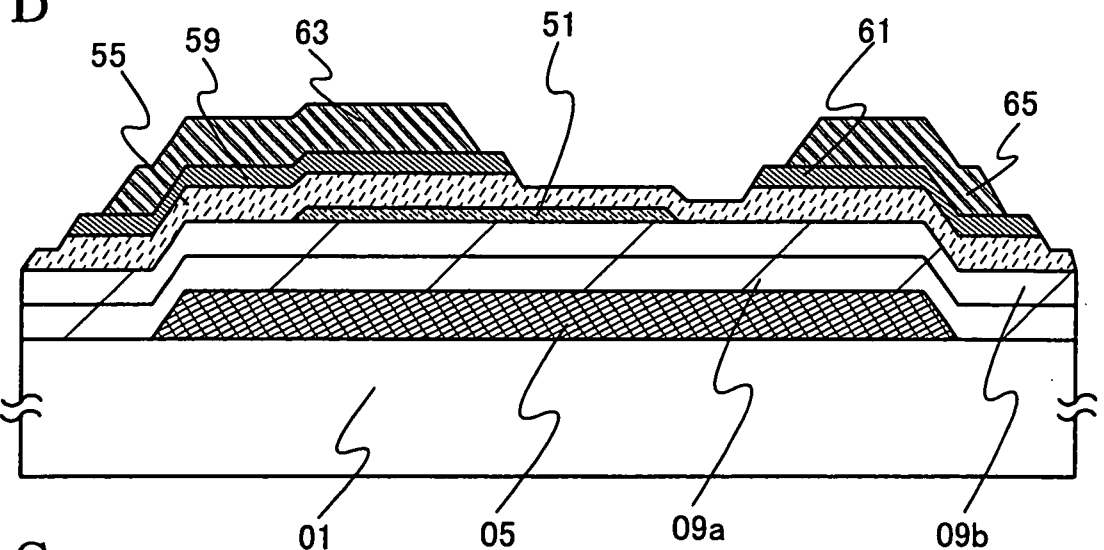


圖 1C

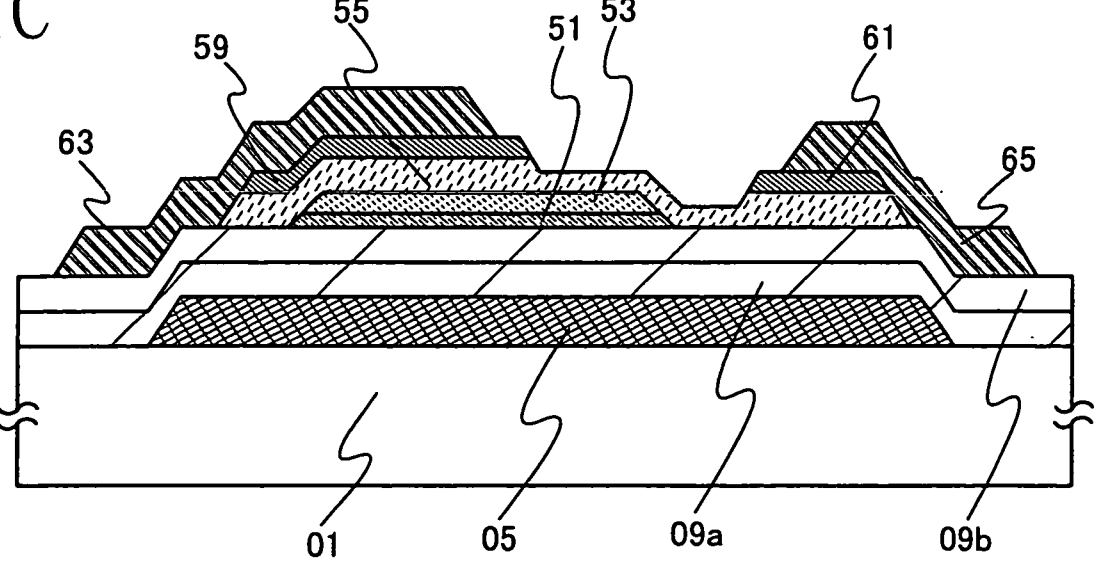


圖2

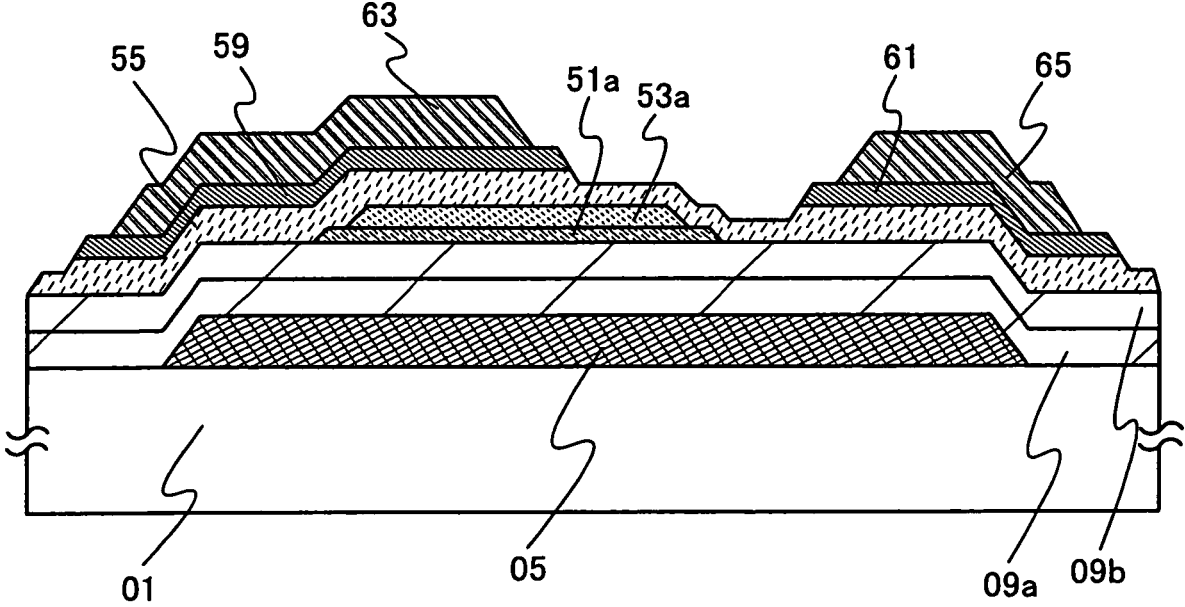


圖 3A

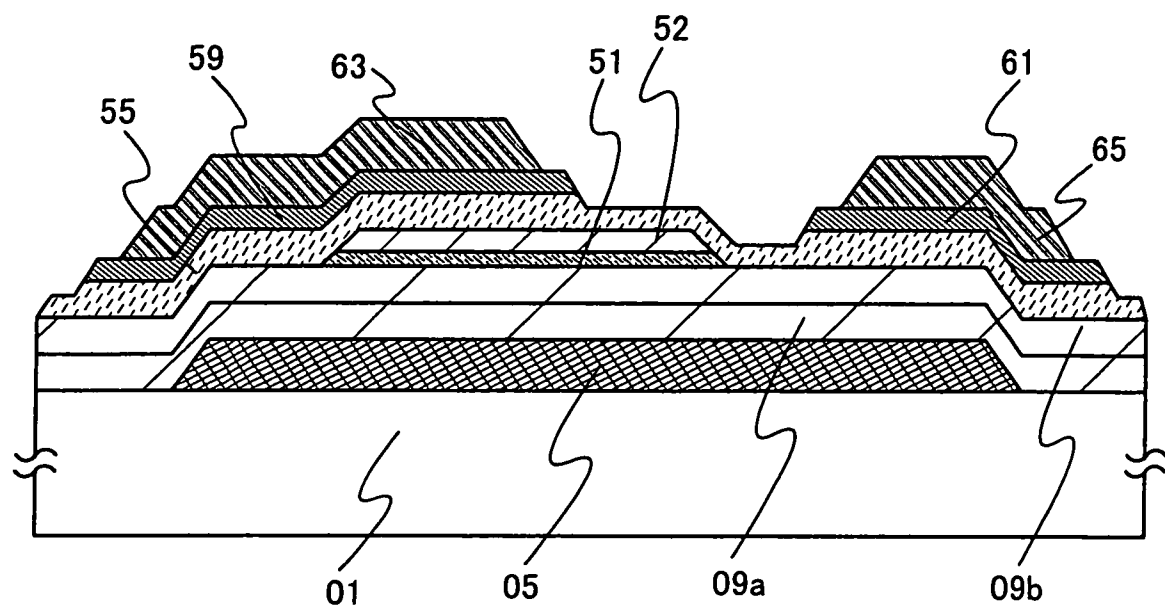
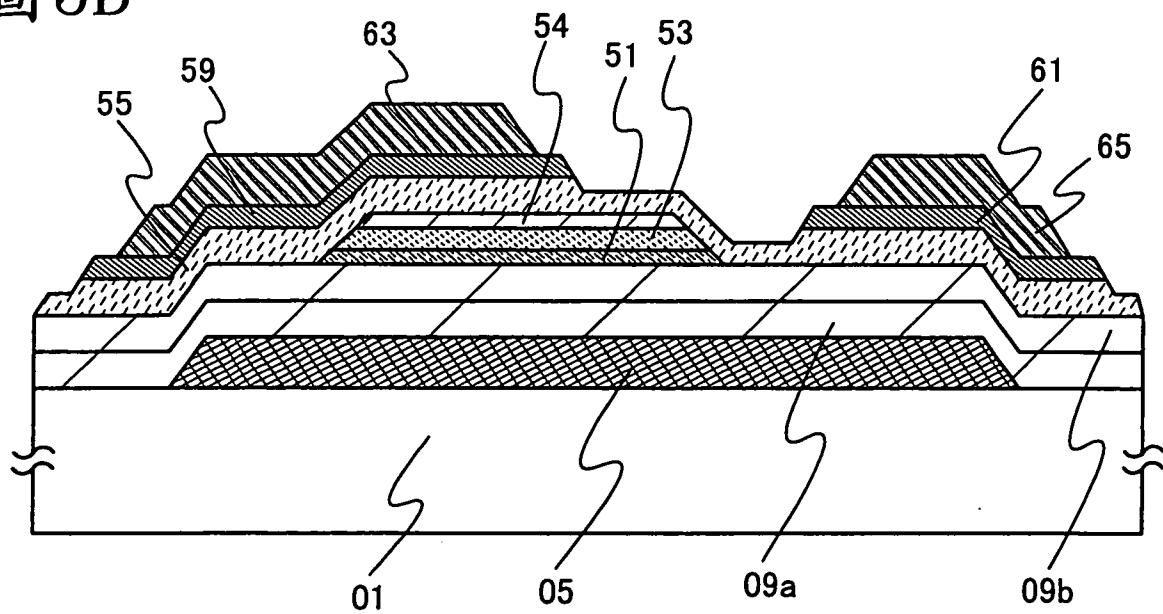


圖 3B



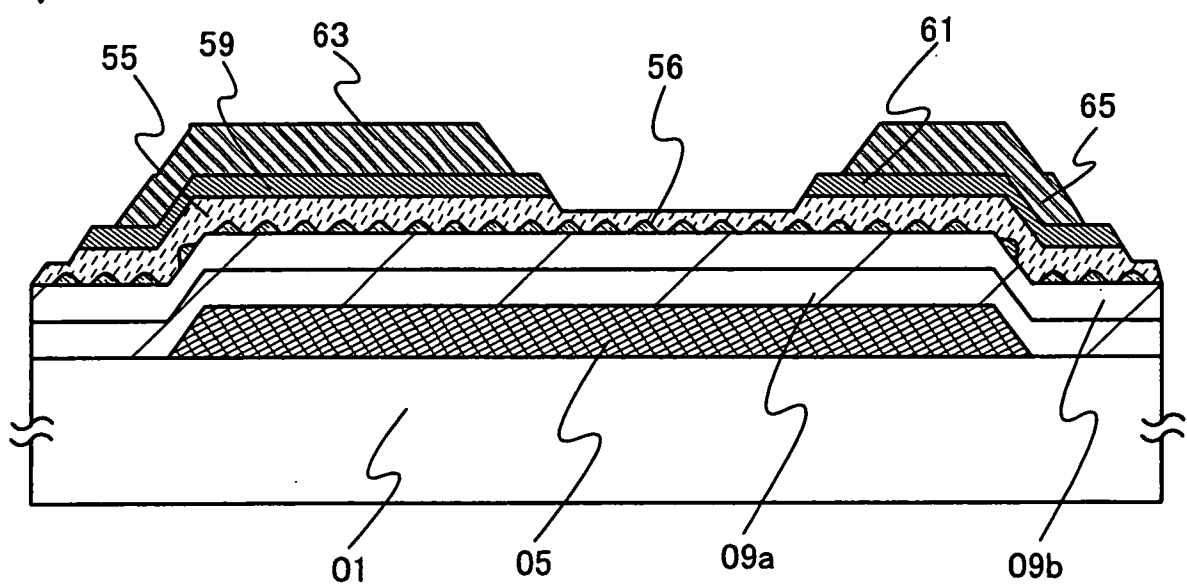


圖5

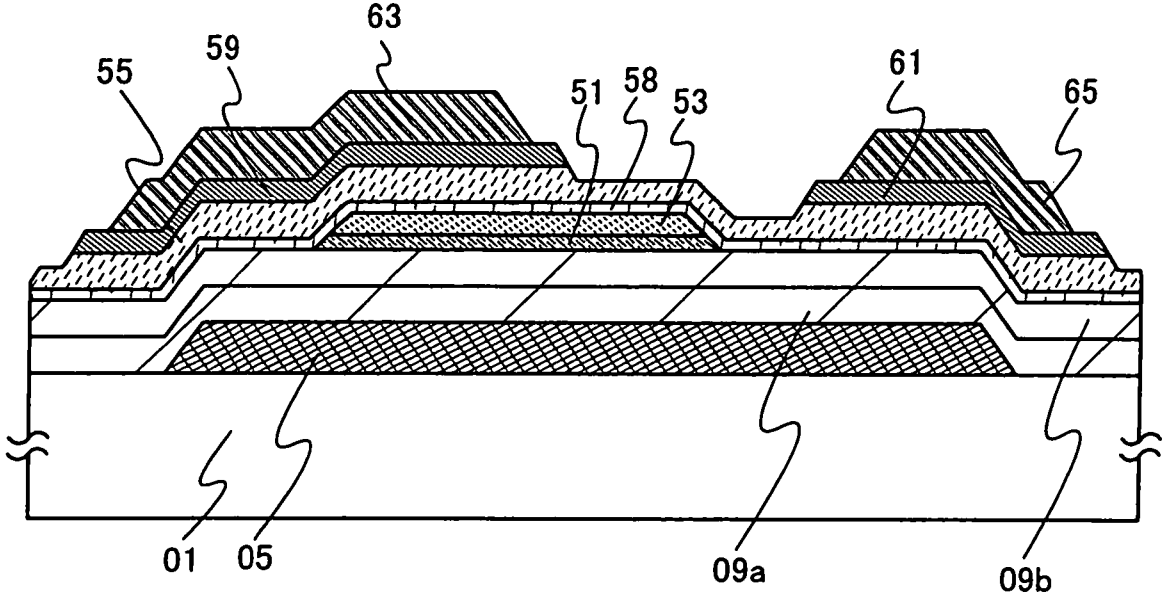


圖 6A

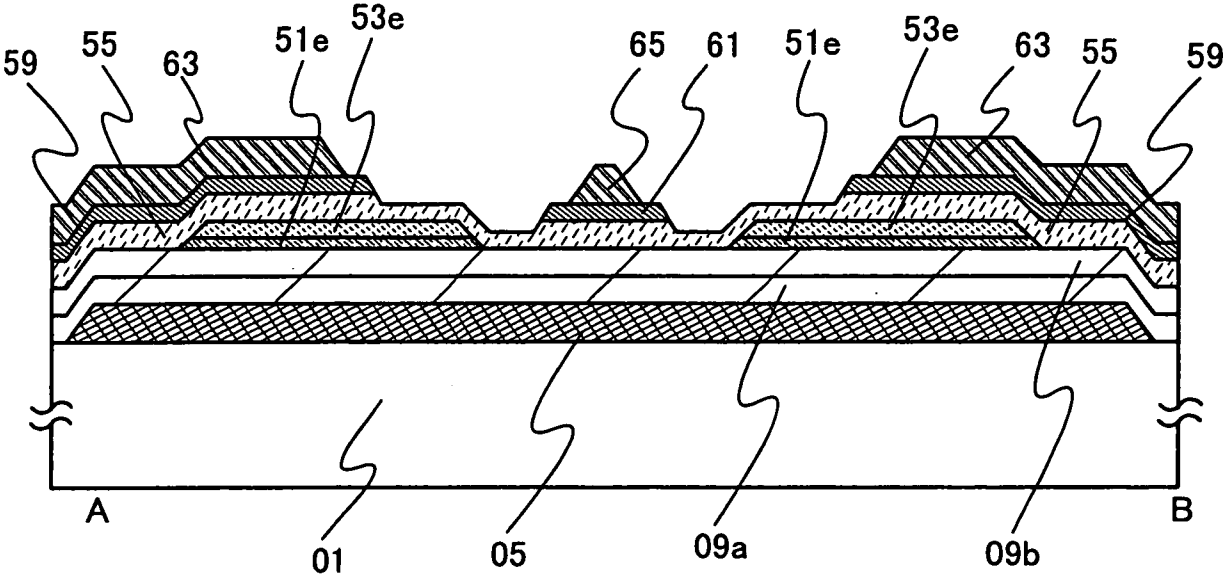


圖 6B

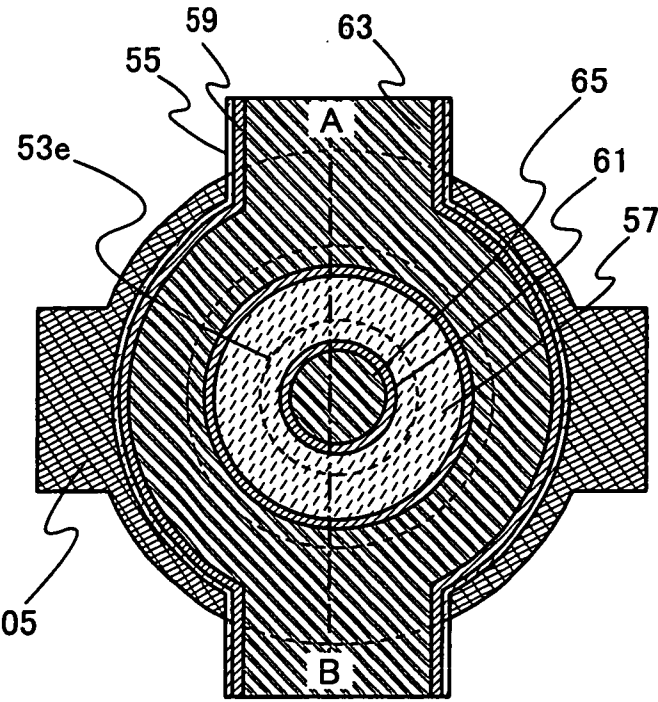


圖 7A

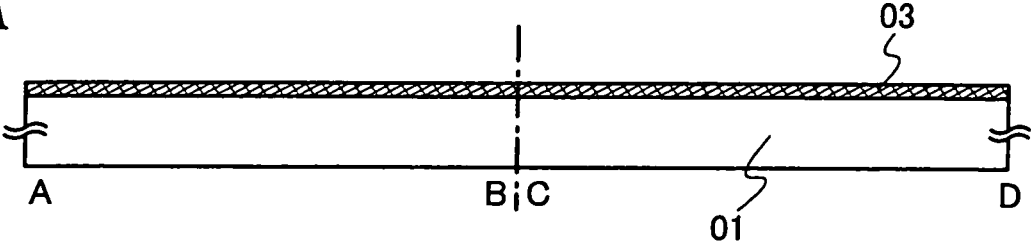


圖 7B

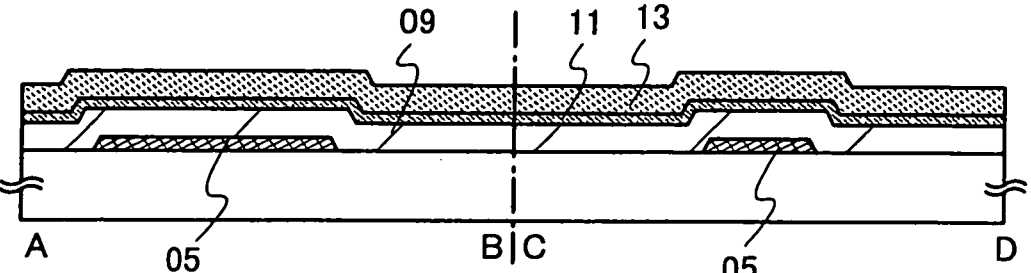


圖 7C

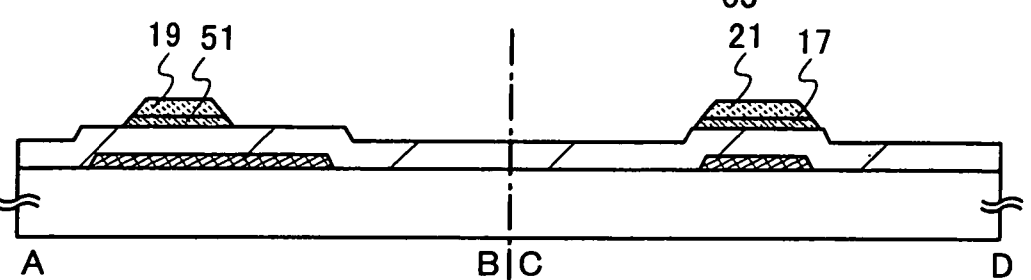


圖 7D

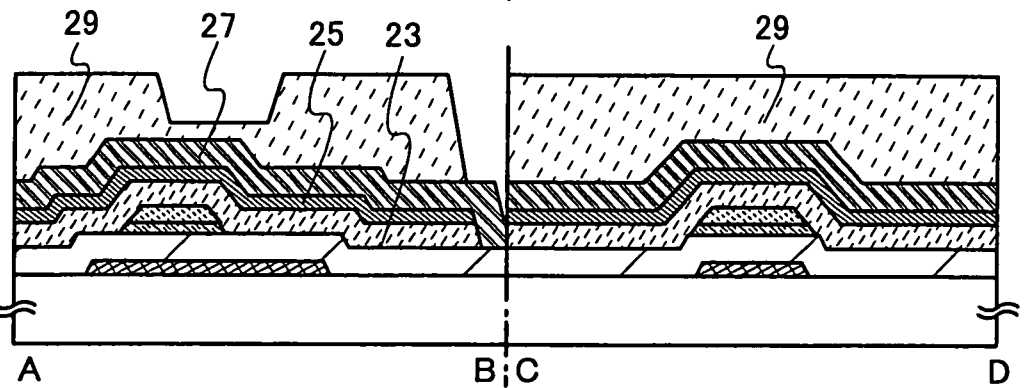


圖 7E

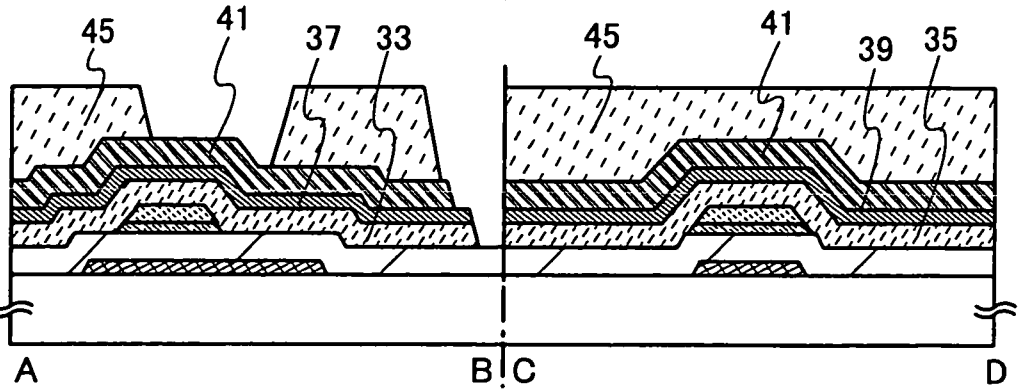


圖 8A

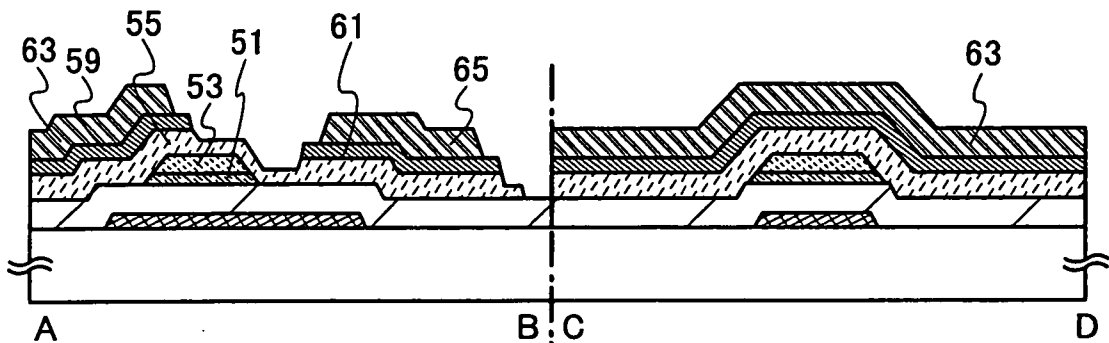


圖 8B

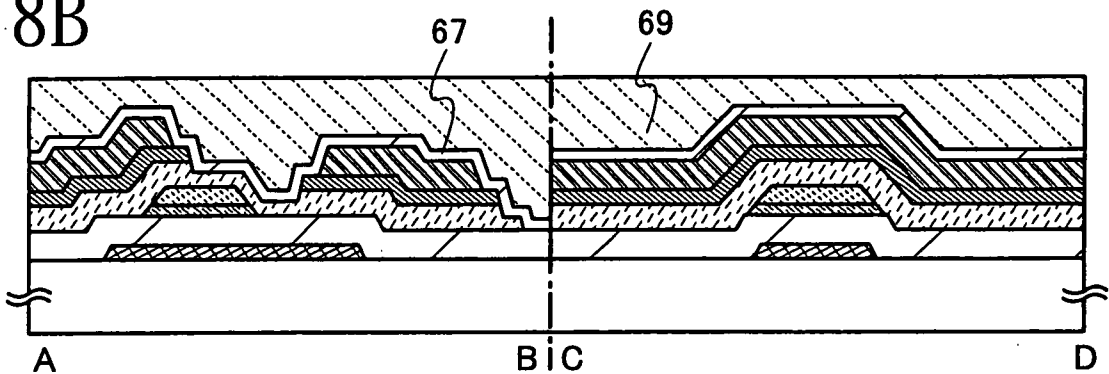


圖 8C

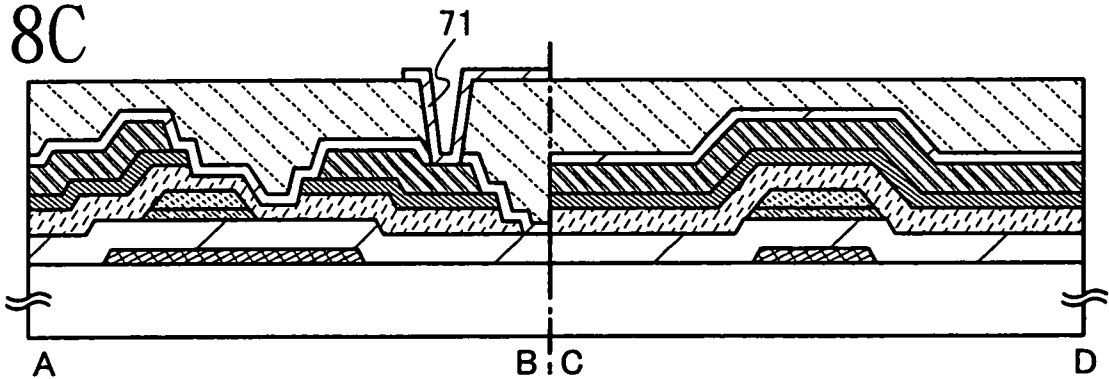


圖 9A

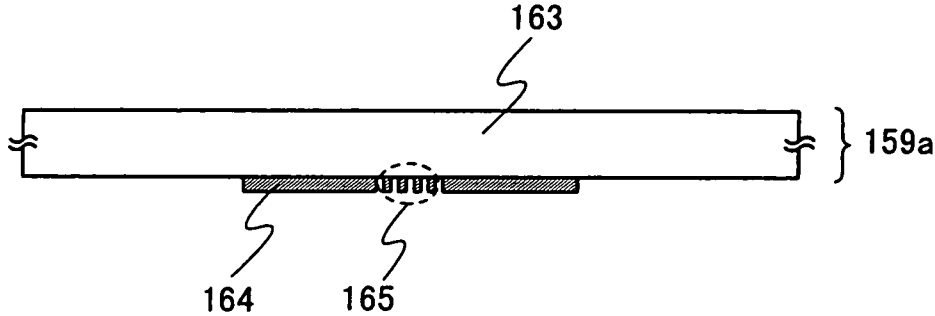


圖 9B

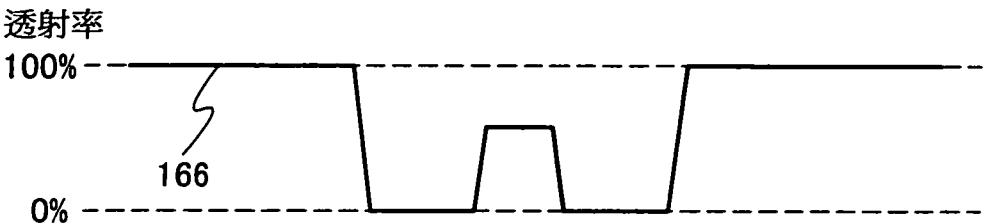


圖 9C

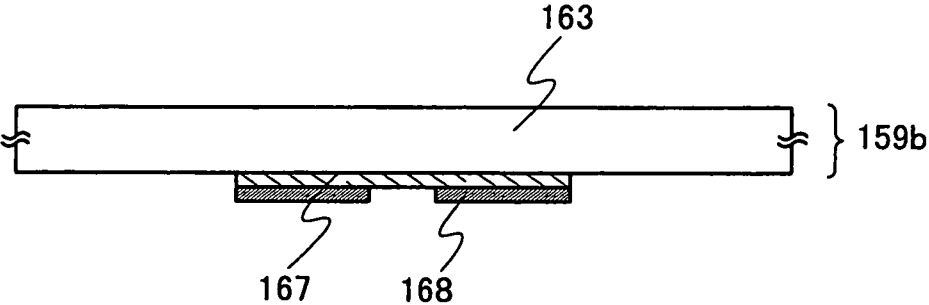


圖 9D

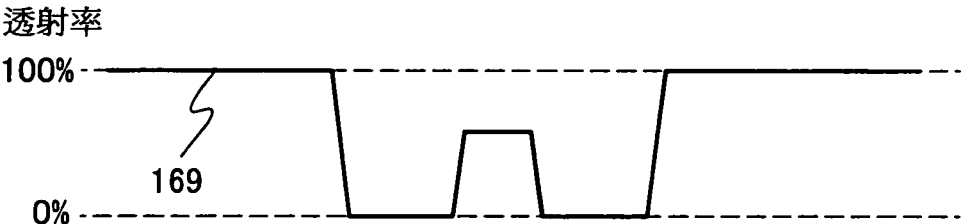


圖 10

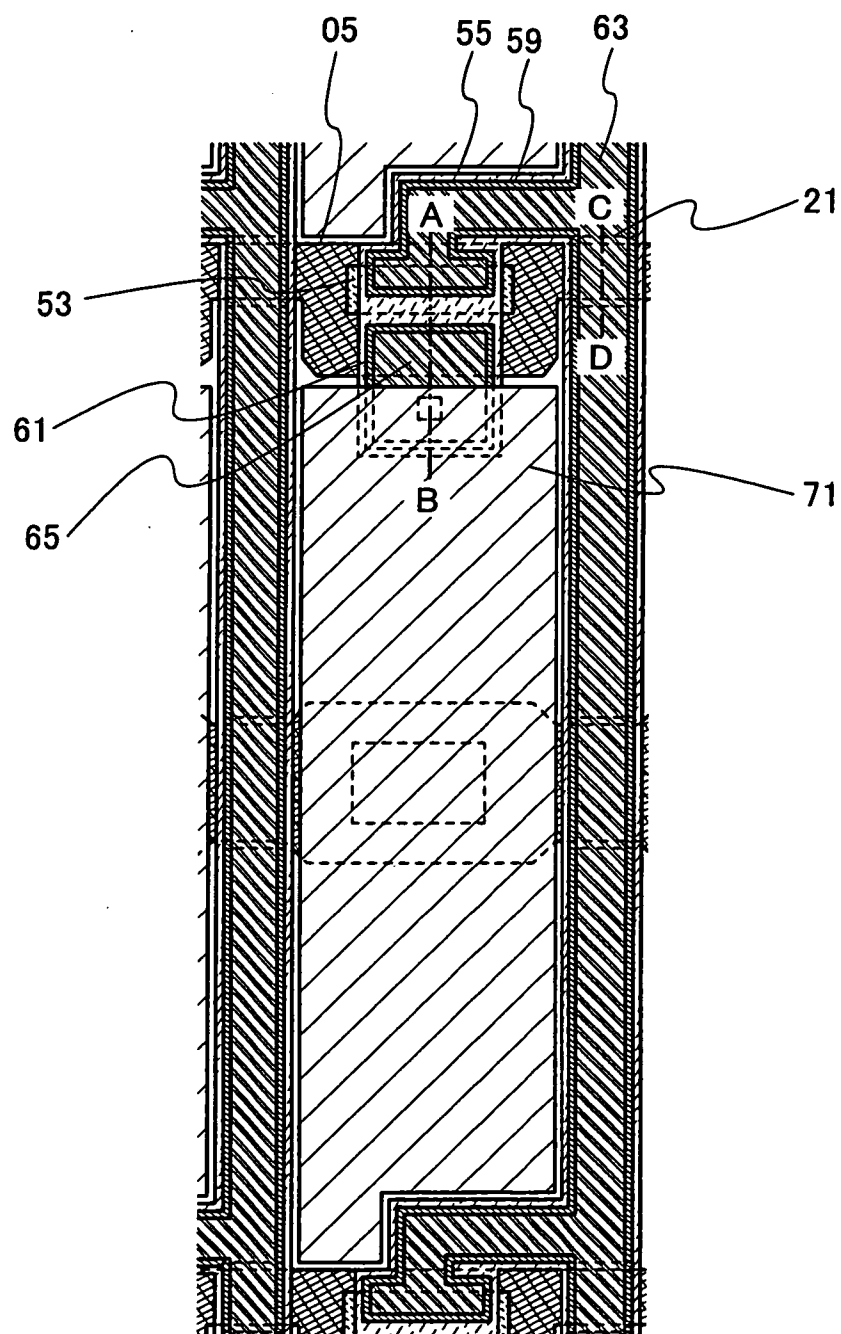


圖 11A

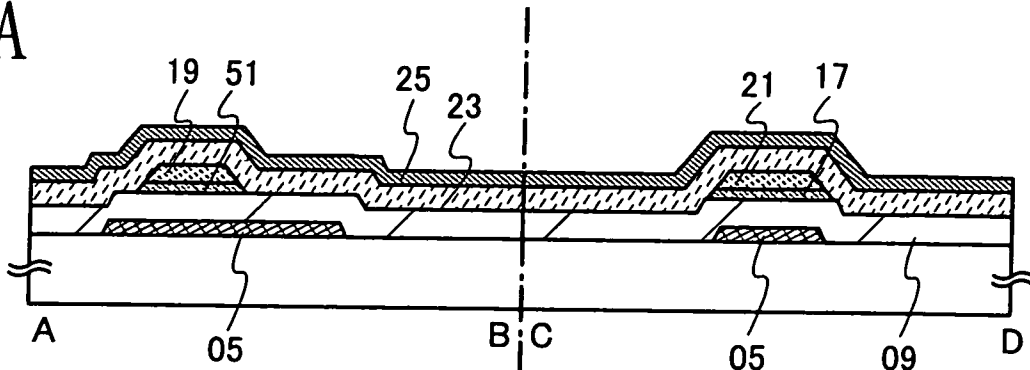


圖 11B

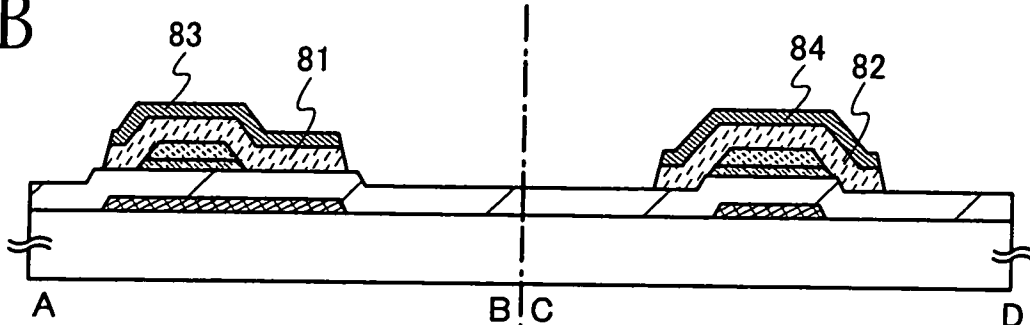


圖 11C

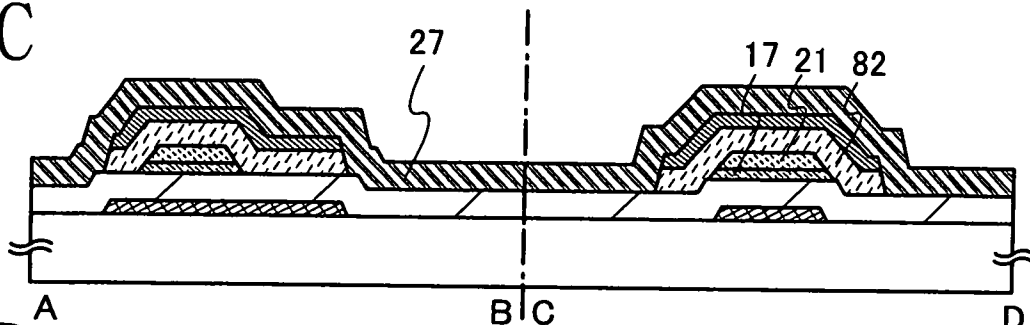


圖 11D

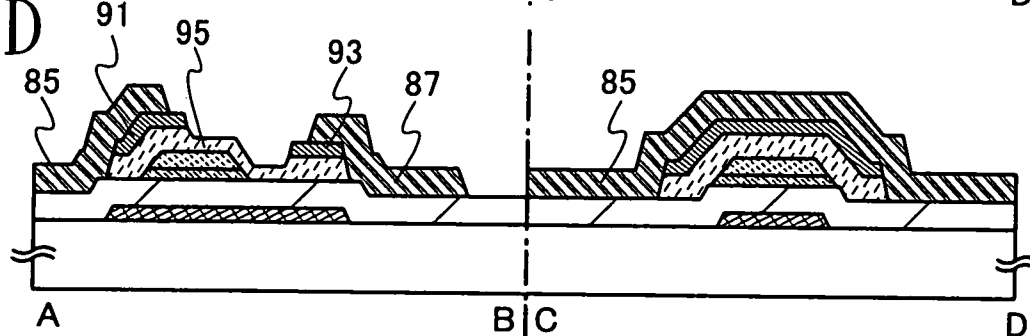


圖 11E

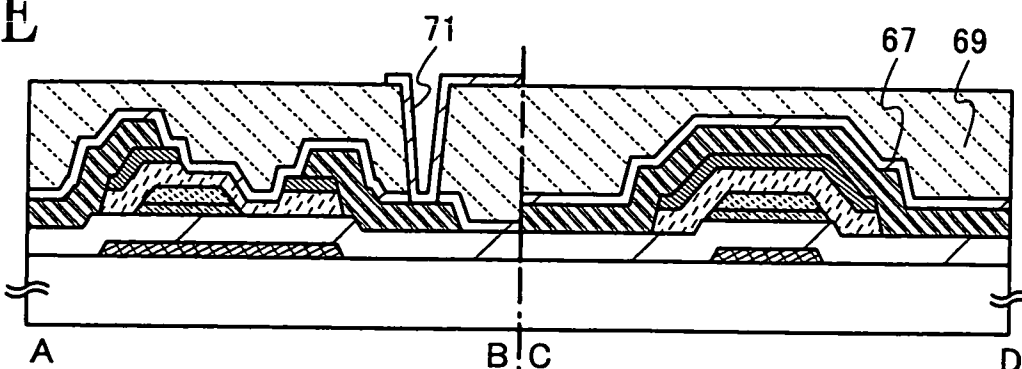


圖12

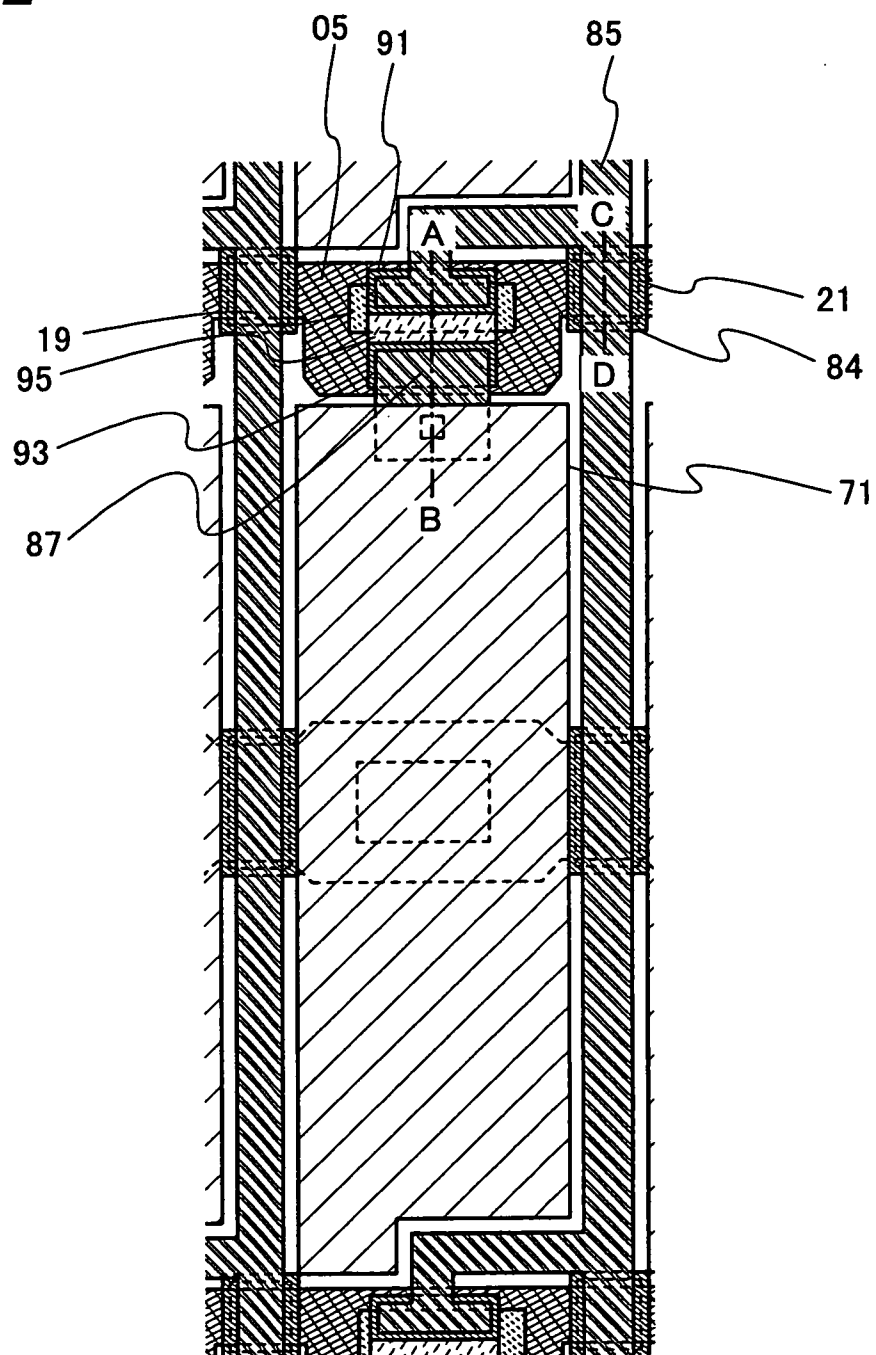


圖 13

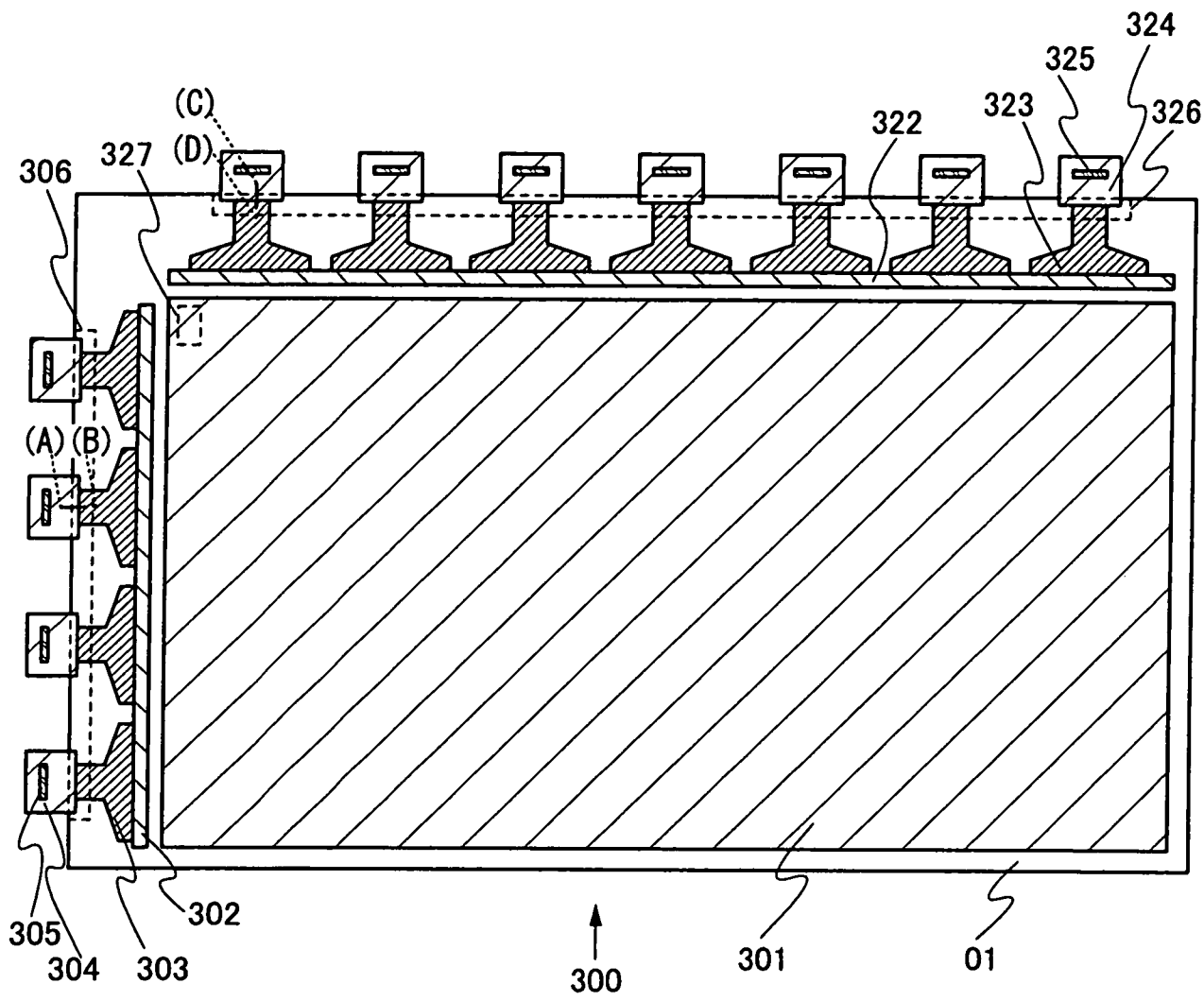


圖 14A

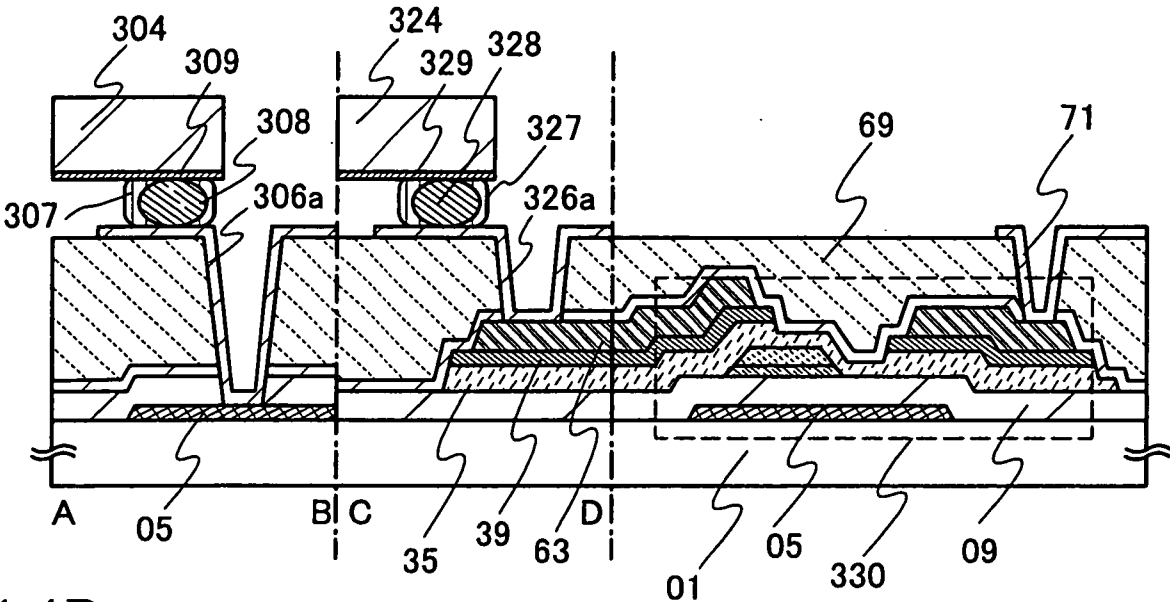


圖 14B

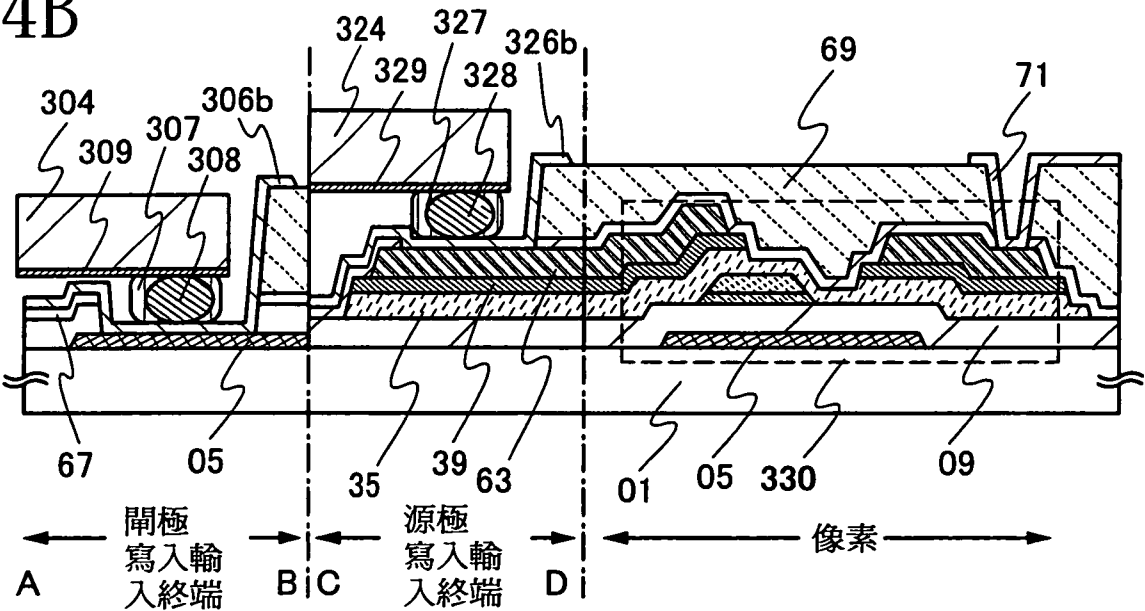


圖 15A

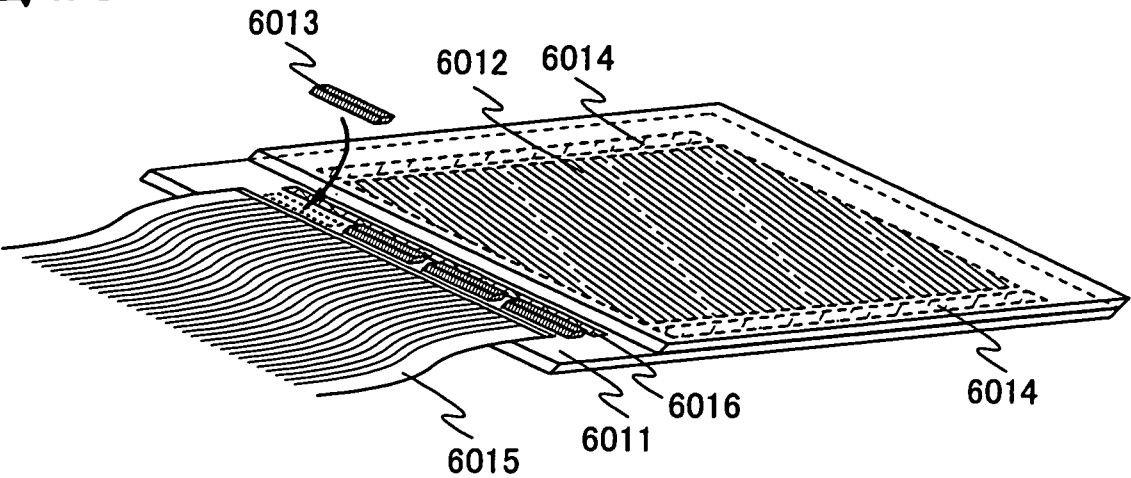


圖 15B

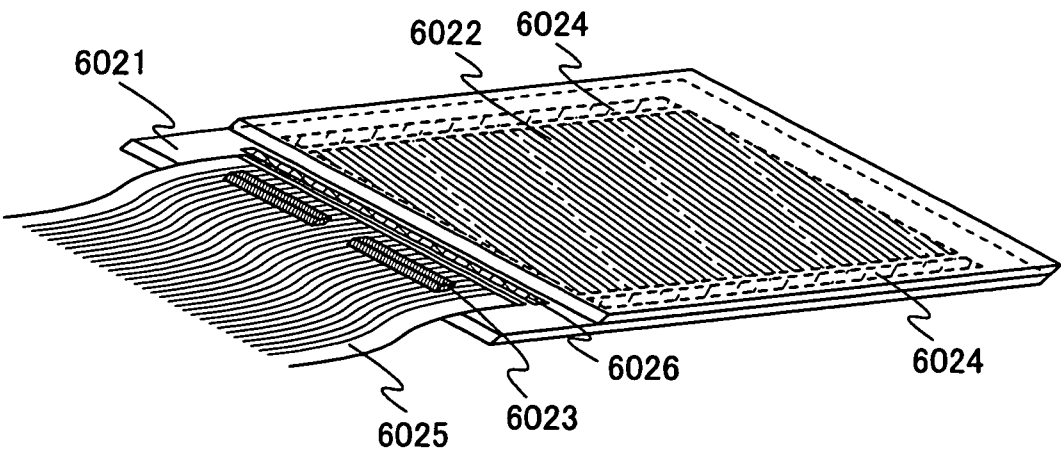


圖 15C

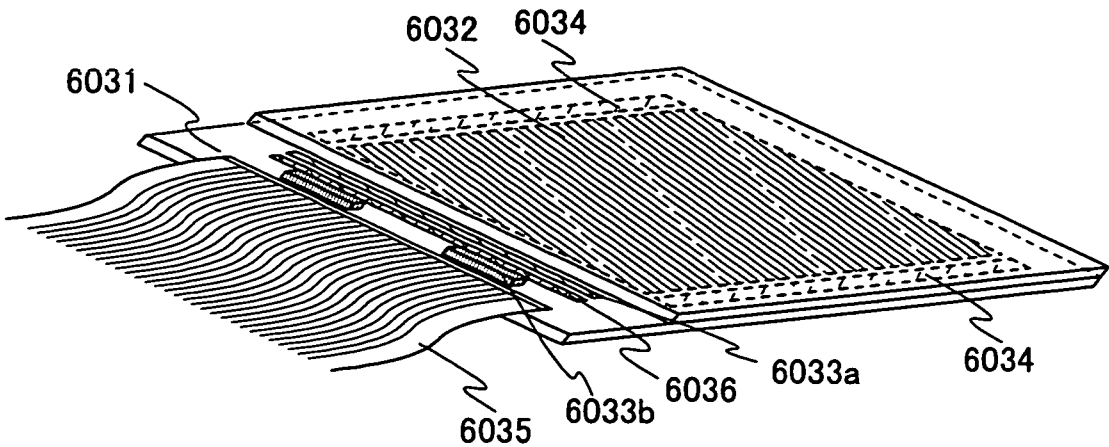


圖 16A

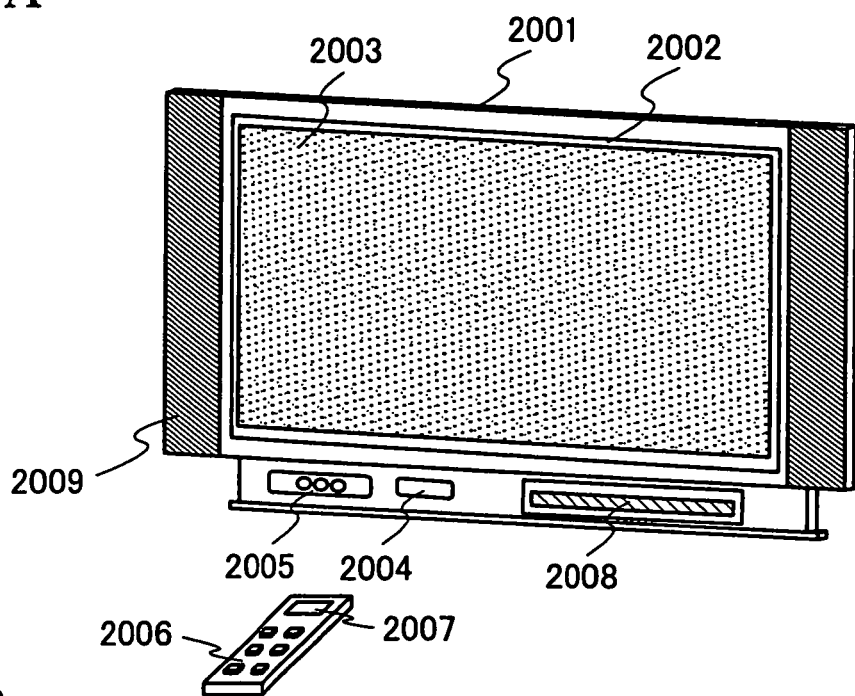


圖 16B

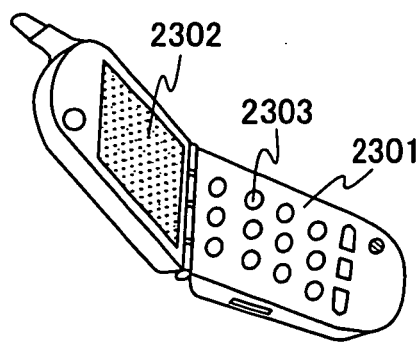


圖 16C

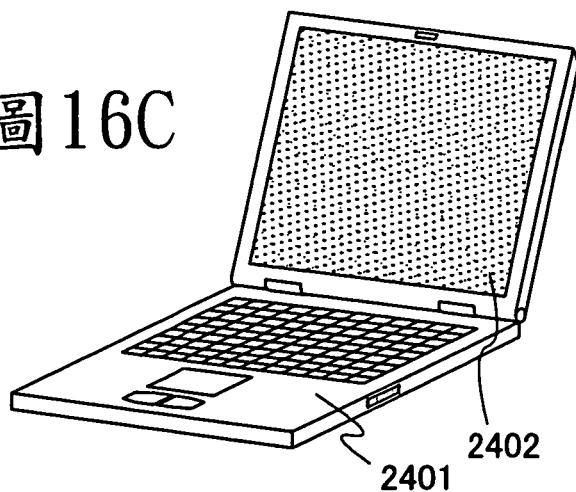


圖 16D

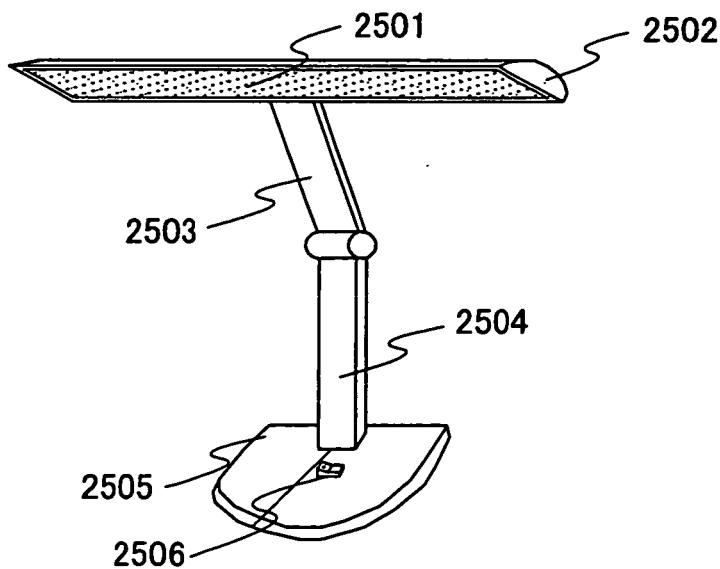


圖17

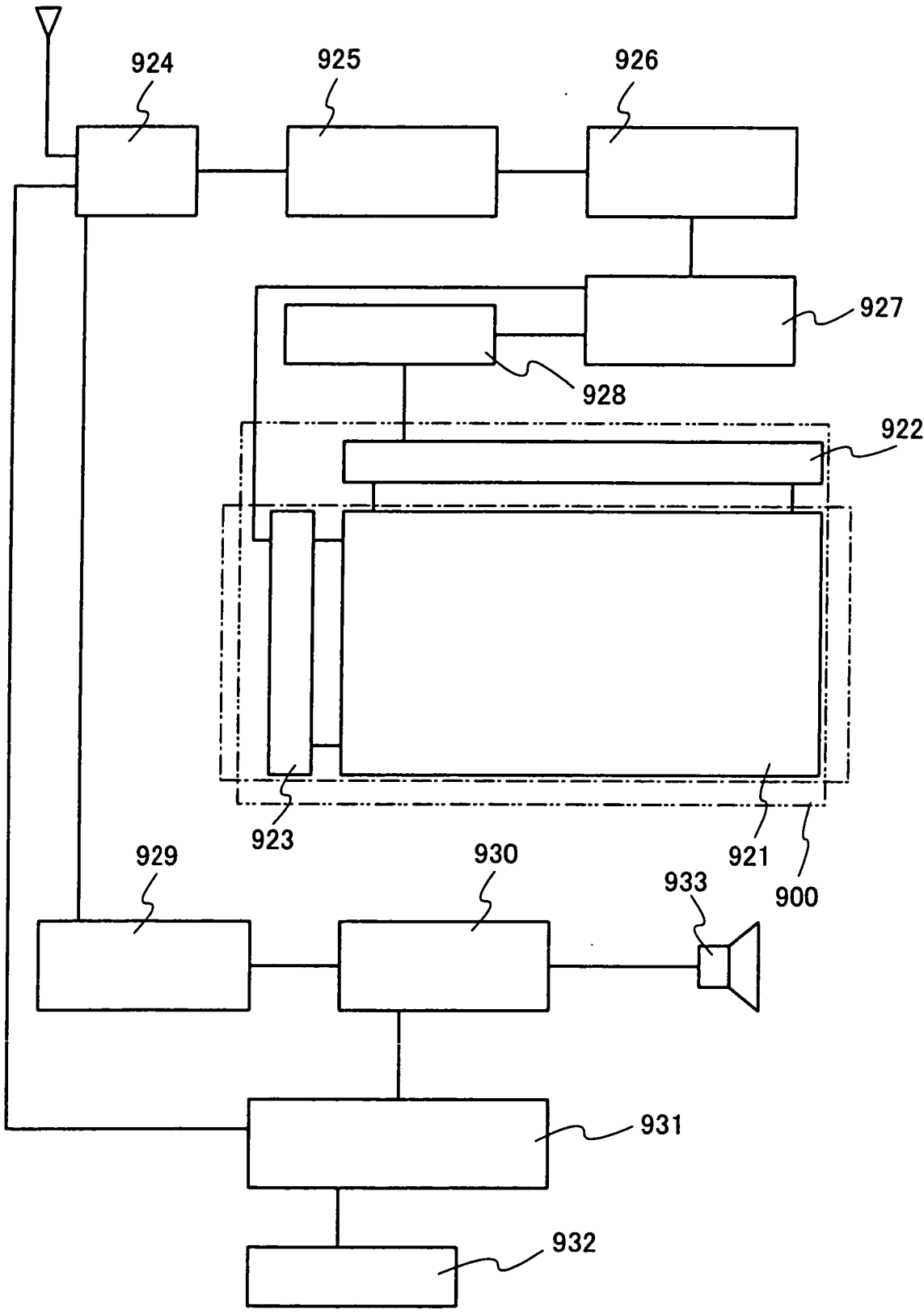


圖 18A

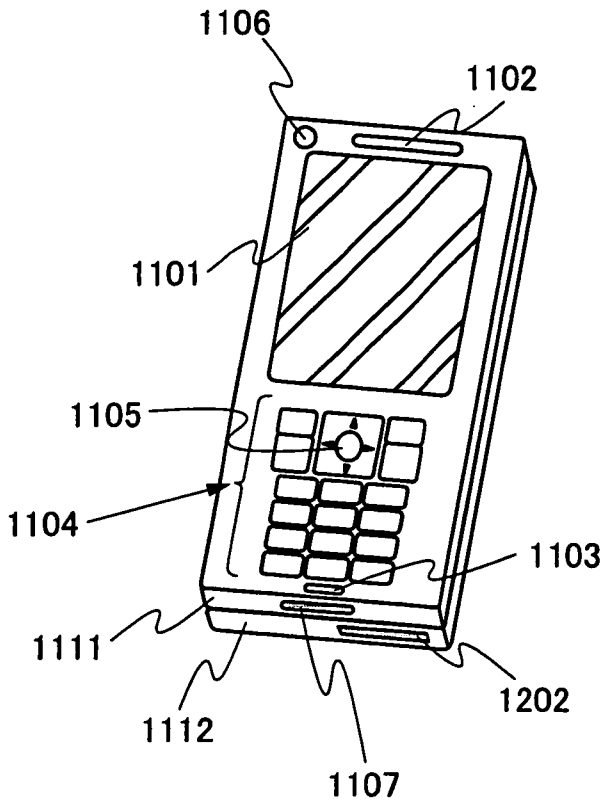


圖 18B

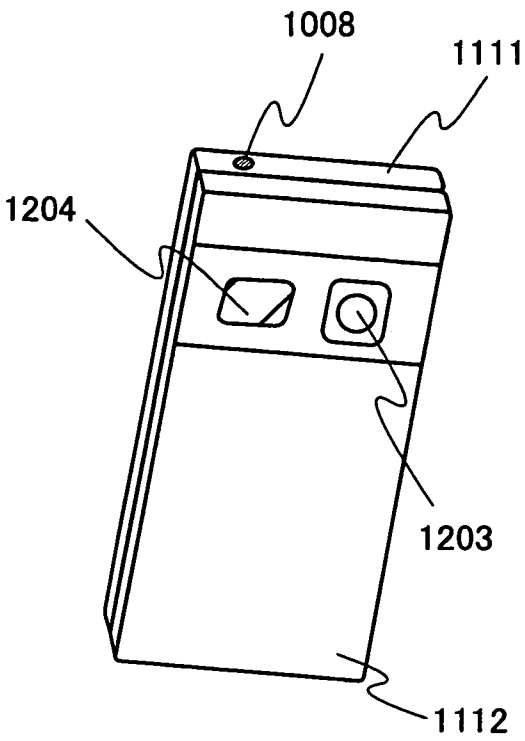


圖 18C

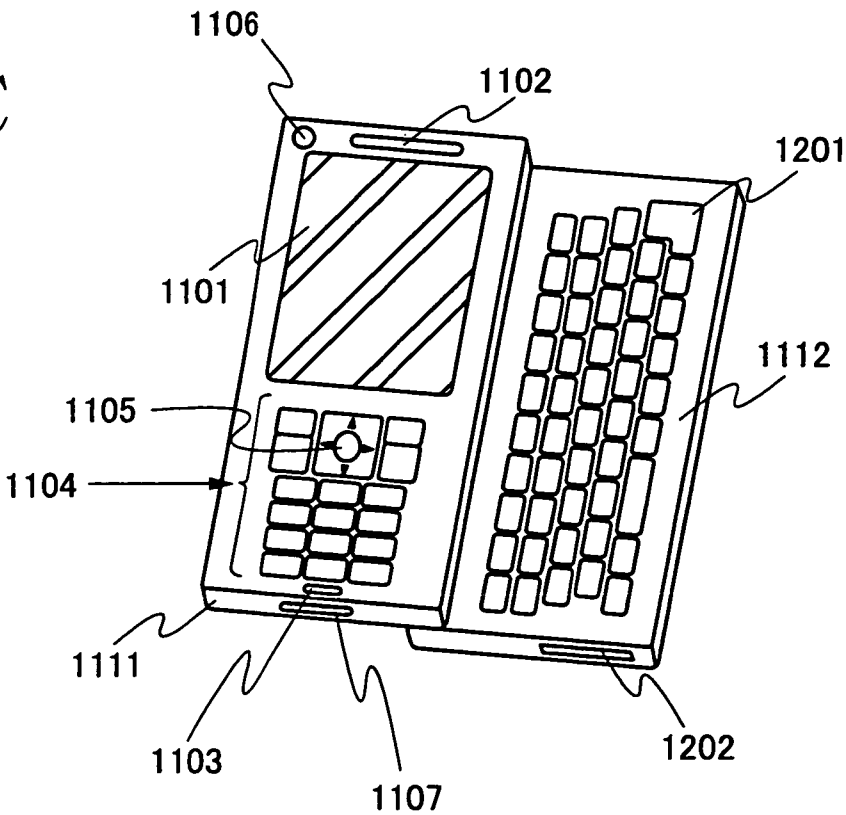


圖 19A

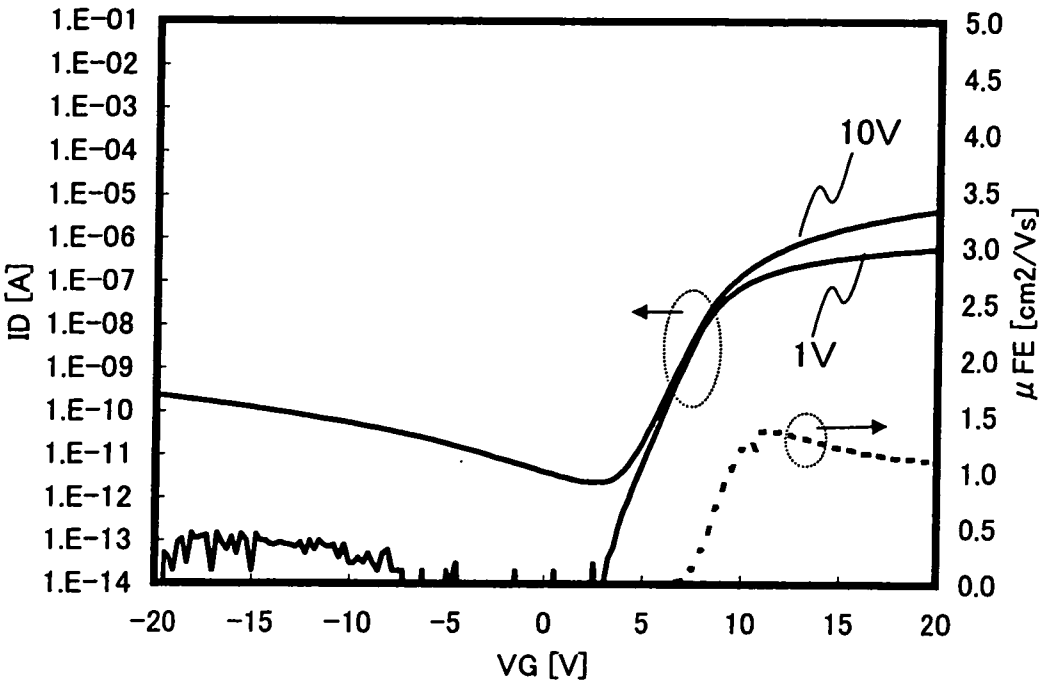


圖 19B

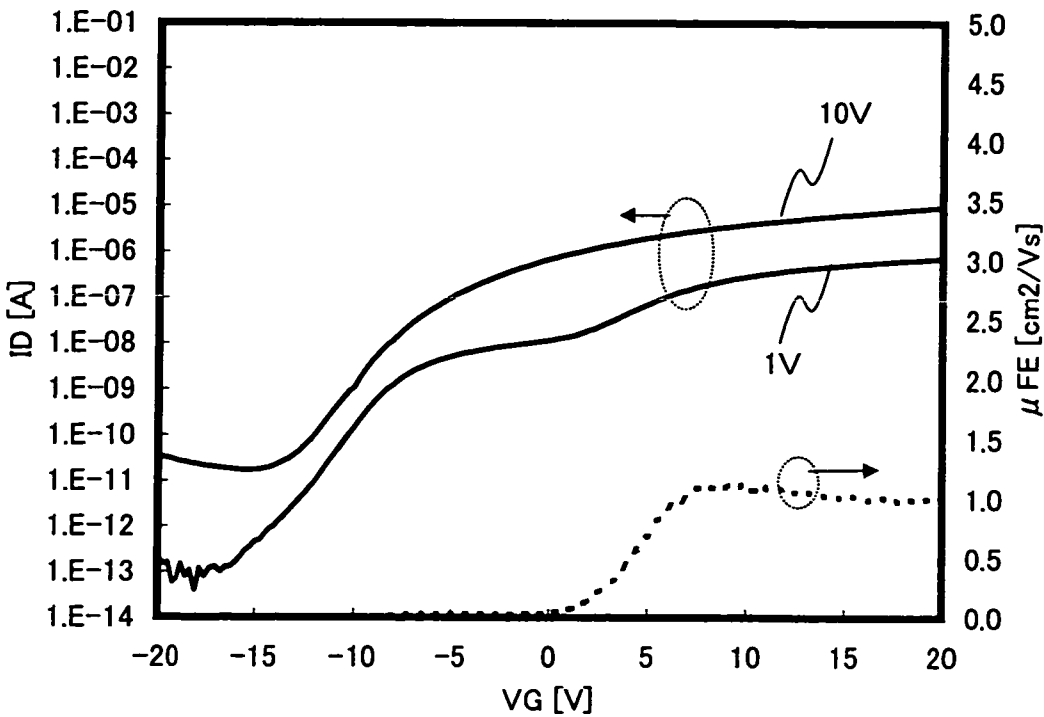


圖 20

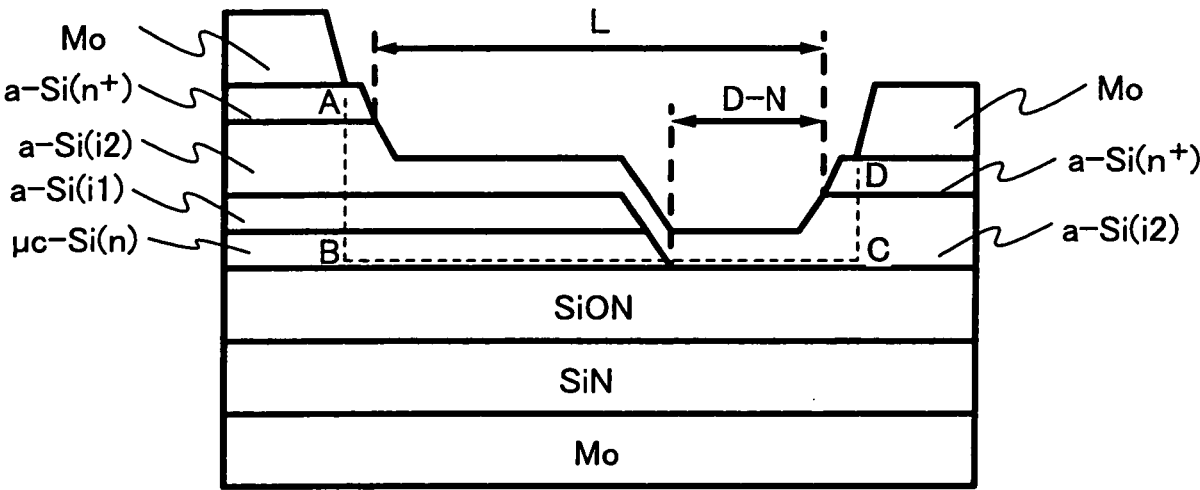


圖 21

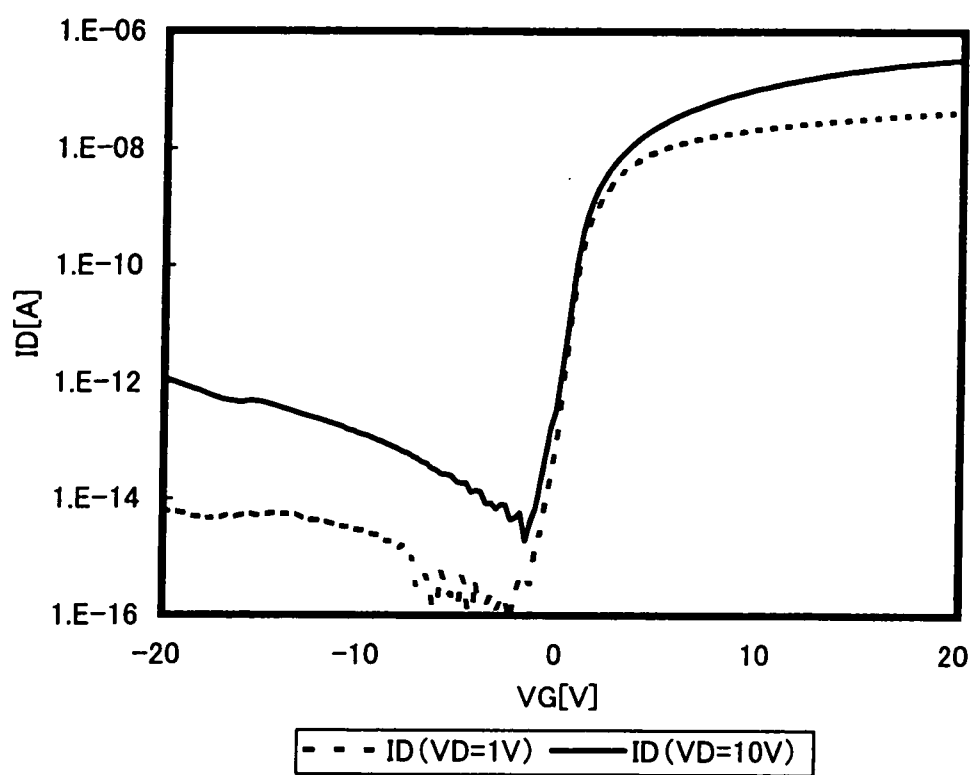


圖 22

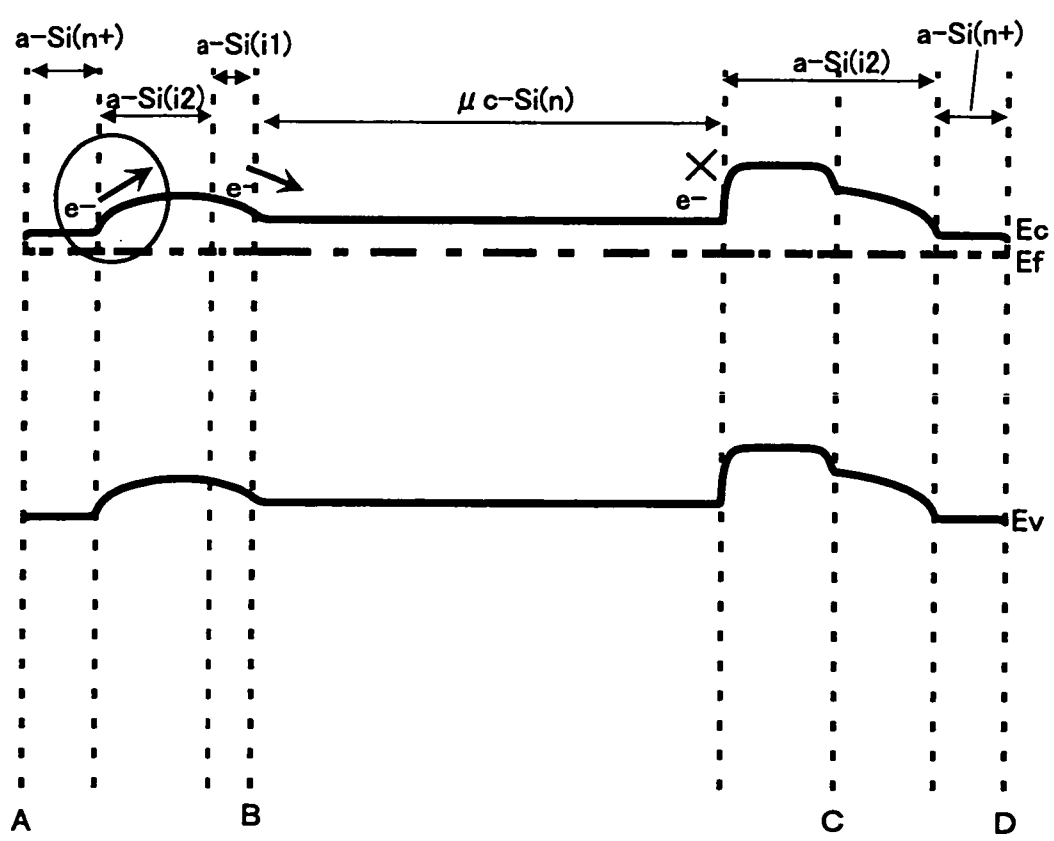


圖 23

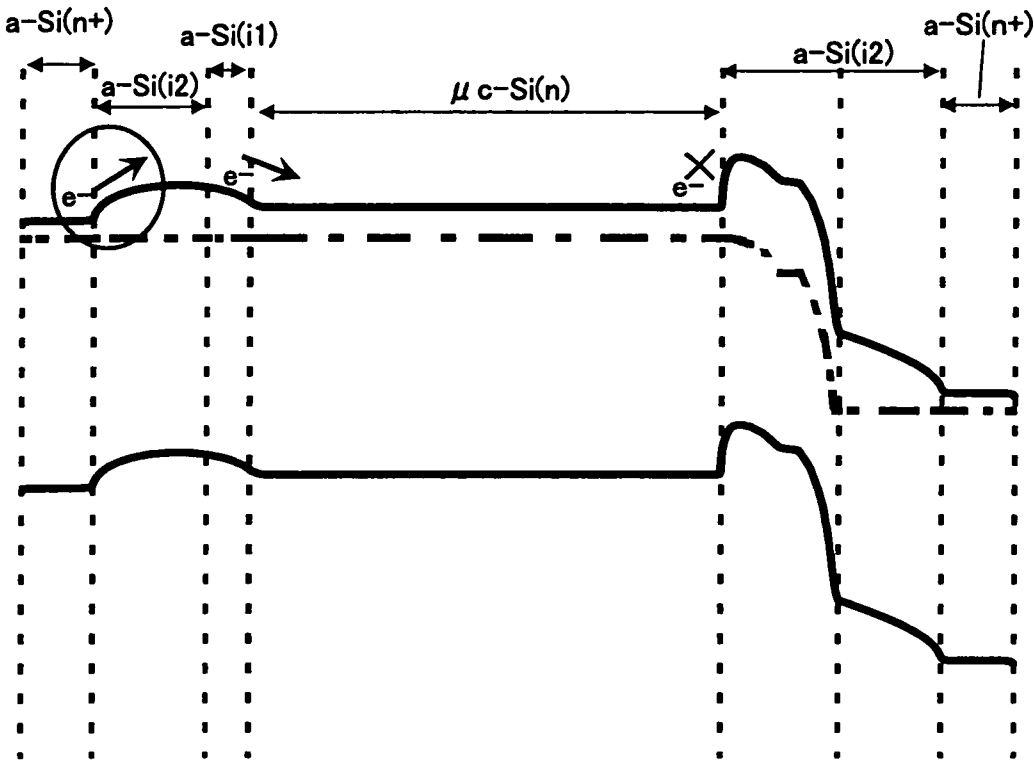


圖 24

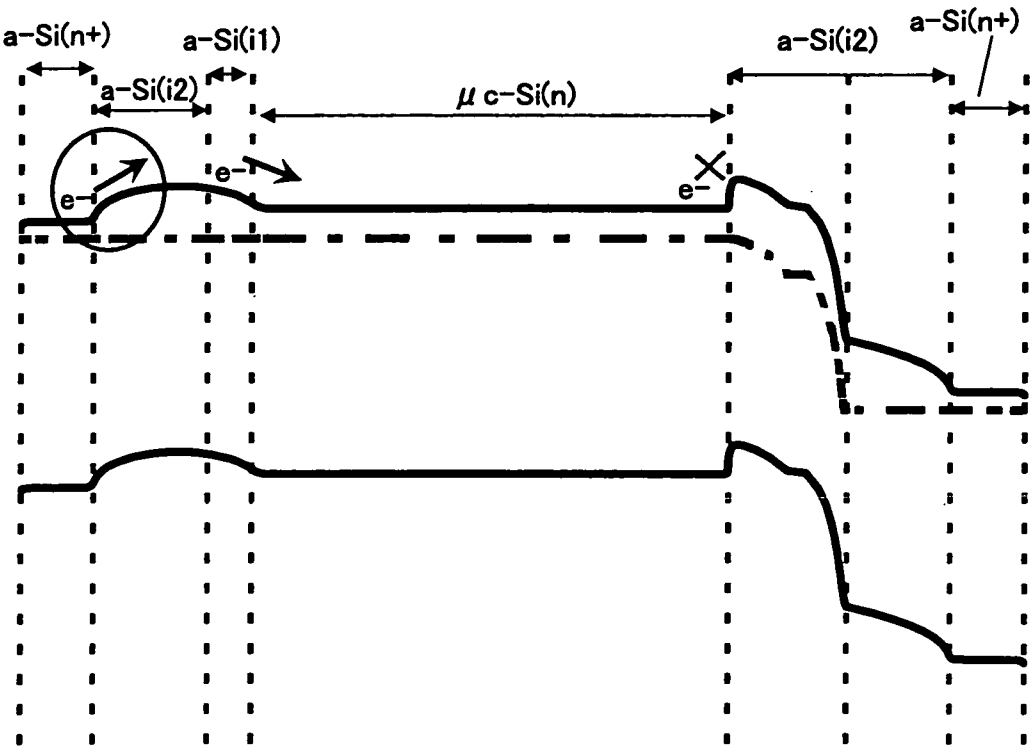


圖 25

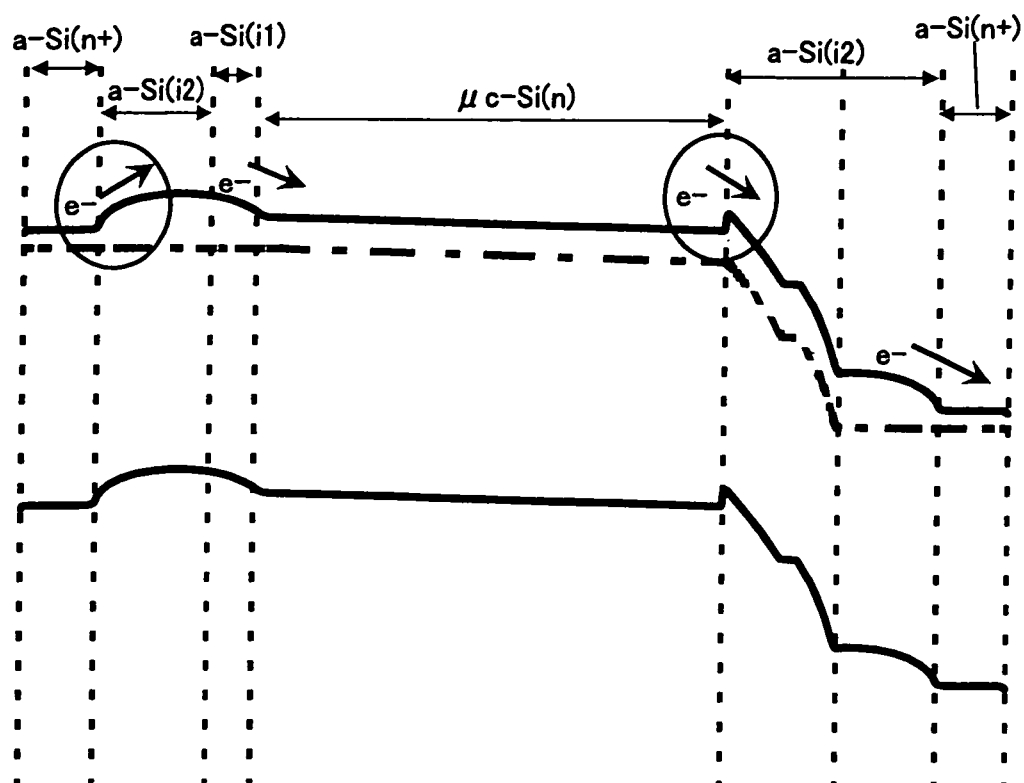


圖 26

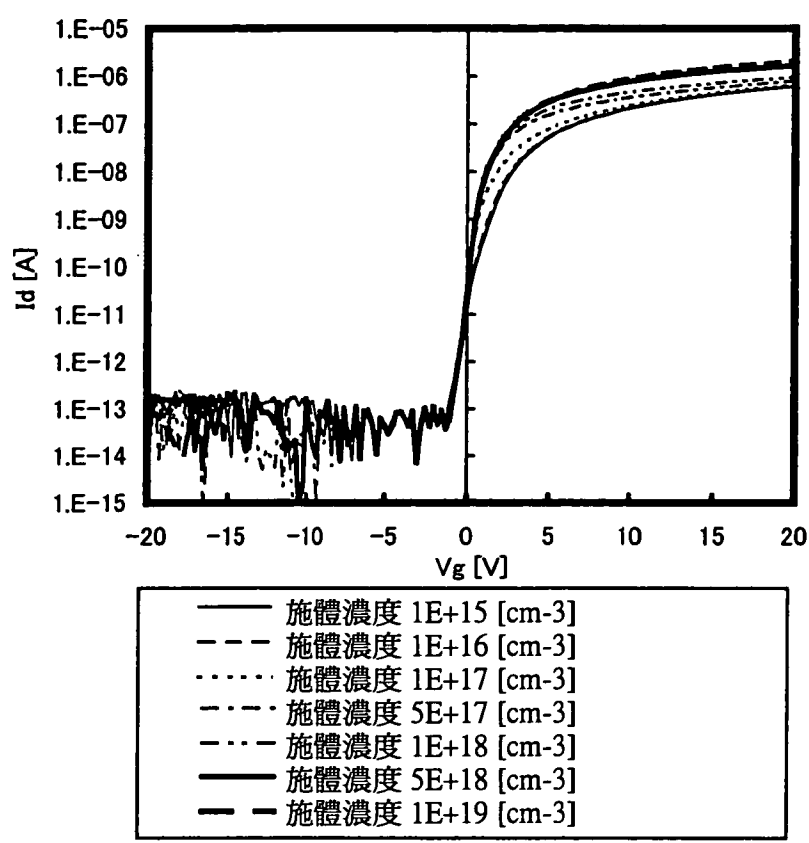


圖 27

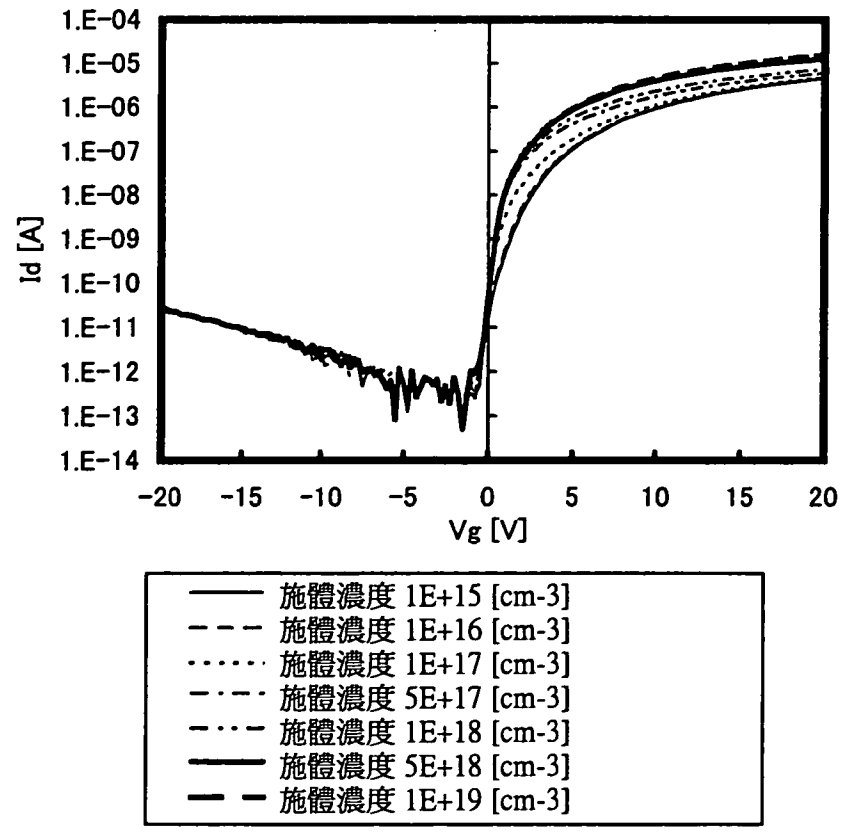


圖 28

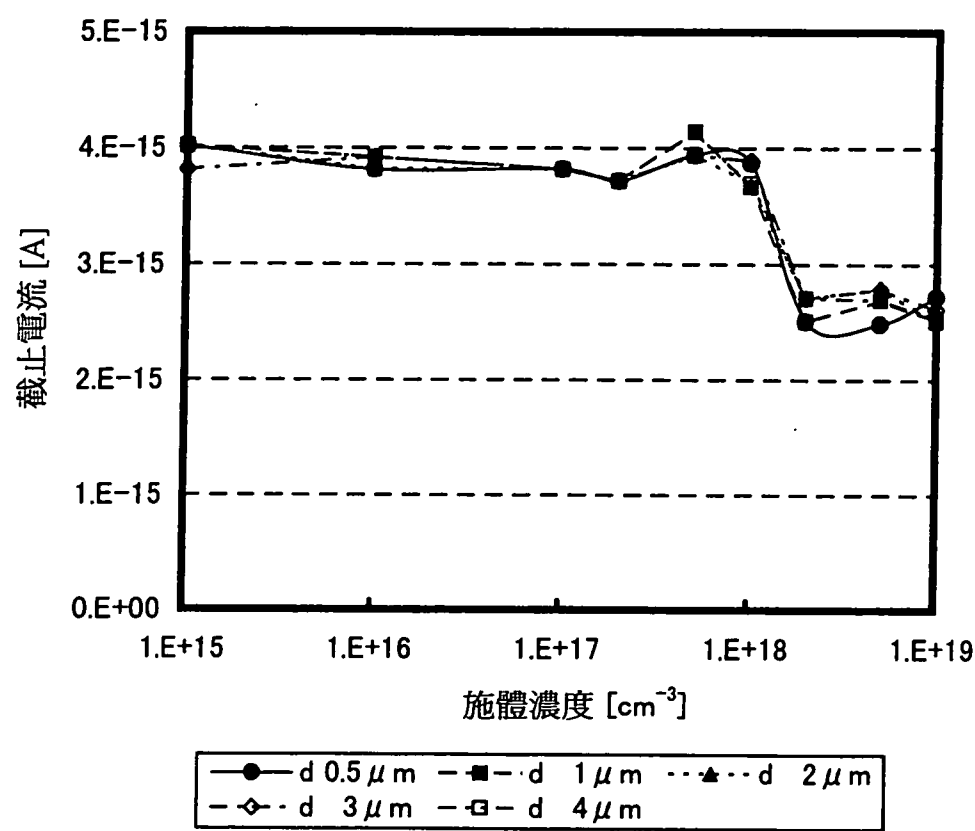


圖 29

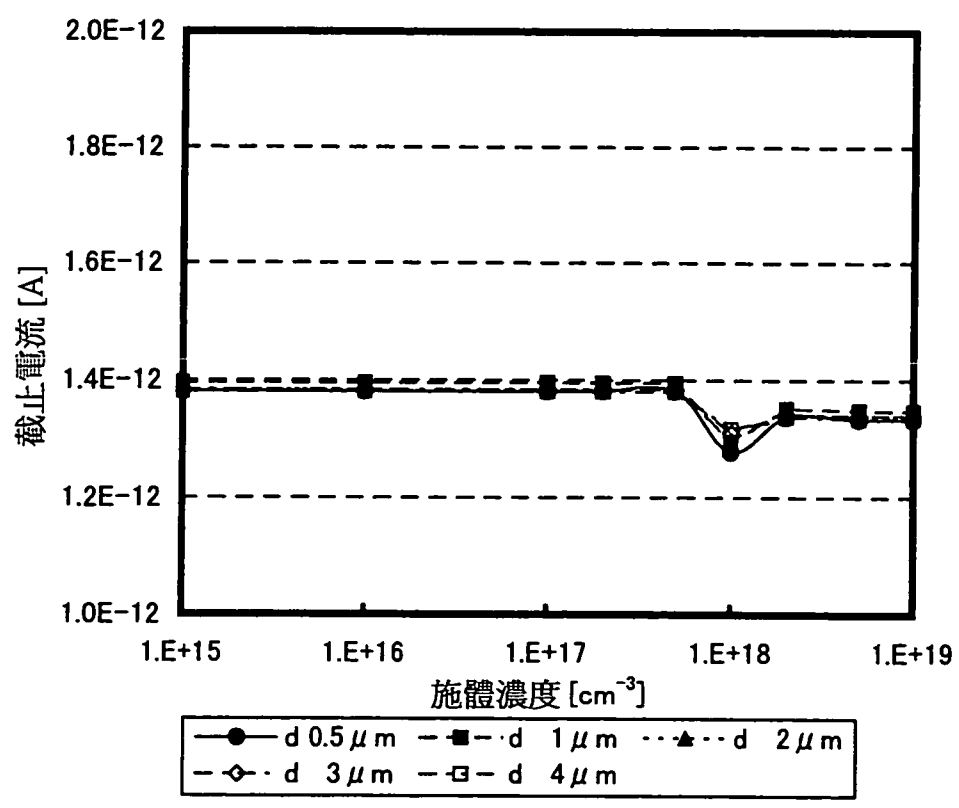


圖 30

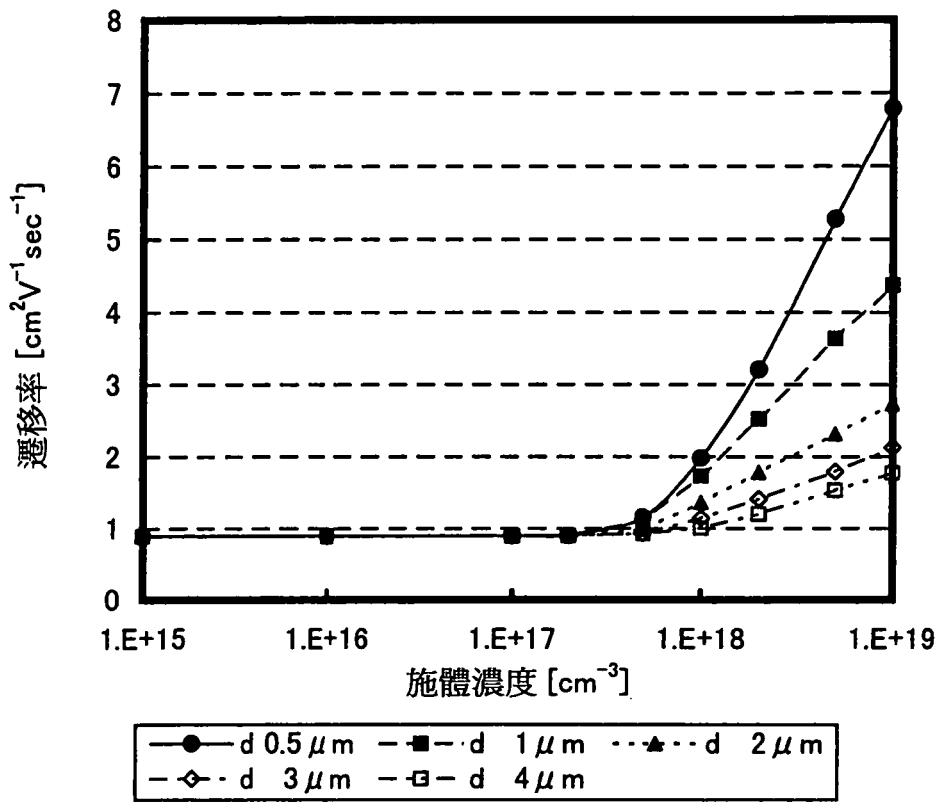


圖 31

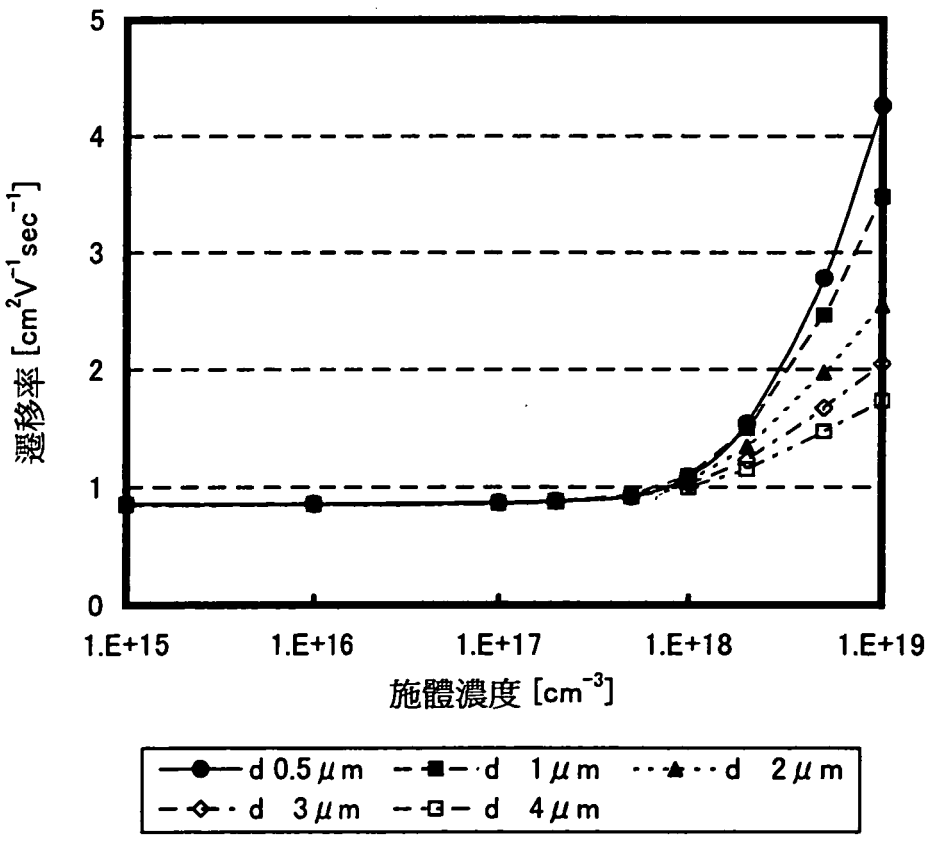


圖 32A

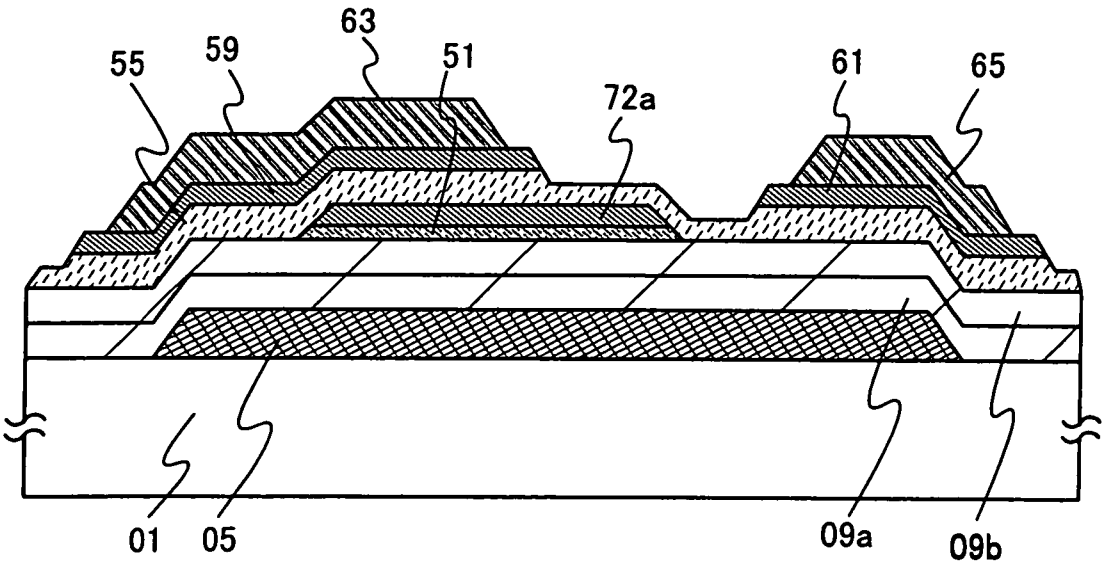


圖 32B

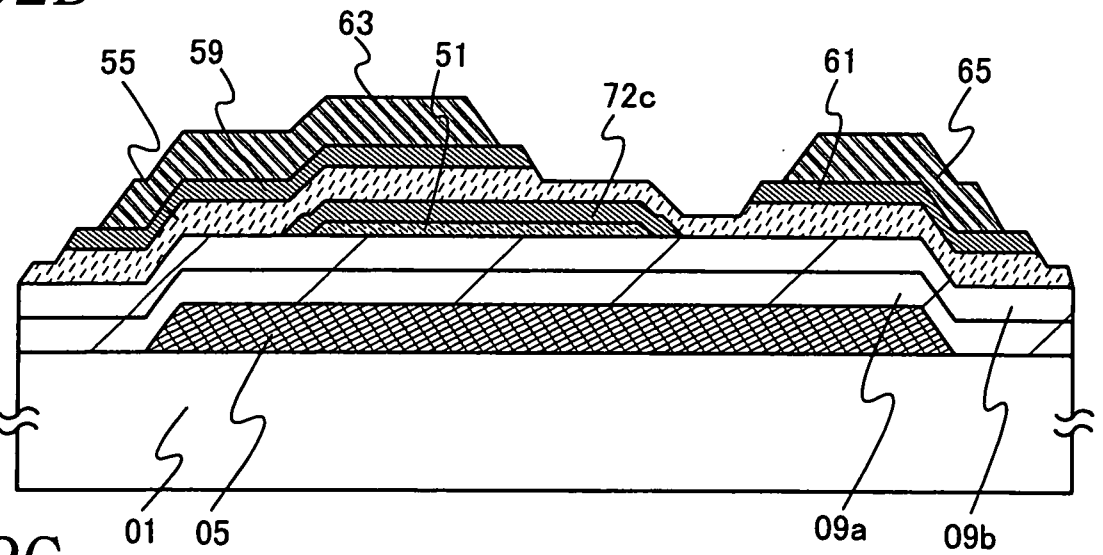


圖 32C

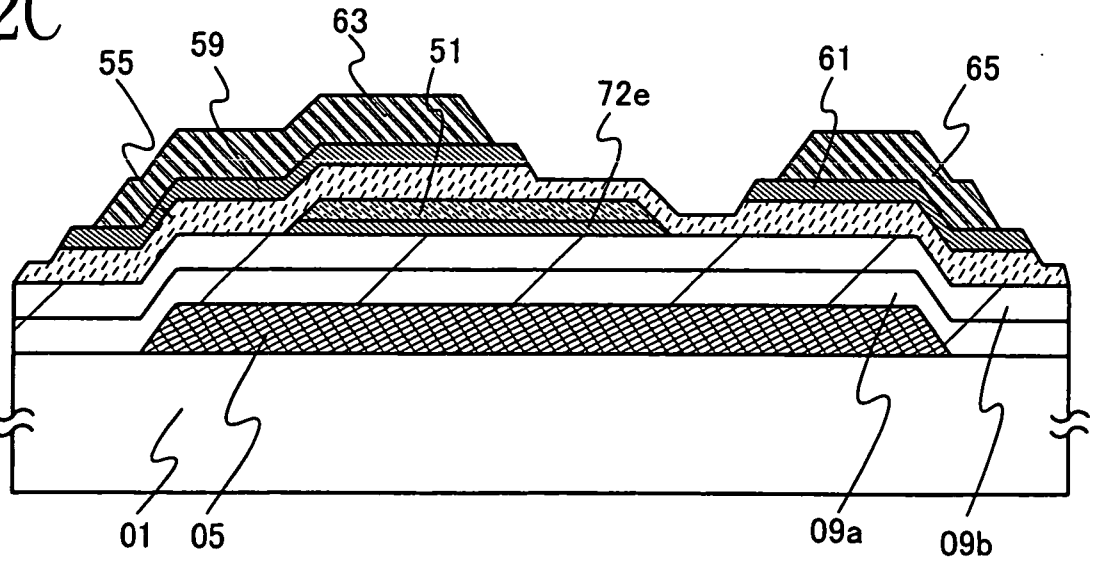


圖 33

