

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3939666号
(P3939666)

(45) 発行日 平成19年7月4日(2007.7.4)

(24) 登録日 平成19年4月6日(2007.4.6)

(51) Int. Cl.	F I		
G09F 9/30 (2006.01)	G09F 9/30	338	
HO1L 27/32 (2006.01)	G09F 9/30	365Z	
HO1L 29/786 (2006.01)	HO1L 29/78	618C	
HO5B 33/12 (2006.01)	HO5B 33/12	B	
HO1L 51/50 (2006.01)	HO5B 33/14	A	

請求項の数 9 (全 24 頁)

(21) 出願番号	特願2003-55899 (P2003-55899)	(73) 特許権者	000153878
(22) 出願日	平成15年3月3日(2003.3.3)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2003-8719 (P2003-8719) の分割		神奈川県厚木市長谷398番地
原出願日	平成15年1月16日(2003.1.16)	(72) 発明者	納 光明
(65) 公開番号	特開2003-330391 (P2003-330391A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成15年11月19日(2003.11.19)	(72) 発明者	半導体エネルギー研究所内
審査請求日	平成16年12月1日(2004.12.1)		安西 彩
(31) 優先権主張番号	特願2002-10848 (P2002-10848)	(72) 発明者	神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成14年1月18日(2002.1.18)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	小山 潤
(31) 優先権主張番号	特願2002-25065 (P2002-25065)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成14年2月1日(2002.2.1)	(72) 発明者	半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)		宇田川 誠
前置審査			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 発光装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

隣接する2つの画素電極の間に配置された隔壁と、
前記隔壁の下に配置された配線と、
チャンネル領域とソース領域とドレイン領域とを有する半導体層と、ゲート絶縁膜と、ゲート電極と、を有する駆動用の薄膜トランジスタと、を有し、
前記ゲート電極は、前記配線の下方に配置されており、
前記チャンネル領域は、前記ゲート絶縁膜を介して前記ゲート電極の下に配置されており

前記チャンネル領域の形状は、U字状、S字状あるいはミアンダ状であり、
前記駆動用の薄膜トランジスタのゲート・ソース間電圧を保持するための容量部は、前記半導体層と、前記ゲート絶縁膜と、前記ゲート電極と、によって設けられていることを特徴とする発光装置。

【請求項2】

請求項1において、
前記薄膜トランジスタのソース側又はドレイン側の一方は、前記配線と接続されており

前記薄膜トランジスタのソース側又はドレイン側の他方は、前記隣接する2つの画素電極の一方に接続されていることを特徴とする発光装置。

【請求項3】

請求項 1 又は請求項 2 において、
前記薄膜トランジスタのチャンネル長が L 、チャンネル幅が W であるとき、 $L > 5W$ であることを特徴とする発光装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記薄膜トランジスタのチャンネル長が L 、チャンネル幅が W であるとき、 $L \times W > 200 \mu\text{m}^2$ であることを特徴とする発光装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、
前記配線は、電流供給線であることを特徴とする発光装置。

10

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、
前記半導体層は、非晶質半導体層を結晶化した結晶質半導体層であることを特徴とする発光装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、
前記薄膜トランジスタのゲート・ソース間電圧が V_{GS} 、ソース・ドレイン間電圧が V_{DS} 、しきい値電圧が V_{th} であるとき、
 $|V_{DS}| < |V_{GS}| - |V_{th}|$ となるように駆動されることを特徴とする発光装置。

20

【請求項 8】

請求項 1 乃至請求項 6 のいずれか一項において、
前記薄膜トランジスタのゲート・ソース間電圧が V_{GS} 、ソース・ドレイン間電圧が V_{DS} 、しきい値電圧が V_{th} であるとき、
 $|V_{DS}| \geq |V_{GS}| - |V_{th}|$ となるように駆動されることを特徴とする発光装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項に記載の発光装置を用いたことを特徴とする電子機器。

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】

本発明は、エレクトロルミネッセンス(Electro Luminescence: EL)素子および、薄膜トランジスタ(以下 TFT と表記)を基板上に作り込んで形成された電子表示装置の駆動方法に関する。特に半導体素子(半導体薄膜を用いた素子)を用いた発光装置に関する。また発光装置を表示部に用いた電子機器に関する。

【0002】

なお、本明細書中では、EL 素子とは、一重項励起子からの発光(蛍光)を利用するもの、三重項励起子からの発光(燐光)を利用するものの両方を示すものとする。

【0003】

40

【従来の技術】

近年、自発光型素子として、EL 素子を有した発光装置の開発が活発化している。発光装置は、液晶表示装置と異なり自発光型である。EL 素子是一对の電極(陽極と陰極)間に EL 層が挟まれた構造となっている。発光装置の型式としては、パッシブマトリクス型とアクティブマトリクス型とがあるが、高解像度化に伴う画素数の増加や動画表示のため、高速な動作が要求されるものに関しては、アクティブマトリクス型が向いている。

【0004】

アクティブマトリクス型有機 EL パネルの各画素には電圧を保持するために、保持容量(C_s)部が設けられている。実際の画素構成例を図 12 (A)に示す。また、図 12 (B)は等価回路を示している。特許文献 1 で開示されているように、 C_s 部が大きく、その分有

50

機 E L の発光面積が小さくなってしまふ。C s 部の他にも画素を構成する T F T ・配線・コンタクト・隔壁などの形状や数、配置の仕方が発光面積を小さくしてしまう要因となっている。発光面積が小さくなることによって、電流密度が高くなり、有機 E L の信頼性が著しく低下する。

【 0 0 0 5 】

また、無理に開口率を稼ごうとして、開口部を複雑な形状にしてしまうと、有機 E L 発光部のシュリンクを助長してしまうこともある。ここで、E L 発光部のシュリンクとは、E L 層が物理的に収縮する状態ではなく、E L 素子の有効面積 (E L 素子が発光している部分の面積) が、端部より徐々に縮小していく状態をいう。つまり、開口部の形状が複雑になると、開口部の面積に対して、端部の長さがより長くなり、したがってシュリンクを助長することになってしまう。

【 0 0 0 6 】

【 特許文献 1 】

特開平 8 - 2 3 4 6 8 3 号

【 0 0 0 7 】

【 発明が解決しようとする課題 】

図 2 0 に、アクティブマトリクス型 E L 表示装置の画素部の構成の例を示す。点線枠 2 3 0 0 で囲まれた部分が画素部であり、その中に複数の画素を有する。点線枠 2 3 1 0 で囲まれた部分が 1 画素である。

【 0 0 0 8 】

ゲート信号線駆動回路から選択信号が入力されるゲート信号線 (G 1、G 2、・・・、G y) は、各画素が有するスイッチング用 T F T 2 3 0 1 のゲート電極に接続されている。また、各画素が有するスイッチング用 T F T 2 3 0 1 のソース領域とドレイン領域は、一方がソース信号線駆動回路から信号が入力されるソース信号線 (S 1 ~ S x) に、他方が駆動用 T F T 2 3 0 2 のゲート電極に接続されている。各画素の有する駆動用 T F T 2 3 0 2 のソース領域とドレイン領域の一方は電流供給線 (V 1、V 2、・・・、V x) に、他方は、各画素が有する E L 素子 2 3 0 4 の一方の電極に接続されている。また、表示期間中に、駆動用 T F T 2 3 0 2 のゲート・ソース間電圧を保持するための容量手段 2 3 0 3 を各画素に設けていても良い。

【 0 0 0 9 】

E L 素子 2 3 0 4 は、陽極と、陰極と、陽極と陰極の間に設けられた E L 層とを有する。E L 素子 2 3 0 4 の陽極が駆動用 T F T 2 3 0 2 のソース領域またはドレイン領域と接続している場合、E L 素子 2 3 0 4 の陽極が画素電極、陰極が対向電極となる。逆に、E L 素子 2 3 0 4 の陰極が駆動用 T F T 2 3 0 2 のソース領域またはドレイン領域と接続している場合、E L 素子 2 3 0 4 の陰極が画素電極、陽極が対向電極となる。

【 0 0 1 0 】

なお、本明細書において、対向電極の電位を対向電位という。なお、対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差が E L 駆動電圧であり、この E L 駆動電圧が、画素電極と対向電極とに挟まれた E L 層に印加される。

【 0 0 1 1 】

このような発光装置の階調表示方法として、アナログ階調方式と、デジタル階調方式が挙げられる。デジタル階調方式としては面積階調や時間階調方式がある。

【 0 0 1 2 】

アナログ階調方式とデジタル階調方式のそれぞれの場合において、C s を設ける場合の値について説明する。

【 0 0 1 3 】

アナログ階調方式の場合は一般的に、1 フレーム期間に 1 回、各画素にアナログ映像信号が書き込まれる。各画素へのアナログ映像信号入力はアナログ電圧、あるいはアナログ電流によって行われる。アナログ電圧の場合は、書き込まれたアナログ電圧がそのまま各画素の保持容量に蓄えられ、1 フレーム期間 (フレーム周波数 6 0 Hz の場合 1 フレーム期間

10

20

30

40

50

の長さは16.66ms)そのアナログ電圧を保持しなくてはならない。アナログ電流の場合は書き込まれた電流が各画素内で一旦アナログ電圧に変換される。そのアナログ電圧を1フレーム期間保持しなくてはならない。

【0014】

また、デジタル階調方式の場合は、前述のように、デジタル映像信号を1フレーム期間に複数(n)回書き込む必要がある。4ビット階調ならn=4回以上、6ビット階調ならn=6回以上となる。したがって、1フレーム期間をn個に分割した内、最も長いサブフレームの間保持できなくてはならない。

【0015】

続いて、駆動用TFTとEL素子の関係について説明する。

10

【0016】

図15(A)に示すように、各画素の電流供給線・対向電源間には駆動用TFT1505とEL素子1506が直列に接続されている。EL素子1506に流れる電流は、図15(B)の駆動用TFTの $V_d - I_d$ 曲線とEL素子の $V - I$ 曲線の交点が動作点となり、そのときの駆動用TFT1505のソース・ドレイン間電圧とEL素子1505の両電極間の電圧に従って、電流が流れる。

【0017】

駆動用TFT1505のゲート・ソース間電圧($|V_{GS}|$)が、ソース・ドレイン間電圧($|V_{DS}|$)よりも大きい値電圧分以上大きいと、駆動用TFT1505は線形領域で動作(定電圧駆動)し、それよりも小さいと、駆動用TFT1505は飽和領域で動作(定電流駆動)する。

20

【0018】

駆動用TFT1505を線形領域で動作させる場合、すなわち動作点における駆動用TFT1505の動作が線形領域に含まれる場合は、駆動用TFT1505の $|V_{DS}|$ がEL素子1506の両電極間の電圧($|V_{EL}|$)に比べて遥かに小さく、駆動用TFT1505の特性ばらつきが、EL素子1506を流れる電流に殆ど影響しない。しかし、温度変化や経時変化によってEL素子1506の抵抗が変化してしまうと、電流もその影響を受け変化してしまう。例えば、図16(A)に示すように、EL素子1506が劣化し、その電圧-電流特性が1601から1602へと変化すると、動作点もまた、1603から1604へと変化する。このとき、駆動用TFT1505が線形領域で動作していると、動作点の移動に伴い、 I_D だけ、EL素子1506を流れる電流値が減少することになる。したがって輝度が低下する。

30

【0019】

これに対し、駆動用TFT1505を飽和領域で動作させた場合では、図16(B)に示すように、EL素子の劣化によってEL素子1506の電圧-電流特性が1611から1612へと変化しても、駆動用TFT1505のドレイン電流(I_{DS})が一定のため、動作点が1613から1614に変化しても、EL素子1506には一定の電流が流れる。そのため、輝度の変動が駆動用TFT1505を線形領域で動作させたときと比べて少ない。

【0020】

駆動用TFTのチャンネル長・チャンネル幅の設定や、駆動用TFTやEL素子の特性・駆動電圧によっては動作点を全て飽和領域に持ってくることも出来る。

40

【0021】

しかし、駆動用TFT1505を飽和領域で動作させた場合では、EL素子1506に流れる電流値を決めているのはTFTの $V_{GS} - I_{DS}$ 特性のみに依存するため、駆動用TFT1505の特性が各画素でばらつくと、そのままEL素子1506の発光輝度のばらつきに反映される。また、保持期間中の V_{GS} の変化も流れる電流に大きく影響する。飽和領域における I_{DS} は、式(1)で表される。

【0022】

【数1】

$$I_{DS} = \frac{\beta}{2} (V_{GS} - |V_{th}|)^2 \quad \dots \text{式(1)}$$

【0023】

スイッチング用TFT1504のオフリーク電流により、駆動用TFT1505のゲート電極の電荷はソース信号線1501にリークし、それとともに駆動用TFTの $|V_{GS}|$ が変化するため、 I_{DS} も変化してしまう。よって、スイッチング用TFT1504からの電荷のリークによる、駆動用TFTの V_{GS} 損失を補うための容量が必要となる。これを保持容量と呼んでいる。保持容量の大きさは、駆動用TFTの $V_{GS} - I_{DS}$ 特性と、EL素子1506の輝度が1階調分変化するのに伴う電流値の変化量 I_{EL} の関係で決まる。式(1)からもわかるように、 I_{DS} は V_{GS} の2乗に比例するため、 $|V_{GS}|$ の変化に対して I_{DS} は大変敏感である。 I_{EL} から、駆動用TFT1505に許容される V_{GS} の変化量 ΔV_{GS} を求める。必要な保持容量の大きさはスイッチング用TFTのオフリーク電流値 I_{off} 、および保持時間から、式(2)(3)を用いて決定する。ここで t は微小時間、 V_{GS} は、駆動用TFT1505のゲート・ソース間電圧の増分である。

10

【0024】

【数2】

$$I_{off} = \frac{C \Delta V_{GS}}{\Delta t} \quad \dots \text{式(2)}$$

20

【0025】

【数3】

$$C_s = I_{off} \frac{\Delta t}{\Delta V_{GS}} \quad \dots \text{式(3)}$$

【0026】

1フレーム期間に複数回の書き込み動作を行うデジタル階調方式に比べて、アナログ階調方式は1フレームに1回しか書き込まれないので、保持時間が長くなり、より大きな保持容量が必要となる。

30

【0027】

また、前述の理由から各画素の駆動用TFTのチャンネル長は長く保つ必要があり、駆動用TFTサイズが大きくなることにより開口率が下がってしまう。

【0028】

本発明は、前述の課題を鑑みてなされたものであり、駆動用TFTのばらつきが映像の画質に影響しにくく、かつ高開口率を実現する発光装置を提供することを課題とする。

【0029】

【課題を解決するための手段】

課題を解決するために、本発明では以下のような手段を講じた。

【0030】

本発明の発光装置においては、画素部に、大きな C_s 部を設けず、駆動用TFTのチャンネル長・チャンネル幅を大きくし、駆動用TFTのゲート電極と、チャンネル形成領域との間の容量(チャンネル容量)を C_s として利用する。

40

【0031】

図18のように、TFT電極はゲート絶縁膜1803を挟んで、ゲート電極1804、ソース電極1807、ドレイン電極1808で構成されている。そのため各端子間、ゲート電極1804・ソース電極1807・ソース領域1802a間にはゲート・ソース間容量1811、1812が、ゲート電極1804・ドレイン電極1808・ドレイン領域1802b間にはゲート・ドレイン間容量1813、1814が本質的に存在する。

【0032】

50

TFTをONさせるのに必要なゲート・ソース間電圧が、TFTのゲート電極1804とソース領域1802a間に印加されれば、チャンネル形成領域1809内にチャンネル1810が形成されドレイン電流が流れる。この時ゲート電極1804とチャンネル間にチャンネル容量1815が発生する。

【0033】

ゲート電極1804、ソース電極1807、ドレイン電極1808の電圧条件によってチャンネル領域は変化するため、チャンネル容量も変化する。

【0034】

電圧条件によるチャンネル領域の変化を、図17を用い説明する。ここではPチャンネル型TFTを例として用いた。

【0035】

図17の(B)のように、TFTがOFF状態の場合、チャンネル形成領域1704にチャンネルは形成されないため、チャンネル容量は無視出来る。

【0036】

次に、図17(C)のように、TFTを線形領域で動作する場合、ソース・ドレイン間全面にチャンネル1706が形成され、正孔はソースからドレインに向けて直線的に減少するように分布する。チャンネル形成領域の半導体全表面に正孔が存在するため、十分なチャンネル容量が確保出来る。

【0037】

次に、図17(D)のように、TFTを飽和領域で動作する場合、チャンネル1706は形成されるが、ドレイン側の半導体表面には正孔の分布がない状態になる。しかし、ソース側の半導体表面には正孔が存在するため、ゲート・ソース間に十分な容量が確保出来る。

【0038】

また、画素のレイアウトを行う際に、隔壁の下に配線を配置し、配線の下に駆動用TFTを配置することで、駆動用TFTのサイズが大きくなっても開口率を稼ぐことが出来る。また、3トランジスタ型の場合スイッチング用TFTと消去用TFTを直線状に配置することで開口率を稼ぎ、シンプルな開口部にすることが出来る。ここで直線状とは必ずしも厳密に一直線でなくともよい。開口率を上げることによりEL素子を同じ輝度にしても電流密度が下がり、劣化速度が遅くなる。また、シンプルな開口部にすることでEL素子のシュリンクの影響を受けにくくなる。

【0039】

本発明の構成を以下に記す。

【0040】

本発明の発光装置は、
駆動用トランジスタと接続する発光素子と、スイッチング用TFTと、消去用TFTとを有する画素を、複数個備えた発光装置であって、
前記駆動用トランジスタのゲート・ソース間電圧を保持するための容量部は、前記駆動用トランジスタのゲート電極と半導体層とそれらの間に設けられた絶縁膜によって設けられたことを特徴としている。

【0041】

本発明の発光装置は、
駆動用トランジスタと接続する発光素子と、スイッチング用TFTと、消去用TFTとを有する画素を、複数個備えた発光装置であって、
前記駆動用トランジスタのゲート・ソース間電圧を保持するための容量部は、前記駆動用トランジスタのゲート電極とソース領域を形成する半導体層、あるいは前記駆動用トランジスタのゲート電極とドレイン領域を形成する半導体層と、前記ゲート電極と前記半導体層との間に設けられた絶縁膜によって設けられたことを特徴としている。

【0042】

本発明の発光装置は、
発光素子を備えた複数の画素を有し、

10

20

30

40

50

前記複数の画素はそれぞれ、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、スイッチング用トランジスタと、消去用トランジスタと、駆動用トランジスタとを有する発光装置であって、
前記駆動用トランジスタのゲート・ソース間電圧を保持するための容量は、前記駆動用トランジスタのゲート電極とチャンネル形成領域との間の容量によって設けられたことを特徴としている。

【0043】

本発明の発光装置は、
発光素子を備えた複数の画素を有し、
前記複数の画素はそれぞれ、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、スイッチング用トランジスタと、消去用トランジスタと、駆動用トランジスタとを有する発光装置であって、
前記駆動用トランジスタのゲート・ソース間電圧を保持するための容量は、前記駆動用トランジスタのゲート電極とソース領域との間、あるいは前記駆動用トランジスタのゲート電極とドレイン領域との間の容量とによって設けられたことを特徴としている。

【0044】

本発明の発光装置は、
駆動用トランジスタと接続する発光素子と、スイッチング用TFTと、消去用TFTを有する画素を、複数個備えた発光装置であって、
前記ソース信号線と、前記電流供給線と、前記駆動用トランジスタとはいずれも、前記複数の画素の隣接する発光エリアを隔てる位置に形成された絶縁膜と重なり合う位置に配置されていることを特徴としている。

【0045】

本発明の発光装置は、
発光素子を備えた複数の画素を有し、
前記複数の画素はそれぞれ、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、スイッチング用トランジスタと、駆動用トランジスタとを有する発光装置であって、
前記ソース信号線と、前記電流供給線と、前記駆動用トランジスタとはいずれも、前記複数の画素の隣接する発光エリアを隔てる位置に形成された絶縁膜と重なり合う位置に配置されていることを特徴としている。

【0046】

本発明の発光装置において、
前記スイッチング用トランジスタと前記消去用トランジスタとは、
前記スイッチング用トランジスタのソース領域におけるある一点とドレイン領域におけるある一点および、前記消去用トランジスタのソース領域におけるある一点とドレイン領域におけるある一点が、いずれも1つの直線上に含まれる位置に配置されていることを特徴としている。

【0047】

本発明の発光装置において、
前記駆動用トランジスタは、前記ソース信号線の一部あるいは、前記電流供給線の一部と重なり合う位置に配置されていることを特徴としている。

【0048】

本発明の発光装置において、
前記駆動用トランジスタのチャンネル領域を形成する半導体層は、U字状、S字状、渦巻状、あるいはミアンダ状に形成されていることを特徴としている。

【0049】

本発明の発光装置において、
前記駆動用トランジスタのチャンネル長がL、チャンネル幅がWであるとき、
 $L \times W > 200 \mu\text{m}^2$ であることを特徴としている。

10

20

30

40

50

【0050】

本発明の発光装置において、
前記駆動用トランジスタのゲート・ソース間電圧が V_{GS} 、ソース・ドレイン間電圧が V_{DS} 、しきい値電圧が V_{th} であるとき、
 $|V_{DS}| < |V_{GS}| - |V_{th}|$ となるように駆動されることを特徴としている。

【0051】

本発明の発光装置において、
前記駆動用トランジスタのゲート・ソース間電圧が V_{GS} 、ソース・ドレイン間電圧が V_{DS} 、しきい値電圧が V_{th} であるとき、
 $|V_{DS}| = |V_{GS}| - |V_{th}|$ となるように駆動されることを特徴としている。

10

【0052】

本発明の発光装置において、
前記駆動用トランジスタのゲート・ソース間電圧が、4 V以上14 V以下となるように駆動されることを特徴としている。

【0053】

本発明の発光装置において、
前記駆動用トランジスタのチャンネル長が L 、チャンネル幅が W であるとき、
 $L > 5W$ であることを特徴としている。

【0054】

本発明の発光装置において、
前記駆動用のトランジスタのチャンネル長が L 、チャンネル幅が W であるとき、
R、G、Bの発光色を呈するそれぞれの画素が有する前記駆動用トランジスタにおける L/W はそれぞれ異なることを特徴としている。

20

【0055】

【発明の実施の形態】

【0056】

[実施形態1]

まず図1を用いて説明する。ここでの発光装置は、フルカラー表示をするものとし、それぞれ、赤色を発光する画素(R)の駆動用TFTのソース領域とドレイン領域のうち的一方は赤色用の電流供給線に接続されていて、緑色を発光する画素(G)の駆動用TFTのソース領域とドレイン領域のうち的一方は緑色用の電流供給線に接続されていて、青色を発光する画素(B)の駆動用TFTのソース領域とドレイン領域のうち的一方は青色用の電流供給線に接続されている。RGBそれぞれのEL素子はストライプ状に塗り分けられる。

30

【0057】

図1では隔壁は発光エリア5007以外の領域を覆っていて、隔壁5020のうち、前記ストライプと平行な方向に設けられた隔壁が塗り分けマージンとなる。この時、塗り分けマージン用の隔壁がある場所は発光エリアに用いることができないので、隔壁の下にソース信号線5001と電流供給線5003を配置する。次に、ソース信号線5001と電流供給線5003の下に駆動用TFT5005を配置する。この時隣り合う画素が有するソース信号線や電流供給線の下であっても良い。

40

【0058】

このような配置としたとき、駆動用TFTのゲート電極は、電流供給線の一部と重なり合うように配置される。電流供給線は、常に一定電位に固定されているため、駆動用TFTのゲート電極と、電流供給線との間の容量を、 C_s の一部として利用することも出来る。

【0059】

駆動用TFT5005は保持容量を兼ね、更に特性バラツキも抑えるために、チャンネル長×チャンネル幅が大きくなっている。しかし、駆動用TFT5005を塗り分けマージン用隔壁の下に配置することでチャンネル長×チャンネル幅が大きくなっても開口率が低くなることを避けることが出来る。

【0060】

50

[実施形態2]

次に、画素を構成するTFTが3トランジスタ型の場合は、駆動用TFTを除く、スイッチング用TFTと消去用TFTの2つを直線状に配置することで開口率を稼ぎ、更にシンプルな開口部にすることが出来る。開口部をシンプルに、より長方形に近い形にすることでシュリンクの影響を少なくすることが出来る。

【0061】

[実施形態3]

また、駆動用TFTのチャンネル長とチャンネル幅を決める際は、なるべくチャンネル長×チャンネル幅を大きくとることを目標とし、駆動用TFTを飽和領域で動作させる場合はチャンネル幅に比べチャンネル長を長くし、 V_{GS} がしきい値電圧の影響を受けにくい値にする必要がある。チャンネル長を大きくすることで駆動用TFTの飽和領域特性もよりフラットになる。この時、 V_{GS} を大きくしすぎると消費電力が大きくなる事や、駆動用TFTの耐圧が問題となるため、 $|V_{GS}|$ を4V以上14V以下の間になるようにチャンネル長・チャンネル幅を調整すると良い。

10

【0062】

実施形態1~3によって、駆動用TFTのサイズを大きくし、かつチャンネル幅Wに対してチャンネル長Lを大きくすることによって、飽和領域における電流特性の均一さに優れたTFTを、それぞれの画素の駆動用TFTとして用いることが出来、かつ駆動用TFTのばらつきがEL素子の発光輝度に影響しにくくすることが出来る。

【0063】

20

さらに、保持容量を、駆動用TFTのチャンネル容量によってまかない、かつ発光エリア外の隔壁と重なり合う位置に配置することによって、高開口率化が期待出来る。

【0064】

[実施形態4]

EL素子においては、一般的にはR、G、Bそれぞれで発光効率が異なり、したがって均一な輝度を得るのに必要な電流値も異なる。因って駆動用TFTの電流能力が全て同一である場合、電流値に差をつけるには V_{GS} に差をつける必要がある。故にR、G、BそれぞれのEL素子の発光効率の差が大きい場合には V_{GS} の差が大きくなり電圧設定が困難になる場合がある。

【0065】

30

この場合は、R、G、Bそれぞれで、駆動用TFTのチャンネル長/チャンネル幅を変え、電流能力を調整すれば良い。またこの際、駆動用TFTチャンネル長、チャンネル幅を駆動用TFTが塗り分けマージン用隔壁の領域を出ない範囲で調整することでRGBで開口率が同一となる。また、RGBそれぞれの、チャンネル長×チャンネル幅が大きくなるよう調整することで、チャンネル容量が十分に確保できる。

【0066】

【実施例】

以下に、本発明の実施例について記載する。

【0067】

[実施例1]

40

図13に、実測したPチャンネル型TFTのゲート・ソース間容量、ゲート・ドレイン容量の値を示す。 V_{GS} は-6Vとし、 V_{DS} を16V~-16Vまで変化させている。 V_{DS} がおよそ-5Vから、それよりも低くなる領域で、飽和領域となっている。図13(A)と(B)との和が駆動用TFTの容量となる。

【0068】

図17(C)で説明したように、駆動用TFTを線形領域で駆動させた場合、半導体全表面にチャンネルが形成されるため、十分な容量が確保出来る。

【0069】

駆動用TFTを飽和領域で駆動させた場合は、図17(C)で説明したようにドレイン領域側にはチャンネルが形成されず、図13(b)で見るとゲート・ドレイン間容量は0に近

50

い値となる。しかし、ソース領域側にはチャンネルが形成されるため、図13(a)で見えるようにゲート・ソース間容量で充分まかなうことが出来る。したがって、駆動用TFTを飽和領域で駆動させたい場合は、駆動用TFTにPチャンネル型を使うと十分なチャンネル容量が確保出来る。

【0070】

上記説明から、各画素内で大きなCs部を設けず、駆動用TFTのチャンネル容量を利用することで開口率を稼ぐことが出来る。また、チャンネル長×チャンネル幅が大きくなることで、駆動用TFTを構成する半導体の結晶性のバラツキが平均化されること等によって、素子自体のIonバラツキも低減される。

【0071】

また、駆動用TFTを飽和領域で駆動させる場合でも各画素での駆動用TFTのVgs - Ids特性のバラツキが問題となる。その場合、EL素子に流す電流はそのままでチャンネル幅よりもチャンネル長を充分大きくすることで、飽和領域の飽和特性も改善される。反面チャンネル長を大きくしたことによって、ELに供給される電流値が減少するので、VGSを高くすることで、所望の電流をEL素子に供給するようにする。従ってVGSがしきい値を充分上回る値となることで、VGSがしきい値バラツキの影響を受けにくくなり、IDSバラツキをより低減することが出来る。チャンネル長を長くすることで飽和特性が良いと飽和領域内ではIDSがほぼ一定になっているため、EL素子の劣化などにより抵抗が変化しても同じ電流量がEL素子に供給される。

【0072】

図14には、チャンネル長×チャンネル幅を大きくし、チャンネル幅に対してチャンネル長を充分大きくしたTFTの実測したIdsのバラツキを示す。

【0073】

|VGS|を5V、|VDS|を8Vと固定し、チャンネル長・チャンネル幅の異なる素子について、それぞれ複数の素子を用いてIDSを測定した。図14で分かるように、IDSのバラツキは、チャンネル形成領域の面積(チャンネル長×チャンネル幅)を大きくすることによって抑えることが出来る。また、図14の|VGS|5Vと8Vを比較すると、VGSがVthを大きく上回ると、よりIDSのバラツキを抑えられることが分かる。

【0074】**[実施例2]**

ここでは図1を用い、2トランジスタ型の画素の構成・レイアウトについて説明する。

【0075】

図1の画素はソース信号線5001、ゲート信号線5002、電流供給線5003、スイッチング用TFT5004、駆動用TFT5005、画素電極5006、発光エリア5007以外を覆う隔壁で構成されていて、スイッチング用TFT5004のゲート電極はゲート信号線5002と接続され、ソース側はソース信号線5001と接続され、ドレイン側は駆動用TFT5005のゲート電極と接続されている。また、駆動用TFT5005のソース側は電流供給線5003と接続され、ドレイン側は画素電極5006と接続されている。

【0076】

発光エリア5007以外を覆う隔壁のうち、隣接する左右の画素の間に設けられた隔壁は、RGBを塗り分ける際に必要とされる塗り分けマージンとなる。隣り合って隣接する左右の画素間に設けられる隔壁の幅は、30μm前後とするのが望ましい。

【0077】

この時、塗り分けマージン用の隔壁は発光エリアとしては用いることができないため、幅30μmの下にソース信号線5001と電流供給線5003を配置する。次に、ソース信号線5001と電流供給線5003の下に駆動用TFT5005を配置する。この時隣り合う画素が有するソース信号線や電流供給線の下であっても良い。

【0078】

また、保持容量は駆動用TFT5005の、半導体層5014とゲート電極5016の間

10

20

30

40

50

にあるゲート絶縁膜5015で作られるチャンネル容量で兼ねることが出来る。

【0079】

この時保持時間の短いデジタル階調で、保持時間が1ms、駆動用TF Tの $I_{off} = 1 \text{ pA}$ とし、EL素子の発光輝度が1階調変化する時の駆動用TF Tの V_{gs} の変化量 V_{gs} は0.02V程度とする。式(3)より、その時必要な保持容量は50fFとなる。ゲート絶縁膜5015の厚さを120nmとし、比誘電率を4とすると、チャンネル長×チャンネル幅=200 μm^2 で約60fFのチャンネル容量となる。したがって、十分な容量を作るため、駆動用TF T5005のチャンネル長×チャンネル幅は200 μm^2 以上であることが望ましい。

【0080】

また、駆動用TF T5005のチャンネル長×チャンネル幅が大きい程、素子自体のバラツキも低減されるので、なるべく大きくなることを目標とすると良い。

【0081】

駆動用TF T5005を飽和領域で駆動させる場合は、チャンネル幅に比べチャンネル長を大きくし、 V_{gs} がしきい値の影響を受けにくい値にすると良い。この時、チャンネル長/チャンネル幅が5以上であることが望ましい。チャンネル長を大きくすることで駆動用TF Tの飽和領域特性もよりフラットになる。しかし、 V_{GS} を大きくしすぎると消費電力が大きくなる事や、駆動用TF Tの耐圧が問題となるため、 $|V_{GS}|$ を4V以上14V以下の間になるようにチャンネル長とチャンネル幅を調整すると良い。

【0082】

駆動用TF T5005のチャンネル長を長くするため、半導体層5014のように縦方向にまっすぐさせると良い。開口率を落とさず、駆動用TF T5005のチャンネル長を長くでき、チャンネル幅もある程度大きくすることが出来る。

【0083】

開口率が高いと、EL素子に対する電流密度が低くなり長寿命化に繋がり、開口部もシンプルな形になっているため、シュリンクの影響も受けにくくなる。

【0084】

スイッチング用TF T5004は図ではダブルゲートになっているが、シングルゲートでも良いし、3本以上のマルチゲートでも良い。

【0085】

図2(A)は図1(A)における半導体層に代えて、パターンニング形状の異なる半導体層とした例である。図2(A)中、'間の断面を示したものが図2(B)である。駆動用TF T5105のように半導体層を縦方向に蛇行させても良い。半導体層をこのような形状とすることで、開口率を落とさず、駆動用TF T5105のチャンネル長をより長くすることが出来る。

【0086】

図3(A)は図1(A)における半導体層に代えて、パターンニング形状の異なる半導体層とした例である。図3(A)中、'間の断面を示したものが図3(B)である。駆動用TF T5205のように半導体層をU字型にしても良い。半導体層をこのような形状とすることで、開口率を落とさず、駆動用TF T5205のチャンネル長をより長くし、チャンネル幅もある程度大きくすることが出来る。

【0087】

図4(A)は図1(A)における半導体層に代えて、パターンニング形状の異なる半導体層とした例である。図4(A)中、'間の断面を示したものが図4(B)である。駆動用TF T5305のように半導体層をミアンダ形状としても良い。ここで、ミアンダとは、「meander: 曲がりくねって流れる」という意味を有し、ミアンダ形状とは、半導体層の形状が曲がりくねっている様子を指す。半導体層をこのような形状とすることで、開口率を落とさず、駆動用TF T5305のチャンネル長をより長くし、チャンネル幅もある程度大きくすることが出来る。

【0088】

10

20

30

40

50

【実施例3】

ここでは図5を用い、3トランジスタ型の画素の構成・レイアウトについて説明する。

【0089】

SES駆動をする場合の消去用トランジスタ5506を追加し、ゲート電極に消去用の信号を入力する第2のゲート信号線5503が接続され、ソース電極と電流供給線5504が接続され、ドレイン電極とスイッチング用TF T 5505のドレイン電極・駆動用TF T 5507のゲート電極が接続されている。

【0090】

3トランジスタ型の場合、スイッチング用TF T 5505と消去用TF T 5506の2つのTF Tを、第1のゲート信号線5502と第2のゲート信号線5503の間に、横に並べ直線状に配置する。スイッチング用TF T 5505のドレイン領域と消去用TF T 5506のドレイン領域を重ねても良い。この時、スイッチング用TF T 5505のソース領域のある一点とドレイン領域のある一点と消去用TF T 5506のソース領域のある一点とドレイン領域のある一点が1つの直線上に並ぶように配置する。

10

【0091】

上記のように配置することで開口率を上げ、開口部もシンプルな形状にすることが出来る。

【0092】

図6(A)は図5(A)における半導体層に代えて、パターニング形状の異なる半導体層とした例である。図6(A)中、'間の断面を示したものが図6(B)である。駆動用TF T 5607のように半導体層を縦方向に蛇行させても良い。半導体層をこのような形状とすることで、開口率を落とさず、駆動用TF T 5607のチャンネル長をより長くすることが出来る。

20

【0093】

図7(A)は図5(A)における半導体層に代えて、パターニング形状の異なる半導体層とした例である。図7(A)中、'間の断面を示したものが図7(B)である。駆動用TF T 5707のように半導体層をU字型にしても良い。半導体層をこのような形状とすることで、開口率を落とさず、駆動用TF T 5707のチャンネル長をより長くし、チャンネル幅もある程度大きくすることが出来る。

【0094】

図8(A)は図5(A)における半導体層に代えて、パターニング形状の異なる半導体層とした例である。図8(A)中、'間の断面を示したものが図8(B)である。駆動用TF T 5807のように半導体層をミアンダ形状にしても良い。半導体層をこのような形状とすることで、開口率を落とさず、駆動用TF T 5807のチャンネル長をより長くし、チャンネル幅もある程度大きくすることが出来る。

30

【0095】

図10(A)は図5(A)における半導体層に代えて、パターニング形状の異なる半導体層とした例である。図10(A)中、'間の断面を示したものが図10(B)である。駆動TF Tの半導体層の大きさを5907のようにし、保持容量が駆動TF Tのゲート容量だけでは充分でない場合は保持容量部5910を形成しても良い。保持容量5910を隔壁5920の下に形成することで、開口率を落とさず、充分な保持容量を得ることができる。

40

【0096】

さらに、実施例2および本実施例にて示した構成の画素においては、駆動用TF Tを飽和領域で動作させることによって、駆動用TF Tのソース・ドレイン間電圧に関係なく、駆動用TF Tのゲート・ソース間電圧のみによって、EL素子に供給する電流値を制御することが出来る。この場合、駆動用TF Tは定電流源として機能することが出来るため、発光装置の画素部周辺に一体形成、もしくは外付けで供給される駆動回路に電流源回路を追加する必要がないため、装置の省スペース化にも貢献出来る。

【0097】

50

【実施例 4】

図 9 (A) に示すように、携帯電話等の電子機器の表示部として発光装置が使用される場合は、モジュール 9 0 1 という形で内蔵される。ここで、モジュール 9 0 1 とは、発光装置と、発光装置を駆動するための信号処理用 L S I、メモリ等を実装した基板とを接続した形態を指す。

【0098】

モジュール 9 0 1 をブロック図として、図 9 (B) に示す。モジュール 9 0 1 は、電源部 9 1 1、信号制御部 9 1 2、F P C 9 1 3、発光装置 9 1 4 を有する。電源部 9 1 1 は、外部バッテリーより供給される電源より、ソース信号線駆動回路、ゲート信号線駆動回路、発光素子等に、それぞれ所望の複数の電圧値の電源を生成し、供給する。信号制御部 9 1 2 には、映像信号、同期信号が入力され、発光装置 9 0 1 にて処理が出来るように、各種信号の変換を行う他、ソース信号線駆動回路、ゲート信号線駆動回路を駆動するためのクロック信号等を生成する。

10

【0099】

本実施例にて示したモジュール 9 0 1 は、発光装置 9 1 4 と、電源部 9 1 1 および信号制御部 9 1 2 とは独立して作成されているが、これらを基板上に一体形成して作製しても良い。

【0100】

続いて、図 11 に、図 9 にて示したモジュール 9 0 1 に含まれる発光装置 9 1 4 の詳細な構成について示す。

20

【0101】

発光装置は、基板 1 0 0 1 上に画素部 1 0 0 3、ソース信号線駆動回路 1 0 0 4、ゲート信号線駆動回路 1 0 0 5、1 0 0 6、F P C 1 0 0 7 等によって構成される。対向基板 1 0 0 2 は、ガラス等の透明材料でも良いし、金属材料でも良い。基板 1 0 0 1 と対向基板 1 0 0 2 との間は、充填材等によって密閉され、さらに E L 素子の水分による劣化等を防止するための乾燥剤等が封入される場合もある。

【0102】

図 11 (B) に、上面図を示す。基板中央部には、画素部 1 0 0 3 が配置され、その周辺部には、ソース信号線駆動回路 1 0 0 4、ゲート信号線駆動回路 1 0 0 5、1 0 0 6 が配置されている。ソース信号線駆動回路 1 0 0 4 の周辺には、電流供給線 1 0 1 1、対向電極コンタクト 1 0 1 3 等が配置されている。E L 素子の対向電極は、画素部全面に形成されており、前記対向電極コンタクト 1 0 1 3 によって F P C 1 0 0 7 を通じ、対向電位が与えられる。ソース信号線駆動回路 1 0 0 4、ゲート信号線駆動回路 1 0 0 5、1 0 0 6 を駆動するための信号、および電源の供給は、F P C 1 0 0 7 を通じて、外部より行われる。

30

【0103】

また、基板 1 0 0 1 と対向基板 1 0 0 2 とを貼り合わせるためのシール材 1 0 1 4 は、図 11 (B) に示すように、ソース信号線駆動回路 1 0 0 4、ゲート信号線駆動回路 1 0 0 5、1 0 0 6 の一部に重なるように形成されていても良い。このようにすると、発光装置の狭額縁化が期待出来る。

40

【0104】

【実施例 5】

本実施例では、本発明を用いて発光装置を作製した例について、図 19 を用いて説明する。

【0105】

図 19 は、T F T が形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図 19 (B) は、図 19 (A) の A - A ' における断面図、図 19 (C) は図 19 (A) の B - B ' における断面図である。

【0106】

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1

50

及び第2のゲート信号線駆動回路4004a、4004bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。シール材4009は、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとの一部と重なり合うように設けられていても良い。

【0107】

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとは、複数のTFTを有している。図19(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれるTFT(但し、ここではNチャンネル型TFTとPチャンネル型TFTを図示する)4201及び画素部4002に含まれるTFT4202を図示した。

10

【0108】

TFT4201及び4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にTFT4202のドレインと電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることが出来る。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

20

【0109】

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることが出来る。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0110】

有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

30

【0111】

有機発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

40

【0112】

以上のようにして、画素電極(陽極)4203、有機発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4303が形成されている。保護膜4303は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0113】

4005aは電源線に接続された引き回し配線であり、TFT4202の第1の電極に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

50

【0114】

シーリング材4008としては、ガラス材、金属材料(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることが出来る。プラスチック材としては、FRP(Fiberglass Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることが出来る。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることも出来る。

【0115】

但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

10

【0116】

また、充填材4103としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることが出来る。本実施例では充填材として窒素を用いた。

【0117】

また充填材4103を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制出来る。

20

【0118】

図19(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

30

【0119】

また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

【0120】

[実施例6]

本実施例においては、実施例2、3にて示した構成の発光装置の作製工程について、図22を用いて説明する。なお、説明に際しては画素部のみについて説明するが、駆動回路部においては、作製工程はこの限りではなく、ここでは説明を省略する。

40

【0121】

まず、図22(A)に示すように、バリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラス等のガラスからなる基板上に、酸化珪素膜、窒化珪素膜、もしくは酸化窒化珪素膜でなる下地膜(図示せず)を形成する。その後、非晶質構造を有する半導体膜をレーザ結晶化法や公知の熱結晶化法を用いて結晶化した結晶質半導体膜を所望の形状にパターニングし、島状半導体層2201、2202を得る(図22(A))。

【0122】

続いて、島状半導体層2201、2202を覆うゲート絶縁膜(図示せず)を形成する。その後、Ta、W、Ti、Mo、Al、Cu等から選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料を用いて、ゲート電極を形成するための導電膜を形成

50

する。その後、所望の形状にパターンングし、ゲート電極 2 2 0 3、2 2 0 4 (2 2 0 3 はゲート信号線を兼ねる)を得る(図 2 2 (B))。

【 0 1 2 3 】

続いて、基板表面の平坦化を兼ねる絶縁膜(図示せず)を形成し、その上に画素電極 2 2 0 5 を形成する。画素電極 2 2 0 5 については、表示面が図の表側にあたる場合には反射電極とし、表示面が図の裏側にあたる場合には、光透過性のある透明電極とする。前者の反射電極の材料としては、M g A g 等があり、後者の透明導電膜としては、I T O 等が代表的である。画素電極 2 2 0 5 もまた、前記材料でなる膜を形成した後、パターンングにより所望の形状を得る。

【 0 1 2 4 】

その後、半導体層 2 2 0 1、2 2 0 2、ゲート電極 2 2 0 4 に達するコンタクトホール 2 2 0 6 を開口し、配線 2 2 0 7 ~ 2 2 0 9 (うち、2 2 0 7 はソース信号線、2 2 0 8 は電流供給線となる)を形成する。ここで、配線 2 2 0 9 と、画素電極 2 2 0 6 とは、互いに重なり合うようにして接点を取っている(図 2 2 (C))。

【 0 1 2 5 】

続いて、隣接する画素の間に隔壁(図示せず)を形成し、発光エリア 2 2 1 0 となる部分をエッチングにより開口する(図 2 2 (D))。その後、開口部分に E L 層を形成して完成する。

【 0 1 2 6 】

[実施例 7]

発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることが出来る。

【 0 1 2 7 】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的には Digital Versatile Disc (D V D) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図 2 1 に示す。

【 0 1 2 8 】

図 2 1 (A) は E L ディスプレイであり、筐体 3 0 0 1、支持台 3 0 0 2、表示部 3 0 0 3、スピーカー部 3 0 0 4、ビデオ入力端子 3 0 0 5 等を含む。本発明の発光装置は表示部 3 0 0 3 に用いることが出来る。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。なお、発光素子表示装置は、パソコン用、T V 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【 0 1 2 9 】

図 2 1 (B) はデジタルスチルカメラであり、本体 3 1 0 1、表示部 3 1 0 2、受像部 3 1 0 3、操作キー 3 1 0 4、外部接続ポート 3 1 0 5、シャッター 3 1 0 6 等を含む。本発明の発光装置は表示部 3 1 0 2 に用いることが出来る。

【 0 1 3 0 】

図 2 1 (C) はノート型パーソナルコンピュータであり、本体 3 2 0 1、筐体 3 2 0 2、表示部 3 2 0 3、キーボード 3 2 0 4、外部接続ポート 3 2 0 5、ポインティングマウス 3 2 0 6 等を含む。本発明の発光装置は表示部 3 2 0 3 に用いることが出来る。

【 0 1 3 1 】

図 2 1 (D) はモバイルコンピュータであり、本体 3 3 0 1、表示部 3 3 0 2、スイッチ 3 3 0 3、操作キー 3 3 0 4、赤外線ポート 3 3 0 5 等を含む。本発明の発光装置は表示部 3 3 0 2 に用いることが出来る。

10

20

30

40

50

【 0 1 3 2 】

図 2 1 (E) は記録媒体を備えた携帯型の画像再生装置(具体的には D V D 再生装置)であり、本体 3 4 0 1、筐体 3 4 0 2、表示部 A 3 4 0 3、表示部 B 3 4 0 4、記録媒体(D V D 等)読込部 3 4 0 5、操作キー 3 4 0 6、スピーカー部 3 4 0 7 等を含む。表示部 A 3 4 0 3 は主として画像情報を表示し、表示部 B 3 4 0 4 は主として文字情報を表示するが、本発明の発光装置はこれら表示部 A、B 3 4 0 3、3 4 0 4 に用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 1 3 3 】

図 2 1 (F) はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体 3 5 0 1、表示部 3 5 0 2、アーム部 3 5 0 3 を含む。本発明の発光装置は表示部 3 5 0 2 に用

10

【 0 1 3 4 】

図 2 1 (G) はビデオカメラであり、本体 3 6 0 1、表示部 3 6 0 2、筐体 3 6 0 3、外部接続ポート 3 6 0 4、リモコン受信部 3 6 0 5、受像部 3 6 0 6、バッテリー 3 6 0 7、音声入力部 3 6 0 8、操作キー 3 6 0 9 等を含む。本発明の発光装置は表示部 3 6 0 2 に用いることが出来る。

【 0 1 3 5 】

図 2 1 (H) は携帯電話であり、本体 3 7 0 1、筐体 3 7 0 2、表示部 3 7 0 3、音声入力部 3 7 0 4、音声出力部 3 7 0 5、操作キー 3 7 0 6、外部接続ポート 3 7 0 7、アンテナ 3 7 0 8 等を含む。本発明の発光装置は表示部 3 7 0 3 に用いることが出来る。なお、表示部 3 7 0 3 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることが出来る。

20

【 0 1 3 6 】

なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【 0 1 3 7 】

また、上記電子機器はインターネットや C A T V (ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

30

【 0 1 3 8 】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 1 3 9 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1 ~ 6 に示したいずれの構成の発光装置を用いても良い。

【 0 1 4 0 】

40

【発明の効果】

本発明のとおり、駆動用 T F T のサイズを大きくし、かつチャンネル幅 W に対してチャンネル長 L を大きくすることによって、飽和領域における電流特性の均一さに優れた T F T を、それぞれの画素の駆動用 T F T として用いることが出来、かつ駆動用 T F T のばらつきが E L 素子の発光輝度に影響しにくくすることが出来る。また、保持容量を、駆動用 T F T のチャンネル容量によってまかない、かつ発光エリア外の隔壁と重なり合う位置に配置することによって、高開口率化が期待出来る。

【図面の簡単な説明】

【図 1】 本発明を用いて作製される画素部のレイアウト例を示す図。

【図 2】 本発明を用いて作製される画素部のレイアウト例を示す図。

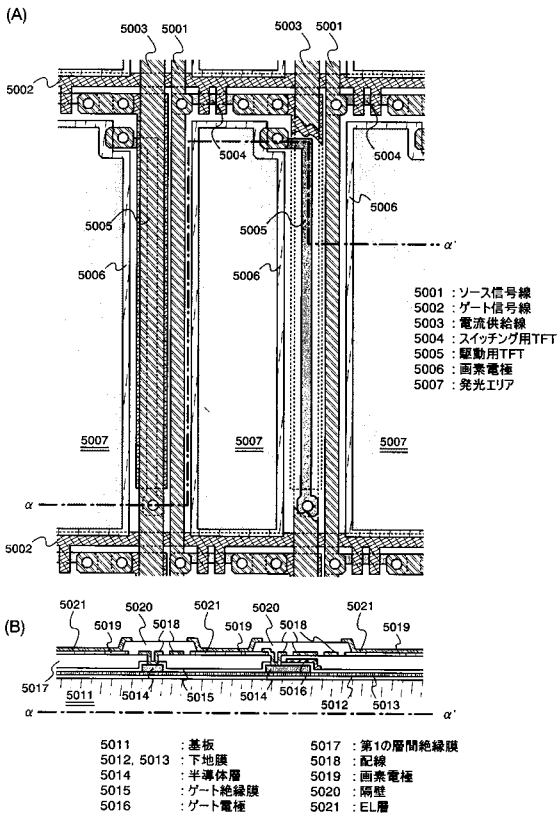
50

- 【図3】 本発明を用いて作製される画素部のレイアウト例を示す図。
- 【図4】 本発明を用いて作製される画素部のレイアウト例を示す図。
- 【図5】 本発明を用いて作製される画素部のレイアウト例を示す図。
- 【図6】 本発明を用いて作製される画素部のレイアウト例を示す図。
- 【図7】 本発明を用いて作製される画素部のレイアウト例を示す図。
- 【図8】 本発明を用いて作製される画素部のレイアウト例を示す図。
- 【図9】 発光装置と周辺回路とがモジュール化されて電子機器に用いられている例を示す図。
- 【図10】 本発明を用いて作製される画素部のレイアウト例を示す図。
- 【図11】 発光装置の概略を示す図。
- 【図12】 従来方法によってレイアウトされた2トランジスタ型画素の例を示す図。
- 【図13】 実測したTFTのチャンネル容量を示す図。
- 【図14】 実測したTFTの I_{DS} バラツキを示す図。
- 【図15】 EL素子の動作点を説明する図。
- 【図16】 駆動用TFTの動作範囲が線形領域である場合と飽和領域である場合とにおける、EL素子の劣化と輝度への影響を説明する図。
- 【図17】 TFTの動作時における、チャンネル周辺での電荷の振る舞いについて説明する図。
- 【図18】 TFTの各部における容量の要素について説明する図。
- 【図19】 発光装置の上面図および断面図。
- 【図20】 2トランジスタ型画素のマトリクスを示す図。
- 【図21】 本発明が適用可能な電子機器の例を示す図。
- 【図22】 画素部の作製工程を簡略に説明する図。

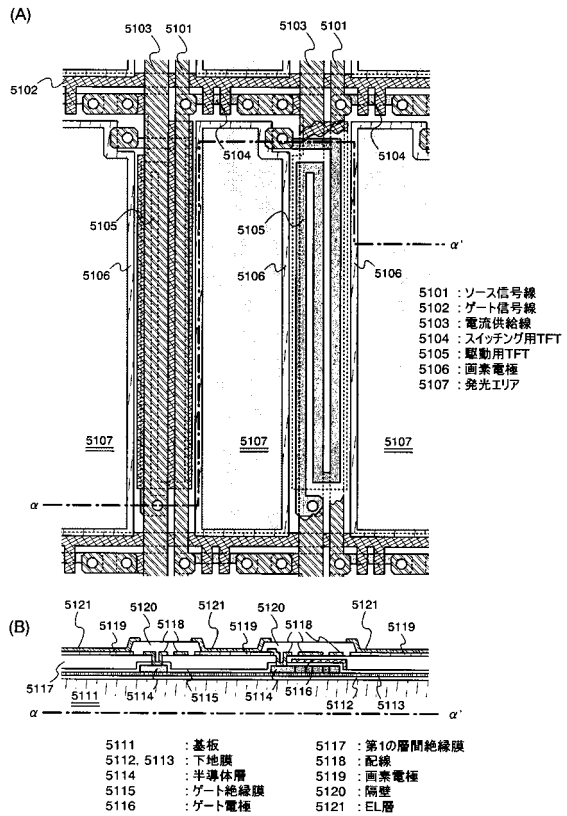
10

20

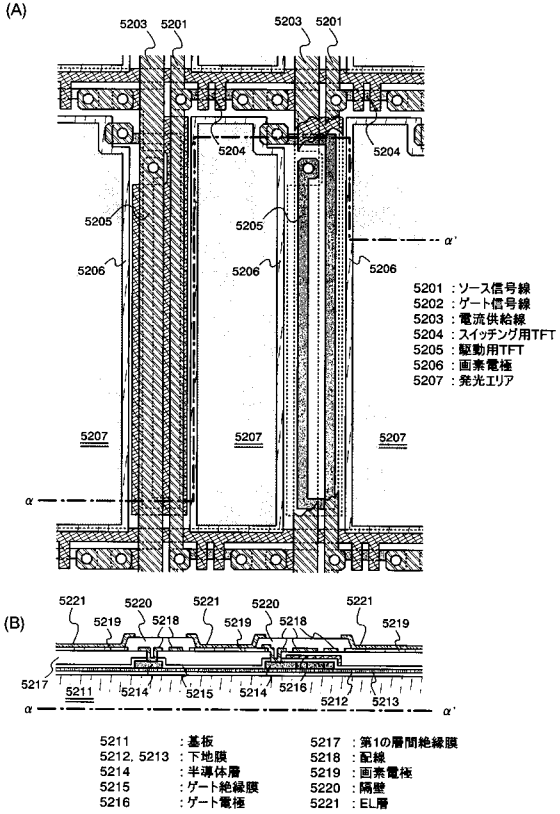
【図1】



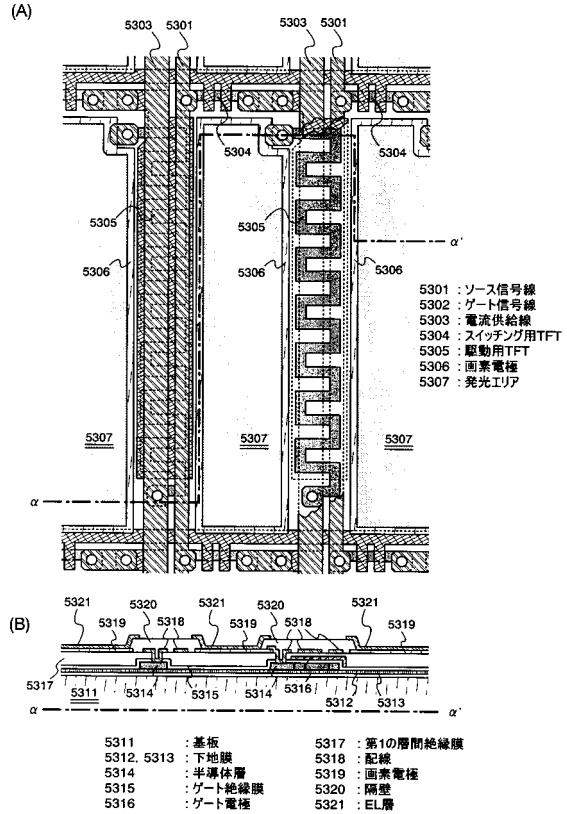
【図2】



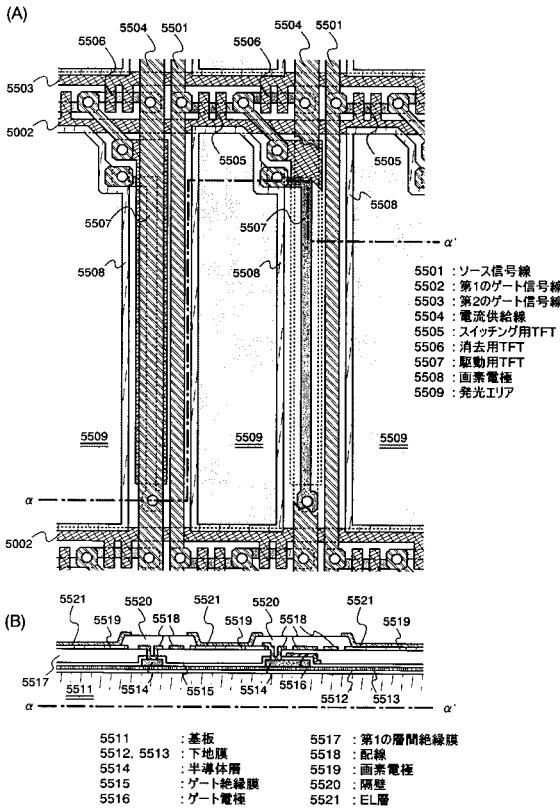
【図3】



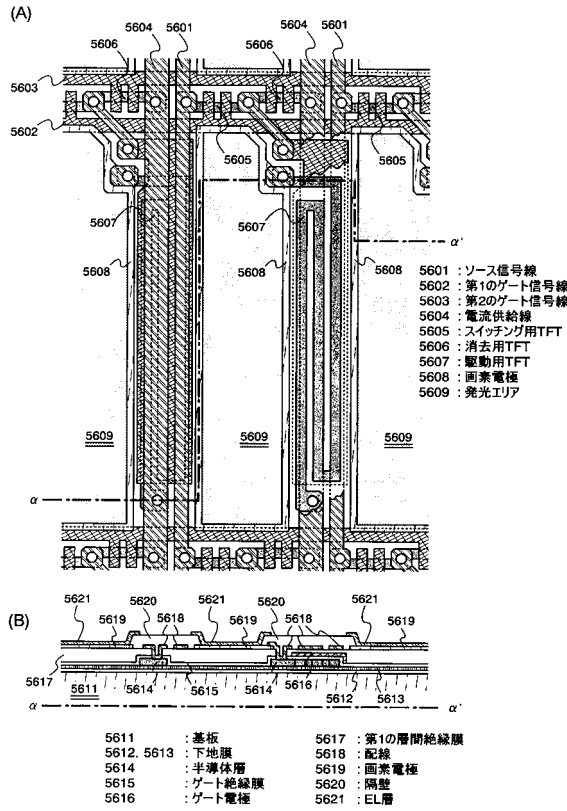
【図4】



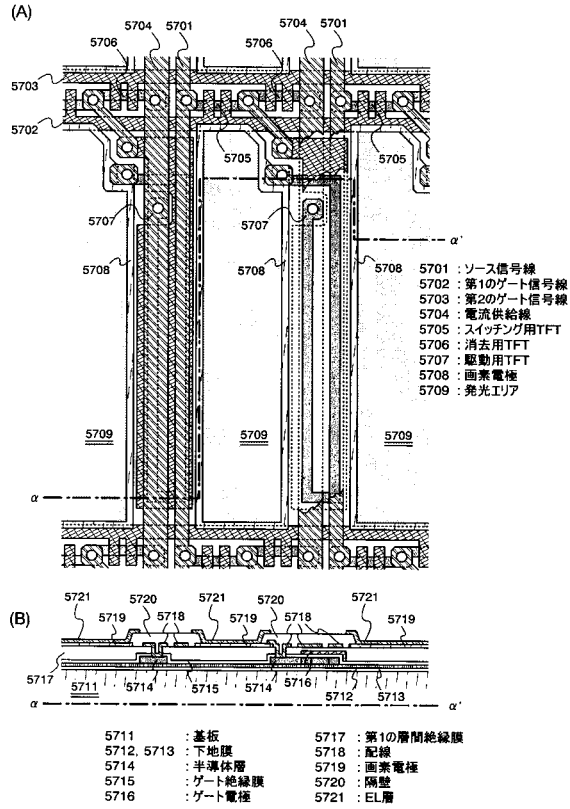
【図5】



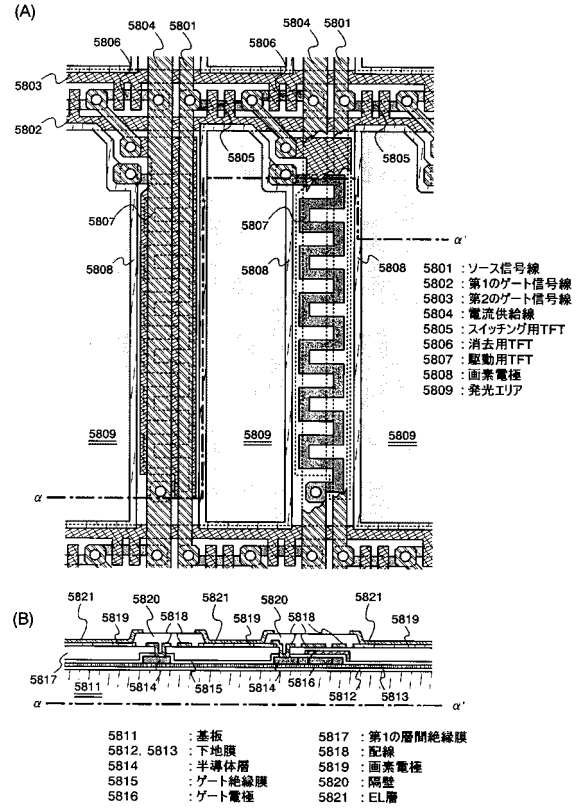
【図6】



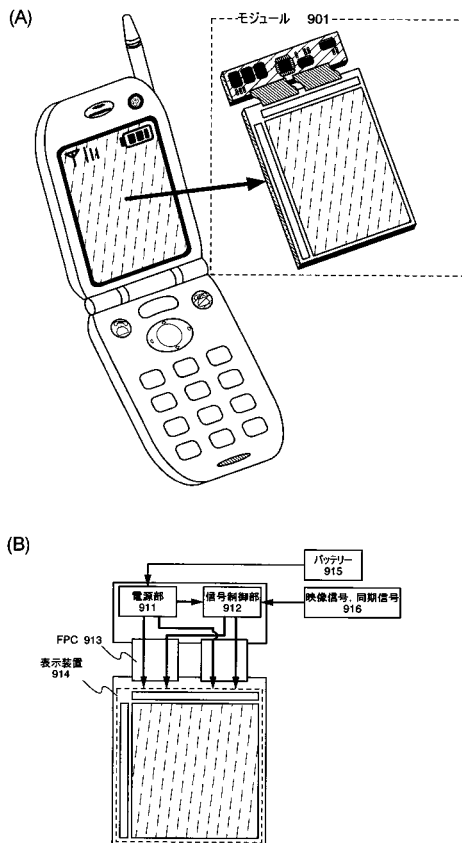
【図7】



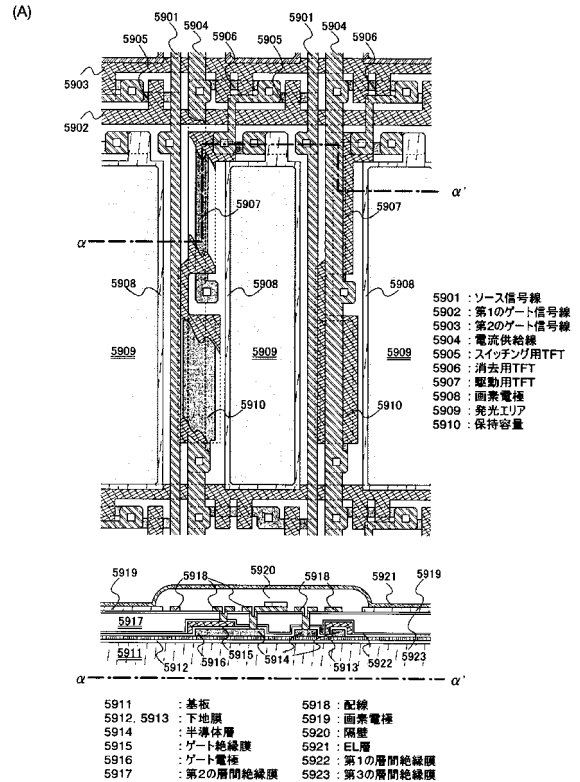
【図8】



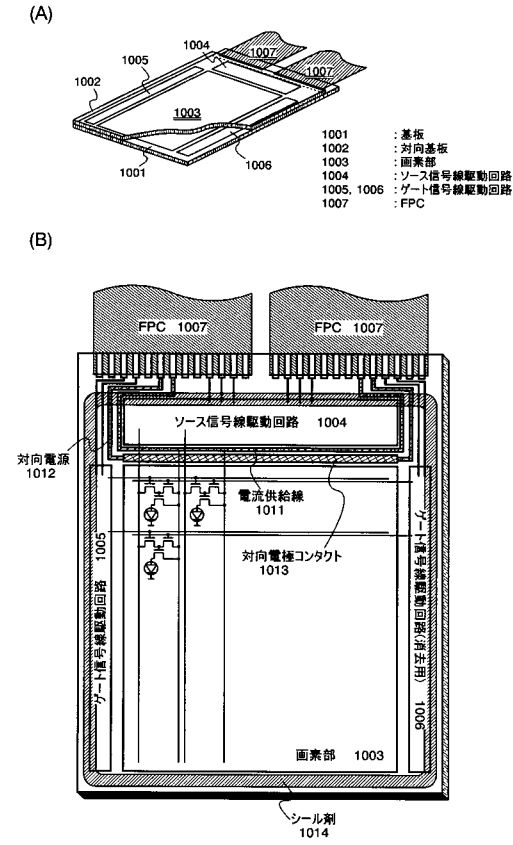
【図9】



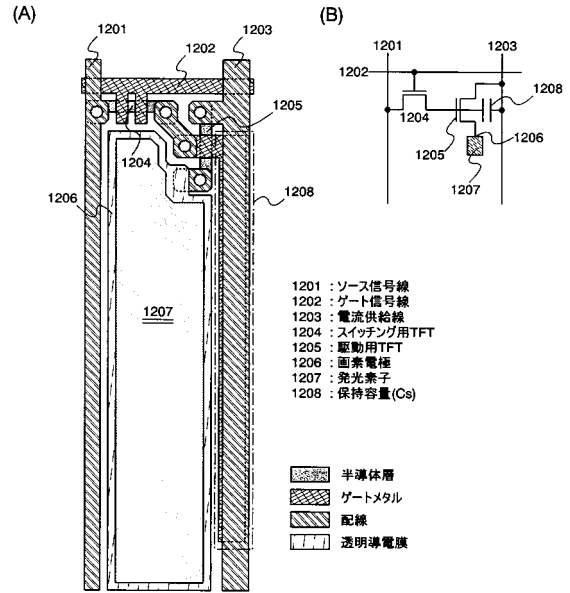
【図10】



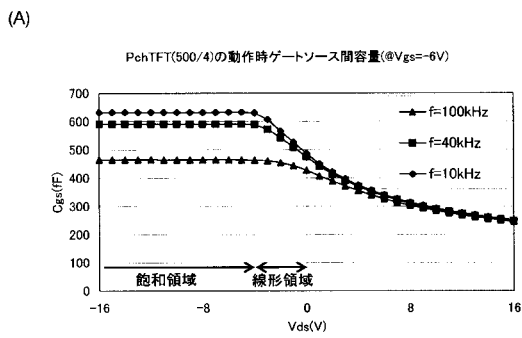
【図 1 1】



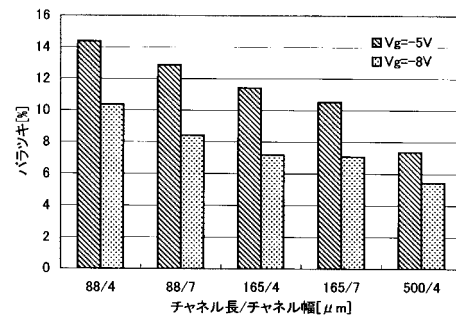
【図 1 2】



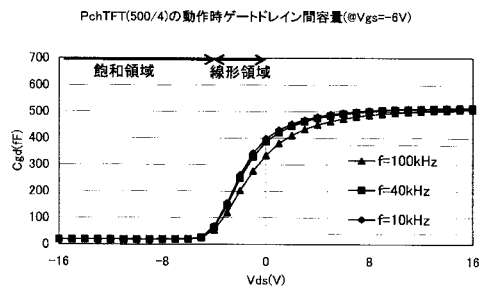
【図 1 3】



【図 1 4】

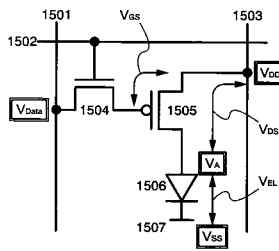


(B)



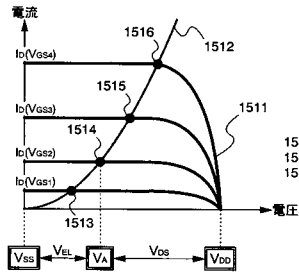
【図15】

(A)



1501 : ソース信号線
 1502 : ゲート信号線
 1503 : 電流供給線 (V_{DD})
 1504 : スイッチング用TFT
 1505 : 駆動用TFT
 1506 : EL素子
 1507 : 対向電源 (V_{SS})

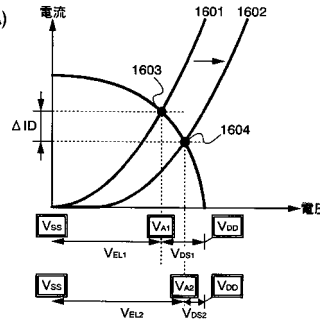
(B)



1511 : 駆動用TFTのV₀-I₀曲線
 1512 : EL素子の負荷曲線
 1513~1516 : 動作点

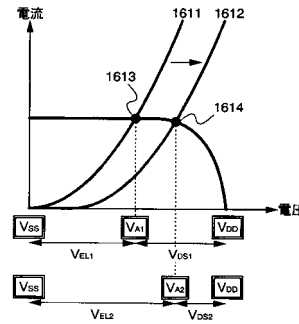
【図16】

(A)



1601 : 劣化前のEL素子の負荷曲線
 1602 : 劣化後のEL素子の負荷曲線
 1603 : EL素子劣化前の動作点
 1604 : EL素子劣化後の動作点
 ΔID : EL素子を流れる電流の減少量

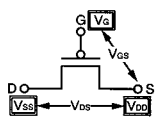
(B)



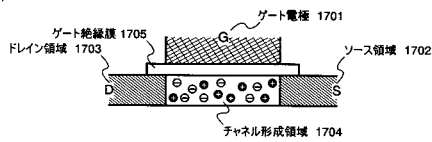
1611 : 劣化前のEL素子の負荷曲線
 1612 : 劣化後のEL素子の負荷曲線
 1613 : EL素子劣化前の動作点
 1614 : EL素子劣化後の動作点

【図17】

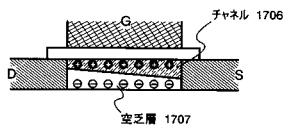
(A)



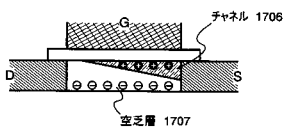
(B) OFF状態 (V_{GS} > |V_{th}|)



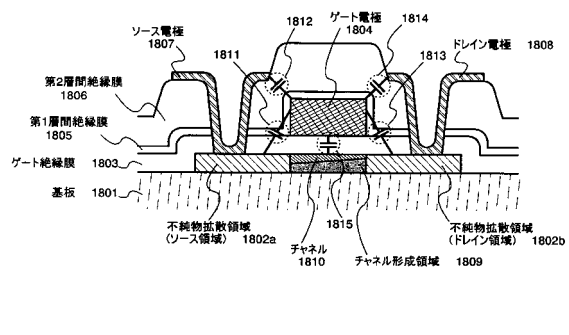
(C) 線形領域 (V_{GS} - |V_{th}| > V_{DS})



(D) 飽和領域 (V_{GS} - |V_{th}| ≤ V_{DS})

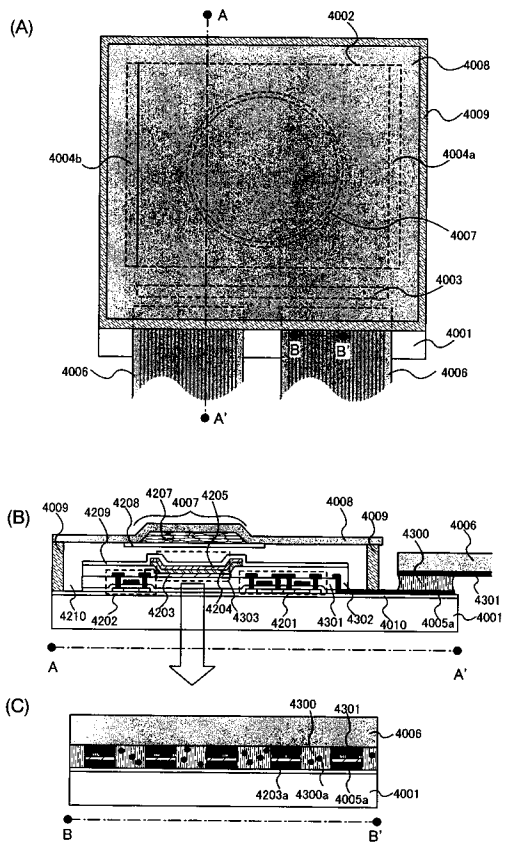


【図18】

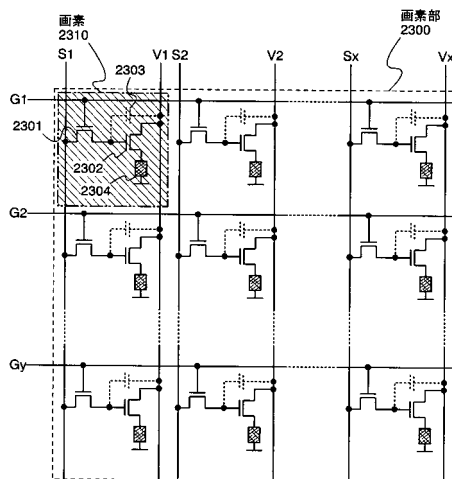


1811, 1812 : ゲート・ソース間容量
 1813, 1814 : ゲート・ドレイン間容量
 1815 : チャンネル容量

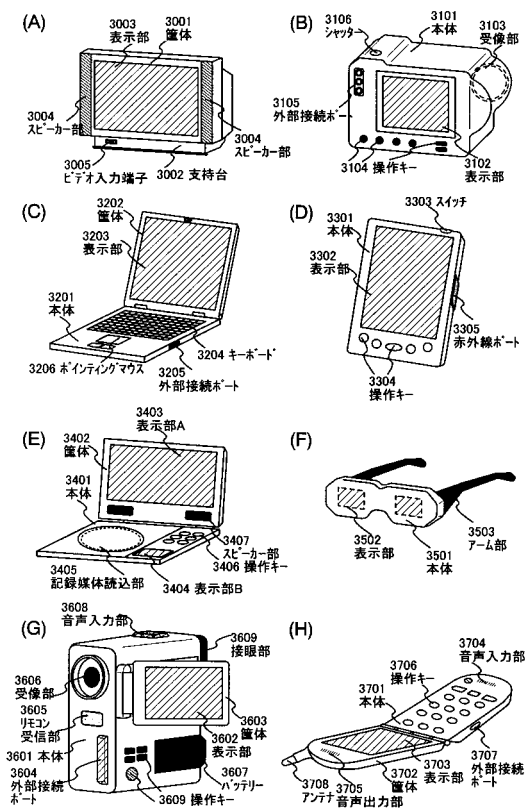
【図19】



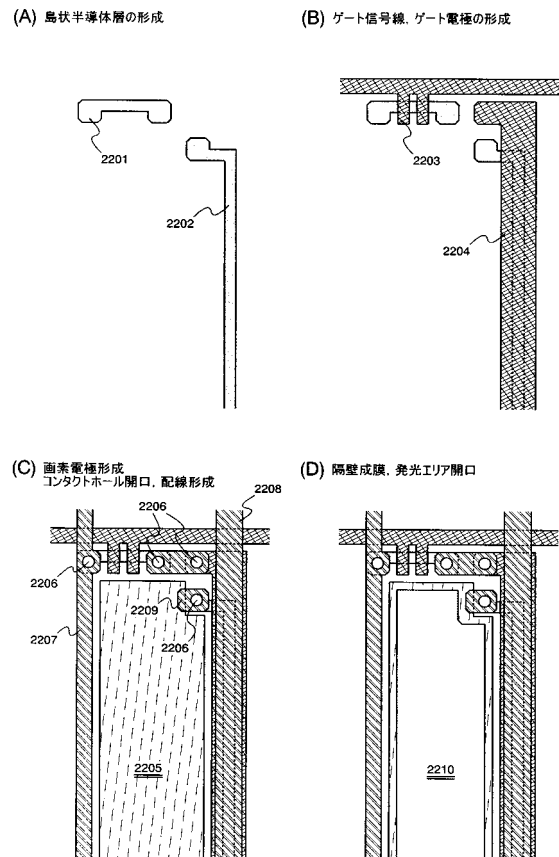
【図20】



【図21】



【図22】



フロントページの続き

- (72)発明者 早川 昌彦
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 伊藤 昌哉

- (56)参考文献 国際公開第99/010862(WO, A1)
特開2001-196594(JP, A)
特開昭62-092370(JP, A)
特開2001-195015(JP, A)
特開2001-189192(JP, A)
特開2001-051622(JP, A)
特開2001-109399(JP, A)
特開2001-318628(JP, A)
特開2003-195810(JP, A)
特開2000-223715(JP, A)
特開2000-221942(JP, A)
特開2001-318623(JP, A)
特開2003-208110(JP, A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/30-9/46
G02F 1/13-1/141
H05B 33/00-3/28