

九、發明說明：

本案為發明專利申請案第 95108370 號之分案。

【發明所屬之技術領域】

本發明係關於一種顯示裝置，尤其是關於一種具備移位暫存器電路的顯示裝置。

【先前技術】

以往，已知一種具備移位暫存器電路的顯示裝置。該種顯示裝置係揭示於例如日本專利特開 2005-17973 號公報。

第 18 圖係用以說明上述日本專利特開 2005-17973 號公報所揭示之習知技術之一例之使顯示裝置的汲極線驅動的移位暫存器電路的電路構成的電路圖。參照第 18 圖，習知技術之一例之使顯示裝置的汲極線驅動的移位暫存器電路中，設有複數段的移位暫存器電路部 1001 至 1003。第 1 段的移位暫存器電路部 1001 係由前段的第 1 電路部 1001a 及後段的第 2 電路部 1001b 所構成。而且，第 1 段的移位暫存器電路部 1001 的第 1 電路部 1001a 係包含： n 通道電晶體 NT501 至 NT503；呈二極體連接的 n 通道電晶體 NT504；以及電容 C501。此外，第 1 段的移位暫存器電路部 1001 的第 2 電路部 1001b 係包含： n 通道電晶體 NT505 至 NT507；呈二極體連接的 n 通道電晶體 NT508；以及電容 C502。以下， n 通道電晶體 NT501 至 NT508 係稱為電晶體 NT501 至 NT508。

此外，於第 1 電路部 1001a 中，電晶體 NT501 的汲極

係連接於正側電位 VDD，同時源極係與電晶體 NT502 的汲極相連接。此外，電晶體 NT501 的閘極係連接於節點 ND501。電晶體 NT502 的源極係連接於負側電位 VBB。此外，對於電晶體 NT502 的閘極係供應有開始信號 ST。此外，在連接有電晶體 NT501 之閘極的節點 ND501 與負側電位 VBB 之間，係連接有電晶體 NT503。此外，對於電晶體 NT503 的閘極係供應有開始信號 ST。而且，在電晶體 NT501 的閘極與源極之間係連接有電容 C501。而且，在連接有電晶體 NT501 之閘極的節點 ND501 與時脈信號線 CLK1 之間，連接有呈二極體連接的電晶體 NT504。

此外，於第 2 電路部 1001b 中，電晶體 NT505 的汲極係連接於正側電位 VDD。電晶體 NT505 的源極係與電晶體 NT506 的汲極相連接。此外，電晶體 NT505 的閘極係連接於節點 ND503。電晶體 NT506 的源極係連接於負側電位 VBB。此外，電晶體 NT506 的閘極係連接於設在第 1 電路部 1001a 之電晶體 NT501 與電晶體 NT502 之間的節點 ND502。

此外，在連接有電晶體 NT505 之閘極的節點 ND503 與負側電位 VBB 之間，係連接有電晶體 NT507。此外，電晶體 NT507 的閘極係連接於第 1 電路部 1001a 的節點 ND502。而且，在電晶體 NT505 的閘極與源極之間係連接有電容 C502。而且，在連接有電晶體 NT505 之閘極的節點 ND503 與時脈信號線 CLK1 之間，連接有呈二極體連接的電晶體 NT508。

此外，由設在電晶體 NT505 之源極與電晶體 NT506 之

汲極之間的節點 ND504(輸出節點)輸出有第 1 段的移位暫存器電路部 1001 的移位輸出信號 SR501。此外，第 2 段以後的移位暫存器電路部 1002 及 1003 係具有與第 1 段的移位暫存器電路部 1001 相同的電路構成。亦即，第 2 段的移位暫存器電路部 1002 係包含具有與第 1 段的移位暫存器電路部 1001 的第 1 電路部 1001a 及第 2 電路部 1001b 相同的電路構成的第 1 電路部 1002a 及第 2 電路部 1002b。第 2 段的移位暫存器電路部 1002 的第 1 電路部 1002a 係連接於第 1 段的移位暫存器電路部 1001 的第 2 電路部 1001b 的節點 ND504(輸出節點)。藉此方式，第 1 段的移位暫存器電路部 1001 的移位輸出信號 SR501 係被輸入至第 2 段的移位暫存器電路部 1002 的第 1 電路部 1002a。此外，於第 2 段的移位暫存器電路部 1002，係連接有用以供應時脈信號 CLK2 的時脈信號線(CLK2)，該時脈信號 CLK2 的時序與供應至第 1 段的移位暫存器電路部 1001 的時脈信號 CLK1 不同。此外，由第 2 段的移位暫存器電路部 1002 的第 2 電路部 1002b 的節點 ND504(輸出節點)輸出第 2 段的移位暫存器電路部 1002 的移位輸出信號 SR502。

此外，第 3 段的移位暫存器電路部 1003 係包含具有與第 1 段的移位暫存器電路部 1001 的第 1 電路部 1001a 及第 2 電路部 1001b 相同的電路構成的第 1 電路部 1003a 及第 2 電路部 1003b。第 3 段的移位暫存器電路部 1003 的第 1 電路部 1003a 係連接於第 2 段的移位暫存器電路部 1002 的第 2 電路部 1002b 的節點 ND504(輸出節點)。藉此方式，第 2

段的移位暫存器電路部 1002 的移位輸出信號 SR502 係被輸入至第 3 段的移位暫存器電路部 1003 的第 1 電路部 1003a。此外，於第 3 段的移位暫存器電路部 1003，係連接有用以供給與第 1 段的移位暫存器電路部 1001 相同的時脈信號 CLK1 的時脈信號線 (CLK1)。此外，由第 3 段的移位暫存器電路部 1003 的第 2 電路部 1003b 的節點 ND504 (輸出節點) 輸出第 3 段的移位暫存器電路部 1003 的移位輸出信號 SR503。該移位輸出信號 SR503 係被輸入至未圖示之下一段的移位暫存器電路部的第 1 電路部。

此外，各段之移位暫存器電路部 1001 至 1003 的節點 ND504 係連接於水平開關 1100。具體而言，水平開關 1100 係具有複數個電晶體 NT510 至 NT512。該電晶體 NT510 至 NT512 的閘極係分別連接於第 1 段至第 3 段之移位暫存器電路部 1001 至 1003 的節點 ND504。藉此方式，各段之移位暫存器電路部 1001 至 1003 的移位輸出信號 SR501 至 SR503 係分別被輸入至水平開關 1100 之電晶體 NT510 至 NT512 的閘極。此外，電晶體 NT510 至 NT512 的汲極係分別連接於各段的汲極線。而且，電晶體 NT510 至 NT512 的源極係連接於視訊信號線 Video。

藉由上述之構成，在習知技術之一例之使顯示裝置的汲極線驅動的移位暫存器電路中，藉由各段之移位暫存器電路部 1001 至 1003 使上升至 H 位準的時序移位的移位輸出信號 SR501 至 SR503 係分別被輸入至水平開關 1100 的電晶體 NT510 至 NT512 的閘極。藉此方式，由於水平開關 1100

的電晶體 NT510 至 NT512 依序呈導通(ON)狀態，因此形成透過電晶體 NT510 至 NT512，依序將影像信號由視訊信號線 Video 輸出至各段的汲極線的構成。

然而，在第 18 圖所示之習知技術之一例的具備移位暫存器電路的顯示裝置中，係在將正側電位 VDD 與負側電位 VBB 供應至移位暫存器電路之後，在尚未進行移位暫存器電路的掃描的狀態下，會有作為各段之移位暫存器電路部 1001 至 1003 的輸出節點之節點 ND504 的電位形成正側電位 VDD 與負側電位 VBB 之間的不穩定電位的問題產生。藉此方式，會有閘極連接於節點 ND504 的水平開關 1100 的電晶體 NT510 至 NT512 在意料之外的時序導通的情形的問題發生。此時，由於透過形成該導通狀態的電晶體 NT510 至 NT512，而使影像信號由視訊信號線 Video 輸出至汲極線，因此會有在意料之外的時序使影像信號輸出至汲極線的問題點。

【發明內容】

本發明係為解決上述問題點所研創者，本發明之目的之一係提供一種可抑制在意料之外的時序將信號輸出至閘極線或汲極線的顯示裝置。

為達成上述目的，本發明之一態樣的顯示裝置係具備移位暫存器電路，該移位暫存器電路包含：複數個移位暫存器電路部，根據開始信號依序將移位信號輸出至下一段的移位暫存器電路；以及邏輯合成電路部，由以第 1 電位導通的複數個第 1 導電型的電晶體所構成，同時連接於輸

出有前述移位信號之節點，且根據前述移位信號將移位輸出信號予以邏輯合成而輸出；而且前述移位暫存器電路部係包含重置電晶體，用以響應前述開始信號，而將輸出有前述移位信號之節點之電位重置為前述邏輯合成電路部的電晶體不導通的第 2 電位。

在該一態樣的顯示裝置中，如上所述，係構成為：第 1 移位暫存器電路部包含重置電晶體，用以響應預定的驅動信號，而將輸出有第 1 移位信號或第 2 移位信號之節點的電位重置為邏輯合成電路部的電晶體不導通的第 2 電位，藉此可在對移位暫存器電路接通電源後，輸入預定的驅動信號，且若藉由重置電晶體，將輸出有第 1 移位信號或第 2 移位信號之節點的電位重置為第 2 電位，則可將輸出至邏輯合成電路部的第 1 移位信號及第 2 移位信號的至少一方，固定在邏輯合成電路部的電晶體不導通的第 2 電位。藉此方式，由於在對邏輯合成電路部的 2 個電晶體的閘極分別輸入第 1 移位信號及第 2 移位信號的同時，將經由該 2 個電晶體輸出的信號作為將第 1 移位信號與第 2 移位信號予以邏輯合成後的移位輸出信號來使用時，將第 1 移位信號及第 2 移位信號的至少一方固定在邏輯合成電路部的電晶體不導通的第 2 電位，因此可將邏輯合成電路部的 2 個電晶體的至少一方保持在不導通狀態。因此，經由邏輯合成電路部的 2 個電晶體，並不會輸出移位輸出信號，因此，可抑制在意料之外的時序將信號輸出至閘極線或汲極線。

於上述一態樣的顯示裝置中，最好第 1 移位暫存器電路部及第 2 移位暫存器電路部雙方均包含重置電晶體。若以此方式構成，藉由重置電晶體由第 1 移位暫存器電路部輸出的第 1 移位信號與由第 2 移位暫存器電路部輸出的第 2 移位信號雙方均可固定在邏輯合成電路部的電晶體不導通的第 2 電位。藉此方式，由於在對邏輯合成電路部的 2 個電晶體的閘極分別輸入第 1 移位信號及第 2 移位信號的同時，將經由該 2 個電晶體輸出的信號作為將第 1 移位信號與第 2 移位信號予以邏輯合成後的移位輸出位號來使用時，可將邏輯合成電路部的 2 個電晶體雙方均保持在不導通狀態。因此，可更加確實地抑制在意料之外的時序由邏輯合成電路部將信號輸出至閘極線或汲極線。

於上述一態樣的顯示裝置中，最好預定的驅動信號係用以使移位暫存器電路開始掃描的開始信號。若以此方式構成，由於不需要另外形成用以產生預定的驅動信號的信號產生電路，因此可抑制顯示裝置的電路構成複雜化。

於上述一態樣的顯示裝置中，最好第 1 移位暫存器電路部及第 2 移位暫存器電路部的至少一方係包含前段的第 1 電路部及後段的第 2 電路部，第 2 電路部係包含第 1 導電型的第 1 電晶體，該第 1 電晶體係連接於第 2 電位側與輸出有第 1 移位信號或第 2 移位信號的節點之間，同時其閘極連接於第 1 電路部的輸出節點，重置電晶體係具有響應預定的驅動信號而將第 1 電路部的輸出節點重置為第 1 電位的功能，響應由重置電晶體將第 1 電路部的輸出節點

重置為第 1 電位，而使第 1 電晶體呈導通狀態，藉此使輸出有第 2 電路部的第 1 移位信號或第 2 移位信號的節點重置為第 2 電位。若以此方式構成，藉由重置電晶體響應預定的驅動信號而將第 1 電路部的輸出節點重置為第 1 電位，藉此可使閘極連接於第 1 電路部之輸出節點的第 1 導電型的第 1 電晶體導通，因此，可經由第 1 電晶體由第 2 電位側將第 2 電位供應至輸出有第 1 移位信號或第 2 移位信號的節點。藉此方式，可輕易地響應預定的驅動信號，而將輸出有第 1 移位信號或第 2 移位信號之節點的電位重置為第 2 電位。

於前述重置電晶體具有將第 1 電路部的輸出節點重置為第 1 電位的功能的構成中，最好重置電晶體係連接於第 1 電位側與第 1 電路部的輸出節點之間，同時其閘極連接於供應預定的驅動信號的第 1 驅動信號線。若以此方式構成，可輕易地使重置電晶體具有響應預定的驅動信號而將第 1 電路部的輸出節點重置為第 1 電位的功能。

於包含前述第 1 驅動信號線之構成中，第 1 驅動信號線係供應開始信號的開始信號線，該開始信號係作為預定的驅動信號且用以使移位暫存器電路開始掃描。若以此方式構成，可使用開始信號作為預定的驅動信號，因此，不需要另外形成用以產生預定的驅動信號的信號產生電路。藉此方式，可抑制顯示裝置的電路構成複雜化。此外，使用用以供應開始信號的開始信號線來作為第 1 驅動信號線，藉此無須另外設置配線來作為用以供應預定的驅動信

號的第 1 驅動信號線，因此，可抑制顯示裝置的電路規模增大。

於上述一態樣的顯示裝置中，最好邏輯合成電路部的電晶體係包含：第 2 電晶體，其源極／汲極的一方連接於用以供應切換成第 1 電位與第 2 電位之第 1 信號的第 1 信號線，並對該第 2 電晶體之閘極輸入有第 1 移位信號；以及第 3 電晶體，其源極／汲極的一方連接於第 2 電晶體的源極／汲極的另一方，並對該第 3 電晶體之閘極輸入有第 2 移位信號，當第 1 移位信號及第 2 移位信號為第 1 電位時，使第 2 電晶體及第 3 電晶體呈導通狀態，同時，由第 1 信號線供應第 1 電位之第 1 信號至第 2 電晶體的源極／汲極的一方，藉此透過第 2 電晶體及第 3 電晶體而輸出第 1 電位的移位輸出信號，當第 1 移位信號由第 1 電位變化成第 2 電位時，由第 1 信號線供應第 2 電位之第 1 信號至第 2 電晶體的源極／汲極的一方，藉此透過第 2 電晶體及第 3 電晶體而輸出第 2 電位的移位輸出信號。若以此方式構成，當第 1 移位信號及第 2 移位信號為第 1 電位時，可經由邏輯合成電路部的第 2 電晶體及第 3 電晶體等 2 個電晶體，輸出將第 1 電位的第 1 移位信號與第 1 電位的第 2 移位信號予以邏輯合成之第 1 電位的移位輸出信號，同時當第 1 移位信號由第 1 電位變化成第 2 電位時，可經由邏輯合成電路部的第 2 電晶體及第 3 電晶體等 2 個電晶體，輸出將第 2 電位的第 1 移位信號與第 1 電位的第 2 移位信號予以邏輯合成之第 2 電位的移位輸出信號。藉此方式，

可輕易地由邏輯合成電路部輸出將第 1 移位信號與第 2 移位信號予以邏輯合成的移位輸出信號。

此時，最好在第 1 信號為第 2 電位的期間，將移位輸出信號強制性地保持在第 2 電位。若以此方式構成，由複數段的邏輯合成電路部輸出的移位輸出信號的電位依序由第 2 電位(例如 L 位準)變化成第 1 電位(例如 H 位準)時，於第 1 信號為第 2 電位(L 位準)的期間，可將由前段之邏輯合成電路部輸出的移位輸出信號與由下一段之邏輯合成電路部輸出的移位輸出信號雙方強制性地設在第 2 電位(L 位準)。藉此方式，當由前段之邏輯合成電路部輸出的移位輸出信號為第 1 電位(H 位準)，由下一段之邏輯合成電路部輸出的移位輸出信號為第 2 電位(L 位準)時，將第 1 信號設為第 2 電位(L 位準)，藉此可將由前段及下一段的邏輯合成電路部分別輸出的移位輸出信號均設為第 2 電位(L 位準)。此外，在第 1 信號為第 2 電位(L 位準)的期間之後，若僅使由下一段之邏輯合成電路部輸出的移位輸出信號變化成第 1 電位(H 位準)，則可抑制由前段之邏輯合成電路部輸出的移位輸出信號由第 1 電位(H 位準)變化成第 2 電位(L 位準)的時序與由下一段之邏輯合成電路部輸出的移位輸出信號由第 2 電位(L 位準)變化成第 1 電位(H 位準)的時序相重疊。藉此方式，可抑制由於由前段之邏輯合成電路部輸出的移位輸出信號由第 1 電位(H 位準)變化成第 2 電位(L 位準)的時序與由下一段之邏輯合成電路部輸出的移位輸出信號由第 2 電位(L 位準)變化成第 1 電位(H 位準)

的時序相重疊所引起的雜訊(noise)。

在當上述第 1 移位信號由第 1 電位變化成第 2 電位時，輸出有第 2 電位的移位輸出信號的構成中，最好邏輯合成電路部係包含電位固定電路部，以在第 1 移位信號由第 1 電位變化成第 2 電位之後，將移位輸出信號固定在第 2 電位。若以此方式構成，藉由電位固定電路部，可在第 1 移位信號由第 1 電位變化成第 2 電位之後，將移位輸出信號固定在第 2 電位，因此當第 1 移位信號為第 2 電位、第 2 移位信號為第 1 電位時，可將移位輸出信號固定在第 2 電位。此外，之後，在藉由第 2 移位信號變化成第 2 電位，而使第 1 移位信號及第 2 移位信號雙方均變為第 2 電位時，亦可將移位輸出信號固定在第 2 電位。

在上述邏輯合成電路部包含對閘極輸入有第 1 移位信號的第 2 電晶體及對閘極輸入有第 2 移位信號的第 3 電晶體的構成中，最好第 1 移位暫存器電路部係包含：第 4 電晶體，對於其汲極至少供應第 1 電位，同時，其閘極連接於輸出有第 1 移位信號的節點；以及第 1 電容，連接於第 4 電晶體的閘極-源極之間，第 2 移位暫存器電路部係包含：第 5 電晶體，對於其汲極至少供應第 1 電位，同時，其閘極連接於輸出有第 2 移位信號的節點；以及第 2 電容，連接於第 5 電晶體的閘極-源極之間。若以此方式構成，例如，將正側電位 VDD 供應至第 4 電晶體(第 5 電晶體)的汲極，同時，第 4 電晶體(第 5 電晶體)為 n 通道電晶體時，由於可使第 4 電晶體(第 5 電晶體)的閘極電位上升至比

VDD 還高第 4 電晶體(第 5 電晶體)的臨限值電壓(V_t)以上的預定電壓(V_α)份的電位，因此可對邏輯合成電路部的第 2 電晶體及第 3 電晶體的閘極分別供應具有高於 $V_{DD}+V_t$ 的電位($V_{DD}+V_\alpha$)的第 1 移位信號及第 2 移位信號。藉此方式，可抑制經由邏輯合成電路部的第 2 電晶體及第 3 電晶體所輸出的移位輸出信號的電位僅由 VDD 降低第 2 電晶體及第 3 電晶體的臨限值電壓(V_t)份。此外，對第 4 電晶體(第 5 電晶體)的汲極供應負側電位 VBB，同時，第 4 電晶體(第 5 電晶體)為 p 通道電晶體時，由於可使第 4 電晶體(第 5 電晶體)的閘極電位下降至比 VBB 還低第 4 電晶體(第 5 電晶體)的臨限值電壓(V_t)以上的預定電壓(V_α)份的電位，因此可對邏輯合成電路部的第 2 電晶體及第 3 電晶體的閘極分別供應具有低於 $V_{BB}-V_t$ 的電位($V_{DD}-V_\alpha$)的第 1 移位信號及第 2 移位信號。藉此方式，可抑制經由邏輯合成電路部的第 2 電晶體及第 3 電晶體所輸出的移位輸出信號的電位僅由 VBB 上升第 2 電晶體及第 3 電晶體的臨限值電壓(V_t)份。

於包含上述第 4 電晶體及第 5 電晶體的構成中，最好係對於第 4 電晶體的汲極連接有用以供應切換成第 1 電位與第 2 電位之第 1 信號的第 1 信號線，同時對於閘極係供應有第 1 時脈信號，對於第 5 電晶體的汲極係連接有用以供應第 1 信號的第 1 信號線，同時對於閘極係供應有第 2 時脈信號，第 1 信號係在第 1 時脈信號由第 2 電位變成第 1 電位之後，以及在第 2 時脈信號由第 2 電位變成第 1 電

位之後，分別由第 2 電位切換成第 1 電位。若以此方式構成，隨著藉由第 1 時脈信號(第 2 時脈信號)使第 4 電晶體(第 5 電晶體)的閘極電位由第 2 電位變化成第 1 電位，而使第 4 電晶體(第 5 電晶體)呈導通狀態之後，可藉由第 1 信號使第 4 電晶體(第 5 電晶體)的源極電位由第 2 電位變化成第 1 電位。藉此方式，此時的第 4 電晶體(第 5 電晶體)的源極電位的變化份亦可使第 4 電晶體(第 5 電晶體)的閘極電位上升或下降。亦即，除了對於第 4 電晶體(第 5 電晶體)的汲極供應為固定電位的第 1 電位時的第 4 電晶體(第 5 電晶體)的閘極與源極之間的第 1 電容(第 2 電容)所引起的第 4 電晶體(第 5 電晶體)的閘極電位的上升或下降之外，使源極電位由第 2 電位變化成第 1 電位時的變化份亦可使第 4 電晶體(第 5 電晶體)的閘極電位較高或較低。藉此方式，可更輕易地將第 1 及第 2 移位信號的電位設定為比 V_{DD} 還高臨限值電壓(V_t)以上的電位或比 V_{BB} 還低臨限值電壓(V_t)以上的電位。因此，可更輕易地對於邏輯合成電路部的第 2 電晶體的閘極及第 3 電晶體的閘極，供應具有 $V_{DD}+V_t$ 以上的電位或 $V_{BB}-V_t$ 以下的電位的第 1 移位信號及第 2 移位信號，因此，可更加抑制經由第 2 電晶體及第 3 電晶體所輸出的移位輸出信號的電位僅下降或上升臨限值電壓(V_t)份。

在包含上述第 4 電晶體及第 5 電晶體之構成中，最好係對於第 4 電晶體的汲極連接有用以供應切換成第 1 電位與第 2 電位之第 2 信號的第 2 信號線，同時對於閘極係供

應有第 1 時脈信號，對於第 5 電晶體的汲極係連接有用以供應切換成第 1 電位與第 2 電位之第 3 信號的第 3 信號線，同時對於閘極係供應有第 2 時脈信號，第 2 信號係在第 1 時脈信號由第 2 電位變成第 1 電位之後，由第 2 電位切換成第 1 電位，第 3 信號係在第 2 時脈信號由第 2 電位變成第 1 電位之後，由第 2 電位切換成第 1 電位。若以此方式構成，第 1 移位暫存器電路部的第 4 電晶體與第 2 移位暫存器電路部的第 5 電晶體可分別配合響應第 1 時脈信號與第 2 時脈信號而導通的時序，使第 4 及第 5 電晶體的源極電位由第 2 電位變化成第 1 電位。此外，可在第 1 移位暫存器電路部的第 4 電晶體與第 2 移位暫存器電路部的第 5 電晶體分別響應第 1 時脈信號與第 2 時脈信號而呈不導通為止，將第 4 及第 5 電晶體的源極電位分別保持在第 1 電位。藉此方式，可抑制在第 4 及第 5 電晶體響應第 1 時脈信號與第 2 時脈信號而呈不導通狀態為止的期間，第 4 及第 5 電晶體的源極電位成為第 2 電位而引起第 4 及第 5 電晶體的閘極電位發生變動的問題產生。此時，可抑制由連接有第 1 移位暫存器電路部的第 4 電晶體的閘極的節點所輸出的第 1 移位信號以及由連接有第 2 移位暫存器電路部的第 5 電晶體的閘極的節點所輸出的第 2 移位信號發生變動，因此，可抑制對於閘極輸入有第 1 移位信號之邏輯合成電路部的第 2 電晶體的動作、以及對於閘極輸入有第 2 移位信號之邏輯合成電路部的第 3 電晶體的動作變得不穩定。

在包含上述第 4 電晶體及第 5 電晶體之構成中，最好重置電晶體亦具有以下功能：響應預定的驅動信號，將第 4 電晶體或第 5 電晶體的源極的電位重置為第 2 電位。若以此方式構成，例如，當第 4 電晶體(第 5 電晶體)為 n 通道電晶體，同時，在對第 4 電晶體(第 5 電晶體)的汲極供應正側電位 VDD(第 1 電位)，而使第 4 電晶體(第 5 電晶體)的源極的電位上升之前，若先將第 4 電晶體(第 5 電晶體)的源極的電位重置為負側電位 VBB(第 2 電位)的話，則可使第 4 電晶體(第 5 電晶體)的閘極電位上升第 4 電晶體(第 5 電晶體)的源極的電位由負側電位 VBB 上升至正側電位 VDD 的電位差的量。藉此方式，與使第 4 電晶體(第 5 電晶體)的源極的電位由正側電位 VDD 與負側電位 VBB 之間的不穩定電位上升的情形相較之下，由於可使第 4 電晶體(第 5 電晶體)的閘極電位更加上升，因此，可更加確實地使第 4 電晶體(第 5 電晶體)的閘極電位上升至比 VDD 還高第 4 電晶體(第 5 電晶體)之臨限值電壓(V_t)以上的預定電壓(V_a)份的電位。此外，第 4 電晶體(第 5 電晶體)為 p 通道電晶體，同時，在對第 4 電晶體(第 5 電晶體)的汲極供應負側電位 VBB(第 1 電位)，而使第 4 電晶體(第 5 電晶體)的源極的電位降低之前，若先將第 4 電晶體(第 5 電晶體)的源極的電位重置為正側電位 VDD(第 2 電位)的話，則可使第 4 電晶體(第 5 電晶體)的閘極電位降低第 4 電晶體(第 5 電晶體)的源極的電位由正側電位 VDD 降低至負側電位 VBB 的電位差的量。藉此方式，與使第 4 電晶體(第 5 電晶體)的源

極的電位由正側電位 VDD 與負側電位 VBB 之間的不穩定電位降低的情形相較之下，由於可使第 4 電晶體（第 5 電晶體）的閘極電位更加降低，因此，可更加確實地使第 4 電晶體（第 5 電晶體）的閘極電位降低至比 VBB 還低第 4 電晶體（第 5 電晶體）之臨限值電壓 (V_t) 以上的預定電壓 (V_α) 份的電位。

於上述一態樣的顯示裝置中，最好移位暫存器電路係適用於用以驅動閘極線的移位暫存器電路及用以驅動汲極線的移位暫存器電路的至少一方。若以此方式構成，可輕易地抑制在意料之外的時序將信號輸出至閘極線及汲極線的至少一方。

於上述一態樣的顯示裝置中，最好構成第 1 移位暫存器電路部、第 2 移位暫存器電路部及邏輯合成電路部的電晶體、以及重置電晶體係具有第 1 導電型。若以此方式構成，與藉由具有第 1 導電型或第 2 導電型等 2 種導電型的電晶體構成構成第 1 移位暫存器電路部、第 2 移位暫存器電路部及邏輯合成電路部的電晶體、以及重置電晶體的情形相較之下，可降低在形成該等電晶體時的離子植入製程的次數以及離子植入遮罩的個數。藉此方式，可抑制製程複雜化，同時可抑制製造成本增加。

於上述一態樣的顯示裝置中，最好顯示裝置係由液晶顯示裝置及 EL 顯示裝置的任一方所構成。

【實施方式】

以下參照圖示說明本發明之實施形態。

(第 1 實施形態)

首先，參照第 1 圖，在本第 1 實施形態中，係在基板 1 上設有顯示部 2。在該顯示部 2 係以矩陣狀配置有像素 20。此外，在第 1 圖中，為簡化圖示，僅圖示 1 個像素 20。各個像素 20 係由以下所構成：n 通道電晶體 21(以下稱為電晶體 21)；像素電極 22；與像素電極 22 相對向配置的各像素 20 共通的對向電極 23；夾持在像素電極 22 與對向電極 23 之間的液晶 24；以及補助電容 25。而電晶體 21 的源極係連接於像素電極 22 與補助電容 25，同時，其汲極係連接於汲極線。該電晶體 21 的閘極係連接於閘極線。

此外，以沿著顯示部 2 的一邊的方式，在基板 1 上設有用以驅動(掃描)顯示部 2 之汲極線的水平開關(HSW)3 及 H 驅動器 4。此外，以沿著顯示部 2 的另一邊的方式，在基板 1 上設有用以驅動(掃描)顯示部 2 之閘極線的 V 驅動器 5。此外，關於第 1 圖的水平開關 3，雖僅圖示 2 個開關，但實際上係配置有對應像素數的數量的開關。此外，關於第 1 圖的 H 驅動器 4 及 V 驅動器 5，雖然分別僅圖示 2 個移位暫存器電路部，但實際上係配置有對應像素數的數量的移位暫存器電路部。

此外，在基板 1 的外部係設置有驅動 IC10。該驅動 IC10 係具備：信號產生電路 11 及電源電路 12。由驅動 IC10 往 H 驅動器 4 係供應有：視訊信號 Video、開始信號 STH、掃描方向切換信號 CSH、時脈信號 CKH、致能信號(Enable Signal)ENB、正側電位 VDD 及負側電位 VBB。此外，由驅

動 IC10 往 V 驅動器 5 係供應有：開始信號 STV、致能信號 ENB、掃描方向切換信號 CSV、時脈信號 CKV、正側電位 VDD 及負側電位 VBB。

如第 2 圖所示，在第 1 實施形態中，在 V 驅動器 5 的內部設有：複數段的移位暫存器電路部 51 至 55；掃描方向切換電路部 60；輸入信號切換電路部 70；複數段的邏輯合成電路部 81 至 83；以及電路部 91。此外，在第 2 圖中為簡化圖示，雖僅圖示 5 段份的移位暫存器電路部 51 至 55 及 3 段份的邏輯合成電路部 81 至 83，但在實際上係設有對應像素數的數量的移位暫存器電路部及邏輯合成電路部。

第 1 段之移位暫存器電路部 51 係由前段的第 1 電路部 51a 與後段的第 2 電路部 51b 所構成。第 1 電路部 51a 係包含： n 通道電晶體 NT1 及 NT2；呈二極體連接之 n 通道電晶體 NT3；電容 C1 及 C2。此外，第 2 電路部 51b 係包含： n 通道電晶體 NT4、NT5、NT6 及 NT7；呈二極體連接之 n 通道電晶體 NT8；電容 C3 及 C4。以下， n 通道電晶體 NT1 至 NT8 分別稱為電晶體 NT1 至 NT8。

此外，設在第 1 段之移位暫存器電路部 51 的電晶體 NT1 至 NT8 全部均係藉由由 n 型 MOS 電晶體（場效應型電晶體）構成的 TFT（thin film transistor，薄膜電晶體）所構成。而且，電晶體 NT1、NT2、NT6、NT7 及 NT8 係具有相互電性連接的 2 個閘極電極。此外，於第 1 電路部 51a 中，電晶體 NT1 的源極係連接於負側電位 VBB，同時，其汲極

係連接於為第 1 電路部 51a 之輸出節點的節點 ND1。此外，電容 C1 的一方的電極係連接於負側電位 VBB，同時，另一方的電極係連接於節點 ND1。而且，電晶體 NT2 的源極係經由電晶體 NT3 而連接於節點 ND1，同時，其汲極係連接於時脈信號線 (CKV1)。此外，電容 C2 係連接於電晶體 NT2 之閘極與源極之間。

此外，於第 2 電路部 51b 中，電晶體 NT4 的源極係連接於節點 ND3，同時，其汲極係連接於正側電位 VDD。該電晶體 NT4 的閘極係連接於節點 ND2。此外，電晶體 NT5 的源極係連接於負側電位 VBB，同時，其汲極係連接於節點 ND3。該電晶體 NT5 的閘極係連接於第 1 電路部 51a 之節點 ND1。此外，電晶體 NT6 的源極係連接於負側電位 VBB，同時，其汲極係連接於節點 ND2。該電晶體 NT6 的閘極係連接於第 1 電路部 51a 之節點 ND1。而且，電晶體 NT6 係當電晶體 NT5 呈導通狀態時，為了將電晶體 NT4 設為不導通狀態而設置。而且，電晶體 NT7 的源極係經由電晶體 NT8 而連接於節點 ND2，同時，其汲極係連接於時脈信號線 (CKV1)。此外，電容 C3 係連接於電晶體 NT4 之閘極與源極之間。電容 C4 係連接於電晶體 NT7 之閘極與源極之間。

此外，第 2 段至第 5 段之移位暫存器電路部 52 至 55 係具有與上述第 1 段之移位暫存器電路部 51 幾乎相同的電路構成。具體而言，第 2 段至第 5 段之移位暫存器電路部 52 至 55 係分別由以下所構成：電路構成幾乎與第 1 段之移位暫存器電路部 51 的第 1 電路部 51a 相同的第 1 電路部

52a 至 55a; 以及電路構成幾乎與第 2 電路部 51b 相同的第 2 電路部 52b 至 55b。

第 2 段之移位暫存器電路部 52 係包含：對應於第 1 段之移位暫存器電路部 51 的電晶體 NT1 至 NT8 的 n 通道電晶體 NT11 至 NT18；以及對應於電容 C1 至 C4 的電容 C11 至 C14。其中，n 通道電晶體 NT14 係本發明之「第 4 電晶體」及「第 5 電晶體」之一例，n 通道電晶體 NT16 係本發明之「第 1 電晶體」之一例。此外，電容 C13 係本發明之「第 1 電容」及「第 2 電容」之一例。以下，n 通道電晶體 NT11 至 NT18 係分別稱為電晶體 NT11 至 NT18。此外，第 3 段之移位暫存器電路部 53 係包含：對應於第 1 段之移位暫存器電路部 51 的電晶體 NT1 至 NT8 的 n 通道電晶體 NT21 至 NT28；以及對應於電容 C1 至 C4 的電容 C21 至 C24。其中，n 通道電晶體 NT24 係本發明之「第 4 電晶體」及「第 5 電晶體」之一例，n 通道電晶體 NT26 係本發明之「第 1 電晶體」之一例。此外，電容 C23 係本發明之「第 1 電容」及「第 2 電容」之一例。以下，n 通道電晶體 NT21 至 NT28 係分別稱為電晶體 NT21 至 NT28。

此外，第 4 段之移位暫存器電路部 54 係包含：對應於第 1 段之移位暫存器電路部 51 的電晶體 NT1 至 NT8 的 n 通道電晶體 NT31 至 NT38；以及對應於電容 C1 至 C4 的電容 C31 至 C34。其中，n 通道電晶體 NT34 係本發明之「第 4 電晶體」及「第 5 電晶體」之一例，n 通道電晶體 NT36 係本發明之「第 1 電晶體」之一例。此外，電容 C33 係本

發明之「第 1 電容」及「第 2 電容」之一例。以下， n 通道電晶體 NT31 至 NT38 係分別稱為電晶體 NT31 至 NT38。此外，第 5 段之移位暫存器電路部 55 係包含：對應於第 1 段之移位暫存器電路部 51 的電晶體 NT1 至 NT8 的 n 通道電晶體 NT41 至 NT48；以及對應於電容 C1 至 C4 的電容 C41 至 C44。其中， n 通道電晶體 NT44 係本發明之「第 4 電晶體」及「第 5 電晶體」之一例， n 通道電晶體 NT46 係本發明之「第 1 電晶體」之一例。此外，電容 C43 係本發明之「第 1 電容」及「第 2 電容」之一例。以下， n 通道電晶體 NT41 至 NT48 係分別稱為電晶體 NT41 至 NT48。

在此，在第 1 實施形態中，第 4 段之移位暫存器電路部 54 之第 1 電路部 54a 係包含 n 通道電晶體 NT39，用以將輸出移位信號 SR4 的節點 ND2 的電位重置為負側電位 VBB。此外，第 5 段之移位暫存器電路部 55 之第 1 電路部 55a 係包含 n 通道電晶體 NT49，用以將輸出移位信號 SR5 的節點 ND2 的電位重置為負側電位 VBB。以下， n 通道電晶體 NT39 及 NT49 係分別稱為重置電晶體 NT39 及 NT49。

此外，對於重置電晶體 NT39 的汲極係供應有正側電位 VDD，同時，其源極係連接於為第 4 段之移位暫存器電路部 54 之第 1 電路部 54a 之輸出節點的節點 ND1。此外，於重置電晶體 NT39 的閘極係連接有用以供應開始信號 STV 的開始信號線 (STV)。其中，開始信號 STV 係本發明之「預定的驅動信號」之一例，開始信號線 (STV) 係本發明之「第 1 驅動信號線」之一例。藉此方式構成為：響應 H 位準的開

始信號 STV 而使重置電晶體 NT39 導通時，經由重置電晶體 NT39 供應有正側電位 VDD，藉此使第 1 電路部 54a 之節點 ND1 的電位成為正側電位 VDD(H 位準)。接著，構成為：由於當第 1 電路部 54a 之節點 ND1 的電位成為正側電位 VDD(H 位準)時，第 2 電路部 54b 的電晶體 NT36 為導通，因此，經由電晶體 NT36 供應有負側電位 VBB，藉此將用以輸出移位信號 SR4 的第 2 電路部 54b 之節點 ND2 重置為負側電位 VBB。

此外，對於重置電晶體 NT49 的汲極係供應有正側電位 VDD，同時，其源極係連接於為第 5 段之移位暫存器電路部 55 之第 1 電路部 55a 之輸出節點的節點 ND1。此外，於重置電晶體 NT49 的閘極係連接有用以供應開始信號 STV 的開始信號線(STV)。藉此方式，在第 5 段之移位暫存器電路部 55 中，與上述第 4 段之移位暫存器電路部 54 相同地，係構成為：將用以輸出移位信號 SR5 的第 2 電路部 55b 之節點 ND2 重置為負側電位 VBB。

此外，第 2 段之移位暫存器電路部 52 的電晶體 NT12 及 NT17、與第 4 段之移位暫存器電路部 54 的電晶體 NT32 及 NT37，係連接於時脈信號線(CKV2)。此外，第 3 段之移位暫存器電路部 53 的電晶體 NT22 及 NT27、與第 5 段之移位暫存器電路部 55 的電晶體 NT42 及 NT47，係連接於時脈信號線(CKV1)。亦即，時脈信號線(CKV1)與時脈信號線(CKV2)係每隔 1 段交替連接。

而且，在第 1 實施形態中，係將 1 條 1 條的致能信號

線(ENB1)與致能信號線(ENB2)交替連接於第3段以後的移位暫存器電路部53至55。其中，該致能信號線(ENB1)及(ENB2)係本發明之「第2信號線」及「第3信號線」之一例。構成為：經由該致能信號線(ENB1)，供應有在預定時序將電位由L位準切換成H位準之致能信號(ENB1)，同時，經由致能信號線(ENB2)，供應有在與致能信號線ENB1不同的時序將電位由L位準切換成H位準之致能信號ENB2。而在第3段之移位暫存器電路部53及第5段之移位暫存器電路部55中，係分別將致能信號線(ENB1)連接於電晶體NT24及NT44的汲極。此外，在第4段之移位暫存器電路部54中，係將致能信號線(ENB2)連接於電晶體NT34的汲極。

此外，掃描方向切換電路部60係包含n通道電晶體NT51至NT60。以下，n通道電晶體NT51至NT60係分別稱為電晶體NT51至NT60。該電晶體NT51至NT60全部均係藉由由n型MOS電晶體構成的TFT所構成。

此外，電晶體NT51至NT55係以此順序將源極／汲極的一方與源極／汲極的另一方相互連接。此外，於電晶體NT51、NT53及NT55的閘極係連接有掃描方向切換信號線(CSV)，同時，於電晶體NT52及NT54的閘極係連接有反轉掃描方向切換信號線(XCSV)。亦即，於電晶體NT51至NT55的閘極，係分別交替連接有掃描方向切換信號線(CSV)及反轉掃描方向切換信號線(XCSV)。

此外，電晶體NT56係連接於後述之電路部91的節點ND6。此外，電晶體NT57至NT60係以此順序將源極／汲極

的一方與源極／汲極的另一方相互連接。於電晶體 NT56、NT58 及 NT60 的閘極係連接有反轉掃描方向切換信號線 (XCSV)，同時，於電晶體 NT57 及 NT59 的閘極係連接有掃描方向切換信號線 (CSV)。亦即，於電晶體 NT56 至 NT60 的閘極，係分別交替連接有反轉掃描方向切換信號線 (XCSV) 及掃描方向切換信號線 (CSV)。

其中，當掃描方向為順向時，係以使掃描方向切換信號 CSV 成為 H 位準 (VDD) 的方式，且反轉掃描方向切換信號 XCSV 成為 L 位準 (VBB) 的方式進行控制。因此，當掃描方向為順向時，係以使電晶體 NT51、NT53、NT55、NT57 及 NT59 呈導通狀態的方式，且電晶體 NT52、NT54、NT56、NT58 及 NT60 呈不導通狀態的方式進行控制。此外，當掃描方向為逆向時，係以使掃描方向切換信號 CSV 成為 L 位準 (VBB)、且反轉掃描方向切換信號 XCSV 成為 H 位準 (VDD) 的方式進行控制。因此，當掃描方向為逆向時，係以使電晶體 NT51、NT53、NT55、NT57 及 NT59 呈不導通狀態的方式，且電晶體 NT52、NT54、NT56、NT58 及 NT60 呈導通狀態的方式進行控制。

此外，第 1 段之移位暫存器電路部 51 的電晶體 NT1 的閘極係連接於掃描方向切換電路部 60 之電晶體 NT51 的源極／汲極的另一方 (電晶體 NT52 的源極／汲極的一方)，同時，第 1 段之移位暫存器電路部 51 的節點 ND3 係連接於掃描方向切換電路部 60 之電晶體 NT57 之源極／汲極的一方。

此外，第 2 段之移位暫存器電路部 52 的電晶體 NT11 的閘極係連接於掃描方向切換電路部 60 之電晶體 NT57 的源極／汲極的另一方(電晶體 NT58 的源極／汲極的一方)，同時，第 2 段之移位暫存器電路部 52 的節點 ND3 係連接於掃描方向切換電路部 60 之電晶體 NT52 之源極／汲極的另一方(電晶體 NT53 的源極／汲極的一方)。

此外，第 3 段之移位暫存器電路部 53 的電晶體 NT21 的閘極係連接於掃描方向切換電路部 60 之電晶體 NT53 的源極／汲極的另一方(電晶體 NT54 的源極／汲極的一方)，同時，第 3 段之移位暫存器電路部 53 的節點 ND3 係連接於掃描方向切換電路部 60 之電晶體 NT58 之源極／汲極的另一方(電晶體 NT59 的源極／汲極的一方)。

此外，第 4 段之移位暫存器電路部 54 的電晶體 NT31 的閘極係連接於掃描方向切換電路部 60 之電晶體 NT59 的源極／汲極的另一方(電晶體 NT60 的源極／汲極的一方)，同時，第 4 段之移位暫存器電路部 54 的節點 ND3 係連接於掃描方向切換電路部 60 之電晶體 NT54 之源極／汲極的另一方(電晶體 NT55 的源極／汲極的一方)。

此外，第 5 段之移位暫存器電路部 55 的電晶體 NT41 的閘極係連接於掃描方向切換電路部 60 之電晶體 NT55 的源極／汲極的另一方，同時，第 5 段之移位暫存器電路部 55 的節點 ND3 係連接於掃描方向切換電路部 60 之電晶體 NT60 之源極／汲極的另一方。

將各段之移位暫存器電路部 51 至 55 與掃描方向切換

電路部 60 連接成如上所述，藉此控制成：按照掃描方向，於預定段之移位暫存器電路部的第 1 電路部，相對於掃描方向輸入前段的輸出信號(SR11 至 SR15)。但是，對於掃描方向為順向時的前頭段的移位暫存器電路部 51 的第 1 電路部 51a 係輸入有開始信號 STV。

此外，輸入信號切換電路部 70 係包含：閘極連接於掃描方向切換信號線(CSV)的 n 通道電晶體 NT61 至 NT70；以及閘極連接於反轉掃描方向切換信號線(XCSV)的 n 通道電晶體 NT71 至 NT80。以下，n 通道電晶體 NT61 至 NT80 係分別稱為電晶體 NT61 至 NT80。此外，構成輸入信號切換電路部 70 的電晶體 NT61 至 NT80 全部均係藉由由 n 型 MOS 電晶體構成的 TFT 所構成。

此外，連接於掃描方向切換信號線(CSV)的 n 通道電晶體與連接於反轉掃描方向切換信號線(XCSV)的 n 通道電晶體係相對於各段的移位暫存器電路部 51 至 55 分別配置 2 個。具體而言，對應於第 1 段的移位暫存器電路部 51，配置有：閘極連接於掃描方向切換信號線(CSV)的電晶體 NT61 及 NT62；以及閘極連接於反轉掃描方向切換信號線(XCSV)的電晶體 NT71 及 NT72。電晶體 NT61 及 NT71 的源極／汲極的一方係連接於第 1 段的移位暫存器電路部 51 的電晶體 NT2 的閘極。電晶體 NT61 的源極／汲極的另一方係連接於第 2 段的移位暫存器電路部 52 的節點 ND2，同時，電晶體 NT71 的源極／汲極的另一方係連接於正側電位 VDD。此外，電晶體 NT62 及 NT72 的源極／汲極的一方係連

接於第 1 段的移位暫存器電路部 51 的電晶體 NT7 的閘極。電晶體 NT62 的源極／汲極的另一方係連接於供應有開始信號 STV 之掃描方向切換電路部 60 的電晶體 NT51 的源極／汲極的另一方(電晶體 NT52 的源極／汲極的一方)以及電晶體 NT1 的閘極，同時，電晶體 NT72 的源極／汲極的另一方係連接於第 2 段的移位暫存器電路部 52 的節點 ND2。

此外，對應於第 2 段的移位暫存器電路部 52，配置有：閘極連接於掃描方向切換信號線(CSV)的電晶體 NT63 及 NT64；以及閘極連接於反轉掃描方向切換信號線(XCSV)的電晶體 NT73 及 NT74。電晶體 NT63 及 NT73 的源極／汲極的一方係連接於第 2 段的移位暫存器電路部 52 的電晶體 NT12 的閘極。電晶體 NT63 的源極／汲極的另一方係連接於第 3 段的移位暫存器電路部 53 的節點 ND2，同時，電晶體 NT73 的源極／汲極的另一方係連接於第 1 段的移位暫存器電路部 51 的節點 ND2。此外，電晶體 NT64 及 NT74 的源極／汲極的一方係連接於第 2 段的移位暫存器電路部 52 的電晶體 NT17 的閘極。電晶體 NT64 的源極／汲極的另一方係連接於第 1 段的移位暫存器電路部 51 的節點 ND2，同時，電晶體 NT74 的源極／汲極的另一方係連接於第 3 段的移位暫存器電路部 53 的節點 ND2。

此外，對應於第 3 段的移位暫存器電路部 53，配置有：閘極連接於掃描方向切換信號線(CSV)的電晶體 NT65 及 NT66；以及閘極連接於反轉掃描方向切換信號線(XCSV)的電晶體 NT75 及 NT76。電晶體 NT65 及 NT75 的源極／汲極

的一方係連接於第 3 段的移位暫存器電路部 53 的電晶體 NT22 的閘極。電晶體 NT65 的源極／汲極的另一方係連接於第 4 段的移位暫存器電路部 54 的節點 ND2，同時，電晶體 NT75 的源極／汲極的另一方係連接於第 2 段的移位暫存器電路部 52 的節點 ND2。此外，電晶體 NT66 及 NT76 的源極／汲極的一方係連接於第 3 段的移位暫存器電路部 53 的電晶體 NT27 的閘極。電晶體 NT66 的源極／汲極的另一方係連接於第 2 段的移位暫存器電路部 52 的節點 ND2，同時，電晶體 NT76 的源極／汲極的另一方係連接於第 4 段的移位暫存器電路部 54 的節點 ND2。

此外，對應於第 4 段的移位暫存器電路部 54，配置有：閘極連接於掃描方向切換信號線(CSV)的電晶體 NT67 及 NT68；以及閘極連接於反轉掃描方向切換信號線(XCSV)的電晶體 NT77 及 NT78。電晶體 NT67 及 NT77 的源極／汲極的一方係連接於第 4 段的移位暫存器電路部 54 的電晶體 NT32 的閘極。電晶體 NT67 的源極／汲極的另一方係連接於第 5 段的移位暫存器電路部 55 的節點 ND2，同時，電晶體 NT77 的源極／汲極的另一方係連接於第 3 段的移位暫存器電路部 53 的節點 ND2。此外，電晶體 NT68 及 NT78 的源極／汲極的一方係連接於第 4 段的移位暫存器電路部 54 的電晶體 NT37 的閘極。電晶體 NT68 的源極／汲極的另一方係連接於第 3 段的移位暫存器電路部 53 的節點 ND2，同時，電晶體 NT78 的源極／汲極的另一方係連接於第 5 段的移位暫存器電路部 55 的節點 ND2。

此外，對應於第 5 段的移位暫存器電路部 55，配置有：開極連接於掃描方向切換信號線(CSV)的電晶體 NT69 及 NT70；以及開極連接於反轉掃描方向切換信號線(XCSV)的電晶體 NT79 及 NT80。電晶體 NT69 及 NT79 的源極／汲極的一方係連接於第 5 段的移位暫存器電路部 55 的電晶體 NT42 的開極。電晶體 NT69 的源極／汲極的另一方係連接於未圖示之第 6 段的移位暫存器電路部的節點 ND2，同時，電晶體 NT79 的源極／汲極的另一方係連接於第 4 段的移位暫存器電路部 54 的節點 ND2。此外，電晶體 NT70 及 NT80 的源極／汲極的一方係連接於第 5 段的移位暫存器電路部 55 的電晶體 NT47 的開極。電晶體 NT70 的源極／汲極的另一方係連接於第 4 段的移位暫存器電路部 54 的節點 ND2，同時，電晶體 NT80 的源極／汲極的另一方係連接於未圖示之第 6 段的移位暫存器電路部的節點 ND2。

藉由將構成輸入信號切換電路部 70 的電晶體 NT61 至 NT80 構成如上所述，當掃描方向為順向時，係控制成：電晶體 NT61 至 NT70 呈導通狀態，而且，電晶體 NT71 至 NT80 呈不導通狀態。此外，藉由將各段的移位暫存器電路部 51 至 55 與輸入信號切換電路部 70 連接成如上所述，而控制成：按照掃描方向，於預定段之移位暫存器電路部的第 1 電路部，相對於掃描方向輸入下一段的移位信號(SR1 至 SR5)，而且，於預定段之移位暫存器電路部的第 2 電路部，相對於掃描方向輸入前段的移位信號(SR1 至 SR5)。但是，對於初段的移位暫存器電路部 51 的第 1 電路部 51a 係輸入

有開始信號 STV。

此外，邏輯合成電路部 81 至 83 係分別連接於假閘極線 (Dummy)、第 1 段的閘極線 (Gate1) 及第 2 段的閘極線 (Gate2)。其中，假閘極線 (Dummy) 係為未連接於設在顯示部 2 之像素 20 (參照第 1 圖) 的閘極線。此外，邏輯合成電路部 81 至 83 係分別構成為：將由所對應之預定段的移位暫存器電路部輸出的移位信號與由該預定段之下一段的移位暫存器電路部輸出的移位信號予以邏輯合成，而將移位輸出信號輸出至各段的閘極線。此外，連接於假閘極線 (Dummy) 的邏輯合成電路部 81 係包含：n 通道電晶體 NT81 至 NT84；呈二極體連接之 n 通道電晶體 NT85；以及電容 C81。其中，n 通道電晶體 NT81 係本發明之「第 2 電晶體」之一例，n 通道電晶體 NT82 係本發明之「第 3 電晶體」之一例。以下，n 通道電晶體 NT81 至 NT85 係分別稱為電晶體 NT81 至 NT85。

此外，電晶體 NT83 至 NT85 係藉由電容 C81 而構成有電位固定電路部 81a。該電位固定電路部 81a 係當由邏輯合成電路部 81 輸出 L 位準的移位輸出信號至假閘極線 (Dummy) 時，為了固定該移位輸出信號的 L 位準的電位而設。此外，構成邏輯合成電路部 81 的電晶體 NT81 至 NT85 全部均係藉由由 n 型 MOS 電晶體構成的 TFT 所構成。此外，電晶體 NT81 的汲極係連接於致能信號線 (ENB)，同時，源極係連接於電晶體 NT82 的汲極。此外，電晶體 NT82 的源極係連接於節點 ND4 (假閘極線)。電晶體 NT81 的閘極係連

接於輸出有第 2 段之移位暫存器電路部 52 之移位信號 SR2 的節點 ND2，同時，電晶體 NT82 的閘極係連接於輸出有第 3 段之移位暫存器電路部 53 之移位信號 SR3 的節點 ND2。

此外，電晶體 NT83 的源極係連接於負側電位 VBB，同時，汲極係連接於節點 ND4(假閘極線)。該電晶體 NT83 的閘極係連接於節點 ND5。此外，電晶體 NT84 的源極係連接於負側電位 VBB，同時，汲極係連接於節點 ND5。該電晶體 NT84 的閘極係連接於節點 ND4(假閘極線)。此外，電容 C81 的一方的電極係連接於負側電位 VBB，同時，另一方的電極係連接於節點 ND5。此外，節點 ND5 係經由電晶體 NT85 而連接於反轉致能信號線(XENB)。

此外，連接於第 1 段之閘極線(Gate1)的邏輯合成電路部 82 係具有與連接於假閘極線(Dummy)之邏輯合成電路部 81 相同的電路構成。具體而言，連接於第 1 段之閘極線(Gate1)的邏輯合成電路部 82 係包含：對應於連接於假閘極線(Dummy)之邏輯合成電路部 81 的電晶體 NT81 至 NT85 及電容 C81 的 n 通道電晶體 NT91 至 NT95 及電容 C91。其中，n 通道電晶體 NT91 係本發明之「第 2 電晶體」之一例，n 通道電晶體 NT92 係本發明之「第 3 電晶體」之一例。以下，n 通道電晶體 NT91 至 NT95 係分別稱為電晶體 NT91 至 NT95。此外，對應於連接於假閘極線(Dummy)之邏輯合成電路部 81 之電位固定電路部 81a 的電位固定電路部 82a 係由電晶體 NT93 至 NT95 及電容 C91 所構成。

其中，於連接於第 1 段之閘極線(Gate1)的邏輯合成電

路部 82 中，電晶體 NT91 的閘極係連接於輸出有第 3 段之移位暫存器電路部 53 之移位信號 SR3 的節點 ND2，同時，電晶體 NT92 的閘極係連接於輸出有第 4 段之移位暫存器電路部 54 之移位信號 SR4 的節點 ND2。此外，節點 ND5 係經由電晶體 NT95 而連接於反轉致能信號線(XENB)。

此外，連接於第 2 段之閘極線(Gate2)的邏輯合成電路部 83 係具有與連接於假閘極線(Dummy)之邏輯合成電路部 81 相同的電路構成。具體而言，連接於第 2 段之閘極線(Gate2)的邏輯合成電路部 83 係包含：對應於連接於假閘極線(Dummy)之邏輯合成電路部 81 的電晶體 NT81 至 NT85 及電容 C81 的 n 通道電晶體 NT101 至 NT105 及電容 C101。其中，n 通道電晶體 NT101 係本發明之「第 2 電晶體」之一例，n 通道電晶體 NT102 係本發明之「第 3 電晶體」之一例。以下，n 通道電晶體 NT101 至 NT105 係分別稱為電晶體 NT101 至 NT105。此外，對應於連接於假閘極線(Dummy)之邏輯合成電路部 81 之電位固定電路部 81a 的電位固定電路部 83a 係由電晶體 NT103 至 NT105 及電容 C101 所構成。

其中，於連接於第 2 段之閘極線(Gate2)的邏輯合成電路部 83 中，電晶體 NT101 的閘極係連接於輸出有第 4 段之移位暫存器電路部 54 之移位信號 SR4 的節點 ND2，同時，電晶體 NT102 的閘極係連接於輸出有第 5 段之移位暫存器電路部 55 之移位信號 SR5 的節點 ND2。此外，節點 ND5 係經由電晶體 NT105 而連接於反轉致能信號線(XENB)。

此外，電路部 91 係包含：n 通道電晶體 NT111 至

NT113；呈二極體連接之 n 通道電晶體 NT114；以及電容 C111。以下，n 通道電晶體 NT111 至 NT114 係分別稱為電晶體 NT111 至 NT114。構成電路部 91 的電晶體 NT111 至 NT114 全部均係藉由由 n 型 MOS 電晶體構成的 TFT 所構成。

接著，電晶體 NT111 的汲極係連接於致能信號線 (ENB)，同時，源極係連接於節點 ND6。該電晶體 NT111 的閘極係連接於第 2 段之移位暫存器電路部 52 的節點 ND2。電晶體 NT112 的源極係連接於負側電位 VBB，同時，汲極係連接於節點 ND6。該電晶體 NT112 的閘極係連接於節點 ND7。電晶體 NT113 的源極係連接於負側電位 VBB，同時，汲極係連接於節點 ND7。該電晶體 NT113 的閘極係連接於節點 ND6。電容 C111 的一方的電極係連接於負側電位 VBB，同時，另一方的電極係連接於節點 ND7。此外，節點 ND6 係連接於掃描方向切換電路部 60 之電晶體 NT56 的源極／汲極的另一方。此外，節點 ND7 係經由電晶體 NT114 而連接於反轉致能信號線 (XENB)。

接著，參照第 1 圖至第 3 圖，就第 1 實施形態之液晶顯示裝置的 V 驅動器的動作加以說明。

首先，沿著第 2 圖中的順向，就時序發生移位的移位輸出信號依序輸出至各段之閘極線的情形(順向掃描的情形)加以說明。首先，藉由接通電源，將正側電位 VDD 及負側電位 VBB 供應至 V 驅動器 5 之各段的移位暫存器電路部。然後，當為順向掃描時，將掃描方向切換信號 CSV 保持在 H 位準，同時，將反轉掃描方向切換信號 XCSV 保持在

L 位準。藉此方式，當進行順向掃描時，將掃描方向切換信號 CSV 輸入至閘極的電晶體 NT51、NT53、NT55、NT57、NT59 及 NT61 至 NT70 保持在導通狀態。此外，將反轉掃描方向切換信號 XCSV 輸入至閘極的電晶體 NT52、NT54、NT56、NT58、NT60 及 NT71 至 NT80 保持在不導通狀態。然後，在初始狀態下，各段之移位暫存器電路部 51 至 55 的節點 ND1 至 ND3 的電位係形成正側電位 VDD 與負側電位 VBB 之間的不穩定電位。藉此方式，在初始狀態下，由各段之移位暫存器電路部 51 至 55 輸出的移位信號 SR1 至 SR5 與輸出信號 SR11 至 SR15 係形成正側電位 VDD 與負側電位 VBB 之間的不穩定電位。在該狀態下，如第 3 圖所示，使開始信號 STV 上升至 H 位準。

藉此方式，在第 1 實施形態中，係將 H 位準的開始信號 STV 輸入至第 4 段之移位暫存器電路部 54 之第 1 電路部 54a 的重置電晶體 NT39 的閘極。因此，由於重置電晶體 NT39 為導通，因此，經由重置電晶體 NT39 而將正側電位 VDD 供應至第 4 段之移位暫存器電路部 54 之第 1 電路部 54a 的節點 ND1。藉此方式，在初始狀態下，為正側電位 VDD 與負側電位 VBB 之間的不穩定電位的第 1 電路部 54a 的節點 ND1 的電位係被重置為正側電位 VDD(H 位準)。因此，分別對於連接於第 1 電路部 54a 的節點 ND1 的第 2 電路部 54b 的電晶體 NT36 及 NT35 的閘極施加正側電位 VDD(H 位準)。藉此方式，由於電晶體 NT36 及 NT35 為導通，因此經由電晶體 NT36 及 NT35 而分別將負側電位 VBB 供應至第 4 段之

移位暫存器電路部 54 的節點 ND2 及 ND3。

因此，在初始狀態下，為正側電位 VDD 與負側電位 VBB 之間的不穩定電位的第 4 段之移位暫存器電路部 54 的節點 ND2 及 ND3 的電位，係在開始信號 STV 為 H 位準的期間，被重置為負側電位 VBB。藉此方式，分別由第 4 段之移位暫存器電路部 54 的節點 ND2 及 ND3 輸出的移位信號 SR4 及輸出信號 SR14 係共同被重置為負側電位 VBB(L 位準)。

然後，由於 L 位準的移位信號 SR4 係被輸入至邏輯合成電路部 82 之電晶體 NT92 的閘極以及邏輯合成電路部 83 之電晶體 NT101 的閘極，因此，該等電晶體 NT92 及 NT101 係固定在不導通狀態。此外，L 位準的移位信號 SR4 係經由輸入信號切換電路部 70 呈導通狀態的電晶體 NT65，而被輸入至第 3 段之移位暫存器電路部 53 之電晶體 NT22 的閘極。藉此方式，第 3 段之移位暫存器電路部 53 之電晶體 NT22 係固定在不導通狀態。此外，L 位準的移位信號 SR4 係經由輸入信號切換電路部 70 呈導通狀態的電晶體 NT70，而被輸入至第 5 段之移位暫存器電路部 55 之電晶體 NT47 的閘極。藉此方式，第 5 段之移位暫存器電路部 55 之電晶體 NT47 係固定在不導通狀態。

此外，由第 4 段之移位暫存器電路部 54 的節點 ND3 輸出的 L 位準的輸出信號 SR14 係經由掃描方向切換電路部 60 呈導通狀態的電晶體 NT55，而被輸入至第 5 段之移位暫存器電路部 55 之電晶體 NT41 的閘極。藉此方式，第 5 段之移位暫存器電路部 55 之電晶體 NT41 係固定在不導通狀

態。

此外，在第 5 段之移位暫存器電路部 55 中，係藉由將 H 位準的開始信號 STV 輸入至第 1 電路部 55a 之重置電晶體 NT49 的閘極，而與上述第 4 段之移位暫存器電路部 54 相同地，將節點 ND1 的電位重置為正側電位 VDD(H 位準)，同時，將節點 ND2 及 ND3 的電位重置為負側電位 VBB(L 位準)。由此，分別由第 5 段之移位暫存器電路部 55 的節點 ND2 及 ND3 輸出的移位信號 SR5 及輸出信號 SR15 亦被重置為負側電位 VBB(L 位準)。然後，該 L 位準的移位信號 SR5 係被輸入至邏輯合成電路部 83 之電晶體 NT102 的閘極以及對應於邏輯合成電路部 83 之電晶體 NT101 的邏輯合成電路部 83 之下一段之邏輯合成電路部的 n 通道電晶體的閘極。藉此方式，該等電晶體係固定在不導通狀態。此外，L 位準的移位信號 SR5 係經由輸入信號切換電路部 70 呈導通狀態的電晶體 NT67，而被輸入至第 4 段之移位暫存器電路部 54 之電晶體 NT32 的閘極。藉此方式，電晶體 NT32 係固定在不導通狀態。

如上所述，在開始信號 STV 成為 H 位準的期間，係於第 4 段以後的所有移位暫存器電路部中，將節點 ND1 的電位與節點 ND2 及 ND3 的電位一次重置為正側電位 VDD 與負側電位 VBB。然後，由此，分別由第 4 段以後的移位暫存器電路部輸出的移位信號或輸出信號係被重置為負側電位 VBB(L 位準)。藉此方式，將該 L 位準的移位信號及輸出信號輸入至閘極的各段的移位暫存器電路部的電晶體與進行

各段之邏輯合成電路部之邏輯合成的電晶體係固定在不導通狀態。

此外，H 位準的開始信號 STV 係經由掃描方向切換電路部 60 呈導通狀態的電晶體 NT51，而被輸入至第 1 段之移位暫存器電路部 51 之電晶體 NT1 的閘極。因此，電晶體 NT1 係呈導通狀態。之後，輸入至電晶體 NT2 之汲極的時脈信號 CKV1 係上升至 H 位準。

此時，經由呈導通狀態的電晶體 NT61，將由第 2 段之移位暫存器電路部 52 輸出的移位信號 SR2 輸入至第 1 段之移位暫存器電路部 51 之電晶體 NT2 的閘極。其中，此時輸入至電晶體 NT2 的閘極的移位信號 SR2 雖為正側電位 VDD 與負側電位 VBB 之間的不穩定電位，但為可使電晶體 NT2 不導通的電位。藉此方式，電晶體 NT2 係呈不導通狀態。

此外，由於第 1 段之移位暫存器電路部 51 之電晶體 NT1 呈導通狀態、電晶體 NT2 呈不導通狀態，因此，經由電晶體 NT1 由負側電位 VBB 供應 L 位準的電位，藉此使節點 ND1 的電位下降至 L 位準。藉此方式，閘極連接於第 1 段之移位暫存器電路部 51 之節點 ND1 的電晶體 NT5 及 NT6 呈不導通狀態。此外，H 位準的開始信號 STV 係經由呈導通狀態的電晶體 NT51 及 NT62，而被輸入至第 1 段之移位暫存器電路部 51 之電晶體 NT7 的閘極。藉此方式，電晶體 NT7 係呈導通狀態。然後，輸入至電晶體 NT7 之汲極的時脈信號 CKV1 的電位係上升至 H 位準。

此時，即使電晶體 NT7 呈導通狀態，由於電晶體 NT6

呈導通狀態，因此貫通電流並不會經由電晶體 NT7、NT8 及 NT6 而在時脈信號線(CKV1)與負側電位 VBB 之間流通。此外，藉由經由電晶體 NT7 與呈二極體連接的電晶體 NT8 輸入 H 位準之時脈信號 CKV1，使第 1 段之移位暫存器電路部 51 的節點 ND2 的電位上升至 H 位準。藉此方式，電晶體 NT4 係呈導通狀態。然後，將 H 位準(VDD)的電位由正側電位 VDD 經由電晶體 NT4 供應至節點 ND3。

此時，即使電晶體 NT4 呈導通狀態，由於電晶體 NT5 呈導通狀態，因此貫通電流並不會經由電晶體 NT4 及 NT5 而在正側電位 VDD 與負側電位 VBB 之間流通。然後，將 H 位準(VDD)的電位由正側電位 VDD 經由電晶體 NT4 供應至節點 ND3，藉此使第 1 段之移位暫存器電路部 51 的節點 ND3 的電位上升至 VDD 側。此時，俾為藉由電容 C3 來維持電晶體 NT4 的閘極-源極間電壓，第 1 段之移位暫存器電路部 51 的節點 ND2 的電位係伴隨著節點 ND3 的電位的上升而啟動(boot)而藉此上升。藉此方式，節點 ND2 的電位係上升至比 VDD 還高電晶體 NT4 的臨限值電壓(V_t)以上的預定電壓(V_α)份的電位。結果由第 1 段之移位暫存器電路部 51 的節點 ND2，輸出具有 $VDD+V_t$ 以上的電位($VDD+V_\alpha$)的 H 位準的移位信號 SR1。此外，同時由第 1 段之移位暫存器電路部 51 的節點 ND3，輸出 H 位準(VDD)的輸出信號 SR11。

然後，第 1 段之移位暫存器電路部 51 的 H 位準(VDD)的輸出信號 SR11 係經由呈導通狀態的電晶體 NT57 而被輸入至第 2 段之移位暫存器電路部 52 的電晶體 NT11 的閘

極。藉此方式，電晶體 NT11 係呈導通狀態。然後，第 1 段之移位暫存器電路部 51 的 H 位準 ($V_{DD}+V_{\alpha}$) 的移位信號 SR1 係被輸入至呈導通狀態的電晶體 NT64 的汲極。此時，電晶體 NT64 的閘極電壓係與掃描方向切換信號 CSV 的電位 (V_{DD}) 相等，因此，連接於電晶體 NT64 之源極的電晶體 NT17 的閘極電壓係被充電至 ($V_{DD}-V_t$)。藉此方式，電晶體 NT17 係呈導通狀態。

此外，經由呈導通狀態的電晶體 NT63，將由第 3 段之移位暫存器電路部 53 的節點 ND2 輸出的移位信號 SR3 輸入至第 2 段之移位暫存器電路部 52 的電晶體 NT12 的閘極。其中，此時輸入至電晶體 NT12 的閘極的移位信號 SR3 雖為正側電位 V_{DD} 與負側電位 V_{BB} 之間的不穩定電位，但為可使電晶體 NT12 不導通的電位。藉此方式，電晶體 NT12 係呈不導通狀態。

之後，輸入至第 2 段之移位暫存器電路部 52 的電晶體 NT17 的汲極的時脈信號 CKV2 的電位係由 L 位準 (V_{BB}) 上升至 H 位準 (V_{DD})。藉此方式，在電晶體 NT17 中，藉由電容 C14 的功能，一面保持閘極-源極間電壓，一面使閘極電位由 $V_{DD}-V_t$ 上升 V_{DD} 與 V_{BB} 的電位差份。因此，第 2 段之移位暫存器電路部 52 的節點 ND2 的電位係上升至 H 位準 (V_{DD}) 的電位，而非降低電晶體 NT17 之臨限值電壓 (V_t) 份。之後，與上述之第 1 段之移位暫存器電路部 51 的動作相同地，由第 2 段之移位暫存器電路部 52 的節點 ND2，輸出具有 $V_{DD}+V_t$ 以上的電位 ($V_{DD}+V_{\alpha}$) 的 H 位準的移位信號

SR2。此外，同時由第 2 段之移位暫存器電路部 52 的節點 ND3，輸出 H 位準(VDD)的輸出信號 SR12。

然後，第 2 段之移位暫存器電路部 52 的 H 位準($VDD + V_{\alpha} > VDD + V_t$)的移位信號 SR2，係被輸入至連接於假閘極線之邏輯合成電路部 81 之電晶體 NT81 的閘極。此外，H 位準($VDD + V_{\alpha} > VDD + V_t$)的移位信號 SR2 係被輸入至藉由將 VDD 之掃描方向切換信號 CSV 輸入至閘極而呈導通的電晶體 NT61 及 NT66 的汲極。藉此方式，電晶體 NT61 及 NT66 的源極電位係成為($VDD - V_t$)，因此對於第 1 段之移位暫存器電路部 51 之電晶體 NT2 的閘極與第 3 段之移位暫存器電路部 53 之電晶體 NT27 的閘極係輸入有($VDD - V_t$)的電位。此外，H 位準(VDD)的輸出信號 SR12 係經由呈導通狀態的電晶體 NT53 而被輸入至第 3 段之移位暫存器電路部 53 之電晶體 NT21 的閘極。

然後，連接於假閘極線之邏輯合成電路部 81 之電晶體 NT81 係藉由將 H 位準($VDD + V_{\alpha}$)的移位信號 SR2 輸入至閘極，而呈導通狀態。此時，電晶體 NT83 係保持在導通狀態，因此，經由電晶體 NT83 而將負側電位 VBB 供應至節點 ND4。此外，此時，對於電晶體 NT82 的閘極係由第 3 段之移位暫存器電路部 53 的節點 ND2 輸入有正側電位 VDD 與負側電位 VBB 之間的不穩定電位的移位信號 SR3。藉此方式，電晶體 NT82 係有形成意料之外之導通狀態的情形。

當電晶體 NT82 形成意料之外之導通狀態時，係藉由經由電晶體 NT81 及 NT82 所供應的致能信號 ENB，使節點 ND4

的電位上升至比 VBB 還高的電位。藉此方式，會有由邏輯合成電路部 81 的節點 ND4，在意料之外的時序將電位比 VBB 還高的移位輸出信號 Dummy 輸出至假閘極線的情形。其中，即使如上所述在意料之外的時序將電位比 VBB 還高的移位輸出信號 Dummy 輸出至假閘極線，由於假閘極線並未連接於像素 20(參照第 1 圖)，因此幾乎不會對於影像顯示造成影響。

此外，由電晶體 NT61 將 $(VDD-V_t)$ 的電位輸入至閘極，藉此使第 1 段之移位暫存器電路部 51 之電晶體 NT2 呈導通狀態。然後輸入至電晶體 NT2 及 NT7 之汲極的時脈信號 CKV1 的電位係降低至 L 位準。此時，第 1 段之移位暫存器電路部 51 的節點 ND1 的電位係保持在 L 位準。藉此方式，第 1 段之移位暫存器電路部 51 的電晶體 NT5 及 NT6 係保持在不導通狀態。

此外，由於時脈信號 CKV1 降低至 L 位準，電晶體 NT8 的閘極電壓係降低至 L 位準，因此，電晶體 NT8 係呈不導通狀態。藉此方式，由於第 1 段之移位暫存器電路部 51 的節點 ND2 的電位係保持在 H 位準 $(VDD+V_\alpha)$ ，因此，由第 1 段之移位暫存器電路部 51 持續輸出 H 位準 $(VDD+V_\alpha)$ 的移位信號 SR1。此外，藉由將第 1 段之移位暫存器電路部 51 的節點 ND2 的電位保持在 H 位準 $(VDD+V_\alpha)$ ，使電晶體 NT4 保持在導通狀態，因此，由第 1 段之移位暫存器電路部 51 之節點 ND3 持續輸出 H 位準 (VDD) 的輸出信號 SR11。

此外，由電晶體 NT66 將 $(VDD-V_t)$ 的電位輸入至閘極，

藉此使第 3 段之移位暫存器電路部 53 之電晶體 NT27 呈導通狀態。此外，電晶體 NT21 係藉由將 H 位準(VDD)的輸出信號 SR12 輸入至閘極而呈導通狀態。此時，第 3 段之移位暫存器電路部 53 之電晶體 NT22 係固定在不導通狀態。然後，由於電晶體 NT21 導通而經由電晶體 NT21 供應有負側電位 VBB，藉此使第 3 段之移位暫存器電路部 53 的節點 ND1 的電位係固定在負側電位 VBB(L 位準)。藉此方式，電晶體 NT25 及 NT26 係呈不導通狀態。

此時，由於由時脈信號線(CKV1)經由呈導通狀態的電晶體 NT27 供應至電晶體 NT28 之閘極的時脈信號 CKV1 係由 H 位準(VDD)下降至 L 位準(VBB)，因此，電晶體 NT28 係呈不導通狀態。藉此方式，第 3 段之移位暫存器電路部 53 的節點 ND2 的電位係保持在正側電位 VDD 與負側電位 VBB 之間的不穩定電位。因此，由第 3 段之移位暫存器電路部 53 的節點 ND2，持續輸出正側電位 VDD 與負側電位 VBB 之間的不穩定電位的移位信號 SR3。此外，此時，使第 3 段之移位暫存器電路部 53 的節點 ND3 的電位亦保持在正側電位 VDD 與負側電位 VBB 之間的不穩定電位，藉此由第 3 段之移位暫存器電路部 53 的節點 ND3，持續輸出正側電位 VDD 與負側電位 VBB 之間的不穩定電位的輸出信號 SR13。

然後，開始信號 STV 的電位係下降至 L 位準。藉此方式，第 1 段之移位暫存器電路部 51 的電晶體 NT1 係呈不導通狀態。因此，第 1 段之移位暫存器電路部 51 的節點 ND1 的電位係保持在 L 位準，因此，電晶體 NT5 及 NT6 係保持

在不導通狀態。此外，由於開始信號 STV 的電位下降至 L 位準，開始信號 STV 經由電晶體 NT51 及 NT62 而被輸入至閘極的電晶體 NT7 亦呈不導通狀態。藉此方式，第 1 段之移位暫存器電路部 51 的節點 ND2 的電位係保持在 H 位準 ($V_{DD} + V_{\alpha}$)，同時，節點 ND3 的電位係保持在 H 位準 (V_{DD})。因此，由第 1 段之移位暫存器電路部 51 持續輸出 H 位準 ($V_{DD} + V_{\alpha}$) 的移位信號 SR1 與 H 位準 (V_{DD}) 的輸出信號 SR11。

此外，由於下降至 L 位準的開始信號 STV 亦輸入至與第 4 段之移位暫存器電路部 54 的重置電晶體 NT39、第 5 段之移位暫存器電路部 55 的重置電晶體 NT49 及未圖示之第 6 段以後的移位暫存器電路部的上述重置電晶體 NT39 及 NT49 相對應的 n 通道電晶體的閘極，因此該等電晶體係呈導通。藉此方式，於第 4 段以後的移位暫存器電路部中，節點 ND1 係一面保持 H 位準的電位，一面形成浮動 (floating) 狀態，同時，節點 ND2 及 ND3 的電位係保持在 L 位準。因此，由第 4 段以後的移位暫存器電路部的節點 ND2 輸出的移位信號與由節點 ND3 輸出的輸出信號係一同保持在 L 位準。

之後，輸入至第 3 段之移位暫存器電路部 53 的電晶體 NT27 的汲極的時脈信號 CKV1 係上升至 H 位準。藉此方式，由於第 3 段之移位暫存器電路部 53 的節點 ND2 的電位係上升至 H 位準 (V_{DD})，因此移位信號 SR3 的電位係上升至 H 位準。此外，閘極連接於第 3 段之移位暫存器電路部 53

的節點 ND2 的電晶體 NT24 係呈導通狀態。此時，由於將 L 位準的致能信號 ENB1 供應至電晶體 NT24 的汲極，因此電晶體 NT24 的源極電位(節點 ND3 的電位)係保持在 L 位準。

之後，在第 1 實施形態中，致能信號 ENB1 的電位由 L 位準上升至 H 位準。藉此方式，由於第 3 段之移位暫存器電路部 53 的節點 ND3 的電位上升至 H 位準(VDD)，因此輸出信號 SR13 的電位亦上升至 H 位準(VDD)。其中，此時，為了藉由電容 C23 來維持電晶體 NT24 的閘極-源極間電壓，第 3 段之移位暫存器電路部 53 的節點 ND2 的電位係伴隨著節點 ND3 的電位的上升而啟動(boot)，而藉此由 VDD 更加上升。藉此方式，第 3 段之移位暫存器電路部 53 的節點 ND2 的電位係上升至比 VDD 還高臨限值電壓(V_t)以上的預定電壓(V_β)份的電位($VDD + V_\beta > VDD + V_t$)。其中，此時的節點 ND2 的電位($VDD + V_\beta$)係為比上述之第 1 段之移位暫存器電路部 51 及第 2 段之移位暫存器電路部 52 中之上升後的節點 ND2 的電位($VDD + V_\alpha$)還要更高的電位。接著，由第 3 段之移位暫存器電路部 53 的節點 ND2 輸出具有 $VDD + V_t$ 以上的電位($VDD + V_\beta$)的 H 位準的移位信號 SR3。

接著，H 位準($VDD + V_\beta > VDD + V_t$)的移位信號 SR3 係被輸入至連接於假閘極線之邏輯合成電路部 81 的電晶體 NT82 的閘極及連接於第 1 段之閘極線的邏輯合成電路部 82 的電晶體 NT91 的閘極。而且，H 位準($VDD + V_\beta > VDD + V_t$)的移位信號 SR3 係被輸入至呈導通狀態的電晶體 NT63 的汲極，同時，被輸入至呈導通狀態的電晶體 NT68 的汲極。此

外，H 位準(VDD)的輸出信號 SR13 係經由呈導通狀態的電晶體 NT59 而被輸入至第 4 段之移位暫存器電路部 54 的電晶體 NT31 的閘極。

此時，在第 1 實施形態中，於連接於假閘極線之邏輯合成電路部 81 中，分別輸入至電晶體 NT81 及 NT82 的閘極的移位信號 SR2 與移位信號 SR3 雙方均成為 H 位準，因此，電晶體 NT81 及電晶體 NT82 雙方均呈導通狀態。藉此方式，由致能信號線(ENB)經由電晶體 NT81 及 NT82 將致能信號 ENB 供應至節點 ND4。該致能信號 ENB 係在移位信號 SR1 及 SR2 雙方均為 H 位準的時間點為 L 位準，在其稍微之後的期間後，電位即由 L 位準切換至 H 位準。藉此方式，由於連接於假閘極線之邏輯合成電路部 81 之節點 ND4 的電位由 L 位準上升至 H 位準，因此，由邏輯合成電路部 81 將 H 位準的移位輸出信號 Dummy 輸出至假閘極線。亦即，在致能信號 ENB 為 L 位準的期間，移位輸出信號 Dummy 的電位係被強制性地保持在第 2 電位，同時，隨著致能信號 ENB 的電位由 L 位準上升至 H 位準，而上升至 H 位準。

其中，此時，隨著連接於假閘極線之邏輯合成電路部 81 之節點 ND4 的電位(移位輸出信號 Dummy 的電位)上升至 H 位準，閘極連接於節點 ND4 的電晶體 NT84 係呈導通狀態。藉此方式，由於經由電晶體 NT84 由負側電位 VBB 將 L 位準的電位供應至電晶體 NT83 的閘極，因此，電晶體 NT83 係呈不導通狀態。因此，在電晶體 NT81 及 NT82 雙方均呈導通狀態的情形時，電晶體 NT83 亦呈不導通狀態，因此，

可抑制貫通電流經由電晶體 NT81、NT82 及 NT83，而在致能信號線(ENB)與負側電位 VBB 之間流通。

此外，在第 1 實施形態中，對於電晶體 NT81 及 NT82 的閘極分別輸入有比 VDD 還高臨限值電壓(V_t)以上的預定電壓(V_α 或 V_β)份的電位($VDD+V_\alpha$ 或 $VDD+V_\beta$)的 H 位準的移位信號 SR2 及 SR3。藉此方式，當將具有 VDD 的電位的 H 位準的致能信號 ENB 供應至電晶體 NT81 的汲極時，可抑制在連接於假閘極線之邏輯合成電路部 81 之節點 ND4 所出現的電位，由 VDD 下降電晶體 NT81 及 NT82 之臨限值電壓(V_t)份。因此，可抑制由邏輯合成電路部 81 輸出至假閘極線的移位輸出信號 Dummy 的電位由 H 位準下降。

此外，在連接於第 1 段之閘極線的邏輯合成電路部 82 中，藉由將第 3 段之移位暫存器電路部 53 的 H 位準($VDD+V_\beta$)的移位信號 SR3 輸入至電晶體 NT91 的閘極，而使電晶體 NT91 呈導通。此時，由於電晶體 NT92 固定在不導通狀態，因此，並不會由致能信號線(ENB)經由電晶體 NT91 及 NT92 將致能信號 ENB 供應至節點 ND4。

其中，在該時間點之前的反轉致能信號 XENB 為 H 位準的期間，閘極連接於反轉致能信號線(XENB)的電晶體 NT95 呈導通。藉此方式，經由電晶體 NT95 而將 H 位準的反轉致能信號 XENB 供應至邏輯合成電路部 82 的節點 ND5。因此，閘極連接於節點 ND5 的電晶體 NT93 呈導通，同時使電容 C91 充電。藉此方式，經由電晶體 NT93 而將負側電位 VBB(L 位準)供應至邏輯合成電路部 82 的節點 ND4。因此，由邏

輯合成電路部 82 將 L 位準的移位輸出信號 Gate1 輸出至第 1 段的閘極線。其中，此時，由於邏輯合成電路部 82 的節點 ND4 的電位成為 L 位準，而使閘極連接於該節點 ND4 的電晶體 NT94 呈不導通狀態。藉此方式，邏輯合成電路部 82 的節點 ND5 的電位係保持在 H 位準。

然後，當反轉致能信號 XENB 的電位由 H 位準切換至 L 位準時，電晶體 NT95 係呈不導通，因此 L 位準的反轉致能信號 XENB 並不會經由電晶體 NT95 而供應至節點 ND5。藉此方式，電晶體 NT93 係保持在導通狀態，因此，經由電晶體 NT93，持續供應負側電位 VBB 至節點 ND4。因此，除了反轉致能信號 XENB 為 H 位準的期間之外，在反轉致能信號 XENB 為 L 位準的期間亦由邏輯合成電路部 82 的節點 ND4 輸出 L 位準的移位輸出信號 Gate1 至第 1 段的閘極線。

此外，H 位準 ($V_{DD} + V_{\beta} > V_{DD} + V_t$) 的移位信號 SR3 係被輸入至藉由將 VDD 的掃描方向切換信號 CSV 輸入至閘極而呈導通的電晶體 NT63 的汲極，藉此使電晶體 NT63 的源極電位成為 ($V_{DD} - V_t$)。藉此方式，對於第 2 段之移位暫存器電路部 52 的電晶體 NT12 的閘極係輸入有 ($V_{DD} - V_t$) 的電位。因此，電晶體 NT12 呈導通狀態。此時，時脈信號 CKV2 的電位為 L 位準。藉此方式，第 2 段之移位暫存器電路部 52 的節點 ND1 的電位係保持在 L 位準，因此，電晶體 NT15 及 NT16 係保持在不導通狀態。此外，此時，電晶體 NT18 的閘極電位係藉由時脈信號 CKV2 而成為 L 位準，因此，電晶體 NT18 係呈不導通。因此，節點 ND2 的電位係保持在 H

位準 ($V_{DD} + V_{\alpha}$)。藉此方式，由第 2 段之移位暫存器電路部 52 持續輸出 H 位準 ($V_{DD} + V_{\alpha}$) 的移位信號 SR2。此外，將電晶體 NT15 保持在不導通狀態，藉此將第 2 段之移位暫存器電路部 52 的節點 ND3 的電位保持在 H 位準 (V_{DD})。藉此方式，由第 2 段之移位暫存器電路部 52 持續輸出 H 位準 (V_{DD}) 的輸出信號 SR12。

此外，在第 1 段之移位暫存器電路部 51 中，由將 H 位準 ($V_{DD} + V_{\alpha}$) 的移位信號 SR2 輸入至汲極的電晶體 NT61，持續將 ($V_{DD} - V_t$) 的電位輸入至閘極，藉此使電晶體 NT2 保持在導通狀態。在該狀態下，時脈信號 CKV1 由 L 位準 (V_{BB}) 上升至 H 位準 (V_{DD})，因此，使電晶體 NT2 的源極電位上升。此時，在電晶體 NT2 中，藉由電容 C2 而一面保持閘極-源極間電壓，一面使閘極電位由 ($V_{DD} - V_t$) 上升 V_{DD} 與 V_{DD} 的電位差份。藉此方式，第 1 段之移位暫存器電路部 51 的節點 ND1 的電位 (電晶體 NT2 的源極電位) 係上升至 H 位準 (V_{DD}) 的電位，而非降低電晶體 NT2 的臨限值電壓 (V_t) 份。

然後，由於第 1 段之移位暫存器電路部 51 的節點 ND1 的電位上升至 H 位準，電晶體 NT5 及 NT6 呈導通狀態。此時，由於電晶體 NT7 為不導通狀態，因此，經由電晶體 NT6 由負側電位 V_{BB} 供應 L 位準的電位，藉此使第 1 段之移位暫存器電路部 51 的節點 ND2 的電位下降至 L 位準。藉此方式，由第 1 段之移位暫存器電路部 51 輸出的移位信號 SR1 的電位係下降至 L 位準。此外，由於節點 ND2 的電位下降

至 L 位準，電晶體 NT4 係呈不導通狀態。藉此方式，經由電晶體 NT5 由負側電位 VBB 供應 L 位準的電位，藉此使第 1 段之移位暫存器電路部 51 的節點 ND3 的電位下降至 L 位準。因此，由第 1 段之移位暫存器電路部 51 輸出的輸出信號 SR11 的電位係下降至 L 位準。此外，在第 1 段之移位暫存器電路部 51 的節點 ND1 的電位上升至 H 位準時，使電容 C1 充電。藉此方式，接著在電晶體 NT1 呈導通狀態，且經由電晶體 NT1 由負側電位 VBB 供應 L 位準的電位為止，使節點 ND1 的電位保持在 H 位準。因此，接著在電晶體 NT1 呈導通狀態為止，使電晶體 NT5 及 NT6 保持在導通狀態，因此，移位信號 SR1 及輸出信號 SR11 的電位係保持在 L 位準。

然後，致能信號 ENB 的電位由 H 位準下降至 L 位準。藉此方式，在連接於假閘極線的邏輯合成電路部 81 中，藉由經由電晶體 NT81 及 NT82 供應 L 位準的電位，而使節點 ND4 的電位下降至 L 位準。因此，由邏輯合成電路部 81 輸出至假閘極線的移位輸出信號 Dummy 的電位係下降至 L 位準。此外，在致能信號 ENB 由 H 位準下降至 L 位準的同時，反轉致能信號 XENB 由 L 位準上升至 H 位準。藉此方式，H 位準的反轉致能信號 XENB 係經由連接於假閘極線之邏輯合成電路部 81 的呈二極體連接的電晶體 NT85，而被輸入至電晶體 NT83 的閘極。藉此方式，電晶體 NT83 係呈導通狀態。因此，藉由經由電晶體 NT83 由負側電位 VBB 供應 L 位準的電位，使連接於假閘極線之邏輯合成電路部 81 的節

點 ND4 的電位固定在 L 位準。藉此方式，由邏輯合成電路部 81 輸出至假閘極線的移位輸出信號 Dummy 的電位係固定在 L 位準。

此外，在 H 位準的反轉致能信號 XENB 被輸入至電晶體 NT83 的閘極時，使電容 C81 充電。藉此方式，接著，在電晶體 NT84 呈導通狀態而由負側電位 VBB 經由電晶體 NT84 供應 L 位準的電位為止，節點 ND5 的電位（電晶體 NT83 的閘極電位）係保持在 H 位準。因此，接著在電晶體 NT84 呈導通狀態為止，電晶體 NT83 係保持在導通狀態，因此，由邏輯合成電路部 81 輸出至假閘極線的移位輸出信號 Dummy 的電位係在固定在 L 位準的狀態下予以保持。

此外，由於時脈信號 CKV2 上升至 H 位準，於第 2 段之移位暫存器電路部 52 中，經由呈導通狀態的電晶體 NT12 而將 H 位準的時脈信號 CKV2 供應至節點 ND1。藉此方式，閘極連接於節點 ND1 的電晶體 NT15 及 NT16 係呈導通狀態。因此，經由電晶體 NT16 而由負側電位 VBB 供應 L 位準的電位至節點 ND2。藉此方式，由第 2 段之移位暫存器電路部 52 的節點 ND2 輸出的移位信號 SR2 的電位係下降至 L 位準。此外，由於節點 ND2 下降至 L 位準，而使電晶體 NT14 呈不導通。藉此方式，藉由經由電晶體 NT15 而由負側電位 VBB 供應 L 位準的電位，而使節點 ND3 的電位下降至 L 位準。藉此方式，由第 2 段之移位暫存器電路部 52 的節點 ND3 輸出的輸出信號 SR12 的電位係下降至 L 位準。

此外，在第 4 段之移位暫存器電路部 54 中，由將 H

位準 ($V_{DD} + V_{\beta}$) 的移位信號 SR3 輸入至汲極的電晶體 NT68，將 ($V_{DD} - V_t$) 的電位輸入至電晶體 NT37 的閘極。此外，將 H 位準 (V_{DD}) 的輸出信號 SR13 輸入至電晶體 NT31 的閘極。此外，電晶體 NT32 係固定在不導通狀態。在該狀態下，在輸入至電晶體 NT37 的汲極的時脈信號 CKV2 的電位上升至 H 位準 (V_{DD}) 之後，輸入至電晶體 NT34 的汲極的致能信號 ENB2 的電位由 L 位準 (V_{BB}) 上升至 H 位準 (V_{DD})。藉此方式，與上述之第 3 段之移位暫存器電路部 53 的動作相同地，由第 4 段之移位暫存器電路部 54 輸出具有 $V_{DD} + V_t$ 以上之電位 ($V_{DD} + V_{\beta}$) 之 H 位準的移位信號 SR4 與 H 位準 (V_{DD}) 的輸出信號 SR14。

然後，在連接於第 1 段之假閘極線的邏輯合成電路部 82 中，將 H 位準 ($V_{DD} + V_{\beta}$) 的移位信號 SR3 輸入至電晶體 NT91 的閘極，同時，將 H 位準 ($V_{DD} + V_{\beta}$) 的移位信號 SR4 輸入至電晶體 NT92 的閘極。藉此方式，由於電晶體 NT91 與電晶體 NT92 雙方均呈導通狀態，因此，由致能信號線經由電晶體 NT91 及 NT92 而將致能信號 ENB 供應至節點 ND4。在由於移位信號 SR3 及 SR4 雙方均成為 H 位準而使電晶體 NT91 及 NT92 雙方均呈導通狀態的時間點，該致能信號 ENB 係為 L 位準，在其稍微之後的期間後，電位即由 L 位準切換至 H 位準。藉此方式，由於連接於第 1 段之假閘極線之邏輯合成電路部 82 之節點 ND4 的電位上升至 H 位準，因此，由邏輯合成電路部 82 將 H 位準的移位輸出信號 Gate1 輸出至第 1 段的閘極線。

亦即，在致能信號 ENB 為 L 位準的期間，移位輸出信號 Gate1 的電位係被強制性地保持在 L 位準，同時，隨著致能信號 ENB 的電位由 L 位準上升至 H 位準，而由 L 位準上升至 H 位準。因此，致能信號 ENB 為 L 位準時，由邏輯合成電路部 81 輸出至假閘極線的移位輸出信號 Dummy 亦被強制性地保持在 L 位準，因而抑制移位輸出信號 Dummy 由 H 位準下降至 L 位準的時序與移位輸出信號 Gate1 由 L 位準上升至 H 位準的時序相重疊的情形。藉此方式，可抑制由於移位輸出信號 Dummy 由 H 位準下降至 L 位準的時序與移位輸出信號 Gate1 由 L 位準上升至 H 位準的時序相重疊而產生雜訊的情形。

之後，與上述第 3 段之移位暫存器電路部 53 相同的動作，係於第 4 段以後的移位暫存器電路部 54 及 55 中依序進行。此外，與上述連接於假閘極線之邏輯合成電路部 81 相同的動作，係於連接於第 1 段以後的假閘極線的邏輯合成電路部 82 及 83 中進行。然後，輸出有 H 位準的移位信號與 H 位準的輸出信號的時序，由各段之移位暫存器電路部進行移位。由此，前段的移位信號與下一段的移位信號雙方均為 H 位準的時序亦隨著進入後段而進行移位。藉此方式，在前段之 H 位準的移位信號與下一段之 H 位準的移位信號相重疊的期間中，由於致能信號 ENB 上升至 H 位準，因而由各段之邏輯合成電路部輸出 H 位準之移位輸出信號至相對應的閘極線的時序亦隨著進入後段而進行移位。然後，藉由該時序發生移位的 H 位準的移位輸出信號，依序

驅動各段的閘極線。

如上所述，依序驅動(掃描)第 1 實施形態之液晶顯示裝置的各段的閘極線。然後，重覆上述動作直到最後的閘極線的掃描結束為止。之後，再次由第 1 段之移位暫存器電路部 51 反覆進行上述動作。

接著，沿著第 2 圖中的逆向，當依序輸出時序發生移位的移位輸出信號至各段的閘極線時(逆向掃描時)，掃描方向切換信號 CSV 係保持在 L 位準，同時，反轉掃描方向切換信號 XCSV 係保持在 H 位準。藉此方式，在逆向掃描時，輸入掃描方向切換信號 CSV 至閘極的電晶體 NT51、NT53、NT55、NT57、NT59 及 NT61 至 NT70 係保持在不導通狀態，同時，輸入反轉掃描方向切換信號 XCSV 至閘極的電晶體 NT52、NT54、NT56、NT58、NT60 及 NT71 至 NT80 係保持在導通狀態。接著，在逆向掃描時，與上述順向掃描時相同的動作係於沿著第 2 圖中的逆向於各段之移位暫存器電路部與連接於各段之閘極線的邏輯合成電路部中進行。此時，由前段的移位暫存器電路部輸入移位信號及輸出信號至下一段的移位暫存器電路部時，或由下一段的移位暫存器電路部輸入移位信號及輸出信號至前段的移位暫存器電路部時，係經由藉由上述之 H 位準的反轉掃描方向切換信號 XCSV 而呈導通狀態的電晶體 NT52、NT54、NT56、NT58、NT60 及 NT71 至 NT80 而分別被輸入。

在第 1 實施形態中，如上所述，在移位暫存器電路部 54 設置重置電晶體 NT39，以將連接於輸出有移位信號 SR4

的節點 ND2 與負側電位 VBB 之間的電晶體 NT36 的閘極所連接的第 1 電路部 54a 的節點 ND1，重置為正側電位 VDD，藉此使得在對 V 驅動器 5 供應正側電位 VDD 及負側電位 VBB 之後，若輸入 H 位準的開始信號 STV，而藉由重置電晶體 NT39 將第 1 電路部 54a 的節點 ND1 重置為正側電位 VDD 的話，由於電晶體 NT36 為導通，因此，可經由電晶體 NT36，供應負側電位 VBB 至節點 ND2。藉此方式，可將移位信號 SR4 固定在負側電位 VBB。此外，在移位暫存器電路部 55 設置重置電晶體 NT49，以將連接於輸出有移位信號 SR5 的節點 ND2 與負側電位 VBB 之間的電晶體 NT46 的閘極所連接的第 1 電路部 55a 的節點 ND1，重置為正側電位 VDD，藉此使得在對 V 驅動器 5 供應正側電位 VDD 及負側電位 VBB 之後，若輸入 H 位準的開始信號 STV，而藉由重置電晶體 NT49 將第 1 電路部 55a 的節點 ND1 重置為正側電位 VDD 的話，由於電晶體 NT46 為導通，因此，可經由電晶體 NT46，供應負側電位 VBB 至節點 ND2。藉此方式，可將移位信號 SR5 固定在負側電位 VBB。藉此方式，可將邏輯合成電路部 83 的電晶體 NT101 及 NT102 雙方均保持在不導通狀態。因此，移位輸出信號 Gate2 並不會經由邏輯合成電路部 83 的電晶體 NT101 及 NT102 而被輸出，因此，可抑制在意料之外的時序將移位輸出信號 Gate2 輸出至閘極線。

此外，在第 1 實施形態中，將時脈信號 CKV1 及 CKV2 交替供應至移位暫存器電路部 53 至 55 的電晶體 NT24、NT34 及 NT44 的閘極，同時，將時序不同的致能信號 ENB1

及 ENB2 交替供應至汲極，藉此使得例如在第 3 段的移位暫存器電路部 53 中，藉由時脈信號 CKV1 使電晶體 NT24 呈導通狀態之後，藉由致能信號 ENB1 使電晶體 NT24 的源極電位由 VBB 上升至 VDD，因此，可使電晶體 NT24 的閘極電位僅上升其電位的上升份 ($V\beta$)。此外，在第 4 段的移位暫存器電路部 54 中，藉由時脈信號 CKV2 使電晶體 NT34 呈導通狀態之後，藉由致能信號 ENB2 使電晶體 NT34 的源極電位由 VBB 上升至 VDD，因此，可使電晶體 NT34 的閘極電位僅上升其電位的上升份 ($V\beta$)。藉此方式，與電晶體 NT24 及 NT34 的汲極連接於固定的正側電位 VDD 的情形相較之下，可更加提高移位信號 SR3 及 SR4 的電位 ($VDD+V\beta < VDD+V_t$)，因此，可輕易地將移位信號 SR3 及 SR4 的電位設定在比 VDD 還高臨限值電壓 (V_t) 以上的電位。是故，可輕易地將具有 $VDD+V_t$ 以上的電位 ($VDD+V\beta$) 的移位信號 SR3 及 SR4 分別供應至連接於第 1 段之閘極線的邏輯合成電路部 82 的電晶體 NT91 及 NT93 的閘極。藉此方式，可抑制經由邏輯合成電路部 82 的電晶體 NT91 及 NT92 而輸出至第 1 段之閘極線的移位輸出信號 Gate1 的電位僅降低電晶體 NT91 及 NT92 的臨限值電壓 (V_t) 份。

此外，在第 1 實施形態中，使用重置電晶體 NT39 及 NT49 而將節點 ND2 的電位重置為負側電位 VBB 時，由於藉由將 H 位準的開始信號 STV 輸入至重置電晶體 NT39 及 NT49 的閘極，而產生輸入至重置電晶體 NT39 及 NT49 的閘極的驅動信號，並不需要另外形成信號產生電路，因此，可抑

制包含 V 驅動器 5 的液晶顯示裝置的電路構成複雜化。

(第 2 實施形態)

參照第 4 圖及第 5 圖，在本第 2 實施形態中，說明以 p 通道電晶體構成上述第 1 實施形態之 V 驅動器的情形。

首先，參照第 4 圖，在本第 2 實施形態中，係在基板 1a 上設有顯示部 2a。在該顯示部 2a 係以矩陣狀配置有像素 20a。此外，在第 4 圖中，為簡化圖示，僅圖示 1 個像素 20a。各個像素 20a 係由以下所構成：p 通道電晶體 21a (以下稱為電晶體 21a)；像素電極 22a；與像素電極 22a 相對向配置的各像素 20a 共通的對向電極 23a；夾持在像素電極 22a 與對向電極 23a 之間的液晶 24a；以及補助電容 25a。而電晶體 21a 的源極係連接於汲極線，同時，汲極係連接於像素電極 22a 與補助電容 25a。該電晶體 21a 的閘極係連接於閘極線。

此外，以沿著顯示部 2a 的一邊的方式，在基板 1a 上設有用以驅動(掃描)顯示部 2a 之汲極線的水平開關(HSW) 3a 及 H 驅動器 4a。此外，以沿著顯示部 2a 的另一邊的方式，在基板 1a 上設有用以驅動(掃描)顯示部 2a 之閘極線的 V 驅動器 5a。此外，關於第 4 圖的水平開關 3a，雖僅圖示 2 個開關，但實際上係配置有對應像素數的數量的開關。此外，關於第 4 圖的 H 驅動器 4a 及 V 驅動器 5a，雖然分別僅圖示 2 個移位暫存器電路部，但實際上係配置有對應像素數的數量的移位暫存器電路部。此外，與上述第 1 實施形態同樣地，在基板 1a 的外部係設置有包含信號產

生電路 11 及電源電路 12 的驅動 IC10。

此外，如第 5 圖所示，在第 2 實施形態中，係在 V 驅動器 5a 的內部設有：複數段的移位暫存器電路部 501 至 505；掃描方向切換電路部 600；輸入信號切換電路部 700；以及複數段的邏輯合成電路部 801 至 803。其中，移位暫存器電路部 502 至 505 係本發明之「第 1 移位暫存器電路部」及「第 2 移位暫存器電路部」之一例。其中，在第 5 圖中，為簡化圖示，雖僅圖示 5 段份的移位暫存器電路部 501 至 505 及 3 段份的邏輯合成電路部 801 至 803，但在實際上係設有對應像素數的數量的移位暫存器電路部及邏輯合成電路部。

第 1 段之移位暫存器電路部 501 係由第 1 電路部 501a 與第 2 電路部 501b 所構成。第 1 電路部 501a 係包含：p 通道電晶體 PT1 及 PT2；呈二極體連接之 p 通道電晶體 PT3；電容 C1 及 C2。此外，第 2 電路部 501b 係包含：p 通道電晶體 PT4 至 PT7；呈二極體連接之 p 通道電晶體 PT8；電容 C3 及 C4。以下，p 通道電晶體 PT1 至 PT8 係分別稱為電晶體 PT1 至 PT8。

此外，構成第 1 段之移位暫存器電路部 501 的電晶體 PT1 至 PT8 係分別連接於與第 2 圖所示之第 1 實施形態之第 1 段之移位暫存器電路部 51 的電晶體 NT1 至 NT8 相對應的位置。但是，與上述第 1 實施形態不同的是，電晶體 PT1 的源極係連接於正側電位 VDD，同時，電晶體 PT4 的汲極係連接於負側電位 VBB。此外，電晶體 PT5 及 PT6 的源極

係連接於正側電位 VDD。

第 2 段之移位暫存器電路部 502 係由第 1 電路部 502a 與第 2 電路部 502b 所構成。第 1 電路部 502a 係包含：p 通道電晶體 PT11 及 PT12；呈二極體連接之 p 通道電晶體 PT13；電容 C11 及 C12。此外，第 2 電路部 502b 係包含：p 通道電晶體 PT14 至 PT17；呈二極體連接之 p 通道電晶體 PT18；電容 C13 及 C14。其中，p 通道電晶體 PT14 係本發明之「第 4 電晶體」及「第 5 電晶體」之一例，p 通道電晶體 PT16 係本發明之「第 1 電晶體」之一例。以下，p 通道電晶體 PT11 至 PT18 係分別稱為電晶體 PT11 至 PT18。

此外，構成第 2 段之移位暫存器電路部 502 的電晶體 PT11 至 PT18 係分別連接於與第 2 圖所示之第 1 實施形態之第 2 段之移位暫存器電路部 52 的電晶體 NT11 至 NT18 相對應的位置。但是，與上述第 1 實施形態不同的是，電晶體 PT11 的源極係連接於正側電位 VDD，同時，電晶體 PT14 的汲極係連接於負側電位 VBB。此外，電晶體 PT15 及 PT16 的源極係連接於正側電位 VDD。

第 3 段之移位暫存器電路部 503 係由第 1 電路部 503a 與第 2 電路部 503b 所構成。第 1 電路部 503a 係包含：p 通道電晶體 PT21 及 PT22；呈二極體連接之 p 通道電晶體 PT23；電容 C21 及 C22。此外，第 2 電路部 503b 係包含：p 通道電晶體 PT24 至 PT27；呈二極體連接之 p 通道電晶體 PT28；電容 C23 及 C24。其中，p 通道電晶體 PT24 係本發明之「第 4 電晶體」及「第 5 電晶體」之一例，p 通道電

晶體 PT26 係本發明之「第 1 電晶體」之一例。以下，p 通道電晶體 PT21 至 PT28 係分別稱為電晶體 PT21 至 PT28。

此外，構成第 3 段之移位暫存器電路部 503 的電晶體 PT21 至 PT28 係分別連接於與第 2 圖所示之第 1 實施形態之第 3 段之移位暫存器電路部 53 的電晶體 NT21 至 NT28 相對應的位置。但是，與上述第 1 實施形態不同的是，電晶體 PT11、PT25 及 PT26 的源極係分別連接於正側電位 VDD。

第 4 段之移位暫存器電路部 504 係由第 1 電路部 504a 與第 2 電路部 504b 所構成。第 1 電路部 504a 係包含：p 通道電晶體 PT31 及 PT32；呈二極體連接之 p 通道電晶體 PT33；電容 C31 及 C32。此外，第 2 電路部 504b 係包含：p 通道電晶體 PT34 至 PT37；呈二極體連接之 p 通道電晶體 PT38；電容 C33 及 C34。其中，p 通道電晶體 PT34 係本發明之「第 4 電晶體」及「第 5 電晶體」之一例，p 通道電晶體 PT36 係本發明之「第 1 電晶體」之一例。以下，p 通道電晶體 PT31 至 PT38 係分別稱為電晶體 PT31 至 PT38。

此外，構成第 4 段之移位暫存器電路部 504 的電晶體 PT31 至 PT38 係分別連接於與第 2 圖所示之第 1 實施形態之第 4 段之移位暫存器電路部 54 的電晶體 NT31 至 NT38 相對應的位置。但是，與上述第 1 實施形態不同的是，電晶體 PT31、PT35 及 PT36 的源極係分別連接於正側電位 VDD。

第 5 段之移位暫存器電路部 505 係由第 1 電路部 505a

與第 2 電路部 505b 所構成。第 1 電路部 505a 係包含：p 通道電晶體 PT41 及 PT42；呈二極體連接之 p 通道電晶體 PT43；電容 C41 及 C42。此外，第 2 電路部 505b 係包含：p 通道電晶體 PT44 至 PT47；呈二極體連接之 p 通道電晶體 PT48；電容 C43 及 C44。其中，p 通道電晶體 PT44 係本發明之「第 4 電晶體」及「第 5 電晶體」之一例，p 通道電晶體 PT46 係本發明之「第 1 電晶體」之一例。以下，p 通道電晶體 PT41 至 PT48 係分別稱為電晶體 PT41 至 PT48。

此外，構成第 5 段之移位暫存器電路部 505 的電晶體 PT41 至 PT48 係分別連接於與第 2 圖所示之第 1 實施形態之第 5 段之移位暫存器電路部 55 的電晶體 NT41 至 NT48 相對應的位置。但是，與上述第 1 實施形態不同的是，電晶體 PT41、PT45 及 PT46 的源極係分別連接於正側電位 VDD。

在此，在第 2 實施形態中，第 4 段之移位暫存器電路部 504 之第 1 電路部 504a 係包含 p 通道電晶體 PT39，以將輸出移位信號 SR4 之節點 ND2 的電位重置為正側電位 VDD。此外，第 5 段之移位暫存器電路部 505 之第 1 電路部 505a 係包含 p 通道電晶體 PT49，以將輸出移位信號 SR5 之節點 ND2 的電位重置為正側電位 VDD。以下，p 通道電晶體 PT39 及 PT49 係分別稱為重置電晶體 PT39 及 PT49。

此外，對於重置電晶體 PT39 的汲極係供應有負側電位 VBB，同時，源極係連接於為第 4 段之移位暫存器電路部 504 的第 1 電路部 504a 的輸出節點的節點 ND1。此外，於

重置電晶體 PT39 的閘極係連接有用以供應開始信號 STV 的開始信號線 (STV)。藉此方式，構成為：響應 L 位準的開始信號 STV 而使重置電晶體 PT39 導通時，經由重置電晶體 PT39 供應負側電位 VBB，藉此使第 1 電路部 504a 的節點 ND1 的電位成為負側電位 VBB (L 位準)。然後，構成為：當第 1 電路部 504a 的節點 ND1 的電位成為負側電位 VBB (L 位準) 時，由於第 2 電路部 504b 的電晶體 PT36 為導通，因此經由電晶體 PT36 供應正側電位 VDD，藉此將輸出移位信號 SR4 的第 2 電路部 504b 的節點 ND2 重置為正側電位 VDD。

此外，對於重置電晶體 PT49 的汲極係供應有負側電位 VBB，同時，源極係連接於為第 5 段之移位暫存器電路部 505 的第 1 電路部 505a 的輸出節點的節點 ND1。此外，於重置電晶體 PT49 的閘極係連接有用以供應開始信號 STV 的開始信號線 (STV)。藉此方式，在第 5 段之移位暫存器電路部 505 中，與上述第 4 段之移位暫存器電路部 504 相同地，係構成為：將輸出移位信號 SR5 的第 2 電路部 505b 的節點 ND2 重置為正側電位 VDD。

此外，設在上述各段之移位暫存器電路部 501 至 505 的電晶體 PT1 至 PT8、PT11 至 PT18、PT21 至 PT28、PT31 至 PT38 及 PT41 至 PT48 與重置電晶體 PT39 及 PT49 全部均係藉由由 p 型 MOS 電晶體構成的 TFT 所構成。此外，電晶體 PT1、PT2、PT6、PT7、PT8、PT11、PT12、PT16、PT17、PT18、PT21、PT22、PT26、PT27、PT28、PT31、PT32、PT36、PT37、PT38、PT41、PT42、PT46、PT47 及 PT48 係分別具

有相互電性連接的 2 個閘極電極。

此外，掃描方向切換電路部 600 係包含 p 通道電晶體 PT51 至 PT60。p 通道電晶體 PT51 至 PT60 係分別稱為電晶體 PT51 至 PT60。該電晶體 PT51 至 PT60 全部均係藉由由 p 型 MOS 電晶體構成的 TFT 所構成。而構成掃描方向切換電路部 600 的電晶體 PT51 至 PT60 係分別連接於與第 2 圖所示之第 1 實施形態之掃描方向切換電路部 60 的電晶體 NT51 至 NT60 相對應的位置。

此外，輸入信號切換電路部 700 係包含 p 通道電晶體 PT61 至 PT80。以下，p 通道電晶體 PT61 至 PT80 係分別稱為電晶體 NT61 至 NT80。該電晶體 PT61 至 PT80 全部均係藉由由 p 型 MOS 電晶體構成的 TFT 所構成。而構成輸入信號切換電路部 700 的電晶體 PT61 至 PT80 係分別連接於與第 2 圖所示之第 1 實施形態之輸入信號切換電路部 70 的電晶體 NT61 至 NT80 相對應的位置。但是，與上述第 1 實施形態不同的是，電晶體 PT71 的源極／汲極的另一方係連接於負側電位 VBB。

此外，邏輯合成電路部 801 至 803 係分別連接於假閘極線、第 1 段的閘極線及第 2 段的閘極線。連接於假閘極線的邏輯合成電路部 801 係包含：p 通道電晶體 PT81 至 PT84；呈二極體連接之 p 通道電晶體 PT85；以及電容 C81。其中，p 通道電晶體 PT81 係本發明之「第 2 電晶體」之一例，p 通道電晶體 PT82 係本發明之「第 3 電晶體」之一例。以下，p 通道電晶體 PT81 至 PT85 係分別稱為電晶體 PT81

至 PT85。此外，藉由電晶體 PT83 至 PT85 及電容 C81，構成有電位固定電路部 801a。而構成連接於假閘極線的邏輯合成電路部 801 的電晶體 PT81 至 PT85 係分別連接於與第 2 圖所示之第 1 實施形態之邏輯合成電路部 81 的電晶體 NT81 至 NT85 相對應的位置。但是，電晶體 PT83 的源極係連接於正側電位 VDD。

此外，連接於第 1 段之閘極線的邏輯合成電路部 802 係包含：p 通道電晶體 PT91 至 PT94；呈二極體連接的 p 通道電晶體 PT95；以及電容 C91。其中，p 通道電晶體 PT91 係本發明之「第 2 電晶體」之一例，p 通道電晶體 PT92 係本發明之「第 3 電晶體」之一例。以下，p 通道電晶體 PT91 至 PT95 係分別稱為電晶體 PT91 至 PT95。此外，藉由電晶體 PT93 至 PT95 及電容 C91，構成有電位固定電路部 802a。而構成連接於第 1 段之閘極線的邏輯合成電路部 802 的電晶體 PT91 至 PT95，係分別連接於與第 2 圖所示之第 1 實施形態之連接於第 1 段之閘極線的邏輯合成電路部 82 的電晶體 NT91 至 NT95 相對應的位置。但是，電晶體 PT93 的源極係連接於正側電位 VDD。

此外，連接於第 2 段之閘極線的邏輯合成電路部 803 係包含：p 通道電晶體 PT101 至 PT104；呈二極體連接的 p 通道電晶體 PT105；以及電容 C101。其中，p 通道電晶體 PT101 係本發明之「第 2 電晶體」之一例，p 通道電晶體 PT102 係本發明之「第 3 電晶體」之一例。以下，p 通道電晶體 PT101 至 PT105 係分別稱為電晶體 PT101 至 PT105。

此外，藉由電晶體 PT103 至 PT105 及電容 C101，構成有電位固定電路部 803a。而構成連接於第 2 段之閘極線的邏輯合成電路部 803 的電晶體 PT101 至 PT105，係分別連接於與第 2 圖所示之第 1 實施形態之連接於第 2 段之閘極線的邏輯合成電路部 83 的電晶體 NT101 至 NT105 相對應的位置。但是，電晶體 PT103 的源極係連接於正側電位 VDD。其中，設在上述邏輯合成電路部 801 至 803 的電晶體 PT81 至 PT85、PT91 至 PT95 及 PT101 至 PT105 全部均係藉由由 p 型 MOS 電晶體構成的 TFT 所構成。

此外，電路部 901 係包含：p 通道電晶體 PT111 至 PT113；呈二極體連接之 p 通道電晶體 PT114；以及電容 C111。以下，p 通道電晶體 PT111 至 PT114 係分別稱為電晶體 PT111 至 PT114。而構成電路部 901 的電晶體 PT111 至 PT114，係分別連接於與第 2 圖所示之第 1 實施形態之電路部 91 的電晶體 NT111 至 NT114 相對應的位置。但是，電晶體 PT112 的源極係連接於正側電位 VDD。

接著，參照第 5 圖及第 6 圖，就第 2 實施形態之 V 驅動器 5a 的動作加以說明。在該第 2 實施形態之 V 驅動器 5a 中，係分別輸入使第 3 圖所示之第 5 實施形態的開始信號 STV；時脈信號 CKV1、CKV2；致能信號 ENB、ENB1、ENB2 及反轉致能信號 XENB 的 H 位準與 L 位準反轉的波形的信號，來作為開始信號 STV；時脈信號 CKV1、CKV2；致能信號 ENB、ENB1、ENB2 及反轉致能信號 XENB。藉此方式，由第 2 實施形態的移位暫存器電路部 501 至 505，係輸出有：

具有使由第 2 圖所示之第 1 實施形態之移位暫存器電路部 51 至 55 輸出的移位信號 SR1 至 SR5 及輸出信號 SR11 至 SR15 的 H 位準與 L 位準反轉的波形的信號。此外，由第 2 實施形態的邏輯合成電路部 801 至 803，係輸出有：具有使由第 2 圖所示之第 1 實施形態之邏輯合成電路部 81 至 83 輸出的移位輸出信號 Dummy、Gate1 及 Gate2 的 H 位準與 L 位準反轉的波形的信號。本第 2 實施形態之 V 驅動器 5a 的上述以外的動作，係與第 2 圖所示之上述第 1 實施形態之 V 驅動器的動作相同。

其中，在第 2 實施形態中，將時脈信號 CKV1 及 CKV2 交替供應至移位暫存器電路部 503 至 505 的電晶體 PT24、PT34 及 PT44 的閘極，同時，將時序不同的致能信號 ENB1 及 ENB2 交替供應至汲極，藉此進行以下動作。例如，於第 3 段的移位暫存器電路部 503 中，藉由時脈信號 CKV1 使電晶體 PT24 呈導通狀態之後，藉由致能信號 ENB1 使電晶體 PT24 的源極電位由 VDD 下降至 VBB，因此，使電晶體 PT24 的閘極電位僅下降其電位的下降份($V\beta$)。此外，於第 4 段的移位暫存器電路部 504 中，藉由時脈信號 CKV2 使電晶體 PT34 呈導通狀態之後，藉由致能信號 ENB2 使電晶體 PT34 的源極電位由 VDD 下降至 VBB，因此，可使電晶體 PT34 的閘極電位僅下降其電位的下降份($V\beta$)。藉此方式，與電晶體 PT24 及 PT34 的汲極連接於固定的負側電位 VBB 的情形相較之下，可更加降低移位信號 SR3 及 SR4 的電位($VDD - V\beta < VDD - V_t$)，因此，可輕易地將移位信號 SR3 及 SR4 的電

位設定在比 V_{BB} 還低臨限值電壓 (V_t) 以上的電位。是故，可更輕易地將具有 $V_{BB}-V_t$ 以下的電位 ($V_{BB}-V_{\beta}$) 的移位信號 SR3 及 SR4 分別供應至連接於第 1 段之閘極線的邏輯合成電路部 802 的電晶體 PT91 及 PT92 的閘極。藉此方式，可抑制經由邏輯合成電路部 802 的電晶體 PT91 及 PT92 而輸出至第 1 段之閘極線的移位輸出信號 Gate1 的電位僅上升臨限值電壓 (V_t) 份。

此外，在第 2 實施形態中，如上所述，設置重置電晶體 PT39 及 PT49，同時，響應開始信號 STV 而使電晶體 PT39 及 PT49 導通，藉此可抑制於包含 V 驅動器的液晶顯示裝置中，在意料之外的時序將移位輸出信號輸出至閘極線等，而可獲得與上述第 1 實施形態相同的效果。

(第 3 實施形態)

參照第 7 圖，在本第 3 實施形態中，進行說明於上述第 1 實施形態中，即使是在第 3 段以後的移位暫存器電路部中，與第 1 段及第 2 段的移位暫存器電路部相同地，在將正側電位供應至連接於輸出有輸出信號之節點的電晶體的汲極，同時使用移位暫存器電路部的輸出信號，將由邏輯合成電路部輸出的移位輸出信號在固定在 L 位準的狀態下予以保持的情形。

亦即，如第 7 圖所示，在本第 3 實施形態的 V 驅動器中設有：複數段的移位暫存器電路部 511 至 515；掃描方向切換電路部 610；輸入信號切換電路部 710；以及複數段的邏輯合成電路部 811 至 813。其中，移位暫存器電路部

512 至 515 係本發明之「第 1 移位暫存器電路部」及「第 2 移位暫存器電路部」之一例。此外，在第 7 圖中，為簡化圖示，雖僅圖示 5 段份的移位暫存器電路部 511 至 515 及 3 段份的邏輯合成電路部 811 至 813，但在實際上係設有對應像素數的數量的移位暫存器電路部及邏輯合成電路部。

接著，第 1 段之移位暫存器電路部 511 係由具有與第 2 圖所示之第 1 實施形態之第 1 段之移位暫存器電路部 51 的第 1 電路部 51a 與第 2 電路部 51b 相同的電路構成的第 1 電路部 511a 及第 2 電路部 511b 所構成。此外，第 2 段之移位暫存器電路部 512 係由具有與第 2 圖所示之第 1 實施形態之第 2 段之移位暫存器電路部 52 的第 1 電路部 52a 與第 2 電路部 52b 相同的電路構成的第 1 電路部 512a 及第 2 電路部 512b 所構成。

在此，在第 3 實施形態中，第 3 段之移位暫存器電路部 513 係除了將正側電位 VDD 供應至源極連接於輸出輸出信號 SR13 之節點 ND3 的電晶體 NT24 的汲極之外，具有與第 2 圖所示之第 1 實施形態之第 3 段之移位暫存器電路部 53 的第 1 電路部 53a 與第 2 電路部 53b 相同的電路構成的第 1 電路部 513a 及第 2 電路部 513b。此外，第 4 段之移位暫存器電路部 514 係除了將正側電位 VDD 供應至源極連接於輸出輸出信號 SR14 之節點 ND3 的電晶體 NT34 的汲極之外，具有與第 2 圖所示之第 1 實施形態之第 4 段之移位暫存器電路部 54 的第 1 電路部 54a 與第 2 電路部 54b 相同的電路構成的第 1 電路部 514a 及第 2 電路部 514b。此外，

第 5 段之移位暫存器電路部 515 係除了將正側電位 VDD 供應至源極連接於輸出輸出信號 SR15 之節點 ND3 的電晶體 NT44 的汲極之外，具有與第 2 圖所示之第 1 實施形態之第 5 段之移位暫存器電路部 55 的第 1 電路部 55a 與第 2 電路部 55b 相同的電路構成的第 1 電路部 515a 及第 2 電路部 515b。

此外，掃描方向切換電路部 610 係具有與第 2 圖所示之第 1 實施形態之掃描方向切換電路部 60 相同的電路構成。但是，在第 3 實施形態中，係連接有電晶體 NT56 的源極／汲極的另一方與電晶體 NT57 的源極／汲極的一方。此外，第 3 實施形態的輸入信號切換電路部 710 係具有與第 2 圖所示之第 1 實施形態之輸入信號切換電路部 70 相同的電路構成。

此外，連接於假閘極線的邏輯合成電路部 811 係包含：電晶體 NT81 至 NT84；呈二極體連接之電晶體 NT85 及 NT86；以及電容 C81。亦即，第 3 實施形態的邏輯合成電路部 811 係具有於第 2 圖所示之第 1 實施形態之邏輯合成電路部 81 的電路構成中，加上呈二極體連接之電晶體 NT86 的電路構成。此外，藉由電晶體 NT83 至 NT86 及電容 C81，構成有電位固定電路部 811a。此外，在第 3 實施形態中，電晶體 NT85 的源極係連接於輸出有第 1 段之移位暫存器電路部 511 之輸出信號 SR11 的節點 ND3。此外，電晶體 NT86 的源極係連接於輸出有第 4 段之移位暫存器電路部 514 之輸出信號 SR14 的節點 ND3，同時，汲極係連接於邏輯合成

電路部 811 的節點 ND5。

此外，連接於第 1 段之閘極線的邏輯合成電路部 812 係包含：電晶體 NT91 至 NT94；呈二極體連接之電晶體 NT95 及 NT96；以及電容 C91。亦即，第 3 實施形態的邏輯合成電路部 812 係具有於第 2 圖所示之第 1 實施形態之邏輯合成電路部 82 的電路構成中，加上呈二極體連接之電晶體 NT96 的電路構成。此外，藉由電晶體 NT93 至 NT96 及電容 C91，構成有電位固定電路部 812a。此外，在第 3 實施形態中，電晶體 NT95 的源極係連接於輸出有第 2 段之移位暫存器電路部 512 之輸出信號 SR12 的節點 ND3。此外，電晶體 NT96 的源極係連接於輸出有第 5 段之移位暫存器電路部 515 之輸出信號 SR15 的節點 ND3，同時，汲極係連接於邏輯合成電路部 812 的節點 ND5。

此外，連接於第 2 段之閘極線的邏輯合成電路部 813 係包含：電晶體 NT101 至 NT104；呈二極體連接之電晶體 NT105 及 NT106；以及電容 C101。亦即，第 3 實施形態的邏輯合成電路部 813 係具有於第 2 圖所示之第 1 實施形態之邏輯合成電路部 83 的電路構成中，加上呈二極體連接之電晶體 NT106 的電路構成。此外，藉由電晶體 NT103 至 NT106 及電容 C101，構成有電位固定電路部 813a。此外，在第 3 實施形態中，電晶體 NT105 的源極係連接於輸出有第 3 段之移位暫存器電路部 513 之輸出信號 SR13 的節點 ND3。此外，電晶體 NT106 的源極係連接於輸出有未圖示之第 6 段之移位暫存器電路部之移位信號的節點，同時，汲

極係連接於邏輯合成電路部 813 的節點 ND5。

接著，參照第 7 圖及第 8 圖，說明第 3 實施形態之 V 驅動器的動作。

本第 3 實施形態之 V 驅動器的動作，基本上與上述第 1 實施形態之 V 驅動器的動作相同。但是，在本第 3 實施形態的 V 驅動器中，與上述第 1 實施形態不同的是，將正側電位 VDD 供應至連接於輸出有第 3 段以後的移位暫存器電路部 513 至 515 的輸出信號 SR13 至 SR15 的節點的電晶體 NT24 至 NT44 的汲極。亦即，在第 3 實施形態中，於第 3 段以後的移位暫存器電路部 513 至 515 中，進行與上述第 1 實施形態之第 1 段及第 2 段之移位暫存器電路部相同的動作。

此外，在第 3 實施形態中，係當將由邏輯合成電路部 811 至 813 輸出至各段之閘極線的移位輸出信號 Dummy、Gate1 及 Gate2 的電位固定在 L 位準時，使用來自移位暫存器電路部的輸出信號來固定電位。例如，於連接於第 1 段之閘極線的邏輯合成電路部 812 中，經由一同形成導通狀態的電晶體 NT91 及 NT92 而供應有 H 位準的致能信號 ENB，藉此使輸出至第 1 段之閘極線的移位輸出信號 Gate1 成為 H 位準。之後，致能信號 ENB 的電位下降至 L 位準。藉此方式，經由電晶體 NT91 及 NT92 供應 L 位準的致能信號 ENB，藉此使輸出至第 1 段之閘極線的移位輸出信號 Gate1 的電位下降至 L 位準。

之後，在第 3 實施形態中，係經由呈二極體連接的電

晶體 NT96 而將 H 位準 (VDD) 的輸出信號 SR15 輸入至連接於第 1 段之閘極線的邏輯合成電路部 812 的電晶體 NT93 的閘極。藉此方式，電晶體 NT93 係呈導通狀態。因此，經由電晶體 NT93 由負側電位 VBB 供應 L 位準的電位，藉此使連接於第 1 段之閘極線的邏輯合成電路部 812 的節點 ND4 的電位固定在 L 位準。藉此方式，由邏輯合成電路部 812 輸出至第 1 段之閘極線的移位輸出信號 Gate1 的電位係固定在 L 位準。此外，在第 3 實施形態中，當 H 位準 (VDD) 的輸出信號 SR15 被輸入至電晶體 NT93 的閘極時，使電容 C91 充電。藉此方式，接著，節點 ND5 的電位 (電晶體 NT93 的閘極電位) 係保持在 H 位準，直到電晶體 NT94 呈導通狀態而由負側電位 VBB 經由電晶體 NT94 供應 L 位準的電位為止。因此，由於接著直到電晶體 NT94 呈導通狀態為止，電晶體 NT93 係保持在導通狀態，因此，由邏輯合成電路部 812 輸出至第 1 段之閘極線的移位輸出信號 Gate1 的電位係在固定在 L 位準的狀態下予以保持。

接著，於各段之移位暫存器電路部中，藉由與上述連接於第 1 段之閘極線的邏輯合成電路部 812 的動作相同的動作，使用移位暫存器電路部的輸出信號，將移位輸出信號的電位固定在 L 位準。第 3 實施形態之 V 驅動器的上述以外的動作，係與上述第 1 實施形態之 V 驅動器的動作相同。

其中，在第 3 實施形態中，係在電晶體 NT4、NT14、NT24、NT34 及 NT44 的閘極與源極之間，分別連接電容 C3、

C13、C23、C33 及 C43，同時，將正側電位 VDD 供應至電晶體 NT4、NT14、NT24、NT34 及 NT44 的汲極，藉此進行以下動作。例如，於第 2 段的移位暫存器電路部 512 中，響應時脈信號 CKV2 而使電晶體 NT14 導通時，為了維持連接有電容 C13 的電晶體 NT14 的閘極-源極間電壓，電晶體 NT14 的閘極電位(移位信號 SR2 的電位)隨著電晶體 NT14 的源極電位的上升而上升。此外，於第 3 段的移位暫存器電路部 513 中，響應時脈信號 CKV1 而使電晶體 NT24 導通時，為了維持連接有電容 C23 的電晶體 NT24 的閘極-源極間電壓，電晶體 NT24 的閘極電位(移位信號 SR3 的電位)隨著電晶體 NT24 的源極電位的上升而上升。如上所述，電晶體 NT24 的閘極電位(移位信號 SR2 的電位)與電晶體 NT24 的閘極電位(移位信號 SR3 的電位)係下降至比 VDD 還高臨限值電壓(V_t)以上之預定電壓(V_α)份的電位，因此，將具有比 $VDD+V_t$ 還高的電位($VDD+V_\alpha$)的移位信號 SR2 及 SR3 分別供應至連接於假閘極線之邏輯合成電路部 811 之電晶體 NT81 及電晶體 NT82 的閘極。藉此方式，可抑制經由邏輯合成電路部 811 之電晶體 NT81 及 NT82 而輸出至假閘極線的移位輸出信號 Dummy 的電位，僅由 VDD 下降電晶體 NT81 及 NT82 的臨限值電壓(V_t)份。

此外，在第 3 實施形態中，如上所述，設置重置電晶體 NT39 及 NT49，同時，響應開始信號 STV 而使電晶體 NT39 及 NT49 導通，藉此可抑制在意料之外的時序將移位輸出信號輸出至閘極線等，而可獲得與上述第 1 實施形態相同的

效果。

(第 4 實施形態)

參照第 9 圖，在本第 4 實施形態中，進行說明以 p 通道電晶體構成上述第 3 實施形態之 V 驅動器的情形。

亦即，如第 9 圖所示，在本第 4 實施形態的 V 驅動器中設有：複數段的移位暫存器電路部 521 至 525；掃描方向切換電路部 620；輸入信號切換電路部 720；以及複數段的邏輯合成電路部 821 至 823。其中，移位暫存器電路部 521 至 525 係本發明之「第 1 移位暫存器電路部」及「第 2 移位暫存器電路部」之一例。此外，在第 9 圖中，為簡化圖示，雖僅圖示 5 段份的移位暫存器電路部 521 至 525 及 3 段份的邏輯合成電路部 821 至 823，但在實際上係設有對應像素數的數量的移位暫存器電路部及邏輯合成電路部。

接著，第 1 段之移位暫存器電路部 521 係由具有與第 5 圖所示之第 2 實施形態之第 1 段之移位暫存器電路部 501 的第 1 電路部 501a 與第 2 電路部 501b 相同的電路構成的第 1 電路部 521a 及第 2 電路部 521b 所構成。此外，第 2 段之移位暫存器電路部 522 係由具有與第 5 圖所示之第 2 實施形態之第 2 段之移位暫存器電路部 502 的第 1 電路部 502a 與第 2 電路部 502b 相同的電路構成的第 1 電路部 522a 及第 2 電路部 522b 所構成。

在此，在第 4 實施形態中，對於源極連接於輸出第 3 段以後的移位暫存器電路部 523 至 525 的輸出信號 SR13 至 SR15 之節點 ND3 的電晶體 PT24 至 PT44 的汲極，係分別

供應有負側電位 VBB。亦即，在第 4 實施形態中，第 3 段以後的移位暫存器電路部 523 至 525 全部係具有相同的電路構成。具體而言，第 3 段至第 5 段的移位暫存器電路部係具有與第 2 實施形態之移位暫存器電路部之第 1 電路部及第 2 電路部相同之電路構成的第 1 電路部及第 2 電路部。

此外，掃描方向切換電路部 620 基本上係具有與第 5 圖所示之第 2 實施形態之掃描方向切換電路部 600 相同的電路構成。但是，在第 4 實施形態之掃描方向切換電路部 620 中，係連接有電晶體 PT56 的源極／汲極的另一方與電晶體 PT57 的源極／汲極的一方。此外，輸入信號切換電路部 720 係具有與第 5 圖所示之第 2 實施形態之輸入信號切換電路部 700 相同的電路構成。

此外，邏輯合成電路部 821 至 823 係具有以 p 通道電晶體置換第 7 圖所示之第 3 實施形態之構成邏輯合成電路部 811 至 813 的 n 通道電晶體的構成。具體而言，第 4 實施形態之連接於假閘極線的邏輯合成電路部 821，係具有分別以電晶體 PT81 至 PT86 置換第 7 圖所示之第 3 實施形態之邏輯合成電路部 811 的電晶體 NT81 至 NT86 的電路構成。此外，第 4 實施形態之連接於第 1 段之閘極線的邏輯合成電路部 822，係具有分別以電晶體 PT91 至 PT96 置換第 7 圖所示之第 3 實施形態之邏輯合成電路部 812 的電晶體 NT91 至 NT96 的電路構成。此外，第 4 實施形態之連接於第 2 段之閘極線的邏輯合成電路部 823，係具有分別以電晶體 PT101 至 PT106 置換第 7 圖所示之第 3 實施形態之

邏輯合成電路部 813 的電晶體 NT101 至 NT106 的電路構成。此外，在第 4 實施形態中，邏輯合成電路部 821 至 823 之電晶體 PT83、PT93 及 PT103 的源極係連接於正側電位 VDD。

接著，參照第 9 圖及第 10 圖，就第 4 實施形態之 V 驅動器的動作加以說明。在該第 4 實施形態之 V 驅動器中，係分別輸入使第 8 圖所示之第 3 實施形態的開始信號 STV；時脈信號 CKV1、CKV2 及致能信號 ENB 的 H 位準與 L 位準反轉的波形的信號，來作為開始信號 STV；時脈信號 CKV1、CKV2 及致能信號 ENB。藉此方式，由第 3 實施形態的移位暫存器電路部 521 至 525，係分別輸出有：具有使由第 7 圖所示之第 3 實施形態之移位暫存器電路部 511 至 515 輸出的移位信號 SR1 至 SR5 及輸出信號 SR11 至 SR15 的 H 位準與 L 位準反轉的波形的信號。此外，由第 4 實施形態的邏輯合成電路部 821 至 823，係輸出有：具有使由第 7 圖所示之第 3 實施形態之邏輯合成電路部 811 至 813 輸出的移位輸出信號 Dummy、Gate1 及 Gate2 的 H 位準與 L 位準反轉的波形的信號。該第 4 實施形態之 V 驅動器的上述以外的動作，係與第 7 圖所示之上述第 3 實施形態之 V 驅動器的動作相同。

其中，在第 4 實施形態中，在電晶體 PT4、PT14、PT24、PT34 及 PT44 的閘極與源極之間，分別連接電容 C3、C13、C23、C33 及 C43，同時，將負側電位 VBB 供應至電晶體 PT4、PT14、PT24、PT34 及 PT44 的汲極，藉此進行以下動作。

例如，於第 2 段的移位暫存器電路部 522 中，響應時脈信號 CKV2 而使電晶體 PT14 導通時，為了維持連接有電容 C13 的電晶體 PT14 的閘極-源極間電壓，電晶體 PT14 的閘極電位(移位信號 SR2 的電位)隨著電晶體 PT14 的源極電位的下降而下降。此外，於第 3 段的移位暫存器電路部 523 中，響應時脈信號 CKV1 而使電晶體 PT24 導通時，為了維持連接有電容 C23 的電晶體 PT24 的閘極-源極間電壓，電晶體 PT24 的閘極電位(移位信號 SR3 的電位)隨著電晶體 PT24 的源極電位的下降而下降。如上所述，電晶體 PT14 的閘極電位(移位信號 SR2 的電位)與電晶體 PT24 的閘極電位(移位信號 SR3 的電位)係下降至比 VBB 還低臨限值電壓(V_t)以上之預定電壓(V_α)份的電位，因此，將具有比 $V_{BB}-V_t$ 還低的電位($V_{BB}-V_\alpha$)的移位信號 SR2 及 SR3 分別供應至連接於假閘極線之邏輯合成電路部 821 之電晶體 PT81 及電晶體 PT82 的閘極。藉此方式，可抑制經由邏輯合成電路部 821 之電晶體 PT81 及 PT82 而輸出至假閘極線的移位輸出信號 Dummy 的電位，僅由 VBB 上升電晶體 PT81 及 PT82 的臨限值電壓(V_t)份。

此外，在第 4 實施形態中，如上所述，設置重置電晶體 PT39 及 PT49，同時，響應開始信號 STV 而使電晶體 PT39 及 PT49 導通，藉此可抑制在意料之外的時序將移位輸出信號輸出至閘極線等，而可獲得與上述第 3 實施形態相同的效果。

(第 5 實施形態)

參照第 11 圖，在本第 5 實施形態中，進行說明於上述第 1 實施形態中，將共通的致能信號供應至連接於輸出有第 3 段以後之移位暫存器電路部的輸出信號的節點的電晶體的汲極的情形。

亦即，如第 11 圖所示，在本第 5 實施形態的 V 驅動器中設有：複數段的移位暫存器電路部 531 至 535；掃描方向切換電路部 630；輸入信號切換電路部 730；以及複數段的邏輯合成電路部 831 至 833；以及電路部 911。其中，在第 11 圖中，為簡化圖示，雖僅圖示 5 段份的移位暫存器電路部 531 至 535 及 3 段份的邏輯合成電路部 831 至 833，但在實際上係設有對應像素數的數量的移位暫存器電路部及邏輯合成電路部。

接著，第 1 段之移位暫存器電路部 531 係由具有與第 2 圖所示之第 1 實施形態之第 1 段之移位暫存器電路部 51 的第 1 電路部 51a 與第 2 電路部 51b 相同的電路構成的第 1 電路部 531a 及第 2 電路部 531b 所構成。此外，第 2 段之移位暫存器電路部 532 係由具有與第 2 圖所示之第 1 實施形態之第 2 段之移位暫存器電路部 52 的第 1 電路部 52a 與第 2 電路部 52b 相同的電路構成的第 1 電路部 532a 及第 2 電路部 532b 所構成。

在此，在第 5 實施形態中，分別對於第 3 段之移位暫存器電路部 533、第 4 段之移位暫存器電路部 534 及第 5 段之移位暫存器電路部 535，連接有致能信號線(ENB)。具體而言，第 3 段之移位暫存器電路部 533 係由第 1 電路部

533a 及第 2 電路部 533b 所構成。第 1 電路部 533a 及第 2 電路部 533b 係分別具有與第 2 圖所示之第 1 實施形態之第 3 段之移位暫存器電路部 53 的第 1 電路部 53a 與第 2 電路部 53b 相同的電路構成。而在本第 5 實施形態中，係在電晶體 NT24 的汲極連接有致能信號線(ENB)。

此外，第 4 段之移位暫存器電路部 534 係由第 1 電路部 534a 及第 2 電路部 534b 所構成。第 1 電路部 534a 及第 2 電路部 534b 係分別具有與第 2 圖所示之第 1 實施形態之第 4 段之移位暫存器電路部 54 的第 1 電路部 54a 與第 2 電路部 54b 相同的電路構成。而在本第 5 實施形態中，係在電晶體 NT34 的汲極連接有致能信號線(ENB)。此外，第 5 段之移位暫存器電路部 535 係由第 1 電路部 535a 及第 2 電路部 535b 所構成。第 1 電路部 535a 及第 2 電路部 535b 係分別具有與第 2 圖所示之第 1 實施形態之第 5 段之移位暫存器電路部 55 的第 1 電路部 55a 與第 2 電路部 55b 相同的電路構成。而在本第 5 實施形態中，係在電晶體 NT44 的汲極連接有致能信號線(ENB)。

此外，掃描方向切換電路部 630 係具有與第 2 圖所示之第 1 實施形態之掃描方向切換電路部 60 相同的電路構成。此外，第 5 實施形態的輸入信號切換電路部 730 係具有與第 2 圖所示之第 1 實施形態之輸入信號切換電路部 70 相同的電路構成。此外，第 5 實施形態的邏輯合成電路部 831 至 833 係具有與第 2 圖所示之第 1 實施形態之邏輯合成電路部 81 至 83 相同的電路構成。而且，邏輯合成電路

部 831 至 833 係分別具備：具有與第 2 圖所示之第 1 實施形態之電位固定電路部 81a 至 83a 相同的電路構成的電位固定電路部 831a 至 833a。此外，電路部 911 係具有與第 2 圖所示之第 1 實施形態之電路部 91 相同的電路構成。

接著，參照第 11 圖及第 12 圖，說明第 5 實施形態之 V 驅動器的動作。

本第 5 實施形態之 V 驅動器的動作，基本上與上述第 1 實施形態之 V 驅動器的動作相同。但是，在本第 5 實施形態的 V 驅動器中，與上述第 1 實施形態不同的是，將共通的致能信號 ENB 供應至連接於輸出有第 3 段以後的移位暫存器電路部 533 至 535 的輸出信號 SR13 至 SR15 的節點 ND3 的電晶體 NT24 至 NT44 的汲極。

具體而言，第 1 段及第 2 段之移位暫存器電路部 531 及 532(參照第 11 圖)的動作係與第 2 圖所示之第 1 實施形態之第 1 段及第 2 段之移位暫存器電路部 51 及 52 的動作相同。接著，由第 2 段之移位暫存器電路部 532 將 H 位準($V_{DD}+V_{\alpha}$)的移位信號 SR2 輸入至電晶體 NT66 的汲極。藉此方式，藉由將 VDD 的電位的掃描方向切換信號 CSV 輸入至閘極而呈導通的電晶體 NT66 的源極電位係成為($V_{DD}-V_t$)的電位。因此，將($V_{DD}-V_t$)的電位輸入至第 3 段之移位暫存器電路部 533 的電晶體 NT27 的閘極。

此外，將 H 位準(VDD)的輸出信號 SR12 輸入至電晶體 NT21 的閘極。此外，對於電晶體 NT22 的閘極係由第 4 段之移位暫存器電路部 534 輸入有 L 位準的移位信號 SR4。

藉此方式，電晶體 NT21 及 NT27 係呈導通狀態，同時，電晶體 NT22 係呈不導通狀態。因此，經由電晶體 NT21 而由負側電位 VBB 供應 L 位準的電位，藉此使第 3 段之移位暫存器電路部 533 的節點 ND1 的電位下降至 L 位準。藉此方式，電晶體 NT25 及 NT26 係呈不導通狀態。在該狀態下，輸入至電晶體 NT27 之汲極的時脈信號 CKV1 由 L 位準上升至 H 位準。藉此方式，第 3 段之移位暫存器電路部 533 的節點 ND2 的電位係上升為 H 位準，因此，電晶體 NT24 係呈導通狀態。此時，由於對電晶體 NT24 的汲極供應有 L 位準的致能信號 ENB，因此，電晶體 NT24 的源極電位(節點 ND3 的電位)係保持在 L 位準。

之後，在第 5 實施形態中，致能信號 ENB 的電位由 L 位準上升至 H 位準。藉此方式，第 3 段之移位暫存器電路部 533 的節點 ND3 的電位上升至 H 位準。此時，為了藉由電容 C23 來維持電晶體 NT24 的閘極-源極間電壓，第 3 段之移位暫存器電路部 533 的節點 ND2 的電位係伴隨著節點 ND3 的電位的上升而啟動(boot)而藉此上升。藉此方式，第 3 段之移位暫存器電路部 533 的節點 ND2 的電位係上升至比 VDD 還高臨限值電壓(V_t)以上的預定電壓(V_β)份的電位($V_{DD}+V_\beta > V_{DD}+V_t$)。其中，此時的節點 ND2 的電位($V_{DD}+V_\beta$)係為於第 1 段及第 2 段之移位暫存器電路部 511 及 512 中，比上升後的節點 ND2 的電位($V_{DD}+V_\alpha$)更高的電位。接著，由第 3 段之移位暫存器電路部 533 的節點 ND2 輸出具有 $V_{DD}+V_t$ 以上的電位($V_{DD}+V_\beta$)的 H 位準的移位信

號 SR3。接著，即使於第 4 段以後的移位暫存器電路部 534 及 535 中，亦藉由與上述第 3 段之移位暫存器電路部 533 相同的動作，輸出具有比由上述第 1 實施形態的移位暫存器電路部輸出的 H 位準 ($V_{DD}+V_{\alpha}$) 的移位信號更高的 $V_{DD}+V_t$ 以上的電位 ($V_{DD}+V_{\beta}$) 的 H 位準的移位信號 SR3 及 SR4。

接著，第 3 段之移位暫存器電路部 533 之 H 位準 ($V_{DD}+V_{\beta} > V_{DD}+V_t$) 的移位信號 SR3 係分別被輸入至電晶體 NT63 及 NT68 的汲極。藉此方式，藉由將 VDD 的電位的掃描方向切換信號 CSV 輸入至閘極而呈導通的電晶體 NT63 及 NT68 的源極電位係一同成為 ($V_{DD}-V_t$) 的電位。因此，對於第 2 段之移位暫存器電路部 532 的電晶體 NT12 的閘極及第 4 段之移位暫存器電路部 534 的電晶體 NT37 的閘極，輸入有 ($V_{DD}-V_t$) 的電位。在該狀態下，由於時脈信號 CKV2 由 L 位準 (VBB) 上升至 H 位準 (VDD)，於第 2 段之移位暫存器電路部 532 的電晶體 NT12 中，係一面藉由電容 C12 保持閘極-源極間電壓，閘極電位一面由 ($V_{DD}-V_t$) 上升 VDD 與 VBB 的電位差份。藉此方式來抑制發生在電晶體 NT12 之節點 ND1 側的電位，由 VDD 下降電晶體 NT12 的臨限值電壓 (V_t) 份。因而抑制在第 2 段之移位暫存器電路部 532 的節點 ND1 所產生的 H 位準的電位下降。此外，由於在對第 4 段之移位暫存器電路部 534 的電晶體 NT37 的閘極輸入 ($V_{DD}-V_t$) 的電位的狀態下，時脈信號 CKV2 由 L 位準 (VBB) 上升至 H 位準 (VDD)，因而在電晶體 NT37 中，係一面藉由電容 C34

保持閘極-源極間電壓，閘極電位一面由 $(VDD - V_t)$ 上升 VDD 與 V_{BB} 的電位差份。藉此方式來抑制發生在電晶體 NT37 之節點 ND2 側的電位，由 VDD 下降電晶體 NT37 的臨限值電壓 (V_t) 份。因而抑制在第 4 段之移位暫存器電路部 534 的節點 ND2 所產生的 H 位準的電位下降。如上所述，於各段之移位暫存器電路部中，當節點 ND1 或 ND2 的電位隨著時脈信號 CKV1 或 CKV2 的電位上升至 H 位準 (VDD) 而上升時，可抑制在節點 ND1 及 ND2 所產生的 H 位準的電位下降。

此外，第 3 段之移位暫存器電路部 533 的 H 位準 $(VDD + V_{\beta})$ 的移位信號 SR3 亦被輸入至連接於第 1 段之閘極線的邏輯合成電路部 832 的電晶體 NT91 的閘極。此外，對於連接於第 1 段之閘極線的邏輯合成電路部 832 的電晶體 NT91 的閘極，係輸入有第 4 段之移位暫存器電路部 534 的 H 位準 $(VDD + V_{\beta})$ 的移位信號 SR4。藉此方式，於連接於第 1 段之閘極線的邏輯合成電路部 832 中，當輸入至電晶體 NT92 的汲極的致能信號 ENB 的電位上升至 H 位準 (VDD) 的電位時，可抑制發生在節點 ND4 的電位由 VDD 下降電晶體 NT91 及 NT92 的臨限值電壓 (V_t) 份。如上所述，於連接於第 2 段以後之閘極線的邏輯合成電路部中亦相同地，當節點 ND4 的電位隨著致能信號 ENB 的電位上升至 H 位準 (VDD) 而上升時，可抑制在節點 ND4 所產生的 H 位準的電位下降。藉此方式來抑制輸出至各段之閘極線的移位輸出信號 Gate1 及 Gate2 的 H 位準的電位下降。

第 5 實施形態之 V 驅動器的上述以外的動作，係與上

述第 1 實施形態之 V 驅動器的動作相同。

在第 5 實施形態中，如上所述，於移位暫存器電路部 533 至 535 中，藉由將致能信號線連接於電晶體 NT24、NT34 及 NT44 的汲極，同時，將時脈信號 CKV1(CKV2)供應至閘極，致能信號 ENB 係在時脈信號 CKV1(CKV2)由 L 位準上升至 H 位準之後，由 L 位準切換成 H 位準的構成，例如於第 3 段的移位暫存器電路部 533 中，伴隨著藉由時脈信號 CKV1 而使電晶體 NT24 的閘極電位由 L 位準(VBB)上升至 H 位準(VDD)，而使電晶體 NT24 呈導通狀態之後，可藉由致能信號 ENB 使電晶體 NT24 的源極電位由 L 位準(VBB)上升至 H 位準(VDD)。此外，於第 4 段的移位暫存器電路部 534 中，伴隨著藉由時脈信號 CKV2 而使電晶體 NT34 的閘極電位由 L 位準(VBB)上升至 H 位準(VDD)，而使電晶體 NT34 呈導通狀態之後，可藉由致能信號 ENB 使電晶體 NT34 的源極電位由 L 位準(VBB)上升至 H 位準(VDD)。藉此方式，可使電晶體 NT24 的閘極電位僅上升此時之電晶體 NT34 的源極電位的上升份(V_{β})。藉此方式，可使電晶體 NT34 的閘極電位僅上升此時的電晶體 NT34 的源極電位的上升份(V_{β})。藉此方式，與電晶體 NT24 及 NT34 的汲極連接於固定的正側電位 VDD 的情形相較之下，可更加提高移位信號 SR3 及 SR4 的電位($VDD + V_{\beta} > VDD + V_t$)，因此，可更加輕易地將移位信號 SR3 及 SR4 的電位設定在比 VDD 還高臨限值電壓(V_t)以上的電位。是故，可更輕易地將具有 $VDD + V_t$ 以上的電位的移位信號 SR3 及 SR4 分別供應至連接於第 1 段之閘極線的

邏輯合成電路部 832 的電晶體 NT91 的閘極及 NT92 的閘極。藉此方式，可抑制經由邏輯合成電路部 832 的電晶體 NT91 及電晶體 NT92 而輸出至第 1 段之閘極線的移位輸出信號 Gate1 的電位僅下降臨限值電壓 (V_t) 份。

在第 5 實施形態中，除了上述效果之外，藉由設置重置電晶體 NT39 及 NT49，同時，響應開始信號 STV 而使電晶體 PT39 及 PT49 導通，可抑制在意料之外的時序將移位輸出信號輸出至閘極線等，而可獲得與上述第 1 實施形態相同的效果。

(第 6 實施形態)

參照第 13 圖，在本第 6 實施形態中，進行說明以 p 通道電晶體構成上述第 5 實施形態之 V 驅動器的情形。

亦即，如第 13 圖所示，在本第 6 實施形態的 V 驅動器中設有：複數段的移位暫存器電路部 541 至 545；掃描方向切換電路部 640；輸入信號切換電路部 740；複數段的邏輯合成電路部 841 至 843；以及電路部 921。其中，在第 13 圖中，為簡化圖示，雖僅圖示 5 段份的移位暫存器電路部 541 至 545 及 3 段份的邏輯合成電路部 841 至 843，但在實際上係設有對應像素數的數量的移位暫存器電路部及邏輯合成電路部。

接著，第 1 段之移位暫存器電路部 541 係由具有與第 5 圖所示之第 2 實施形態之第 1 段之移位暫存器電路部 501 的第 1 電路部 501a 與第 2 電路部 501b 相同的電路構成的第 1 電路部 541a 及第 2 電路部 541b 所構成。此外，第 2

段之移位暫存器電路部 542 係由具有與第 5 圖所示之第 2 實施形態之第 2 段之移位暫存器電路部 502 的第 1 電路部 502a 與第 2 電路部 502b 相同的電路構成的第 1 電路部 542a 及第 2 電路部 542b 所構成。

在此，在第 6 實施形態中，分別對於第 3 段之移位暫存器電路部 543、第 4 段之移位暫存器電路部 544 及第 5 段之移位暫存器電路部 545，連接有致能信號線(ENB)。具體而言，第 3 段之移位暫存器電路部 543 係由第 1 電路部 543a 及第 2 電路部 543b 所構成。第 1 電路部 543a 及第 2 電路部 543b 係分別具有與第 5 圖所示之第 2 實施形態之第 3 段之移位暫存器電路部 503 的第 1 電路部 503a 與第 2 電路部 503b 相同的電路構成。而在本第 6 實施形態中，係在電晶體 PT24 的汲極連接有致能信號線(ENB)。

此外，第 4 段之移位暫存器電路部 544 係由第 1 電路部 544a 及第 2 電路部 544b 所構成。第 1 電路部 544a 及第 2 電路部 544b 係分別具有與第 5 圖所示之第 2 實施形態之第 4 段之移位暫存器電路部 504 的第 1 電路部 504a 與第 2 電路部 504b 相同的電路構成。而在本第 6 實施形態中，係在電晶體 PT34 的汲極連接有致能信號線(ENB)。此外，第 5 段之移位暫存器電路部 545 係由第 1 電路部 545a 及第 2 電路部 545b 所構成。第 1 電路部 545a 及第 2 電路部 545b 係分別具有與第 5 圖所示之第 2 實施形態之第 5 段之移位暫存器電路部 505 的第 1 電路部 505a 與第 2 電路部 505b 相同的電路構成。而在本第 6 實施形態中，係在電晶體 PT44

的汲極連接有致能信號線(ENB)。

此外，掃描方向切換電路部 640 係具有與第 5 圖所示之第 2 實施形態之掃描方向切換電路部 600 相同的電路構成。此外，輸入信號切換電路部 740 係具有與第 5 圖所示之第 2 實施形態之輸入信號切換電路部 700 相同的電路構成。此外，邏輯合成電路部 841 至 843 係分別具有與第 5 圖所示之第 2 實施形態之邏輯合成電路部 801 至 803 相同的電路構成。而且，邏輯合成電路部 841 至 843 係分別具備：具有與第 5 圖所示之第 2 實施形態之電位固定電路部 801a 至 803a 相同的電路構成的電位固定電路部 841a 至 843a。此外，電路部 921 係具有與第 5 圖所示之第 2 實施形態之電路部 901 相同的電路構成。

第 14 圖係用以說明本發明之第 6 實施形態之液晶顯示裝置之 V 驅動器的動作的電壓波形圖。接著，參照第 13 圖及第 14 圖，說明第 6 實施形態之 V 驅動器的動作。在本第 6 實施形態之 V 驅動器中，係分別輸入使第 12 圖所示之第 5 實施形態的開始信號 STV；時脈信號 CKV1、CKV2；致能信號 ENB 及反轉致能信號 XENB 的 H 位準與 L 位準反轉的波形的信號，來作為開始信號 STV；時脈信號 CKV1、CKV2；致能信號 ENB 及反轉致能信號 XENB。藉此方式，由第 6 實施形態的移位暫存器電路部 541 至 545，係輸出有：具有使由第 11 圖所示之第 5 實施形態之移位暫存器電路部 531 至 535 輸出的移位信號 SR1 至 SR5 的 H 位準與 L 位準反轉的波形的信號。此外，由第 6 實施形態的邏輯合成電路部

841 至 843，係輸出有：具有使由第 11 圖所示之第 5 實施形態之邏輯合成電路部 831 至 833 輸出的移位輸出信號 Dummy、Gate1 及 Gate2 的 H 位準與 L 位準反轉的波形的信號。本第 6 實施形態之 V 驅動器的上述以外的動作，係與第 11 圖所示之上述第 5 實施形態之 V 驅動器的動作相同。

在第 6 實施形態中，如上所述，設置重置電晶體 PT39 及 PT49，同時，響應開始信號 STV 而使電晶體 PT39 及 PT49 導通，藉此可抑制在意料之外的時序將移位輸出信號輸出至閘極線等，而可獲得與上述第 5 實施形態相同的效果。

其中，在第 6 實施形態中，係將時脈信號 CKV1(CKV2) 供應至移位暫存器電路部 543 至 545 的電晶體 PT24、PT34 及 PT44 的閘極，同時，將切換成 H 位準(VDD)與 L 位準(VBB)的致能信號 ENB 供應至汲極，藉此進行以下動作。例如，於第 3 段的移位暫存器電路部 543 中，藉由時脈信號 CKV1 使電晶體 PT24 呈導通狀態之後，藉由致能信號 ENB 使電晶體 PT24 的源極電位由 VDD 下降至 VBB，因此，可使電晶體 PT24 的閘極電位僅下降其電位的下降份($V\beta$)。此外，於第 4 段的移位暫存器電路部 544 中，藉由時脈信號 CKV2 使電晶體 PT34 呈導通狀態之後，藉由致能信號 ENB 使電晶體 PT34 的源極電位由 VDD 下降至 VBB，因此，使電晶體 PT34 的閘極電位僅下降其電位的下降份($V\beta$)。藉此方式，與電晶體 PT24 及 PT34 的汲極連接於固定的負側電位 VBB 的情形相較之下，可更加降低移位信號 SR3 及 SR4 的電位($VBB - V\beta < VBB - V_t$)，因此，可更輕易地將移位信號 SR3 及 SR4

的電位設定在比 V_{BB} 還低臨限值電壓 (V_t) 以上的電位。是故，可更輕易地將具有 $V_{BB}-V_t$ 以下的電位 ($V_{BB}-V_{\beta}$) 的移位信號 SR3 及 SR4 分別供應至連接於第 1 段之閘極線的邏輯合成電路部 842 的電晶體 PT91 及 PT93 的閘極。藉此方式，可抑制經由邏輯合成電路部 842 的電晶體 PT91 及 PT92 而輸出至第 1 段之閘極線的移位輸出信號 Gate1 的電位僅上升臨限值電壓 (V_t) 份。

(第 7 實施形態)

參照第 15 圖，在本第 7 實施形態中，進行說明於第 1 圖所示之第 1 實施形態的液晶顯示裝置中，將本發明應用在用以驅動(掃描)汲極線的 H 驅動器的情形。

如第 15 圖所示，與第 2 圖所示之第 1 實施形態的 V 驅動器 5 相同地，在本第 7 實施形態的液晶顯示裝置的 H 驅動器 4 的內部係設有：複數段的移位暫存器電路部 51 至 55；掃描方向切換電路部 60；輸入信號切換電路部 70；以及複數段的邏輯合成電路部 81 至 83。其中，在第 15 圖中，為簡化圖示，雖僅圖示 5 段份的移位暫存器電路部 51 至 55 及 3 段份的邏輯合成電路部 81 至 83，但在實際上係設有對應像素數的數量的移位暫存器電路部及邏輯合成電路部。而且，在本第 7 實施形態中，係連接有邏輯合成電路部 81 至 83 與水平開關 3。具體而言，水平開關 3 係包含：數量與邏輯合成電路部 81 至 83 的段數相對應的 n 通道電晶體 NT121 至 123。以下， n 通道電晶體 NT121 至 123 係分別稱為電晶體 NT121 至 123。

接著，電晶體 NT121 的源極係連接於假閘極線，同時，汲極係連接於視訊信號線 (Video)。該電晶體 NT121 的閘極係連接於邏輯合成電路部 81 的節點 ND4。此外，電晶體 NT122 的源極係連接於第 1 段之汲極線，同時，汲極係連接於視訊信號線 (Video)。該電晶體 NT122 的閘極係連接於邏輯合成電路部 82 的節點 ND4。此外，電晶體 NT123 的源極係連接於第 2 段之汲極線，同時，汲極係連接於視訊信號線 (Video)。該電晶體 NT123 的閘極係連接於邏輯合成電路部 83 的節點 ND4。而且，第 7 實施形態的 H 驅動器 4 中，係供應有：開始信號 STH；掃描方向切換信號 CSH；反轉掃描方向切換信號 XCSH；時脈信號 CKH1 及 CKH2，來取代於第 2 圖所示之第 1 實施形態的 V 驅動器 5 中所供應的：開始信號 STV；掃描方向切換信號 CSV；反轉掃描方向切換信號 XCSV；時脈信號 CKV1 及 CKV2。其中，該等之開始信號 STV；掃描方向切換信號 CSH；反轉掃描方向切換信號 XCSH；時脈信號 CKH1 及 CKH2 的波形係分別與上述第 1 實施形態的開始信號 STV；掃描方向切換信號 CSV；反轉掃描方向切換信號 XCSV；時脈信號 CKV1 及 CKV2 的波形相同。

接著，參照第 15 圖，說明第 7 實施形態之 H 驅動器之移位暫存器電路部的動作。本第 7 實施形態的 H 驅動器 4 中，係由各段之邏輯合成電路部 81 至 83，依序輸出有：與上述第 1 實施形態之移位輸出信號 Dummy、Gate1 及 Gate2 相對應的 H 位準的移位輸出信號 Dummy、Drain1 及 Drain2。而該移位輸出信號 Dummy、Drain1 及 Drain2 係分

別被輸入至所對應之水平開關 3 的電晶體 NT121 至 NT123 的閘極。藉此方式，水平開關 3 的各段的電晶體 NT121 至 NT123 依序呈導通狀態。因此，由視訊信號線 (Video) 將影像信號經由水平開關 3 的各段的電晶體 NT121 至 NT123 依序輸出至各段的汲極線。本第 7 實施形態之 H 驅動器 4 的上述以外的動作，係與第 2 圖所示之上述第 1 實施形態之 V 驅動器 5 的動作相同。

在第 7 實施形態中，如上所述，藉由設置重置電晶體 NT39 及 NT49，同時，響應開始信號 STV 而使電晶體 NT39 及 NT49 導通，可抑制在意料之外的時序將影像信號輸出至汲極線等，而可獲得與上述第 1 實施形態相同的效果。

(第 8 實施形態)

參照第 16 圖，在本第 8 實施形態中，進行說明將本發明應用在含有具有 n 通道電晶體之像素的有機 EL 顯示裝置的情形。

亦即，如第 16 圖所示，在本第 8 實施形態中，在基板 1b 上形成有顯示部 102。在該顯示部 102 係以矩陣狀配置有像素 120，該像素 120 包含：n 通道電晶體 121 及 122 (以下稱為電晶體 121 及 122)；補助電容 123；陽極 124；陰極 125；夾在陽極 124 與陰極 125 之間的有機 EL 元件 126。其中，在第 16 圖的顯示部 102 中係顯示 1 像素份的構成。而電晶體 121 的源極係連接於電晶體 122 的閘極與補助電容 123 的一方的電極，同時，汲極係連接於汲極線。該電晶體 121 的閘極係連接於閘極線。此外，電晶體 122 的源

極係連接於陽極 124，同時，汲極係連接於電流供應線(未圖示)。

此外，H 驅動器 4 內部的電路構成係與第 15 圖所示之第 7 實施形態之 H 驅動器 4 的電路構成相同。此外，V 驅動器 5 內部的電路構成係與第 2 圖所示之第 1 實施形態之 V 驅動器 5 的電路構成相同。第 8 實施形態之有機 EL 顯示裝置之該等以外的部分的構成與第 1 圖所示之第 1 實施形態之液晶顯示裝置相同。

在第 8 實施形態中，藉由如上所述的構成，於有機 EL 顯示裝置中，可抑制在意料之外的時序將影像信號輸出至閘極線，同時，可抑制在意料之外的時序將移位輸出信號輸出至汲極線等，而可獲得與上述第 1 實施形態及第 7 實施形態相同的效果。

(第 9 實施形態)

參照第 17 圖，在本第 9 實施形態中，進行說明將本發明應用在含有具有 p 通道電晶體之像素的有機 EL 顯示裝置的情形。

亦即，如第 17 圖所示，在本第 9 實施形態中，在基板 1c 上形成有顯示部 102a。在該顯示部 102a 係以矩陣狀配置有像素 120a，該像素 120a 包含：p 通道電晶體 121a 及 122a(以下稱為電晶體 121a 及 122a)；補助電容 123a；陽極 124a；陰極 125a；夾在陽極 124a 與陰極 125a 之間的有機 EL 元件 126a。其中，在第 17 圖的顯示部 102a 中係顯示 1 像素份的構成。而電晶體 121a 的源極係連接於汲極，

同時，汲極係連接於電晶體 122a 的閘極與補助電容 123a 的一方的電極。該電晶體 121a 的閘極係連接於閘極線。此外，電晶體 122a 的源極係連接於電流供應線(未圖示)，同時，汲極係連接於陽極 124a。

此外，V 驅動器 5a 內部的電路構成係與第 5 圖所示之第 2 實施形態之 V 驅動器 5a 的電路構成相同。第 9 實施形態之有機 EL 顯示裝置之該等以外的部分的構成與第 4 圖所示之第 2 實施形態之液晶顯示裝置相同。

在第 9 實施形態中，藉由如上所述的構成，於有機 EL 顯示裝置中，可抑制在意料之外的時序將移位輸出信號輸出至閘極線等，而可獲得與上述第 2 實施形態相同的效果。

此外，本次所揭示之實施形態均為例示，而非加以限制者。本發明之範圍係由申請專利範圍所揭示，而非上述實施形態的說明，再者，包含與申請專利範圍均等涵義以及範圍內之所有變更。

例如，在上述第 1 至第 9 實施形態中，雖例示將本發明應用在液晶顯示裝置以及有機 EL 顯示裝置，惟本發明並非侷限於此，亦可應用在液晶顯示裝置及有機 EL 顯示裝置以外的顯示裝置。

此外，在上述第 1 至第 7 實施形態中，雖說明將本發明僅應用在 V 驅動器或 H 驅動器的任一方之例，惟本發明並非侷限於此，亦可將本發明應用在 V 驅動器及 H 驅動器之雙方。

此外，在上述第 7 實施形態中，雖顯示均以 n 通道電

晶體構成用在本發明之 H 驅動器的電晶體之例，惟本發明並非侷限於此，亦可均以 p 通道電晶體構成用在本發明之 H 驅動器的電晶體。

此外，於使用 n 通道電晶體之第 1、第 3、第 5、第 7 及第 8 實施形態中，亦可藉由 n 通道電晶體構成所有的電容。此外，於使用 p 通道電晶體之第 2、第 4、第 6 及第 9 實施形態中，亦可藉由 p 通道電晶體構成所有的電容。

【圖式簡單說明】

第 1 圖係顯示本發明之第 1 實施形態之液晶顯示裝置的俯視圖。

第 2 圖係為第 1 圖所示之第 1 實施形態之液晶顯示裝置的 V 驅動器內部的電路圖。

第 3 圖係用以說明本發明之第 1 實施形態之液晶顯示裝置的 V 驅動器之動作的電壓波形圖。

第 4 圖係顯示本發明之第 2 實施形態之液晶顯示裝置的俯視圖。

第 5 圖係為第 4 圖所示之第 2 實施形態之液晶顯示裝置的 V 驅動器內部的電路圖。

第 6 圖係用以說明本發明之第 2 實施形態之液晶顯示裝置的 V 驅動器之動作的電壓波形圖。

第 7 圖係為本發明之第 3 實施形態之液晶顯示裝置的 V 驅動器內部的電路圖。

第 8 圖係用以說明本發明之第 3 實施形態之液晶顯示裝置的 V 驅動器之動作的電壓波形圖。

第 9 圖係為本發明之第 4 實施形態之液晶顯示裝置的 V 驅動器內部的電路圖。

第 10 圖係用以說明本發明之第 4 實施形態之液晶顯示裝置的 V 驅動器之動作的電壓波形圖。

第 11 圖係為本發明之第 5 實施形態之液晶顯示裝置的 V 驅動器內部的電路圖。

第 12 圖係用以說明本發明之第 5 實施形態之液晶顯示裝置的 V 驅動器之動作的電壓波形圖。

第 13 圖係為本發明之第 6 實施形態之液晶顯示裝置的 V 驅動器內部的電路圖。

第 14 圖係用以說明本發明之第 6 實施形態之液晶顯示裝置的 V 驅動器之動作的電壓波形圖。

第 15 圖係為本發明之第 7 實施形態之液晶顯示裝置的 H 驅動器內部的電路圖。

第 16 圖係顯示本發明之第 8 實施形態之有機 EL 顯示裝置的俯視圖。

第 17 圖係顯示本發明之第 9 實施形態之有機 EL 顯示裝置的俯視圖。

第 18 圖係用以說明使習知技術之一例之顯示裝置的汲極線驅動的移位暫存器電路的電路構成的電路圖。

【主要元件符號說明】

1、1a、1b	基板
2、2a、102、102a	顯示部
3、3a	水平開關(HSW)

4、4a	H 驅動器
5、5a	V 驅動器 10 驅動 IC
11	信號產生電路
12、120、120a	電源電路
20、20a	像素
21、121、122	n 通道電晶體(電晶體)
21a	p 通道電晶體(電晶體)
22、22a	像素電極
23、23a	對向電極
24、24a	液晶
25、25a、123、123a	補助電容
51 至 55、501 至 505、511 至 515、521 至 525、531 至 535、 541 至 545	移位暫存器電路部
51a 至 55a、501a 至 505a、511a 至 515a、521a 至 525a、 531a 至 535a、541a 至 545a、1001a 至 1003a	第 1 電路部
51b 至 55b、501b 至 505b、511b 至 515b、521b 至 525b、 531b 至 535b、541b 至 545b、1001b 至 1003b	第 2 電路部
60、600、610、620、630、640	掃描方向切換電路部
70、700、710、720、730、740	輸入信號切換電路部
81 至 83、801 至 803、811 至 813、821 至 823、831 至 833、 841 至 843	邏輯合成電路部
81a 至 83a、801a 至 803a、811a 至 813a、821a 至 823a、 831a 至 833a、841a 至 843a	電位固定電路部
91、901、911、921	電路部

124、124a	陽極
125、125a	陰極
126	有機 EL 元件
Video	視訊信號(線)
SR1 至 SR5	移位信號
SR11 至 SR15	輸出信號
ST、STV、STH	開始信號
(STV)、(STH)	開始信號線
CSV、CSH	掃描方向切換信號
(CSV)、(CSH)	掃描方向切換信號線
CKH、CKH1、CKH2、CKV、CKV1、CKV2、CLK1、CLK2	時脈信號
(CKV1)、(CKV2)、(CLK1)、(CLK2)	時脈信號線
SR501 至 SR503、Dummy、Drain1、Drain 2、Gate1、Gate2	移位輸出信號
ENB、ENB1、ENB2	致能信號
(ENB1)、(ENB2)	致能信號線
XENB	反轉致能信號
(XENB)	反轉致能信號線
VDD	正側電位
VBB	負側電位
NT1 至 NT8、NT11 至 NT18、NT21 至 NT28、NT31 至 NT38、NT41 至 NT48、NT51 至 NT85、NT91 至 NT95、NT101 至 NT105、NT111 至 NT114、NT121 至 NT123、NT500 至 NT508、	

NT510 至 NT512	n 通道電晶體(電晶體)
NT39、NT49	n 通道電晶體(重置電晶體)
PT1 至 PT8、PT11 至 PT18、PT21 至 PT28、PT31 至 PT38、 PT41 至 PT48、PT51 至 PT85、PT91 至 PT95、PT101 至 PT105、 PT111 至 PT114	p 通道電晶體(電晶體)
PT39、PT49	p 通道電晶體(重置電晶體)
C1 至 C4、C11 至 C14、C21 至 C24、C31 至 C34、C41 至 C44、 C81、C91、C101、C111、C501、C502	電容
ND1 至 ND7、ND501 至 ND504	節點
XCSH、XCSV	反轉掃描方向切換信號
(XCSH)、(XCSV)	反轉掃描方向切換信號線
(Dummy)	假閘極線
(Gate1)	第 1 段的閘極線
(Gate2)	第 2 段的閘極線
(Video)	視訊信號線

五、中文發明摘要：

本發明提供一種可抑制以意料之外的時序使信號輸出至閘極線或汲極線的顯示裝置。該顯示裝置係具備移位暫存器電路，該移位暫存器電路包含：複數個移位暫存器電路部，根據開始信號依序將移位信號輸出至下一段的移位暫存器電路；以及邏輯合成電路部，由以第 1 電位導通的複數個第 1 導電型的電晶體所構成，同時連接於輸出有前述移位信號之節點，且根據前述移位信號將移位輸出信號予以邏輯合成而輸出；而且前述移位暫存器電路部係包含重置電晶體，用以響應前述開始信號，而將輸出有前述移位信號之節點之電位重置為前述邏輯合成電路部的電晶體不導通的第 2 電位。

六、英文發明摘要：

A display capable of inhibiting a logic composition circuit from outputting a signal to a gate line or a drain line at unintentional timing is obtained. This display comprises a shift register circuit including a plurality of shift register circuit portions which sequentially outputs the shift signal to the next stage of the shift register circuit according to a start signal and a logic composition circuit portion which is constituted of a plurality of first conductive type transistors turned on with a first voltage supply and connects with a node outputting the shift signal and logically composes the shift output signal and outputs according to the shift signal. The shift register circuit portion includes a reset transistor for resetting the current potential of a node outputting the shift signal to a second current potential not turning on the transistors of the logic composition circuit portion in response to the start signal.

十、申請專利範圍：

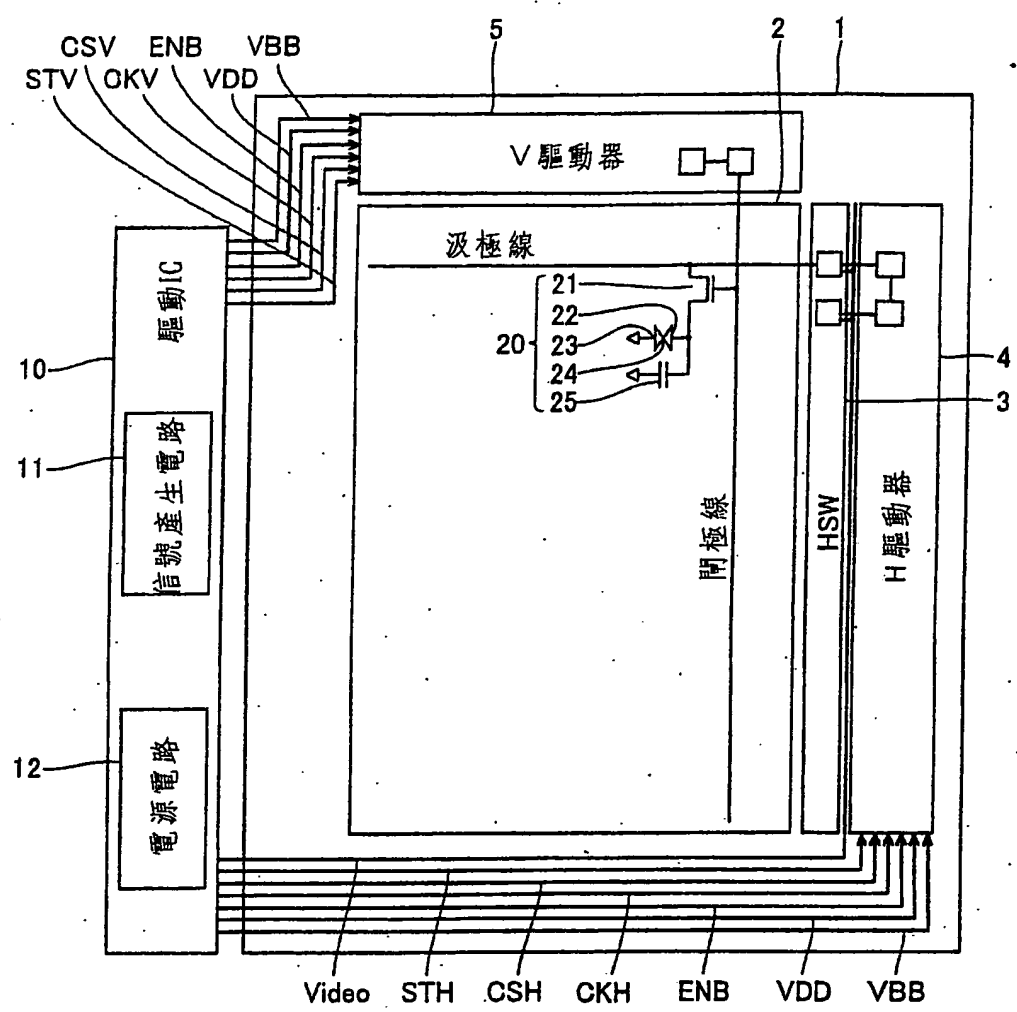
1. 一種顯示裝置，係具備移位暫存器電路，該移位暫存器電路包含：

複數個移位暫存器電路部，根據開始信號依序將移位信號輸出至下一段的移位暫存器電路；以及

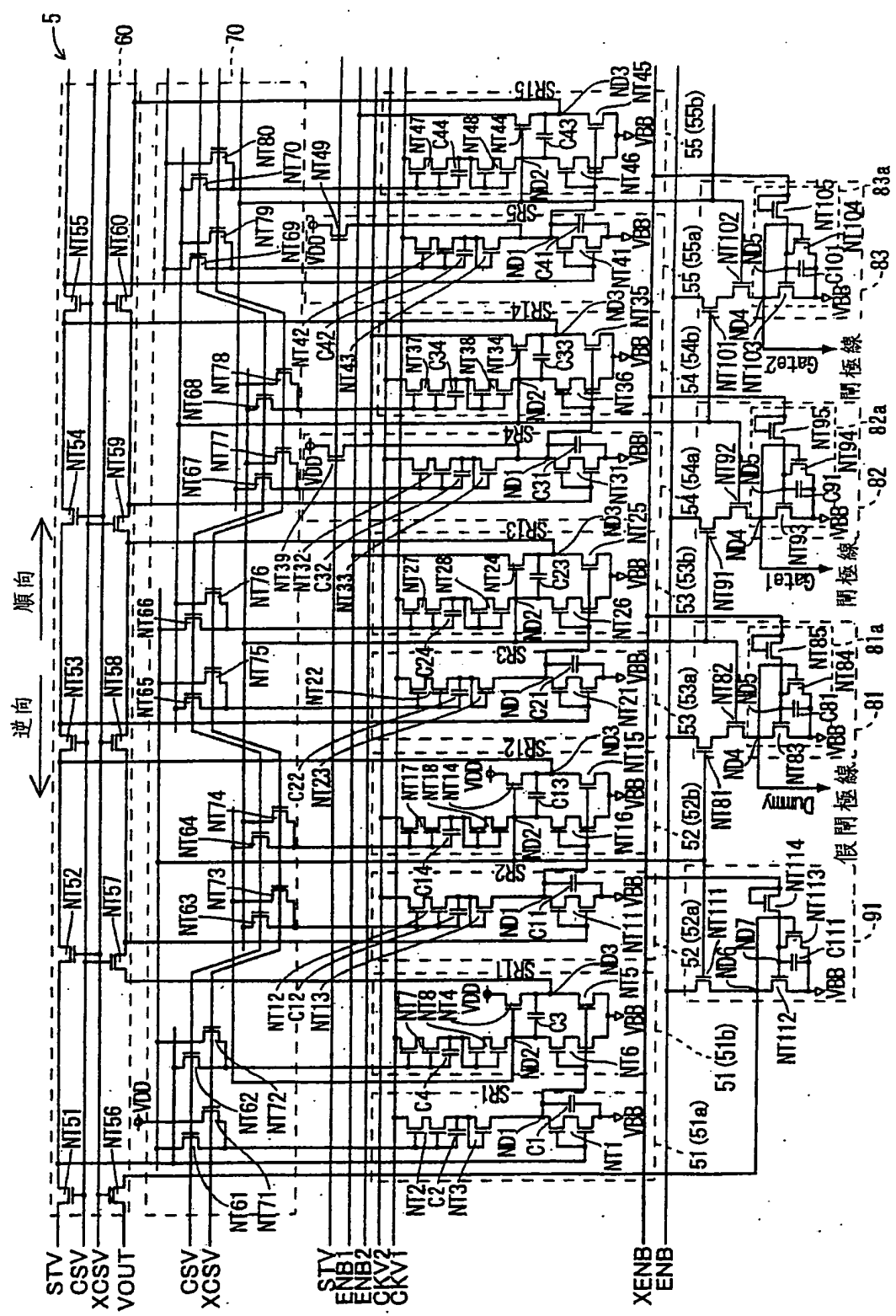
邏輯合成電路部，由以第 1 電位導通的複數個第 1 導電型的電晶體所構成，同時連接於輸出有前述移位信號之節點，且根據前述移位信號將移位輸出信號予以邏輯合成而輸出，

而且前述移位暫存器電路部係包含重置電晶體，用以響應前述開始信號，而將輸出有前述移位信號之節點之電位重置為前述邏輯合成電路部的電晶體不導通的第 2 電位。

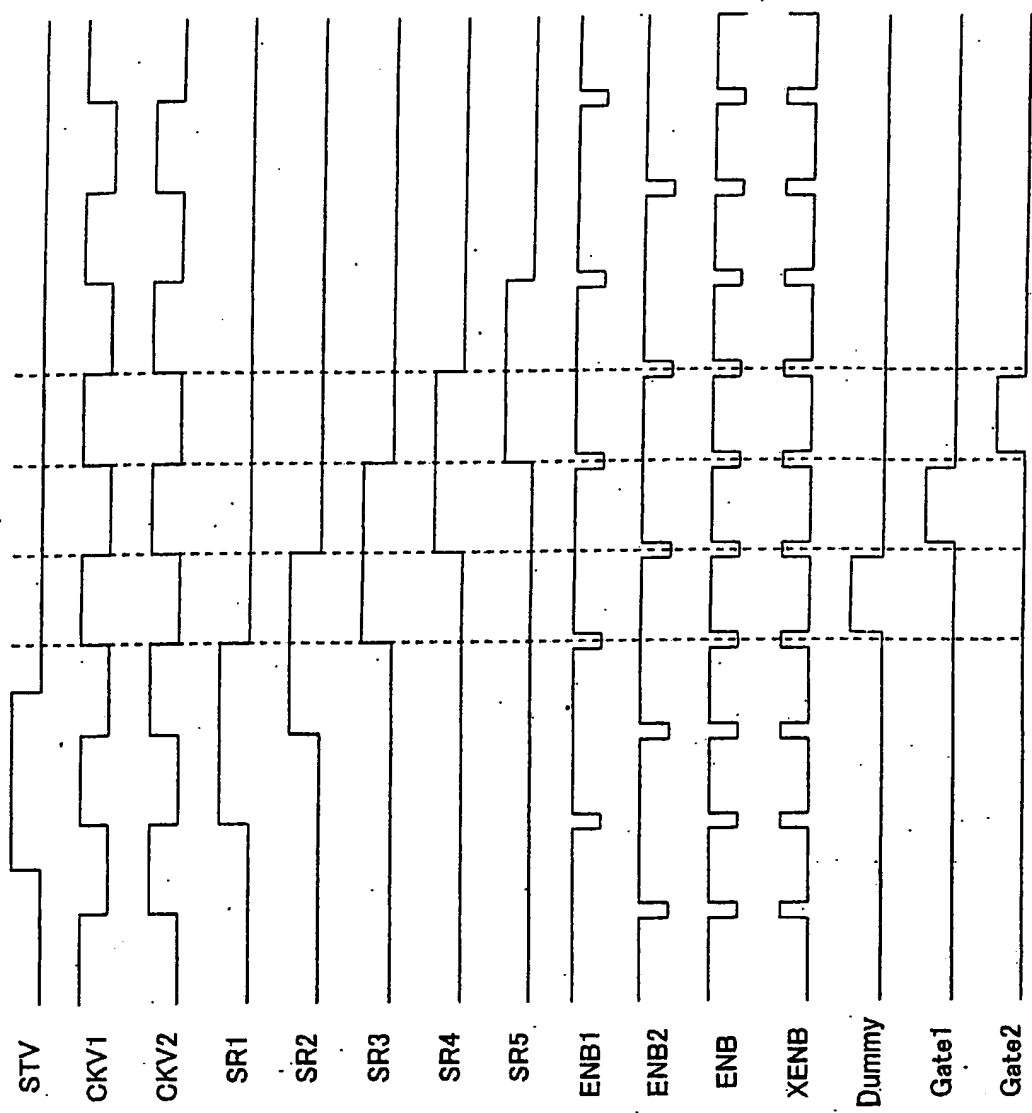
2. 如申請專利範圍第 1 項之顯示裝置，其中，前述移位暫存器電路係適用於用以驅動閘極線之移位暫存器電路以及用以驅動汲極線之移位暫存器電路之至少一方。
3. 如申請專利範圍第 1 項之顯示裝置，其中，構成前述移位暫存器電路及前述邏輯合成電路部之電晶體，以及前述重置電晶體，係具有第 1 導電型。



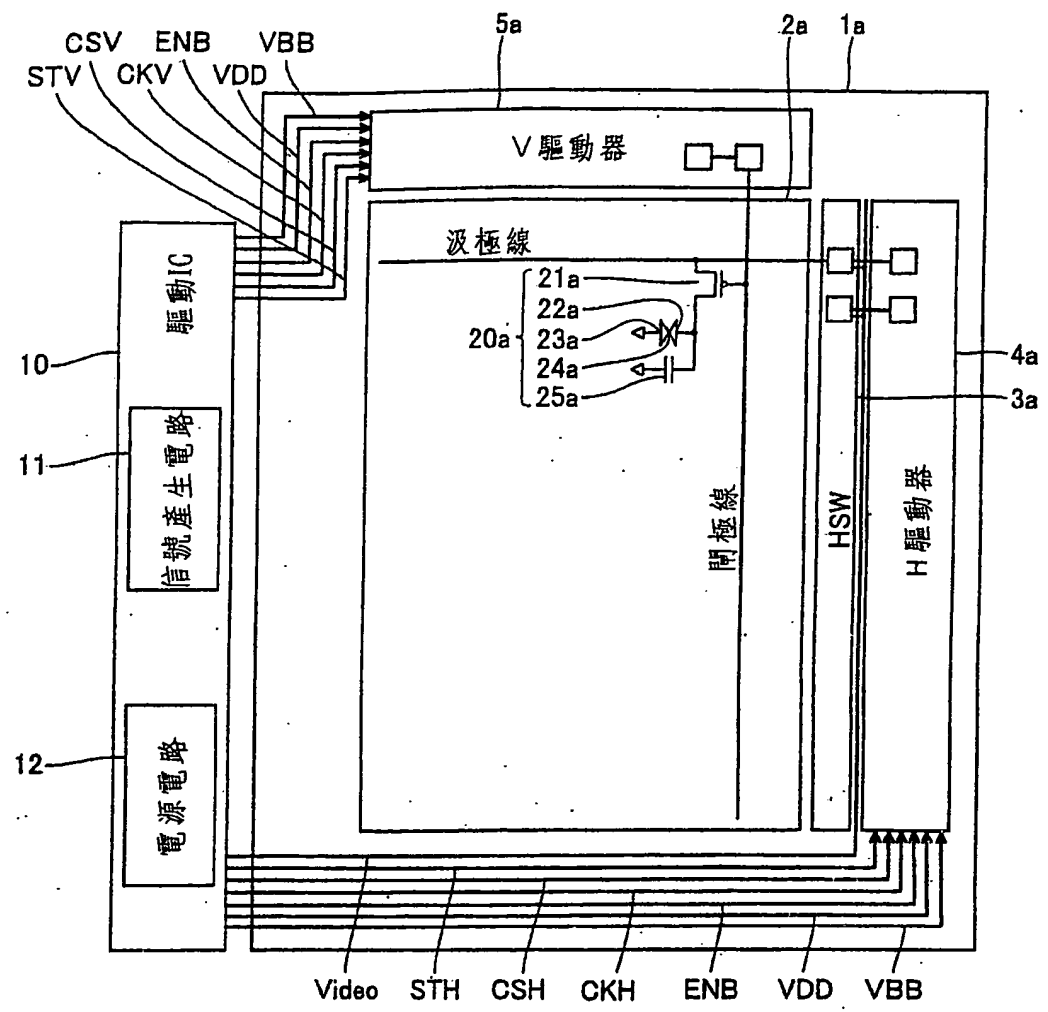
第1圖



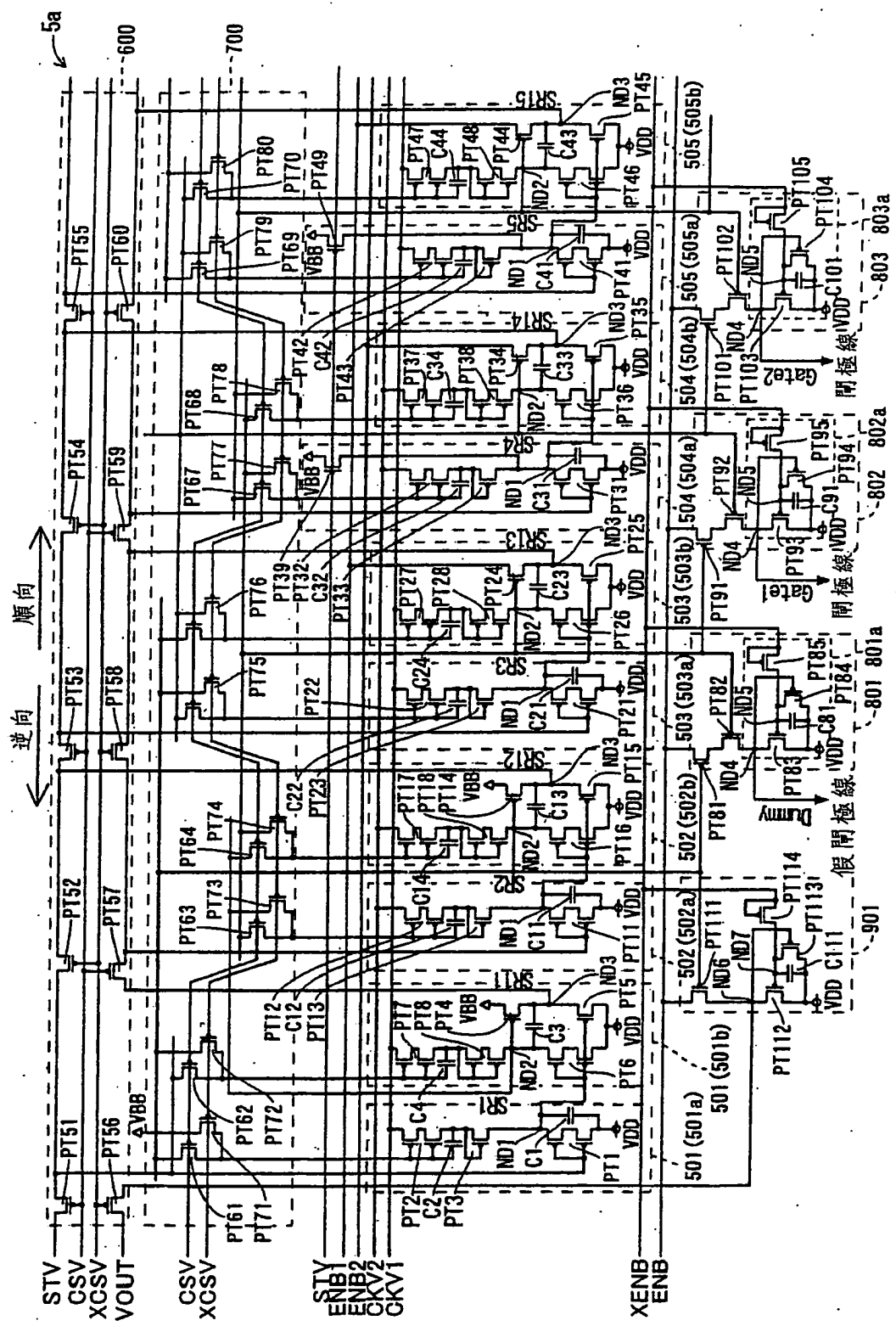
第2圖



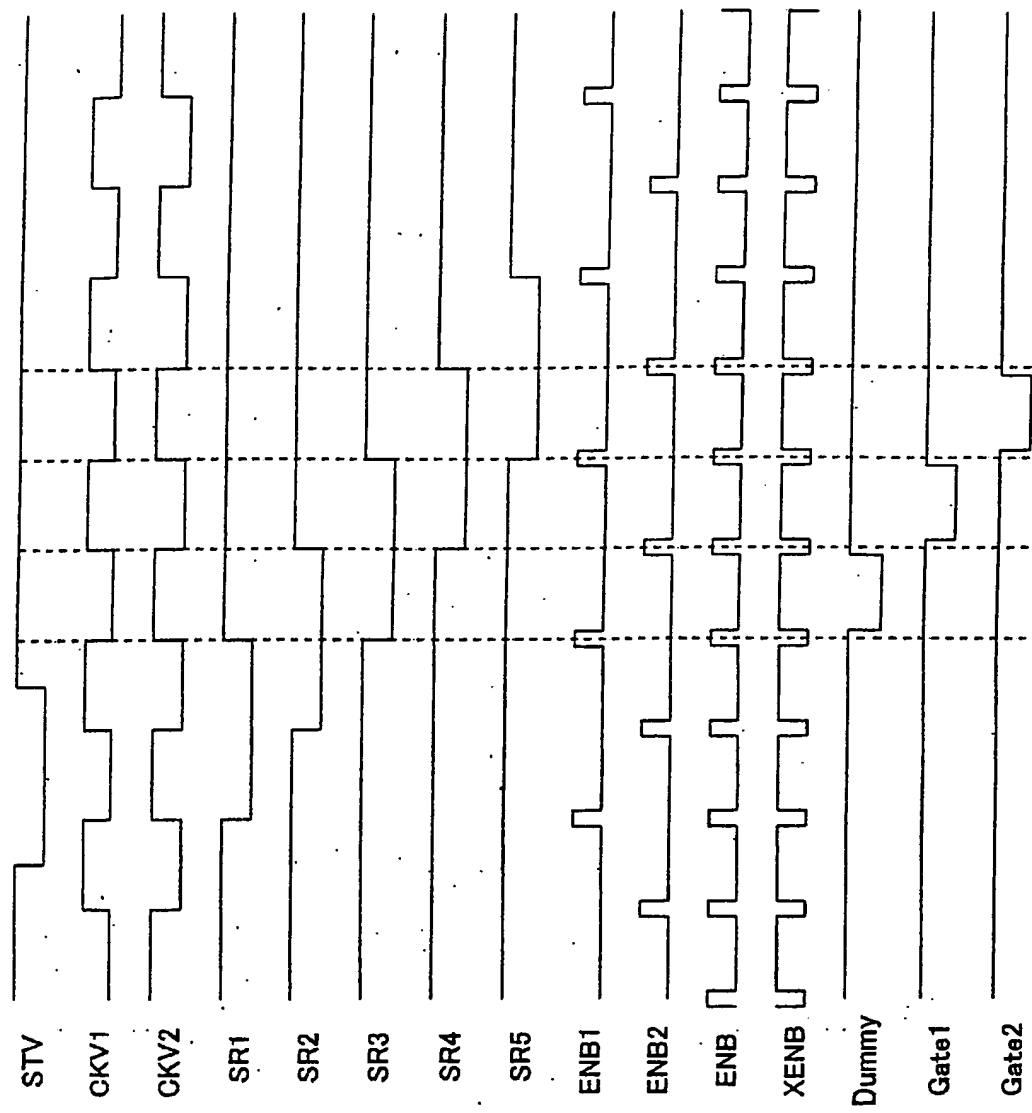
第3圖



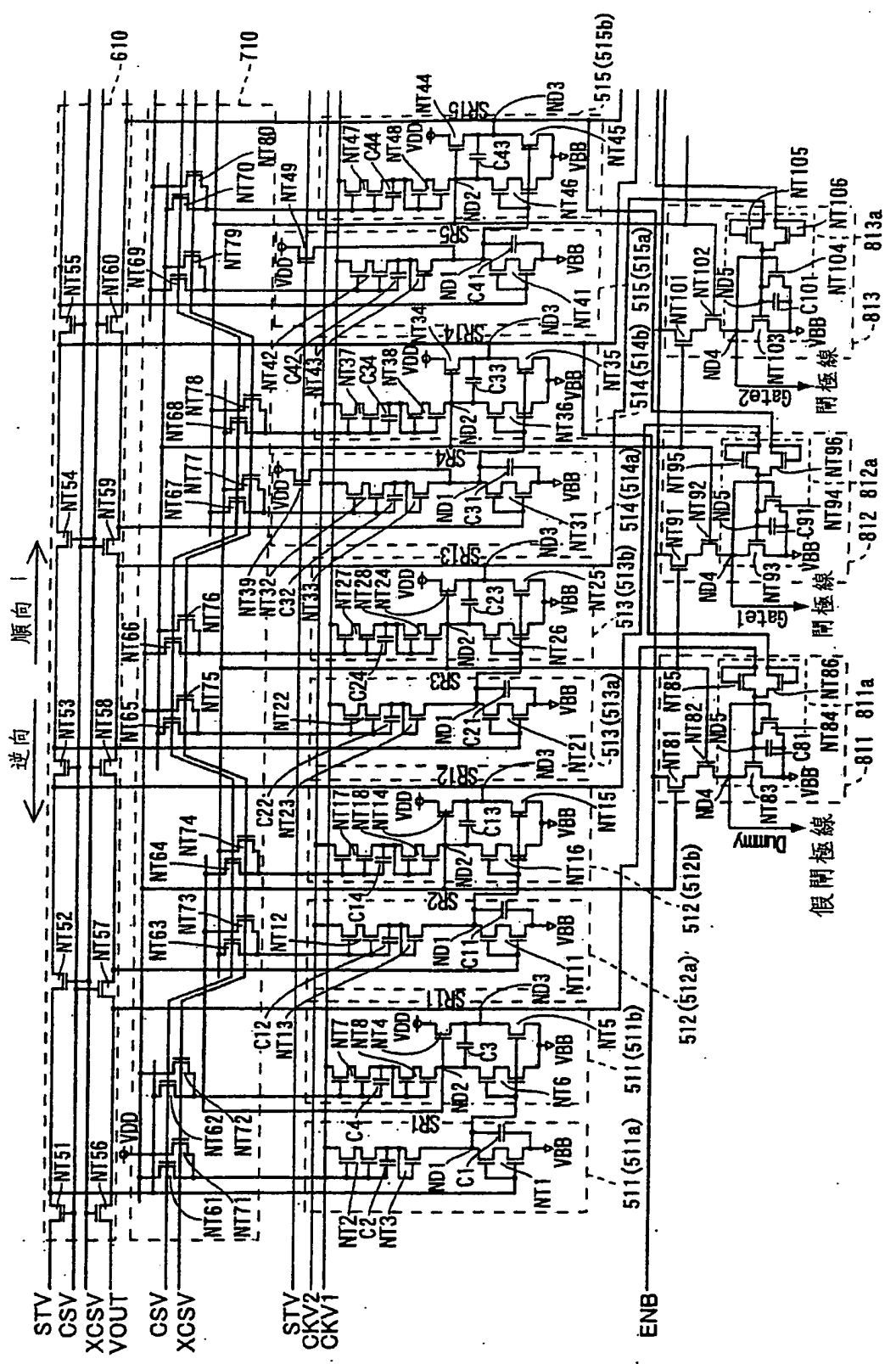
第4圖



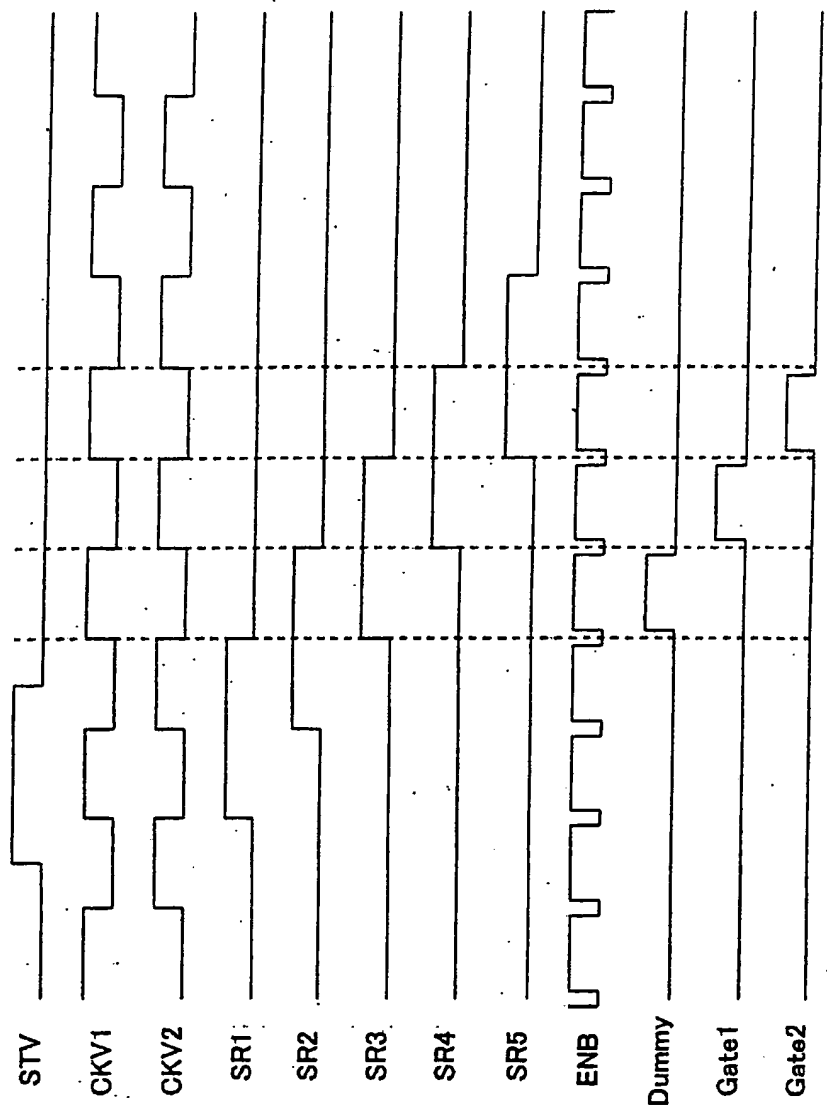
第5圖



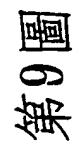
第6圖

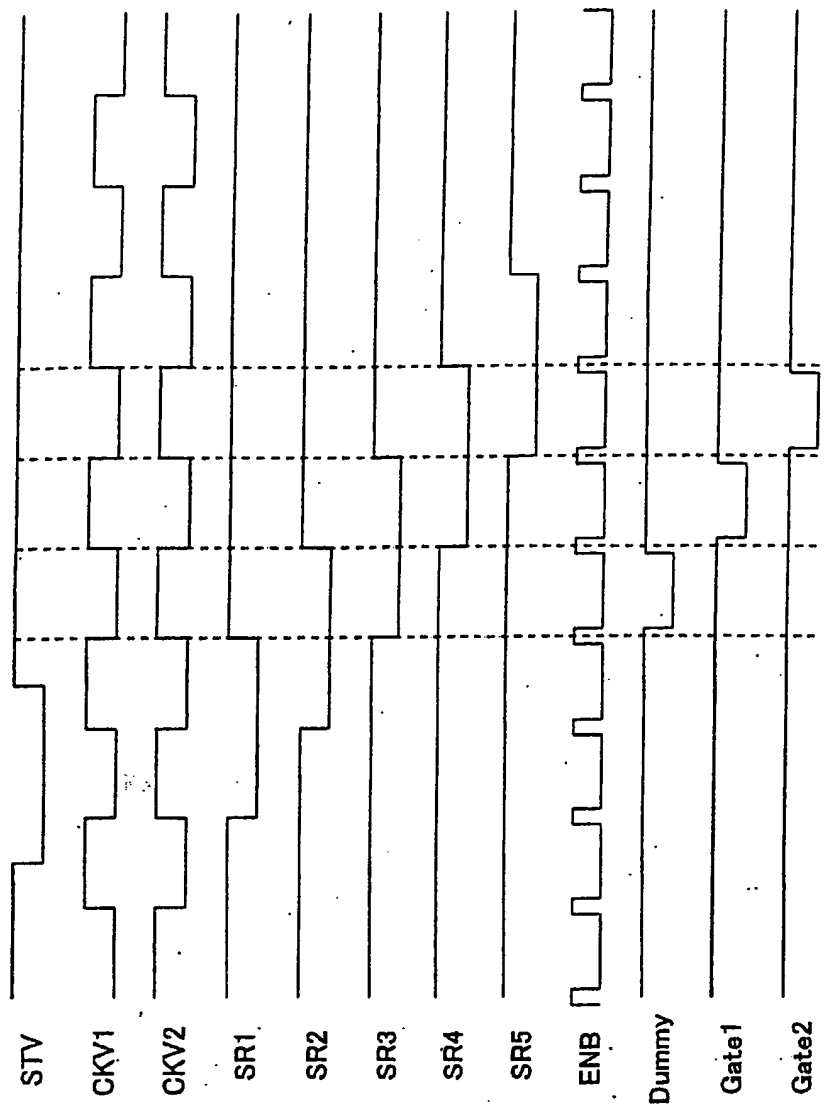


第7圖

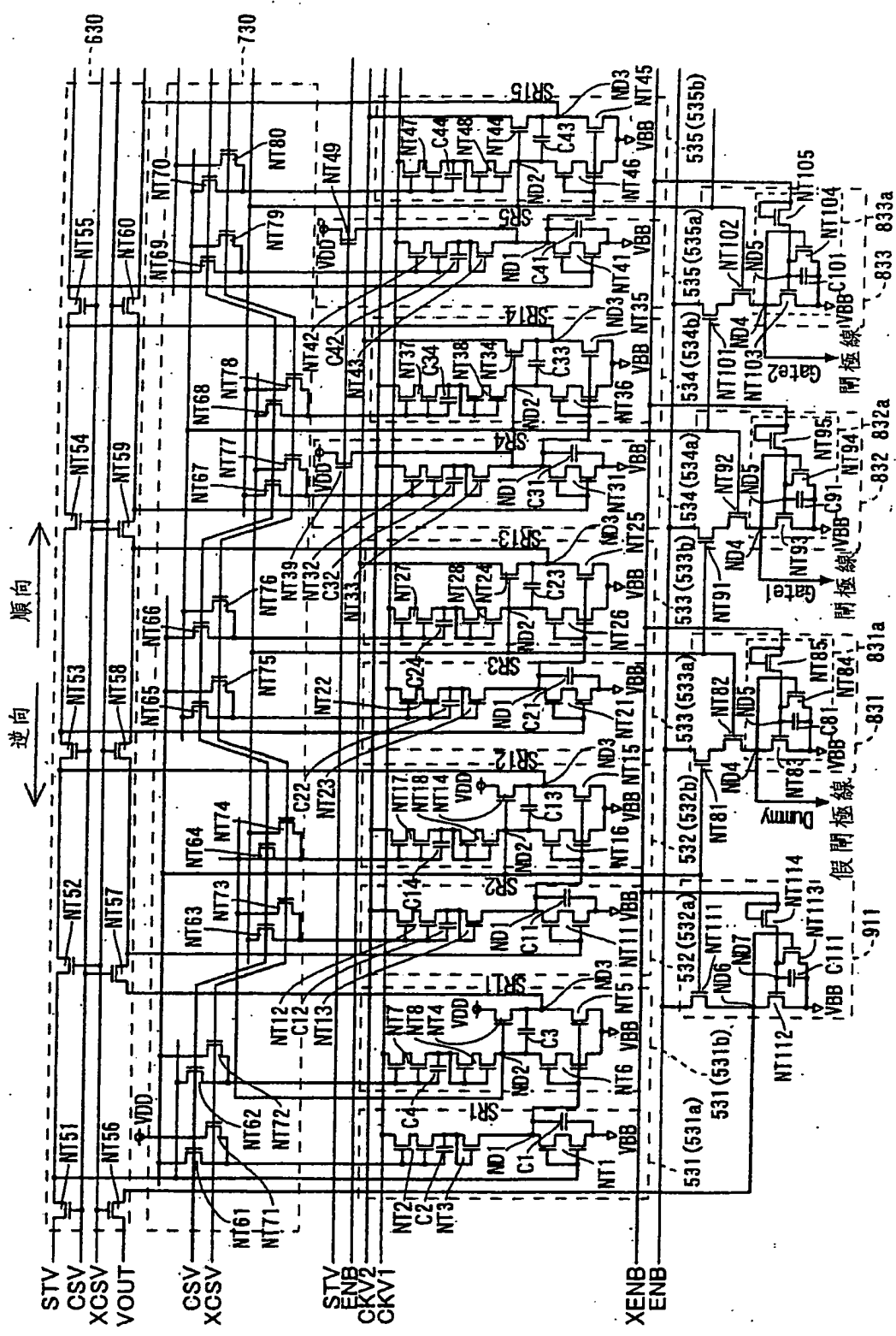


第8圖

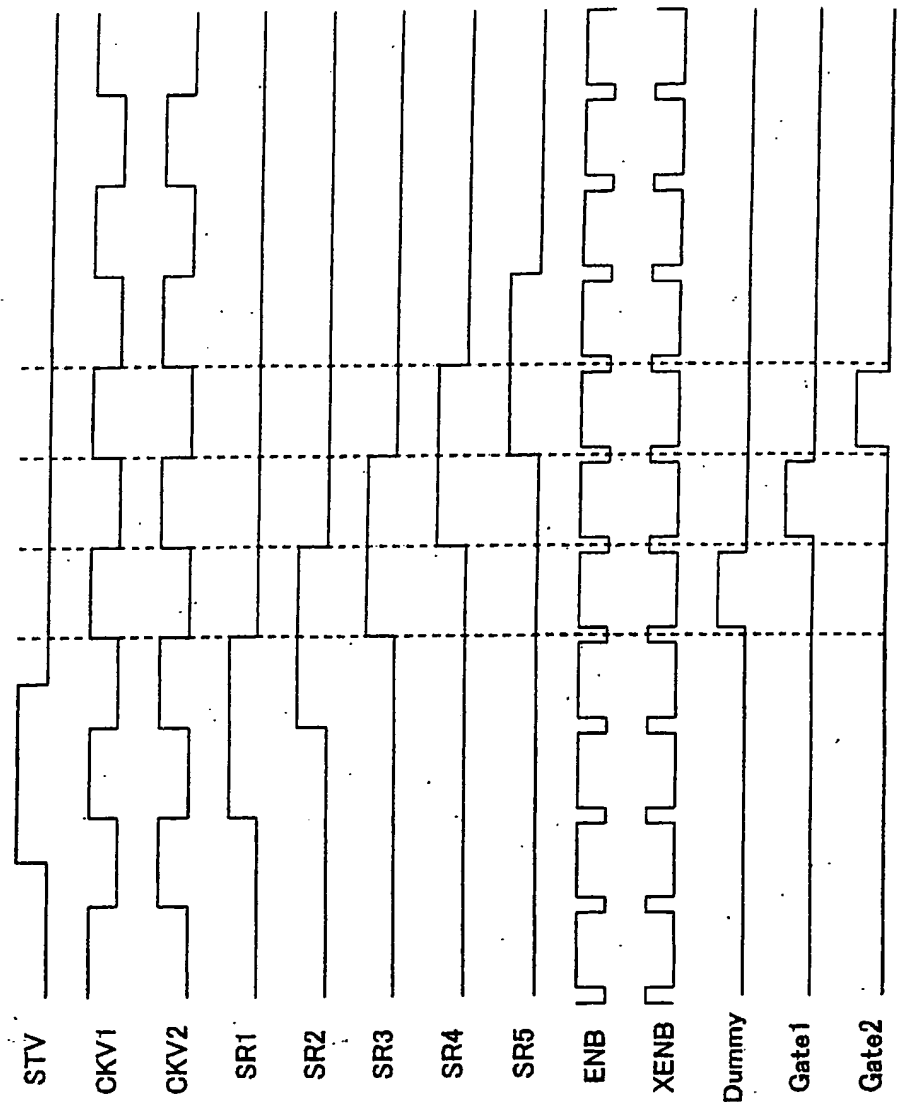




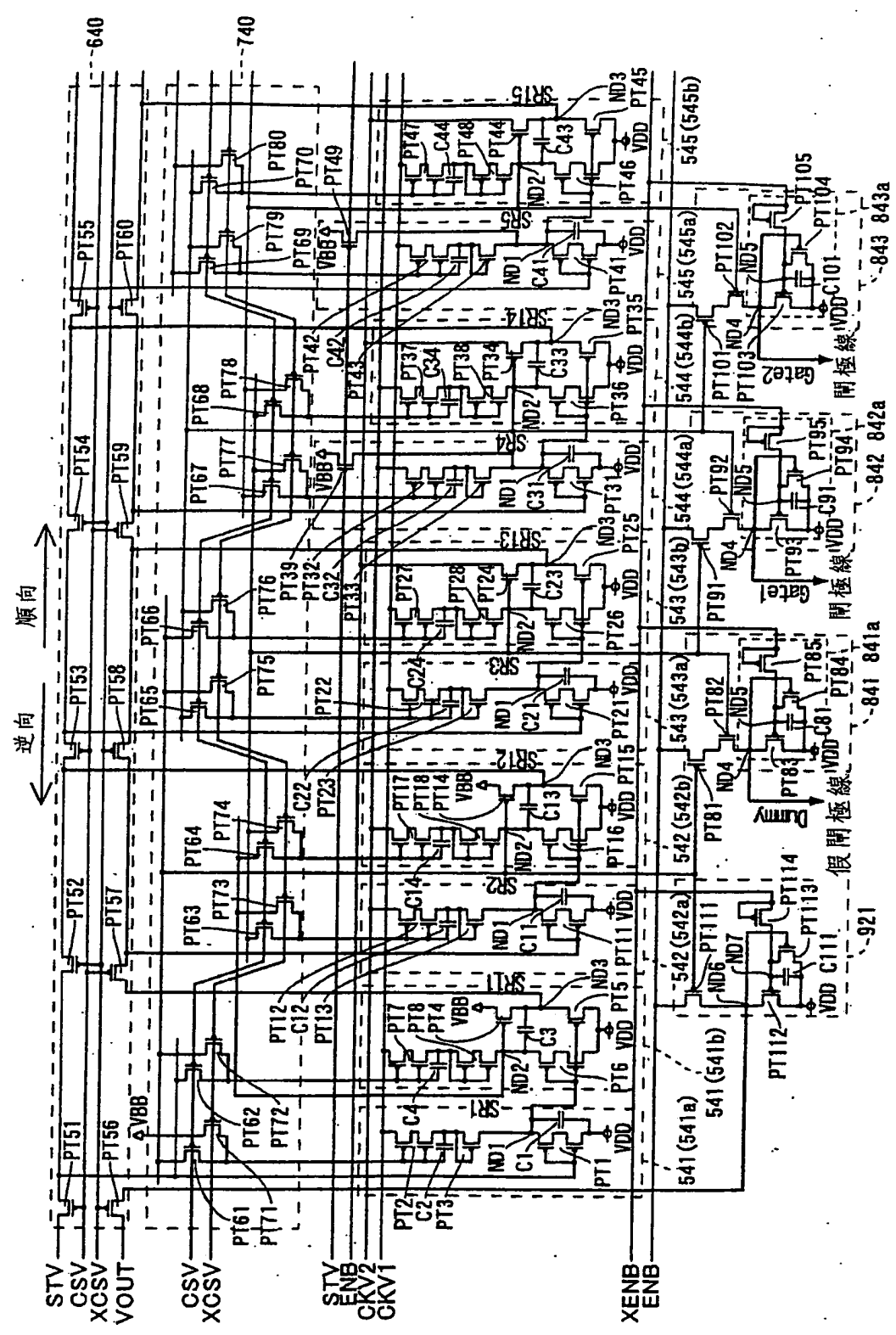
第10圖



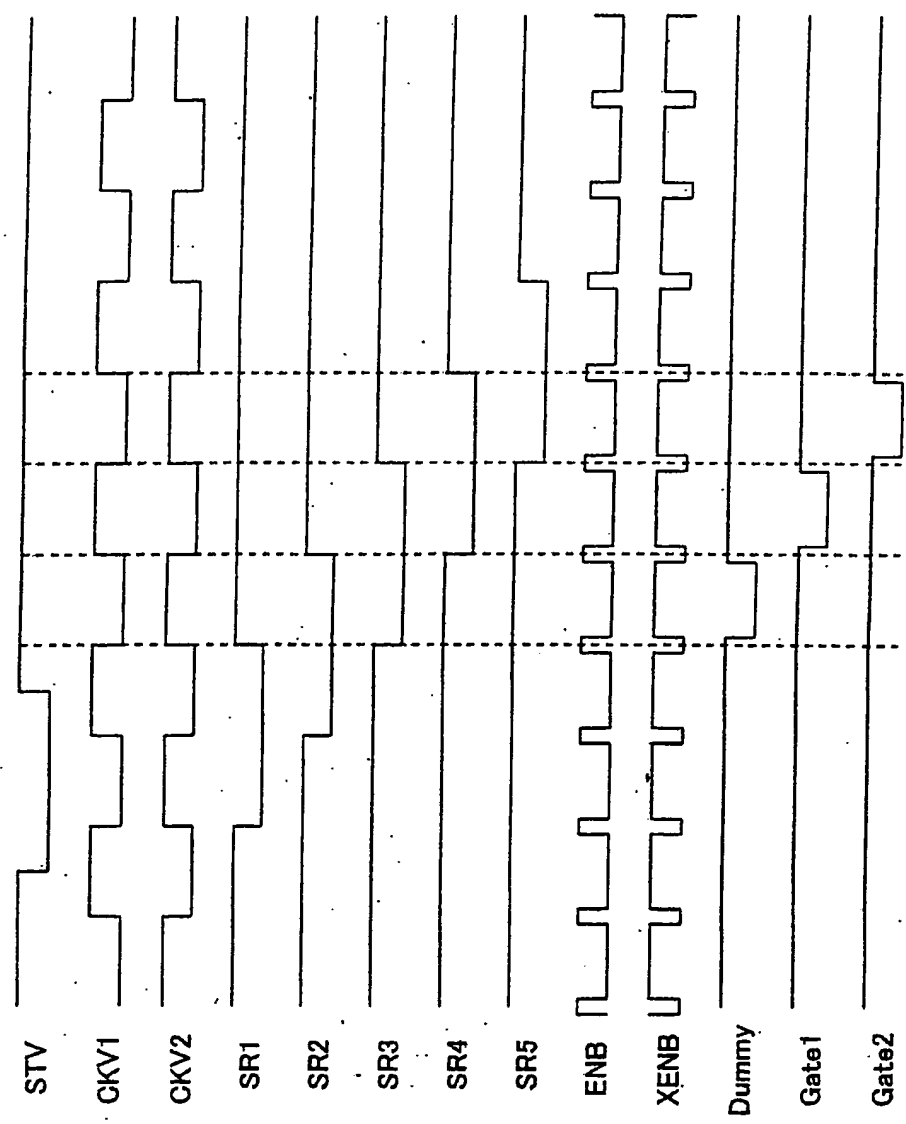
第11圖



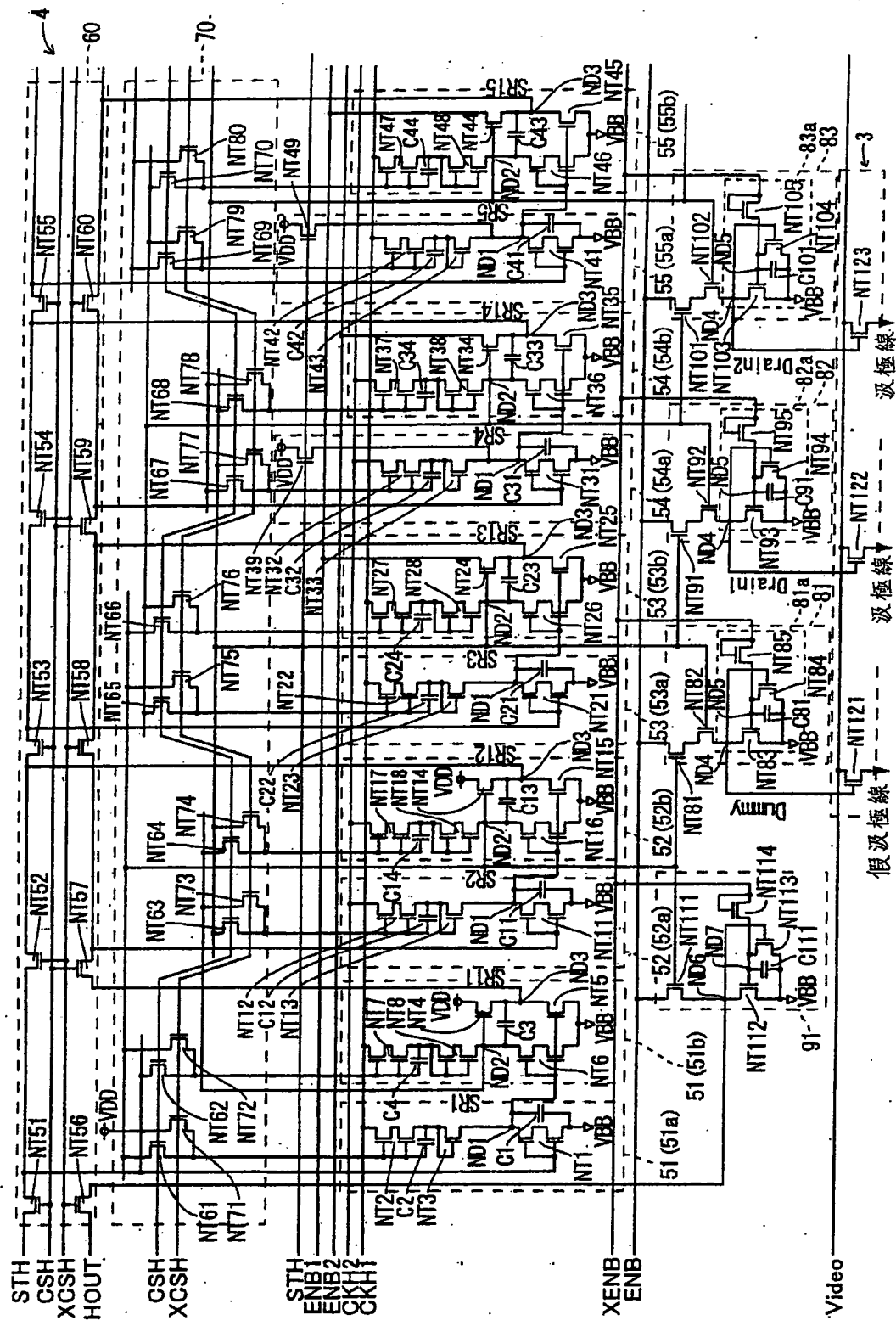
第12圖



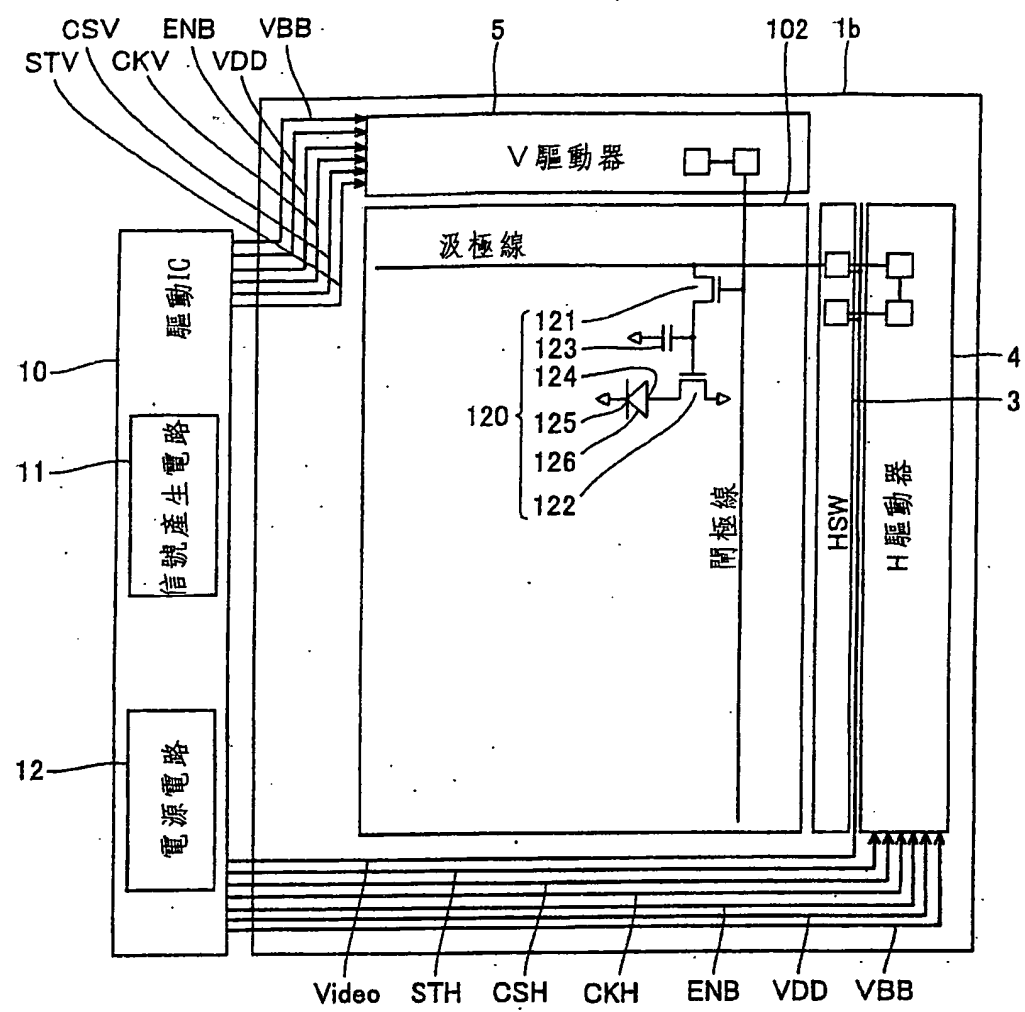
第13圖



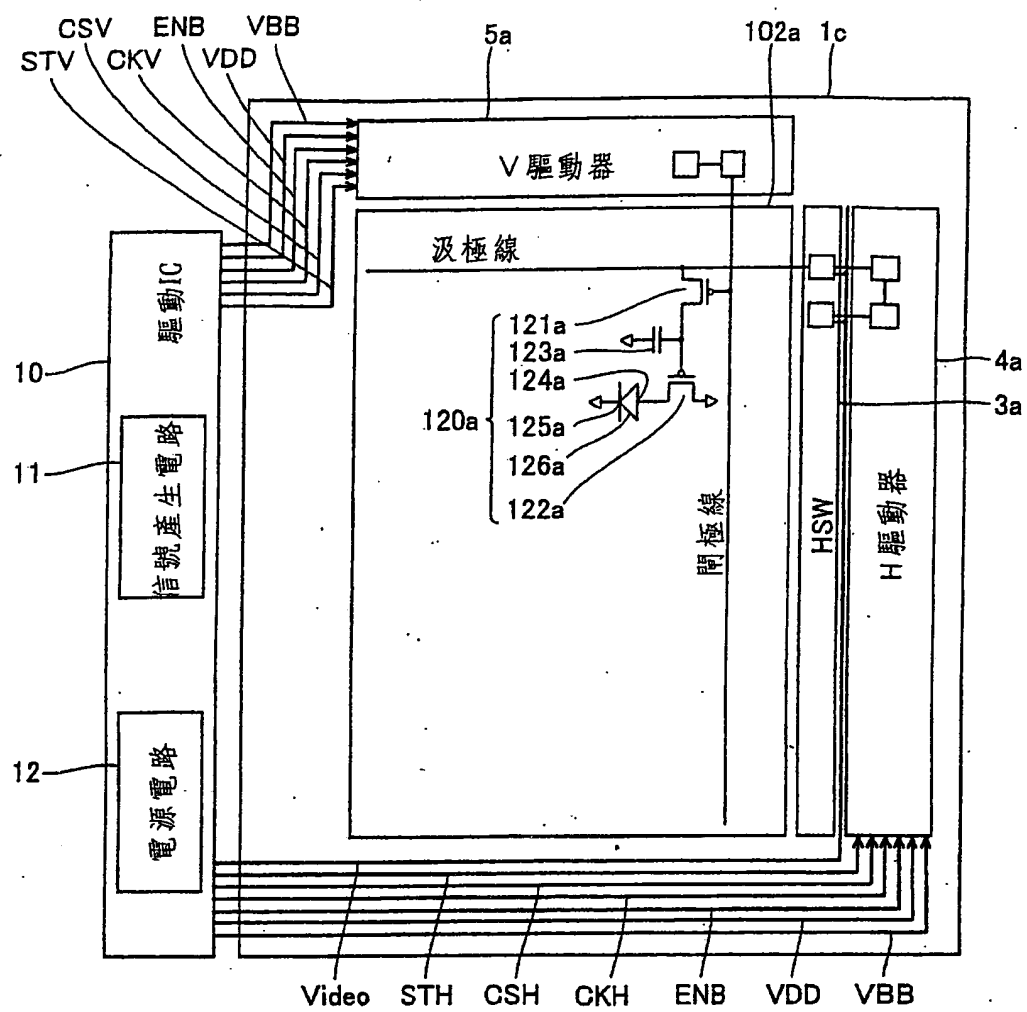
第14圖



第15圖



第16圖



第17圖

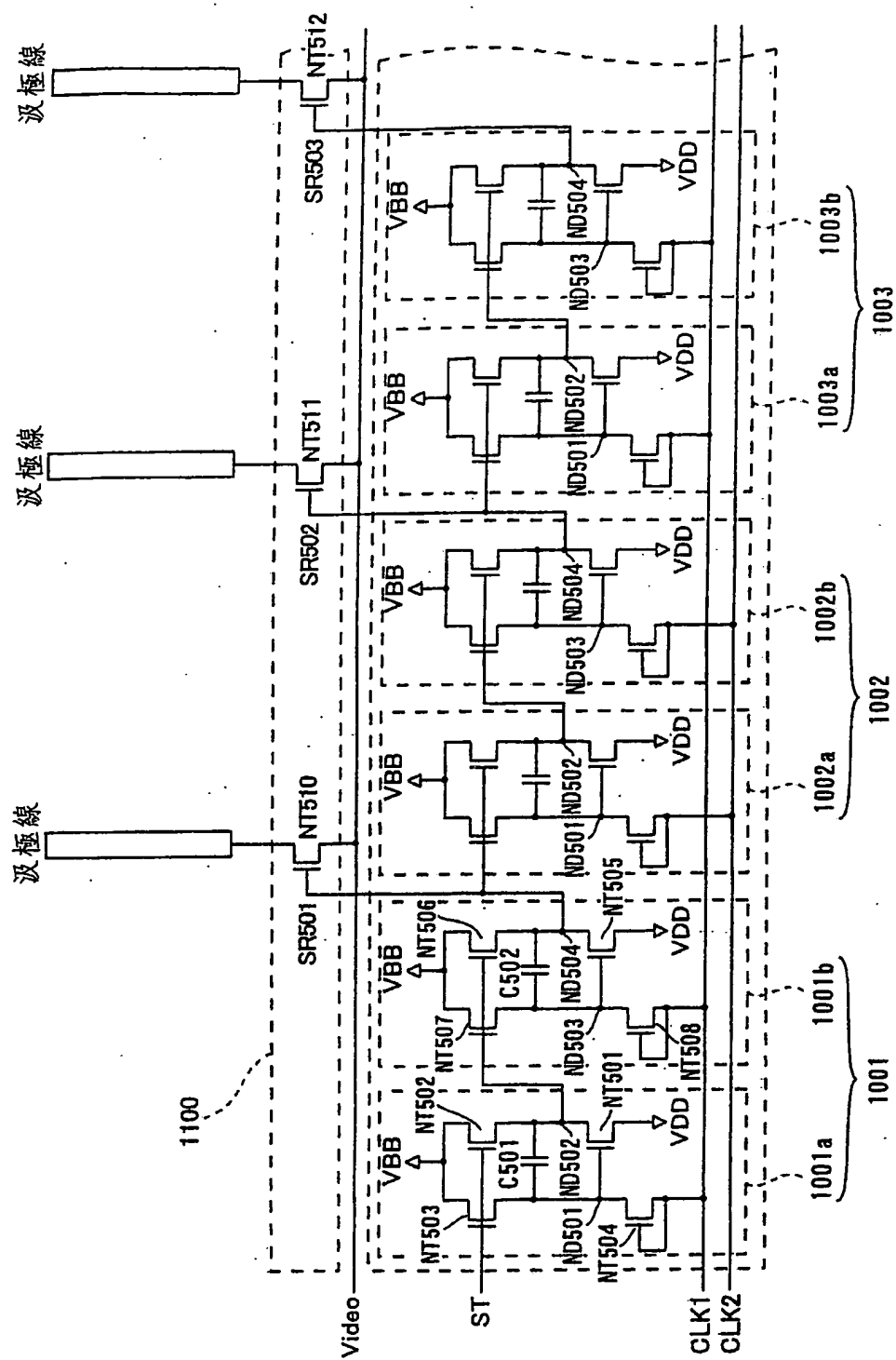


圖 18

(此處由本局於收
文時黏貼條碼)

公告本

777520

發明專利說明書

99年6月11日修正替換頁 1-2頁

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96128161

※申請日期：95年03月13日

※IPC分類：G09G 3/36, (2 006.01)

G09G 3/20 (2 006.01)

一、發明名稱：

(中) 顯示裝置

(英) Display

二、申請人：(共 1 人)

1. 姓 名：(中) 新力股份有限公司

(英) SONY CORPORATION

代表人：(中) 1. 施金格 霍華德

(英) 1. STRINGER, HOWARD

地 址：(中) 日本國東京都港區港南一丁目七番一號

(英) 1-7-1 Konan, Minato-ku, Tokyo, Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 堀端 浩行

(英) HORIBATA, HIROYUKI

國 籍：(中) 日本

(英) JAPAN

2.姓 名：(中) 千田 滿

(英) SENDA, MICHIRU

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2005/03/25 ; 2005-087463 ☒ 有主張優先權

2.姓 名：(中) 千田 滿

(英) SENDA, MICHIRU

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2005/03/25 ; 2005-087463 ☒ 有主張優先權