

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 02156071.4

H01L 27/10 (2006.01)
G11C 11/34 (2006.01)
G11C 16/00 (2006.01)

[45] 授权公告日 2006 年 8 月 2 日

[11] 授权公告号 CN 1267997C

[22] 申请日 2002.12.13 [21] 申请号 02156071.4

[30] 优先权

[32] 2001.12.14 [33] JP [31] 2001-381412

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 田浦忠行 渥美滋 前田修治

审查员 杨小明

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

权利要求书 2 页 说明书 11 页 附图 6 页

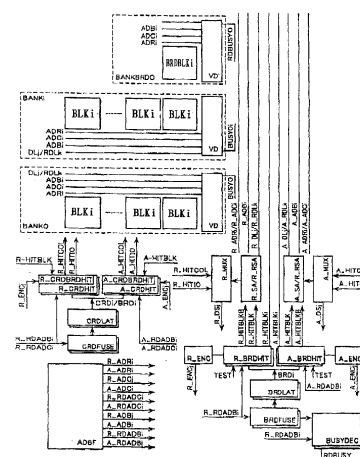
[54] 发明名称

半导体存储器件

[57] 摘要

一种半导体存储器件：具备分别把多个存储单元排列起来构成的多个存储单元块；设置在上述每个单元块中的第 1 冗余单元阵列；对应上述多个存储单元块的冗余单元块；设置在上述冗余单元块内的第 2 冗余单元阵列；具有存储存储单元块内的缺陷单元阵列的地址的第 1 地址存储电路和对该所存储的地址信号和来自外部的地址信号进行比较并输出用第 1 冗余单元阵列置换上述缺陷单元阵列的置换信号的第 1 地址检测电路的第 1 缺陷补救电路；具有存储多个存储单元块的缺陷块地址的第 2 地址存储电路和对该所存储的地址信号和来自外部的地址信号进行比较并输出用冗余单元块置换缺陷块的置换信号的第 2 地址检测电路的第 2 缺陷补救电路；第 1 缺陷补救电路具有这样的门电路：当存储在第 2 地址存储电路中的地址信号与来自外部的地

址信号不同时，使从第 1 地址检测电路输出的置换信号有效后输出，当存储在第 2 地址存储电路中的地址信号与来自外部的地址信号一致时，使从冗余单元块内的第 2 冗余单元阵列读出的置换信号有效后输出。



1. 一种半导体存储器件：具备

分别把多个存储单元排列起来构成的多个存储单元块；

设置在上述各存储单元块的每一个单元块中的第 1 冗余单元阵列，用于补救所述单元块内的缺陷单元阵列；

对应上述多个存储单元块设置的冗余单元块，用于补救缺陷块；

设置在上述冗余单元块内的第 2 冗余单元阵列，用于补救冗余单元块内的缺陷单元阵列；

具有第 1 地址存储电路和第 1 地址检测电路的第 1 缺陷补救电路，所述第 1 地址存储电路存储上述存储单元块内的缺陷单元阵列的地址，所述第 1 地址检测电路对该所存储的地址信号和来自外部的地址信号进行比较并输出用上述第 1 冗余单元阵列置换上述缺陷单元阵列的置换信号；

具有第 2 地址存储电路和第 2 地址检测电路的第 2 缺陷补救电路，所述第 2 地址存储电路存储上述多个存储单元块的缺陷块地址，所述第 2 地址检测电路对该所存储的地址信号和来自外部的地址信号进行比较并输出用上述冗余单元块置换上述缺陷块的置换信号；

其中，上述第 1 缺陷补救电路具有这样的门电路：当存储在上述第 2 地址存储电路中的地址信号与来自外部的地址信号不同时，使从上述第 1 地址检测电路输出的置换信号有效后输出，当存储在上述第 2 地址存储电路中的地址信号与来自外部的地址信号一致时，使从上述冗余单元块内的上述第 2 冗余单元阵列读出的置换信号有效后输出。

2. 根据权利要求 1 所述的半导体存储器件，其中，上述第 1 缺陷补救电路借助于上述第 2 缺陷补救电路的输出控制上述门电路，使得由上述第 1 地址检测电路产生的输出置换信号无效，不输出该置换信号。

3. 根据权利要求 1 所述的半导体存储器件，其中，上述第 1 缺

陷补救电路具有缺陷块检测电路，该缺陷块检测电路根据来自上述第2缺陷补救电路的输出置换信号检测上述存储单元块内的缺陷块，根据其检测结果使得从上述冗余单元块内的上述第2冗余单元阵列读出来的输出置换信号变成为有效，并控制上述门电路输出该输出置换信号。

4. 根据权利要求1所述的半导体存储器件，其中，上述多个存储单元块分组划分成多个存储区，在某一个存储区内执行数据的擦除或写入期间内，在其它的存储区内可以进行数据的读出。

5. 根据权利要求1所述的半导体存储器件，具有如下测试模式：采用输入测试信号的办法，使上述第2缺陷补救电路输出块置换信号，并在上述冗余单元块内进行测试。

6. 根据权利要求1所述的半导体存储器件，其中，上述存储单元是可进行电擦除再写入的非易失性存储单元。

7. 根据权利要求6所述的半导体存储器件，其中，上述第1和第2地址存储电路的存储元件，是构造与上述非易失性存储单元相同的、可进行电擦除再写入的非易失性存储器晶体管。

8. 根据权利要求7所述的半导体存储器件，其中，上述非易失性存储器晶体管的阈值电压被设定为比上述非易失性存储单元的阈值电压低。

9. 根据权利要求7所述的半导体存储器件，其中，上述非易失性存储器晶体管的沟道长度比上述非易失性存储单元的沟道长度长。

半导体存储器件

技术领域

本发明涉及半导体存储器件，特别是涉及设定大小不同的多种补救单元的缺陷补救电路等。

背景技术

作为用电学方式对数据进行擦除/再写入的 EEPROM 的存储单元，例如，可以使用图 6 所示那样的 NMOS 晶体管构造的非易失性存储单元 MC。在 p 型衬底(Psub)上形成 n 型阱区(Nwell)，然后再在其中形成 p 型阱区(Pwell)，从而构成二重阱构造。在该 p 型阱区 Pwell 中，用 n 型扩散层形成晶体管的源极(S)和漏极(D)。在衬底上边，分别形成用绝缘膜进行隔离的由第 1 层多晶硅层构成的浮置栅极(FG)和用第 2 层的多晶硅层形成的控制栅极(CG)。

在实际的 EEPROM 中，在一个阱内可以构成把多个存储单元 MC 配置在行列上边的存储单元阵列。图 7 示出了 NOR 型构成的存储单元阵列的等效电路。其构成为：由连接到各个存储单元 MC 的控制栅极 CG 上的多条行线（字线）WL，和连接到漏极 D 上的多条列线（位线）BL，选择任何一个存储单元 MC。所有的存储单元 MC 的源极 S 和 Nwell、Pwell，都共通地连接到共通源极线 SL 上。

存储单元 MC 的动作如下。数据的擦除，通过源极线 SL 把例如 10V 加到在一个 p 型阱内形成的单元阵列内的全部存储单元 MC 的源极(S)、Nwell、Pwell 上，把例如 -7V 加到所有的字线 WL 上。位线 BL 则保持浮置状态。借助于此，存储单元 MC 的浮置栅极(FG)中的电子，就借助于 FN 隧道效应而被放出到沟道中，使得存储单元的阈值降低。例如，把该状态定为数据 ‘1’(擦除状态)。

数据的写入，要向被选中的字线 WL 供给例如 9V，向被选中的位

线 BL 供给例如 5V。源极线 SL 设定为 0V。这时在被选中的存储单元 MC 中,借助于热电子注入,向浮置栅极(FG)中注入电子,使得存储单元的阈值增高。把该状态定为数据 '0'(写入状态)。

数据读出,要向被选中的字线 WL 提供例如 5V 左右的读出电压。位线 BL 则要设定为例如 0.7V 左右的低电压。使源极线 SL 变成为 0V。这时,在被选中的存储单元为 '0'(写入状态)的情况下,由于未变成为 ON,故电流不会流动。在被选中的存储单元为 '1'(擦除状态)的情况下,因变成为 ON 故会流动约 $40\mu\text{A}$ 左右的电流。用读出放大电路等放大该电流的振幅以进行读出。

这样的 EEPROM,通常,归因于制造方面的问题(加工或灰尘等),在存储单元阵列中会很少地存在缺陷单元。于是,为了即便是多少存在着缺陷单元也可以作为合格品形成产品,可以实行装载补救缺陷单元的各种各样的缺陷补救电路(冗余电路)的措施。例如,对于位线间的短路或存储单元单体缺陷来说,要进行以列单位进行的补救(列冗余)。对于字线与源极线(源极/Pwell 等)间的短路来说,则要进行用数据擦除单位进行的块补救(块冗余)。

图 8 示出了上边所说的列补救和块补救的关系。如图所示,在多个排列起来的正规单元块(芯核)BL 的每一个块上,都设置用来进行块补救的冗余列单元阵列,此外,对于正规单元块的缺陷来说,则设置冗余单元块(芯核)。借助于此,就可以进行对于与用 ×号表示的缺陷位线对应的列置换,和对于同样用 ×号表示的字线与位线短路这样的正规单元块缺陷进行由冗余单元块进行的块置换。

具体地说,为了进行缺陷补救,先要进行存储器芯片的测试,根据其测试结果在芯片内的缺陷地址存储电路内对缺陷地址进行编程。在用机械式熔断丝,例如,激光熔断式的熔断丝构成缺陷地址存储电路的情况下,由于测试工序和用激光熔断进行的熔断丝电路编程的工序分开单独进行,故结果就变成为在所有的测试结束后,才进行熔断丝电路的编程。

但是,在 EEPROM 的情况下,采用在缺陷地址存储电路中把与

在 EEPROM 存储单元阵列中使用的存储单元同一构成的存储单元用做存储元件的办法，每当在测试工序中发现了缺陷时逐次对该缺陷地址进行编程这样的测试顺序，就成为可能。因为可以保持测试电路不变地对缺陷地址进行写入。使用这样的测试顺序可以缩短测试时间。其理由如下：如果在 EEPROM 中，假定即便是发现了有缺陷的地方直到得到全部测试结果为止都不加变动地继续进行测试，则在有缺陷地方处，例如，就会发生直到任何时候写入动作都不会结束这样的事态，因而测试要花费很长时间。但是，如果在发现了缺陷时，立即就进行对该缺陷地址进行编程这样的逐次置换，则可以防止这样事态的发生，可以缩短测试时间。

但是，在 EEPROM 中，在装载有列冗余和块冗余这样的二种缺陷补救电路，而且，在测试工序中采用逐次进行缺陷地址编程这种方式的情况下，存在着这样的问题。对某一正规单元块来说存在着这样的事态可能性：发现了位线缺陷，在进行了该列补救后的测试工序中已经进行了列补救的上述正规单元块的字线却变成缺陷。如上所述，假定用冗余单元块置换列补救和块补救的补救区域重叠的缺陷正规单元块。在该情况下，如果假定在冗余单元块内缺陷正规单元块内的缺陷列置换是有效的，则在冗余单元块内又发现了缺陷列的情况下，就不再存在该缺陷列补救的裕度。

例如，假定各个块是每个都各装载有 2 组列补救组的块。然后，假定在块补救前的某一本体块（正规单元块）中发生了 2 组列缺陷，在进行该列补救的同时，其后，在该本体块中又发现了块缺陷且进行了本体块的块补救，则在冗余单元块中新发现了 1 组列缺陷的情况下，由于已不复存在未用的补救用的列组，故上述新的 1 组列缺陷，就不可能进行补救，存储器就将遗憾地变成缺陷品。

发明内容

根据本发明的一个方面，一种半导体存储器件：具备分别把多个存储单元排列起来构成的多个存储单元块；设置在上述各存储单元块的每一个单元块中的第 1 冗余单元阵列，用于补救所述单元块内的缺

陷单元阵列；对应上述多个存储单元块设置的冗余单元块，用于补救缺陷块；设置在上述冗余单元块内的第2冗余单元阵列，用于补救冗余单元块内的缺陷单元阵列；具有第1地址存储电路和第1地址检测电路的第1缺陷补救电路，所述第1地址存储电路存储上述存储单元块内的缺陷单元阵列的地址，所述第1地址检测电路对该所存储的地址信号和来自外部的地址信号进行比较并输出用上述第1冗余单元阵列置换上述缺陷单元阵列的置换信号；具有第2地址存储电路和第2地址检测电路的第2缺陷补救电路，所述第2地址存储电路存储上述多个存储单元块的缺陷块地址，所述第2地址检测电路对该所存储的地址信号和来自外部的地址信号进行比较并输出用上述冗余单元块置换上述缺陷块的置换信号；其中，上述第1缺陷补救电路具有这样的门电路：当存储在上述第2地址存储电路中的地址信号与来自外部的地址信号不同时，使从上述第1地址检测电路输出的置换信号有效后输出，当存储在上述第2地址存储电路中的地址信号与来自外部的地址信号一致时，使从上述冗余单元块内的上述第2冗余单元阵列读出的置换信号有效后输出。

如上所述，倘采用本发明，在具备补救区域不同的2种的补救电路的情况下，可以提供能实现缺陷补救效率高而不会带来因它们的干扰产生的补救效率降低的半导体存储器件。

附图说明

图1示出了本发明的实施形态的EEPROM的构成。

图2示出了同上实施形态的列补救相关部分的具体构成。

图3示出了同上实施形态的缺陷列地址检测电路的构成。

图4示出了同上实施形态的缺陷块地址检测电路的构成。

图5A示出了在同上实施形态的存储单元中使用的存储器晶体管的剖面构造，图5B、5C分别示出了在同上实施形态的存储单元中使用的缺陷地址存储电路中使用的存储器晶体管的剖面构造。

图6示出了EEPROM的非易失性存储单元的构造。

图 7 示出了 EEPROM 的单元阵列的构成。

图 8 是用来说明现有的 EEPROM 的列补救和块补救的原理的说明图。

具体实施方式

以下，参看附图说明本发明的实施形态。

图 1 的电路图示出了本发明的一个实施形态的 EEPROM 的构成。在这里，示出的是这样的例子：存储单元阵列，例如，具备 2 个存储区 BANK0、BANKi，实现了在一方的存储区 BANK0 的写入/擦除执行中，可以进行另一方的存储区 BANKi 的读出的所谓双重工作。为了实现这样的双重工作，地址信号、读出放大电路、各个缺陷地址检测电路等都作成为具有 Read(读出)用、Auto(自动)用这么 2 重电路，给各个电路名和信号名都加上 ‘R’ (Read 用)、 ‘A’ (Auto 用)以进行区别。

各个正规（本体）存储区 BANK0、BANKi 分别由多个正规（本体）块（正规芯核）BLKi 构成。各个块 BLKi 是数据擦除单位。为进行这些 BANK0、BANKi 内的块 BLKi 的缺陷补救，设置有至少具有一个（理想的是具有多个）补救块（备用块，冗余块）BRDBLK_i 的补救存储区（备用存储区、冗余存储区）BANKBRD0。

图 2 示出了各个块 BLKi 的具体构成及其外围电路构成。块 BLKi 具有用 1 个到多个列单位补救本体存储单元阵列 MMA 及其缺陷列的补救存储单元列（备用存储单元阵列，即冗余存储单元阵列）MMACRD。本体存储单元阵列 MMA 的构成为把存储单元 MC 排列成行列状（参看图 7），借助于列选译码器（列译码器）CD 和列选栅极（列栅极）CG 进行位线选择，用行选译码器（行译码器）RD 进行字线选择。

补救存储单元列 MMACRD 的构成为以数个列单位（例如 4 个列单位）分别装载有数组（例如 2 组）的量。补救存储单元列 MMACRD，用补救用列选栅极（备用列栅极）RCG 和行译码器 RD 进行选择。在

各个块芯核 **BLKi** 内都设置有块选择用的块译码器 **BD**。

本体存储单元阵列 **MMA** 的数据，通过 j 个列栅极 **CG**（在图 2 中只示出了 1 个）和 j 条数据线 **DLj**（在图中只示出了 1 条）被输入至 j 个读出放大电路 **SAj**（在图 2 中只示出了 1 个），用读出放大电路 **SAj** 放大，变成 **SAOj** 后输出。此外，补救存储单元列 **MMACRD**，通过 k 个备用列栅极 **RCG**（在图 2 中只示出了 1 个）和 k 条数据线 **RDLk**（在图中只示出了 1 条）被输入至 k 个补救用读出放大电路 **RSAk**（在图中只示出了 1 个），用读出放大电路 **RSAj** 进行放大，变成 **RSOk** 后输出。

补救块 **BRDBLKi**（参看图 1）具有与本体块 **BLKi** 同样的构成。

返回图 1，在设置在各个存储区 **BANK0**、**BANKi** 内的电源译码器 **VD** 中，具备进行写入或擦除时的内部电压的切换，或各个存储单元的选择的电路等。Read 用和 Auto 用的切换，在写入、擦出执行中将变成 ‘H’。忙信号 **Busy0,i** 送往电源译码器 **VD**，在 **BUSY= ‘L’** 时，选择 Read 用，在 ‘H’ 时，则选择 Auto 用。

用来进行列补救的缺陷地址信息，被存储在缺陷列地址存储电路 **CRDFUSE** 内。在电源投入时等，读出存储在缺陷地址存储电路 **CRDFUSE** 中的地址信息，锁存到缺陷地址锁存电路 **CRDLAT** 内。

用来进行块芯核补救的缺陷块地址信息，被存储在缺陷块地址存储电路 **BRDFUSE** 内。存储在该缺陷块地址存储电路 **BRDFUSE** 内的地址信息，也在检测电源投入后，被锁存到缺陷地址锁存电路 **BRDLAT** 内。

从地址缓冲器 **ADBF** 输出列地址信号 **ADCi**、行地址信号 **ADRI**、和块地址信号 **ADBi**，这些分别被送往列译码器 **CD**，行译码器 **RD** 和块译码器 **BD**。从地址缓冲器 **ADBF** 输出用来与缺陷列地址进行比较的列地址信号 **RDADCi**（可以与 **ADCi** 相同，但是也可以改变输出定时）。缺陷列地址检测电路 **CRDHIT**，对缺陷地址锁存电路 **CRDLAT** 的输出 **CRDi** 和来自地址缓冲器 **ADBF** 的输出 **RDADCi** 进行比较，在检测到缺陷地址的情况下，就输出置换信号 **HITCOL= ‘H’**。此外，

从 HITIO 输出缺陷 IO 信息。

多路开关 MUX, 接受置换信号 HITCOL、HITIO, 把读出放大电路 SA_j 的输出置换成规定的补救用读出放大电路的输出 RSA_k, 作为 DS_j 输出。DS_j 通过未画出来的输出缓冲器向外部端子输出。借助于此, 就可以对缺陷地址进行以列单位实施的补救。

从地址缓冲器 ADBF 还输出用来和缺陷地址进行比较的块地址信号 RDADBi(可以与 ADBi 相同, 但是也可以改变输出定时)。缺陷块地址检测电路 BRDHIT, 对缺陷地址锁存电路 BRDLAT 的输出 BRDi 和来自地址缓冲器 ADBF 的输出 RDADBi 进行比较, 在检测到缺陷块地址的情况下, 就输出置换信号 HITBLKi= 'H'; HITBLKB= 'L'。HITBLKB 变成为缺陷块的禁止信号。禁止信号 HITBLKB, 也向本体块 BLKi 的块译码器输入, 强制地使本体块变成为非被选状态。然后, 冗余单元块借助于已输入到补救(冗余)块 BRDBLKi 的块译码器上的置换信号 HITBLKi 变成为被选状态。

缺陷地址存储电路 CDRFUSE 和 BRDFUSE, 作为存储元件, 例如可以使用与存储单元阵列的非易失性存储单元相同构造的非易失性存储器晶体管。但是, 该缺陷地址存储电路 CRDFUSE 和 BRDFUSE 的存储元件, 也与本体存储单元独立地进行设计。例如, 虽然在电源投入时要把存储信息锁存到缺陷地址锁存电路内, 但是, 这时的字线电压有时候例如却要使用电源电压。在该情况下, 如果电源电压低(例如 2V), 则必须降低擦除状态的阈值。用来如上所述降低擦除状态的存储单元阈值的擦除时间, 由于依赖于中性状态的单元的阈值, 故作为缺陷地址存储电路的存储元件的存储器晶体管的阈值, 理想的是比本体单元低。

图 5 示出了考虑到这些情况的本体存储单元和缺陷地址存储电路的存储器晶体管之间的比较。例如, 对本体存储单元, 如图 5A 所示, 要进行用来进行阈值调整的沟道离子注入。对缺陷地址存储电路的存储器晶体管, 如图 5B 所示, 不进行沟道离子注入, 使阈值保持为低。此外, 在该情况下, 在缺陷地址存储电路的存储元件中, 所谓的穿通

耐性 (Tr 的漏电流) 有可能会成为问题。对此, 对于本体单元的栅极长度 (沟道长度) L0, 如图 5C 所示, 使之具有更大的栅极长度 L1 是有效的。

忙译码器 BUSYDEC 是一种根据 BRDFUSE 信息, 产生所置换的补救块究竟属于什么地方的存储区, 产生与所希望的忙信号 BUSY 同步的信号 RDBUSYi 的译码电路。

在本实施形态中, 作为块补救和列补救的补救区域重叠情况下的对策, 作成为在列的缺陷地址检测电路 CRDHIT 中具备补救块检测电路 CRDBRDHIT。同时, 在缺陷正规单元块的缺陷地址检测电路 BRDHIT 一侧, 设置缺陷正规单元块的编码电路 ENC 电路。使得与缺陷块地址检测电路 BRDHIT 相同那样地, 向补救块检测电路 CRDBRDHIT, 输入块地址信号 RDADBi 和块补救地址锁存电路 BRDLAT 的输出 BRDi。此外, 还向补救块检测电路 CRDBRDHIT 输入块补救的命中信号 HITBLK, 和编码电路 ENC 的输出 NECi。编码电路 ENC 对缺陷块地址检测电路 BRDHIT 的输出进行编码, 输出表明究竟什么地方的块是缺陷正规单元块的输出 ENCi。

因此, 在本实施形态中, 在列补救时, 在已输入到缺陷地址检测电路 CRDBRDHIT 中的、块补救的命中信号 HITBLK 为 ‘L’ 的情况下 (未进行块补救的情况下), 缺陷地址检测电路 CRDBRDHIT 对已经进行了编程的缺陷地址 RDADBi 的比较将保持为有效, 输出列补救的置换信号。

另一方面, 在块补救的命中信号 HITBLK 为 ‘H’ 的情况下 (已进行了块补救的情况下), 在补救块检测电路 CRDBRDHIT 中, 对编码器 ENC 电路的输出 ENCi 的比较变成为有效。因此, 对于补救块来说, 已经进行了编程的块补救的置换信号输出就变成为无效。然后, 对于以块单位进行置换的冗余单元块, 在有列缺陷的情况下, 进行使对重新进行编程的块补救的置换信号输出变成为有效的控制。

图 3 是缺陷列地址检测电路 CRDHIT 的具体构成。EXNORBLKi 是作为块地址信号 RDADBi 和缺陷块地址锁存电路 BRDLAT 的输出

信号 $BRDi$ 逐位进行比较的块地址比较电路的多个 EXNOR 门电路。EXNORCLj, 是作为列地址信号 $RDACj$ 和缺陷列地址锁存电路 CRDLAT 的输出信号 $CRDi$ 进行比较的列地址比较电路的多个 EXNOR 门电路。

此外, EXNORRDK 是对附加在缺陷块地址检测电路上的编码电路 ENC 的输出 $ENCj$ 和缺陷块地址锁存电路 BRDLAT 的输出 $BRDi$ 进行比较的、作为补救块检测电路的 EXNOR 门电路。

门电路 EXNORBLKi 的输出, 输入至第 1 NAND 门电路 NAND1, 门电路 EXNORRDK 的输出, 输入至第 2 NAND 门电路 NAND2。门电路 EXNORCLj 的输出输入至 NAND 门电路 NAND1 和 NAND2。在这里, 门电路 EXNORBLKi 和 EXNORCLj 是图 1 中的缺陷列地址检测电路 CRDHIT 的本体部分, 门电路 EXNORRDK, 相当于附加到该缺陷列地址检测电路 CRDHIT 上的缺陷块检测电路 CRDBRDHIT。

在不进行块补救的地址($HITBLK='L'$)的情况下, 第 1NAND 门电路 NAND1 将变成激活状态。借助于此, 根据门电路 EXNORBLKi 和 EXNORCLj 的比较结果, 输出进行列置换的命中信号 HITC 信号。此外, 在要进行块补救的地址($HITBLK='H'$)的情况下, 第 1NAND 门电路 NAND1 就变成非激活状态。其结果是, 之后, 在与已经进行了编程的缺陷列地址对应的块变成缺陷的情况下, 就使该列置换的命中信号的输出变成无效。

然后, 在 $HITBLK$ 信号为 'H' 时, 第 2NAND 门电路 NAND2 取代第 1NAND 门电路 NAND1 变成激活状态, 根据门电路 EXNORRCLj、EXNORRDK 的检测结果, 输出命中信号 HITC。就是说, 根据以对要进行缺陷块补救的冗余单元块内的缺陷列地址的地址存储电路 CRDFUSE 进行编程的结果为基础的门电路 EXNORRCLj 的输出, 和检测补救块的门电路 EXNORRDK 的输出, NAND 门电路 NAND2 就输出命中信号 HITC。

在实际的半导体存储器件中, 含有多个本电路 CRDHIT, 各个 HITC 信号的 OR 信号将变成用来使冗余列的读出放大器 RSA 变成

为激活的信号 HITCOL。作为缺陷 IO 信息的 HITIO，将变成为用来进行缺陷 IO 的读出放大器置换的信号。另外，送往 NAND 门电路 NAND1、NAND 2 的允许信号 ENABLE，要使得不会误把缺陷地址存储电路 CRDFUSE 未编程的所有的 ‘1’ 状态当作是有效进行处理那样地，对与地址数据分开的缺陷地址存储电路 CRDFUSE 进行编程。

图 4 示出了缺陷块地址检测电路 BRDHIT 的具体构成。EXNORBLKi 是对块地址信号 RDADBi 和缺陷块地址锁存电路 BRDLAT 的输出信号 BRDi 逐位进行比较的作为地址比较电路的多个 EXNOR 门电路。当该门电路 EXNORBLKi 的输出都变成为 ‘H’ 时，借助于与门电路 AND，作为补救块选择信号输出命中信号 HITBLKi。

允许信号 ENABLE 是使该电路变成为激活的信号，另一方面，禁止信号 DISABLE，是在使电路保持为激活后，归因于在冗余单元块中新发现了缺陷等，想使之变成为无效的情况下，可以变成为 ‘H’ 的信号。这些允许信号 ENABLE 和禁止信号 DISABLE，也可以与缺陷地址一起，对地址存储电路 BRDFUSE 进行编程。

在实际的存储器中具备多个本电路，每一个命中信号 HITBLKi 信号的 OR 信号，都作为置换信号 HITBLK 输出，其反转信号则将变成为本体块禁止信号 HITBLKB。

如上所述，倘采用该实际的形态，则在对已进行了列补救后的正规单元块进行了块补救之后，在该补救块（冗余单元块）中仍存在着缺陷的情况下，就可以使先前的列补救变成为无效，进行冗余单元块内的缺陷列补救。借助于此，就可以提高 EEPROM 的缺陷补救效率。

另外，在本实施形态中，理想地说，作成为采用装载上强制性地使块补救的置换信号 HITBLKi 信号变成为 ‘H’ 的电路的办法，以便可以强制性地选择冗余单元块 BRDBLKi。就是说，如图 1 所示，具备从外部向缺陷块地址检测电路 BRDHIT 输入测试信号 TEST，强制性地使置换信号 HITBLKi 变成为 ‘H’，以进行冗余单元块 BRDBLKi 的测试的测试模式。借助于此，只要作成为事前发现冗余

单元块 BRDBLK_i 的列缺陷，对之进行编程以进行列补救，就会变成合格品分选测试的自由度更高的测试。

此外，在本实施形态中，虽然说明的是在块内对每一个列单元阵列进行补救的列补救和块补救的组合，但是对于在块内对每一个行单元阵列（一行到多行）进行补救的行补救和块补救的组合来说，也可以同样地应用本发明。就是说，对于那些采用具有补救区域存在重叠，而且补救范围大小不同的 2 种以上的补救电路那样的缺陷补救方式的半导体存储器件，本发明是有效的。此外，本发明对于 DRAM 等其它的半导体存储器件也同样地可以应用，而不限于 EEPROM。

此外，作为缺陷地址存储电路，除去使用与非易失性存储单元同样的存储器件之外，也可以使用电熔断丝。

对于那些本专业的熟练技术人员来说还存在着另外一些优点和变形。因此，本发明就其更为广阔的形态来说并不限于上述附图和说明。此外，就如所附权利要求及其等效要求所限定的那样，还可以有许多变形而不偏离总的发明宗旨。

图1

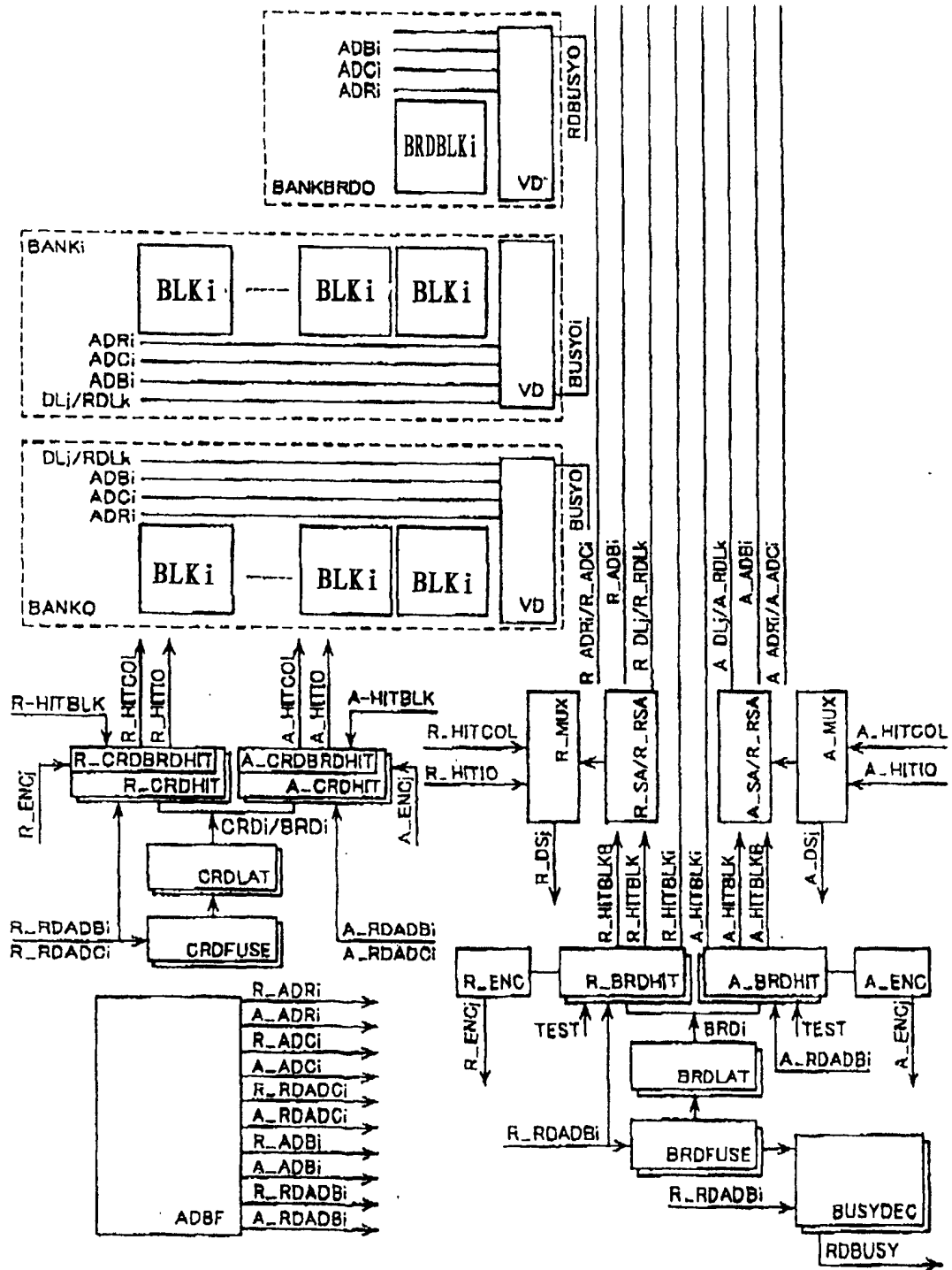


图 2

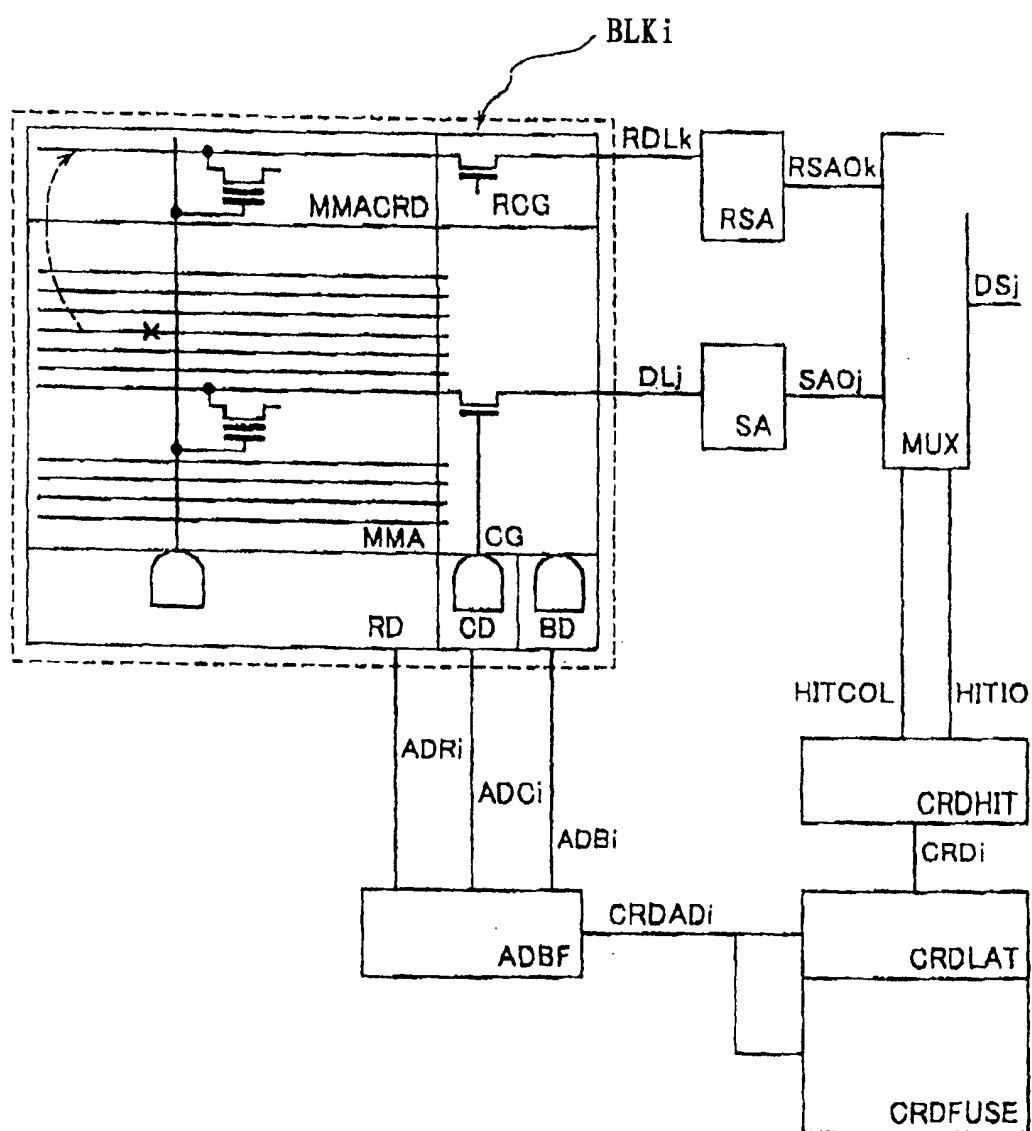


图3

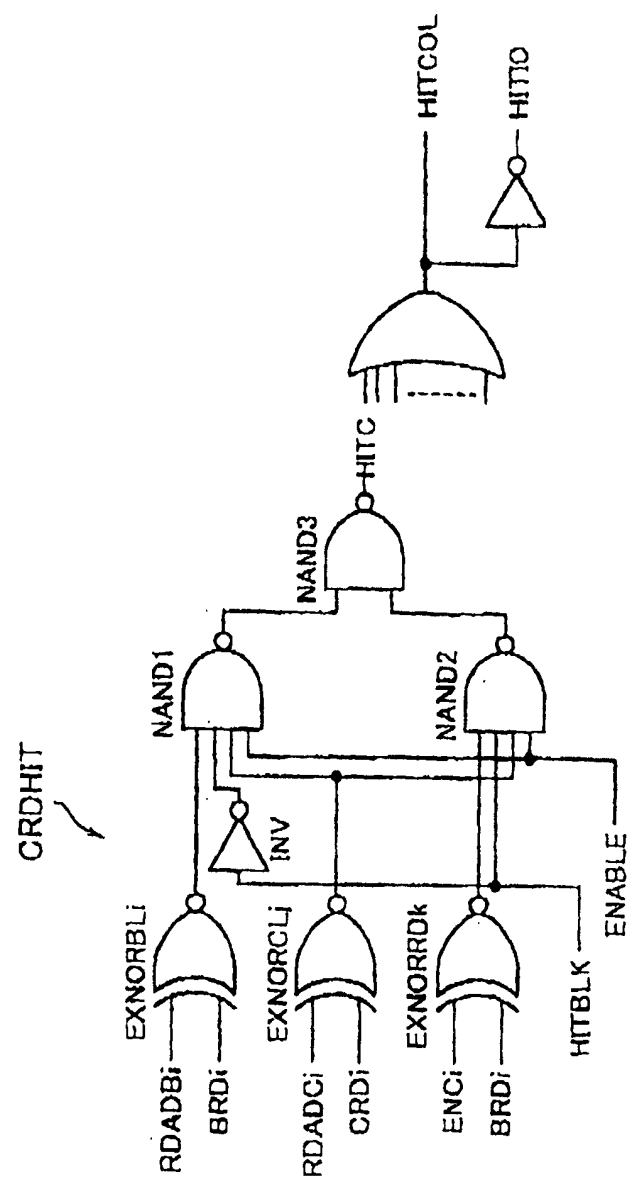


图 4

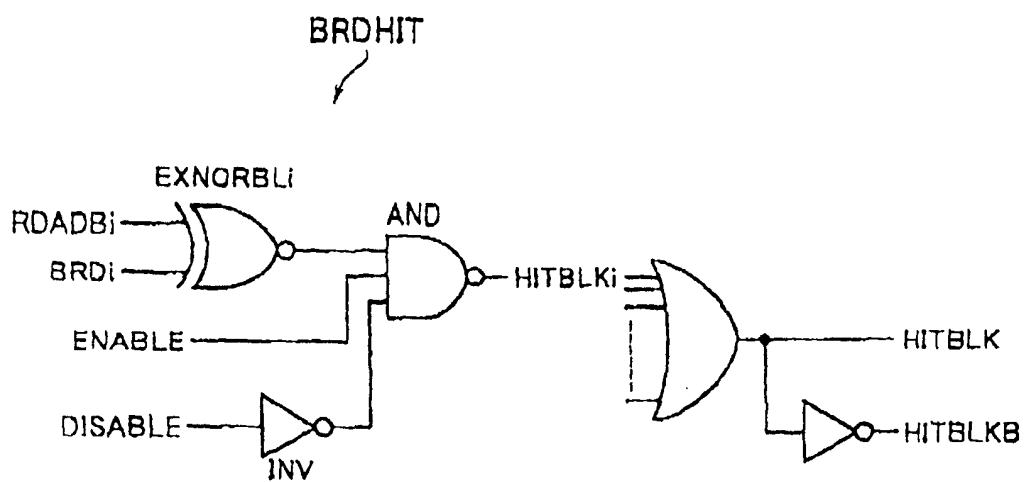


图 8

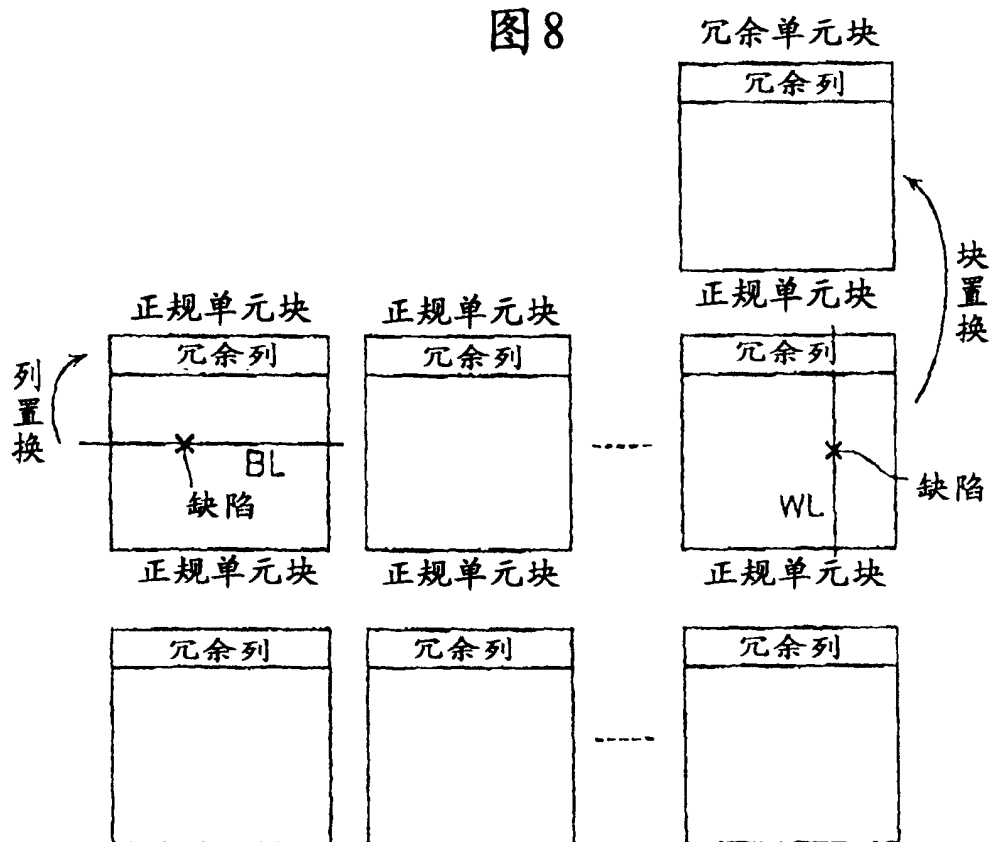


图 6

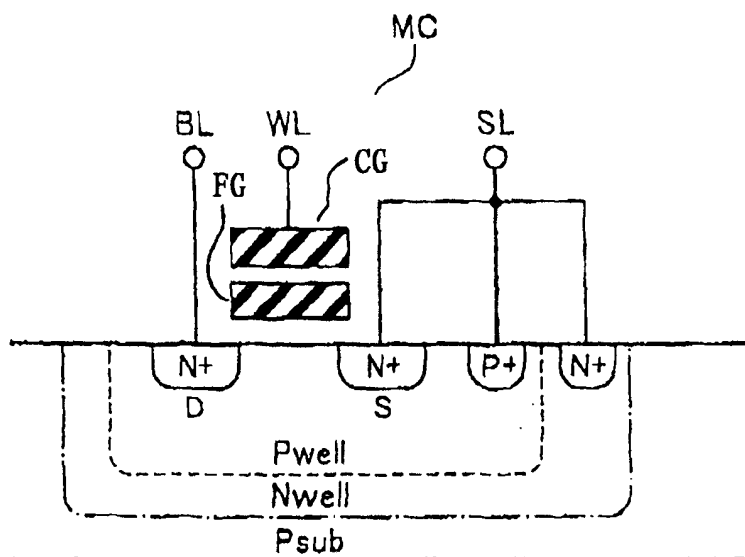


图 7

