

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6411820号
(P6411820)

(45) 発行日 平成30年10月24日 (2018.10.24)

(24) 登録日 平成30年10月5日 (2018.10.5)

(51) Int. Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 7 T		
HO 1 L 21/28 (2006.01)	HO 1 L	29/78	6 1 3 B		
HO 1 L 21/283 (2006.01)	HO 1 L	21/28	3 0 1 B		
HO 1 L 27/115 (2017.01)	HO 1 L	21/28	3 0 1 R		
HO 1 L 27/1156 (2017.01)	HO 1 L	21/283	C		
請求項の数 3 (全 41 頁) 最終頁に続く					

(21) 出願番号 特願2014-178827 (P2014-178827)
 (22) 出願日 平成26年9月3日 (2014.9.3)
 (65) 公開番号 特開2015-73093 (P2015-73093A)
 (43) 公開日 平成27年4月16日 (2015.4.16)
 審査請求日 平成29年9月1日 (2017.9.1)
 (31) 優先権主張番号 特願2013-182664 (P2013-182664)
 (32) 優先日 平成25年9月4日 (2013.9.4)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山元 良高
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 田中 哲弘
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 井上 卓之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 須澤 英臣
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

第1の酸化物半導体と、
 ゲート電極と、
 前記第1の酸化物半導体と前記ゲート電極の間のゲート絶縁層と、
 前記第1の酸化物半導体に電氣的に接続されたソース電極またはドレイン電極と、を有し、
 前記ゲート絶縁層は、第1の絶縁層と結晶化した酸化ハフニウムである第2の絶縁層と
からなる積層構造を有し、
前記第1の絶縁層は、前記第1の酸化物半導体と接し、
前記第2の絶縁層は、前記ゲート電極と接し、
前記第2の絶縁層は、電子捕獲層としての機能を有し、
前記第2の絶縁層は、電子捕獲準位に電子を捕獲していることを特徴とする半導体装置
 。

【請求項2】

第1の酸化物半導体と、
 ゲート電極と、
 前記第1の酸化物半導体と前記ゲート電極の間のゲート絶縁層と、
 前記第1の酸化物半導体に電氣的に接続されたソース電極またはドレイン電極と、を有し、

前記ゲート絶縁層は、第 1 の絶縁層と結晶化した酸化ハフニウムである第 2 の絶縁層と
からなる積層構造を有し、

前記第 1 の絶縁層は、前記第 1 の酸化物半導体と接し、

前記第 2 の絶縁層は、前記ゲート電極と接し、

前記ゲート絶縁層は、電子捕獲層としての機能を有し、

前記ゲート電極の電位を、前記ソース電極または前記ドレイン電極の電位よりも高くすることで、前記ゲート絶縁層の電子捕獲準位に電子が捕獲されることを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 において、

前記ソース電極は、前記酸化物半導体上に接し且つ前記酸化物半導体の側面に接し、

前記ドレイン電極は、前記酸化物半導体上に接し且つ前記酸化物半導体の側面に接することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は半導体装置である場合がある。また、半導体回路を有する装置は半導体装置である。

【背景技術】

【0003】

トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、インジウム（In）、ガリウム（Ga）、および亜鉛（Zn）を含む非晶質酸化物半導体層を用いたトランジスタが特許文献 1 に開示されている。

【0005】

また、酸化物半導体層を、積層構造とすることで、キャリアの移動度を向上させる技術が特許文献 2、特許文献 3 に開示されている。

【0006】

ところで、酸化物半導体層を用いたトランジスタは、オフ状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体層を用いたトランジスタの低いリーク特性を応用した低消費電力の CPU などが開示されている（特許文献 4 参照）。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2006 - 165528 号公報

【特許文献 2】特開 2011 - 124360 号公報

【特許文献 3】特開 2011 - 138934 号公報

【特許文献 4】特開 2012 - 257187 号公報

【特許文献 5】特開 2012 - 074692 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

回路の高集積化に伴い、トランジスタのサイズも微細化している。トランジスタを微細化すると、オン電流、オフ電流、しきい値、S 値（サブスレッショルド値）などのトランジスタの電気特性が悪化する場合がある（特許文献 5 参照）。一般に、チャンネル長のみを縮

10

20

30

40

50

小すると、オン電流は増加するが、一方でオフ電流の増大、S値の増大が起こる。また、チャンネル幅のみを縮小すると、オン電流が小さくなる。

【0009】

本明細書で開示する一態様は、半導体装置のしきい値を適正化（補正）する方法およびそれに適した半導体装置を提供することを目的の一つとする。微細化に伴い顕著となる電気特性の悪化を抑制できる構成の半導体装置を提供することを目的の一つとする。または、集積度の高い半導体装置を提供することを目的の一つとする。または、オン電流の悪化を低減した半導体装置を提供することを目的の一つとする。または、低消費電力の半導体装置を提供することを目的の一つとする。または、信頼性の高い半導体装置を提供することを目的の一つとする。または、電源が遮断されてもデータが保持される半導体装置を提供することを目的の一つとする。または、特性の良い半導体装置を提供することを目的の一つとする。または、新規な半導体装置を提供することを目的の一つとする。

10

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本明細書で開示する一態様は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

第1の半導体と、ゲート電極と、第1の半導体とゲート電極の間に設けられた電子捕獲層と、第1の半導体と電気的に接する電極（ソース電極、ドレイン電極等）と、を有し、電子捕獲層は、結晶化した酸化ハフニウムを有し、ゲート電極の電位を電極の電位より高い状態とすることにより電子捕獲層に捕獲させた電子を有することを特徴とする半導体装置である。または、電子捕獲層は、電子捕獲準位を有することを特徴とする半導体装置である。または、結晶化した酸化ハフニウムは単斜晶であることを特徴とする半導体装置である。または、第1の半導体を挟む第2の半導体および第3の半導体を有し、第2の半導体は、第1の半導体とゲート電極の間にあり、第3の半導体は、第1の半導体と電子捕獲層の間にある半導体装置である。または、ゲート電極に印加される電位は、半導体装置で使用される最高電位よりも低いことを特徴とする半導体装置である。または、第1の半導体が酸化物半導体であることを特徴とする半導体装置である。

20

30

【0012】

または、第1の半導体と、ゲート電極と、第1の半導体とゲート電極の間に設けられた電子捕獲層と、半導体層と電気的に接する電極と、を有し、電子捕獲層は、酸化ハフニウムをターゲットとするスパッタリング法で形成され、スパッタリング法において、基板温度を T_{sub} []、雰囲気中の酸素の比率（体積比あるいはモル比）を P [%] とするとき、 $P = 45 - 0.15 \times T_{sub}$ （ただし、 $0 \leq P \leq 100$ 、 $T_{sub} = 273$ ）、であることを特徴とする半導体装置の作製方法である。

【発明の効果】

【0013】

半導体装置のしきい値を適正化する方法を提供すること、または、微細化に伴い顕著となる電気特性の低下を抑制できる構成の半導体装置を提供すること、または、集積度の高い半導体装置を提供すること、または、低消費電力の半導体装置を提供すること、または、信頼性の高い半導体装置を提供すること、または、電源が遮断されてもデータが保持される半導体装置を提供すること、または、別に説明されるその他の効果の少なくとも1つが達成できる。

40

【図面の簡単な説明】

【0014】

【図1】実施の形態の半導体装置の例を示す図。

【図2】実施の形態の半導体装置のバンド図の例を示す図。

【図3】実施の形態の半導体装置の特性を模式的に示す図と半導体装置を応用した回路の

50

例を示す図。

【図 4】実施の形態のメモリセルの例を示す図。

【図 5】半導体装置の作製工程の例を示す図。

【図 6】トランジスタの例を説明する上面図および断面図。

【図 7】積層された半導体層のバンドの模式図。

【図 8】トランジスタの例を説明する上面図および断面図。

【図 9】トランジスタの作製方法の例を説明する図。

【図 10】トランジスタの作製方法の例を説明する図。

【図 11】トランジスタの例を説明する上面図および断面図。

【図 12】トランジスタの例を説明する断面図。

10

【図 13】電子機器の例を示す図。

【図 14】実施例で作製したトランジスタの電気特性評価を説明する図。

【図 15】実施例で作製したトランジスタの電気特性評価を説明する図。

【図 16】実施例の酸化ハフニウム膜の X 線回折パターン。

【図 17】実施例の酸化ハフニウム膜の透過型電子顕微鏡像。

【図 18】実施例の酸化ハフニウム膜の透過型電子顕微鏡像。

【図 19】実施例の酸化ハフニウム膜の透過型電子顕微鏡像。

【図 20】実施例の酸化ハフニウム膜の ESR 測定によるスピン密度。

【図 21】実施例の酸化ハフニウム膜の ESR 測定によるスピン密度。

【図 22】参考例で作製したトランジスタの電気特性評価を説明する図。

20

【発明を実施するための形態】

【0015】

実施の形態について、図面を用いて詳細に説明する。但し、本明細書で開示する技術思想は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本明細書で開示する技術思想は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0016】

なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。

【0017】

なお、トランジスタの「ソース（ソース電極）」や「ドレイン（ドレイン電極）」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

30

【0018】

なお、本明細書等における「第 1」、「第 2」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0019】

（実施の形態 1）

本実施の形態では、半導体層と電子捕獲層とゲート電極とを有する半導体装置の構成および動作原理、および、それを応用する回路について説明する。図 1（A）は、半導体層 101 と電子捕獲層 102 とゲート電極 103 を有する半導体装置である。電子捕獲層 102 はゲート絶縁層を兼ねることができる。

40

【0020】

ここで、電子捕獲層 102 としては、例えば、図 1（B）に示されるような、第 1 の絶縁層 102 a と結晶化した酸化ハフニウムを有する第 2 の絶縁層 102 b との積層体でもよいし、図 1（C）に示されるような、第 1 の絶縁層 102 a、結晶化した酸化ハフニウムを有する第 2 の絶縁層 102 b と第 3 の絶縁層 102 c との積層体、あるいは、さらに多層の絶縁層の積層体でもよい。

【0021】

50

なお、結晶化した酸化ハフニウムの一例として、X線回折法により得られた回折スペクトルからバックグラウンドを除去したものにおいて、 $2\theta = 25^\circ$ 乃至 30° に半値全幅(FWHM)が 2° 以下のピークを有し、ラザフォード後方散乱分光法(RBS)による分析の結果、ハフニウム1原子に対して酸素1.98原子以上であるものが挙げられる。RBSによって、酸素とハフニウム以外の元素が検出されてもよい。

【0022】

例えば、図1(B)に示す半導体装置の点Aから点Bにかけてのバンド図の例を図2(A)に示す。図中、 E_c は伝導帯下端、 E_v は価電子帯上端を示す。図2(A)では、ゲート電極103の電位はソース電極あるいはドレイン電極(いずれも図示せず)と同じである。

10

【0023】

この例では、第1の絶縁層102aのバンドギャップは第2の絶縁層102bのバンドギャップよりも大きく、第1の絶縁層102aの電子親和力は第2の絶縁層102bの電子親和力よりも小さいものとするが、これに限られない。

【0024】

第1の絶縁層102aと第2の絶縁層102bの界面、あるいは、第2の絶縁層102bの内部に電子捕獲準位104が存在する。ゲート電極103の電位を、ソース電極あるいはドレイン電極より高くすると、図2(B)に示すようになる。ここで、ゲート電極103の電位は、ソース電極あるいはドレイン電極より1V以上高くしてもよい。また、この電位は、この処理の終了した後にゲート電極103に印加される最高電位よりも低くてもよい。代表的には、4V未満とするとよい。

20

【0025】

半導体層101に存在する電子105は、より電位の高いゲート電極103の方向に移動しようとする。そして、半導体層101からゲート電極103の方向に移動した電子105のいくらかは、電子捕獲準位104に捕獲される。

【0026】

電子105が、半導体層101と電子捕獲層102の間の障壁を超えて、電子捕獲準位104に捕獲されるには、いくつかの過程が考えられる。第1は、トンネル効果によるものである。トンネル効果は、第1の絶縁層102aが薄いほど顕著となる。ただし、この場合、電子捕獲準位104に捕獲された電子が、トンネル効果により、再度、半導体層101に戻ってしまうことがある。

30

【0027】

なお、ゲート電極103に適切な大きさの電圧を印加することで、電子捕獲層102が比較的厚い場合でも、トンネル効果(Fowler-Nordheimトンネル効果)を発現させることもできる。Fowler-Nordheimトンネル効果の場合には、ゲート電極103と半導体層101の間の電場の自乗でトンネル電流が増加する。

【0028】

第2は、電子105が、電子捕獲層102中の欠陥準位等のバンドギャップ中の捕獲準位をホッピングしながら、第2の絶縁層102bに到達するものである。これは、Poole-Frenkel伝導といわれる伝導機構であり、絶対温度が高いほど、捕獲準位が浅いほど、電気伝導性が高まる。

40

【0029】

第3は、熱的な励起によって、電子105が、電子捕獲層102の障壁を超えるものである。半導体層101に存在する電子の分布はフェルミ・ディラック分布にしたがい、一般的には、エネルギーの高い電子の比率は、高温であるほど多くなる。例えば、フェルミ面から3電子ボルトだけ高いエネルギーを有する電子の300K(27)での密度を1としたとき、450K(177)では、 6×10^{16} 、600K(327)では、 1.5×10^{25} 、750K(477)では、 1.6×10^{30} となる。

【0030】

電子105が、電子捕獲層102の障壁を超えてゲート電極103に向かって移動する過

50

程は、上記の3つの過程とそれらの組み合わせで生じていると考えられる。特に、第2の過程、第3の過程は、温度が高いと指数関数的に電流が増大することを示す。

【0031】

また、Fowler-Nordheimトンネル効果も、電子捕獲層102の障壁層の薄い部分(エネルギーの高い部分)の電子の密度が高いほど起こりやすいので、温度が高いことが有利である。

【0032】

なお、以上の伝導機構による電流は、特にゲート電極103と半導体層101の電位差が小さい(4V以下)場合には、きわめて微弱であることが多いが、長時間(例えば、1秒以上)の処理により、必要とする量の電子を電子捕獲準位104に捕獲せしめることができる。この結果、電子捕獲層102は負に帯電する。

10

【0033】

すなわち、より高い温度(半導体装置の使用温度あるいは保管温度よりも高い温度、あるいは、125 以上450 以下、代表的には150 以上300 以下)の下で、ゲート電極103の電位をソース電極やドレイン電極の電位より高い状態を、1秒以上、代表的には1分以上維持することで、半導体層101からゲート電極103に向かって、電子が移動し、そのうちのいくらかは電子捕獲準位104に捕獲される。このように電子を捕獲する処理のための温度を、以下、処理温度という。

【0034】

このとき、電子捕獲準位104に捕獲される電子の量はゲート電極103の電位により補正できる。電子捕獲準位104に相応の量の電子が捕獲されると、その電子のために、ゲート電極103の電場が遮蔽され、半導体層101に形成されるチャンネルが消失する。

20

【0035】

電子捕獲準位104により捕獲される電子の総量は、当初は、線形に増加するが、徐々に増加率が低下し、やがて、一定の値に収斂する。収斂する値は、ゲート電極103の電位に依存し、電位が高いほどより多くの電子が捕獲される傾向にある。なお、電子捕獲準位104の総数を上回ることはない。

【0036】

電子捕獲準位104に捕獲された電子は、電子捕獲層102から流失しないことが求められる。そのためには、第1には、電子捕獲層102の厚さが、トンネル効果が問題とならない程度の厚さであることが好ましい。例えば、物理的な厚さが1nmより大きいことが好ましい。

30

【0037】

一方で、半導体装置のチャンネル長に比較して、電子捕獲層102が厚すぎると、サブスレショルド値が増加し、オフ特性が悪化するので、チャンネル長は、電子捕獲層102の酸化シリコン換算の厚さ(Equivalent Silicon Oxide Thickness、EOT)の4倍以上、代表的には10倍以上であるとよい。なお、いわゆるHigh-K材料では、EOTが物理的な厚さよりも小さくなる。

【0038】

代表的には、電子捕獲層102の物理的な厚さは、10nm以上100nm以下、EOTは、10nm以上25nm以下とするとよい。なお、図1(B)あるいは図1(C)で示すような構造において、第1の絶縁層102aの厚さは、10nm以上20nm以下、第2の絶縁層102bの、EOTは、1nm以上25nm以下とするとよい。

40

【0039】

なお、図1(C)のように、電子捕獲層102を3層の絶縁層で形成し、第3の絶縁層102cの電子親和力を、第2の絶縁層102bの電子親和力よりも小さくし、第3の絶縁層102cのバンドギャップを、第2の絶縁層102bのバンドギャップよりも大きくすると、第2の絶縁層102bの内部、あるいは、他の絶縁層との界面にある電子捕獲準位104に捕獲された電子を保持する上で効果的である。

【0040】

50

この場合には、第2の絶縁層102bが薄くても、第3の絶縁層102cが物理的に十分に厚ければ、電子捕獲準位104に捕獲された電子を保持できる。第3の絶縁層102cとしては、第1の絶縁層102aと同じまたは同様な材料を用いることができる。また、第2の絶縁層102bと同じ構成元素であるが、電子捕獲準位が十分に少ないものも用いることができる。電子捕獲準位の数は、形成方法によっても異なる。第3の絶縁層102cの厚さは1nm以上20nm以下とする。

【0041】

上記において、第1の絶縁層102a、第2の絶縁層102b、第3の絶縁層102c、は、それぞれ、複数の絶縁層より構成されてもよい。また、同じ構成元素からなるが、形成方法の異なる複数の絶縁層から構成されてもよい。

10

【0042】

第1の絶縁層102aと第2の絶縁層102bを酸化ハフニウムで構成する場合、第1の絶縁層102aは、化学的気相成長法(CVD法、原子層堆積(ALD)法を含む)で形成し、第2の絶縁層102bは、スパッタリング法で形成してもよい。

【0043】

後述するように、スパッタリング法で形成される酸化ハフニウムはCVD法で形成される酸化ハフニウムよりも結晶化しやすく、電子捕獲準位104を多く含み、電子を捕獲する性質が強い。同様な理由から、第2の絶縁層102bと第3の絶縁層102cを酸化ハフニウムで構成する場合、第2の絶縁層102bは、スパッタリング法で形成し、第3の絶縁層102cは、CVD法で形成してもよい。

20

【0044】

電子捕獲準位104に捕獲された電子が電子捕獲層102から流失しないための第2の方法は、半導体装置の使用温度あるいは保管温度を処理温度よりも十分に低くすることである。例えば、処理温度を300とし、半導体装置を120以下で保管する。電子が、3電子ボルトの障壁を乗り越える確率は、120では300の10万分の1未満である。したがって、300で処理の際には障壁を乗り越えて容易に電子捕獲準位104に捕獲される電子が、120で保管時には、障壁を乗り越えることが困難となり、電子が長期にわたって、電子捕獲準位104に捕獲された状態となる。

【0045】

また、半導体層101で、ホールの有効質量が極めて大きい、あるいは、実質的に局在化していることも有効である。この場合には、半導体層101から電子捕獲層102へのホールの注入がなく、したがって、電子捕獲準位104に捕獲された電子がホールと結合して消滅することもない。

30

【0046】

また、電子捕獲層102に捕獲された電子を放出させるような電圧がかからないように回路設計、材料選定をおこなってもよい。例えば、In-Ga-Zn系酸化物半導体のように、ホールの有効質量が極めて大きい、あるいは、実質的に局在化しているような材料では、ゲート電極103の電位が、ソース電極あるいはドレイン電極の電位より高い場合にはチャンネルが形成されるが、低い場合には、絶縁体と同様な特性を示す。この場合には、ゲート電極103と半導体層101の間の電場が極めて小さくなり、Fowler-Nordheimトンネル効果、あるいは、Poole-Frenkel伝導による電子伝導は著しく低下する。

40

【0047】

第2の絶縁層102bは結晶化した酸化ハフニウムが多く含まれるような条件で形成されるが、そのため、第1の絶縁層102aと第2の絶縁層102bの界面、第2の絶縁層102bと第3の絶縁層102cの界面にも多くの電子捕獲準位104が形成される。

【0048】

そして、ゲート電極103の電位および温度を上記に示したものとすると、図2(B)で説明したように、半導体層101から電子捕獲準位104に電子が捕獲され、電子捕獲層102は負に帯電する。

50

【0049】

このように電子捕獲層102が電子を捕獲すると、半導体装置のしきい値が増加する。特に、半導体層101が、バンドギャップが大きな材料(ワイドバンドギャップ半導体)であると、ゲート電極103の電位をソース電極の電位と同じとしたときのソースドレイン間の電流(カットオフ電流(I_{cut}))を大幅に低下させることができる。

【0050】

例えば、バンドギャップ3.2電子ボルトのIn-Ga-Zn系酸化物であれば、チャンネル幅 $1\mu\text{m}$ あたりの I_{cut} は $1\text{zA}/\mu\text{m}$ ($1\times 10^{-21}\text{A}/\mu\text{m}$)以下、代表的には、 $1\text{yA}/\mu\text{m}$ ($1\times 10^{-24}\text{A}/\mu\text{m}$)以下とできる。

【0051】

図3(A)は電子捕獲層102での電子の捕獲をおこなう前と、電子の捕獲をおこなった後での、室温でのソース電極ドレイン電極間のチャンネル幅 $1\mu\text{m}$ あたりの電流(I_d)のゲート電極103の電位(V_g)依存性を模式的に示したものである。なお、ソース電極の電位を0V、ドレイン電極の電位を+1Vとする。1fAより小さな電流は、直接は測定できないが、その他の方法で測定した値、すなわちサブスレショールド値等をもとに推定できる。なお、このような測定方法に関しては、参考例を参照するとよい。

【0052】

最初、曲線108で示すように、半導体装置のしきい値は V_{th1} であったが、電子の捕獲をおこなった後では、しきい値が増加し(プラス方向に移動し)、 V_{th2} となる。また、この結果、チャンネル幅 $1\mu\text{m}$ あたりの I_{cut} は、 $1\text{aA}/\mu\text{m}$ ($1\times 10^{-18}\text{A}/\mu\text{m}$)以下、例えば、 $1\text{zA}/\mu\text{m}$ 乃至 $1\text{yA}/\mu\text{m}$ となる。

【0053】

例えば、図3(B)のように、容量素子111に蓄積される電荷をトランジスタ110で制御する回路を考える。ここで、容量素子111の電極間のリーク電流は無視する。容量素子111の容量が1fFであり、容量素子111のトランジスタ110側の電位が+1V、 V_d の電位が0Vであるとする。

【0054】

トランジスタ110の I_d-V_g 特性が図3(A)中の曲線108で示されるもので、チャンネル幅が $0.1\mu\text{m}$ であると、 I_{cut} は約1fAであり、トランジスタ110のこのときの抵抗は約 1×10^{15} である。したがって、トランジスタ110と容量素子111よりなる回路の時定数は約1秒である。すなわち、約1秒で、容量素子111に蓄積されていた電荷の多くが失われてしまうことを意味する。

【0055】

トランジスタ110の I_d-V_g 特性が図3(A)中の曲線109で示されるもので、チャンネル幅が $0.1\mu\text{m}$ であると、 I_{cut} は約1yAであり、トランジスタ110のこのときの抵抗は約 1×10^{24} である。したがって、トランジスタ110と容量素子111よりなる回路の時定数は約 1×10^9 秒(=約31年)である。すなわち、10年経過後でも、容量素子111に蓄積されていた電荷の1/3は残っていることを意味する。

【0056】

すなわち、トランジスタと容量素子という単純な回路で、10年間の電荷の保持が可能である。このことは各種メモリ装置に用いることができる。例えば、図4に示すようなメモリセルに用いることもできる。

【0057】

図4(A)に示すメモリセルは、トランジスタ121、トランジスタ122、容量素子123からなり、トランジスタ121は、図1(A)に示したように、電子捕獲層102を有するトランジスタである。回路が形成された後で、上記に示したようなしきい値を増加させる処理(しきい値適正化処理、あるいはしきい値補正処理、という)をおこない、 I_{cut} を低下させる。なお、図に示すように、しきい値が適正化されたトランジスタは、電子捕獲層102中に電子を有するため、通常のトランジスタとは異なる記号を用いる。

【0058】

10

20

30

40

50

図4(A)に示すメモリセルはマトリクス状に形成され、例えば、第n行m列のメモリセルであれば、読み出しワード線RWLn、書き込みワード線WWLn、ビット線BLm、ソース線SLmが接続する。

【0059】

しきい値補正は以下のようにおこなえばよい。まず、すべての読み出しワード線、ソース線、ビット線の電位を0Vとする。そして、メモリセルが形成されたウェハーあるいはチップを適切な温度に保持し、すべての書き込みワード線の電位を適切な値(例えば、+3V)として、適切な時間保持する。この結果、しきい値が適切な値になる。

【0060】

なお、メモリセルは図4(B)に示すような、トランジスタ124、容量素子125からなるものでもよい。例えば、第n行m列のメモリセルであれば、ワード線WLn、ビット線BLm、ソース線SLnが接続する。しきい値補正の方法は図4(A)のものと同様にできる。

10

【0061】

なお、しきい値適正化処理をおこなう場合、室温あるいはその近傍の温度であっても、ゲート電極103の電位を十分に高くすると、しきい値を十分に上昇させるだけの電子を短時間で電子捕獲層102に供給することもできる。この性質を利用して、半導体装置を記憶装置として用いることもできる。特に、一度だけ書き込み可能な記憶装置(One Time Programmable Memory)として利用できる。

【0062】

20

しきい値適正化処理は、メモリセルを有する半導体装置を出荷する前におこなうとよい。例えば、図5に示すような工程が実施できる。まず、図5(A)に示すように、メモリセルが完成した後、初期特性を測定し、良品を選別する。ここで、良品の基準は断線等による回復不可能な動作不良に限定するとよい。まだ、しきい値が適正化されていないため、容量素子の電荷を長時間保持することはできないが、そのことは選別の基準とはならない。

【0063】

その後、図5(B)に示すように、電子を注入する。すなわち、電子捕獲層に適切な量の電子を捕獲させる。この操作は上述のとおりおこなう。このとき、ゲート電極103の電位と、ソース電極あるいはドレイン電極のいずれか低い方の電位との差(ゲート電圧)は、1V以上4V未満であり、かつ、このメモリセルが出荷された後でのゲート電圧と同じか低いものとする。

30

【0064】

その後、図5(C)に示すように、再度、測定をおこなう。予定通りにしきい値が増加していることが良品の条件の一つである。この段階では、しきい値に異常のあるチップは不良品として、再度、電子注入をおこなってもよい。良品は、ダイシング、ワイヤボンディング、樹脂封止後、パッケージ化して出荷する。

【0065】

しきい値の増加幅は電子捕獲層102が捕獲する電子密度によって決まる。例えば、図1(B)に示す半導体装置において、第1の絶縁層102aと第2の絶縁層102bの界面においてのみ電子が捕獲される場合、捕獲された電子の面密度をQ、第1の絶縁層102aの誘電率をCとすると、しきい値は、 Q/C だけ増加する。

40

【0066】

なお、上記のようにゲート電極103の電位によって、捕獲される電子の量が一定の値になることから、ゲート電極103の電位によって、しきい値の増加分を制御することもできる。

【0067】

例えば、ゲート電極103の電位を、ソース電極とドレイン電極の電位より1.5Vだけ高くし、温度を150以上250以下、代表的には 200 ± 20 とする場合を考える。電子捕獲層102に電子が捕獲される前の半導体装置のしきい値(第1のしきい値

50

、 V_{th1})が+1.1Vであったとすると、当初は、半導体層101にチャンネルが形成されており、電子捕獲層102に電子が捕獲される。その後、電子捕獲層102に捕獲される電子の量が増加し、チャンネルが消失する。この段階で、電子捕獲層102での電子の捕獲はおこなわれなくなる。

【0068】

この場合には、ゲート電極103の電位が、ソース電極、ドレイン電極より1.5V高い段階でチャンネルが消失するので、しきい値が、+1.5Vとなる。あるいは、電子捕獲層102に捕獲された電子によって、しきい値が、0.4Vだけ高くなったと言える。このように電子捕獲層102に捕獲された電子によって変化した後のしきい値を第2のしきい値(V_{th2})という。

10

【0069】

このような特性を用いれば、もともと相当なばらつきがあった複数の半導体装置のしきい値を適切な範囲内に収束させることもできる。例えば、第1のしきい値が+1.2V、+1.1V、+0.9Vである3つの半導体装置があるとすると。これらの半導体装置に、上記の条件で処理をおこなえば、それぞれの半導体装置のしきい値が+1.5Vを大きく超えるような電子の捕獲は生じないので、3つの半導体装置とも第2のしきい値を+1.5V付近とすることができる。例えば、当初のしきい値ばらつき(例えば、標準偏差)を、しきい値適正化処理後には、4分の1とすることもできる。

【0070】

なお、このようにしきい値適正化処理によって、それぞれのトランジスタのしきい値を変更した場合、これら3つの半導体装置の電子捕獲層102に捕獲される電子の量(あるいは電子の面密度等)は異なる。

20

【0071】

ゲート電極103は各種の材料を用いることができる。例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、TaおよびWなどの導電層を用いることができる。また、ゲート電極103は、上記材料の積層であってもよい。また、ゲート電極103には、窒素を含んだ導電層を用いてもよい。たとえば、ゲート電極103に窒化チタン層上にタングステン層の積層、窒化タングステン層上にタングステン層の積層、窒化タンタル層上にタングステン層の積層などを用いることができる。

【0072】

なお、半導体層101に対向するゲート電極103の仕事関数は、半導体装置のしきい値を決定する要因のひとつであり、一般に、仕事関数が小さい材料であると、しきい値が小さくなる。しかしながら、上述のように、電子捕獲層102に捕獲する電子の量によりしきい値を調整できるので、ゲート電極103の材料の選択の幅が広がる。

30

【0073】

半導体層101は各種の材料を用いることができる。例えば、シリコンやゲルマニウム、シリコンゲルマニウム以外に、後述する各種酸化物半導体を用いることができる。

【0074】

第1の絶縁層102aは各種の材料を用いることができる。例えば、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムおよび酸化タンタルを一種以上含む絶縁層を用いることができる。

40

【0075】

第2の絶縁層102bは結晶化した酸化ハフニウムを用いることができる。結晶化した酸化ハフニウムは、例えば、酸化ハフニウムをターゲットとするスパッタリング法によって得られるが、これに限られない。スパッタリング法で得る場合には、一例として、基板温度を T_{sub} []、雰囲気中の酸素の比率(体積%あるいはモル%)を P [%]とするとき、 $P = 45 - 0.15 \times T_{sub}$ (ただし、 $0 \leq P \leq 100$ 、 $T_{sub} = 273$)、とするとよい。

【0076】

50

酸化ハフニウムをターゲットとするスパッタリング法によって酸化ハフニウムを形成する場合、基板温度が高いほど、また、酸素の比率が大きいほど結晶化しやすい。なお、ターゲットに用いる酸化ハフニウムは、酸素原子とハフニウム原子の数の和が全体の90%以上、典型的には、99%以上を占め、また、ハフニウム1原子に対して酸素1.7原子以上、典型的には、酸素1.98原子以上である。

【0077】

また、スパッタリング法で得られる結晶化した酸化ハフニウムは、ラザフォード後方散乱分光法(RBS)による分析の結果、酸素原子とハフニウム原子の数の和が全体の90%以上、典型的には、99%以上を占め、また、ハフニウム1原子に対して酸素1.98原子以上2.3原子以下、典型的には、2.14原子以上2.24原子以下である。

10

【0078】

第3の絶縁層102cは各種の材料を用いることができる。例えば、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムおよび酸化タンタルを一種以上含む絶縁層を用いることができる。

【0079】

このように電子捕獲層102に必要な量の電子を捕獲させた半導体装置は、通常のMOS型半導体装置と同じである。すなわち、電子捕獲層102はゲート絶縁層として機能する。

【0080】

20

なお、しきい値適正化処理は、上記に限らず、例えば、半導体装置のソース電極あるいはドレイン電極に接続する配線の形成後、あるいは、前工程(ウェハー処理)の終了後、あるいは、ウェハーダイシング工程後、パッケージ工程後等、工場出荷前のいずれかの段階でおこなうとよい。いずれの場合にも、その後125℃以上の温度に1時間以上さらされないことが好ましい。

【0081】

以上の例では、電子が電子捕獲層102に捕獲されることにより、半導体装置のしきい値を適正化する例を示したが、電子捕獲層102や半導体層101の材料によっては、ホールが電子捕獲層102に捕獲されることもあり、同様な原理により、しきい値を低下させ、適正化できる。ホールを電子捕獲層102に捕獲せしめるのは、ゲート電極103の電位をソース電極やドレイン電極よりも1V以上低くすればよい。

30

【0082】

(実施の形態2)

本実施の形態では、本明細書で開示する一態様の半導体装置について図面を用いて説明する。

【0083】

図6(A)乃至図6(C)は、本明細書で開示する一態様のトランジスタの上面図および断面図である。図6(A)は上面図であり、図6(A)に示す一点鎖線A-Bの断面が図6(B)、一点鎖線C-Dの断面が図6(C)に相当する。なお、図6(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線A-B方向をチャンネル長方向、一点鎖線C-D方向をチャンネル幅方向と呼称する場合がある。

40

【0084】

図6(A)乃至図6(C)に示すトランジスタ450は、基板400と、基板400上の凹部および凸部を有する下地絶縁層402と、下地絶縁層402の凸部上の酸化物半導体層404aおよび酸化物半導体層404bと、酸化物半導体層404aおよび酸化物半導体層404b上のソース電極406aおよびドレイン電極406bと、下地絶縁層402の凹部、下地絶縁層402の凸部(または凹部)の側面、酸化物半導体層404aの側面、酸化物半導体層404bの側面および酸化物半導体層404bの上面、ソース電極406aおよびドレイン電極406bと接する酸化物半導体層404cと、酸化物半導体層404c上のゲート絶縁層408と、ゲート絶縁層408上で接し、酸化物半導体層404

50

bの上面および側面に面するゲート電極410と、ソース電極406a、ドレイン電極406b、およびゲート電極410上の酸化物絶縁層412と、を有する。

【0085】

また、ゲート絶縁層408は、実施の形態1で述べた電子捕獲層として機能する。ここでは、ゲート絶縁層408は、CVD法によって形成された第1の絶縁層408aの上にスパッタリング法によって形成された第2の絶縁層408bの積層であるが、図1(C)のように、さらに、その上にCVD法によって形成された絶縁層(実施の形態1の第3の絶縁層102c)の積層であってもよい。

【0086】

また、酸化物半導体層404a、酸化物半導体層404b、および酸化物半導体層404cを総称して多層半導体層404と呼称する。

10

【0087】

ゲート絶縁層408に用いる材料を比誘電率が大きいものにすると、ゲート絶縁層408を厚くすることができる。たとえば、誘電率が16の酸化ハフニウムを用いることにより、誘電率が3.9の酸化シリコンを用いる場合に比べて約4倍厚くすることが可能である。このため、捕獲された電子の流出を防止する上で好ましい。なお、ゲート絶縁層408の厚さは、1nm以上100nm以下、代表的には5nm以上20nm以下である。

【0088】

なお、チャンネル長とは、上面図において、半導体層とゲート電極とが重なる領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との距離をいう。すなわち、図6(A)では、チャンネル長は、酸化物半導体層404bとゲート電極410とが重なる領域における、ソース電極406aとドレイン電極406bとの距離となる。チャンネル幅とは、半導体層とゲート電極とが重なる領域における、ソースまたはドレインの幅をいう。すなわち、図6(A)では、チャンネル幅は、酸化物半導体層404bとゲート電極410とが重なる領域における、ソース電極406aまたはドレイン電極406bの幅をいう。

20

【0089】

ゲート絶縁層408を電子捕獲層として機能させることで、実施の形態1で述べたようにその内部に存在する電子捕獲準位に電子を捕獲することができる。このとき、電子捕獲準位に捕獲される電子の量はゲート電極410の電位により制御できる。

30

【0090】

また、ゲート電極410が、酸化物半導体層404bを電気的に取り囲むことで、オン電流が高められる。このようなトランジスタの構造を、Surrounded Channel(S-Channel)構造とよぶ。なお、S-Channel構造では、電流は酸化物半導体層404bの全体(バルク)を流れる。酸化物半導体層404bの内部を電流が流れることで、界面散乱の影響を受けにくいため、高いオン電流を得ることができる。なお、酸化物半導体層404bを厚くすると、オン電流を向上させることができる。

【0091】

また、トランジスタのチャンネル長およびチャンネル幅を微細化するとき、レジストマスクを後退させながら電極や半導体層等を加工すると電極や半導体層等の上端部が丸みを帯びる(曲面を有する)場合がある。このような構成になることで、酸化物半導体層404b上に形成されるゲート絶縁層408、ゲート電極410および酸化物絶縁層412の被覆性を向上させることができる。また、ソース電極406aおよびドレイン電極406bの端部に生じる恐れのある電界集中を緩和することができ、トランジスタの劣化を抑制することができる。

40

【0092】

また、トランジスタを微細化することで、集積度を高め、高密度化することができる。例えば、トランジスタのチャンネル長を100nm以下、好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下とし、かつ、トランジスタのチャンネル幅を100nm以下、好ましくは40nm以下、さらに好ましくは30nm以下、より

50

好ましくは20nm以下とする。本明細書で開示する一態様に係るトランジスタは、上記のように狭チャネルでも、S-channel構造を有することでオン電流を高めることができる。

【0093】

基板400は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタ450のゲート電極410、ソース電極406a、およびドレイン電極406bの少なくとも一つは、上記の他のデバイスと電氣的に接続されていてもよい。

【0094】

下地絶縁層402は、基板400からの不純物の拡散を防止する役割を有するほか、多層半導体層404に酸素を供給する役割を担うことができる。また、上述のように基板400が他のデバイスが形成された基板である場合、下地絶縁層402は、層間絶縁層としての機能も有する。その場合、下地絶縁層402の表面には凹凸が形成されるため、表面が平坦になるようにCMP(Chemical Mechanical Polishing)法等で平坦化処理を行うことが好ましい。

10

【0095】

また、トランジスタ450のチャネルが形成される領域において多層半導体層404は、基板400側から酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cが積層された構造を有している。また、酸化物半導体層404bは、酸化物半導体層404aおよび酸化物半導体層404cで取り囲まれている構造となっている。また、図6(C)に示すようにゲート電極410は、酸化物半導体層404bを電氣的に取り囲む構造になっている。

20

【0096】

ここで、一例としては、酸化物半導体層404bには、酸化物半導体層404aおよび酸化物半導体層404cよりも電子親和力(真空準位から伝導帯下端までのエネルギー)が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差(イオン化ポテンシャル)から、伝導帯下端と価電子帯上端とのエネルギー差(エネルギーギャップ)を差し引いた値として求めることができる。

【0097】

酸化物半導体層404aおよび酸化物半導体層404cは、酸化物半導体層404bを構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが酸化物半導体層404bよりも、0.05eV、0.07eV、0.1eV、0.15eVのいずれか以上であって、2eV、1eV、0.5eV、0.4eVのいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

30

【0098】

このような構造において、ゲート電極410に電界を印加すると、多層半導体層404のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体層404bにチャネルが形成される。すなわち、酸化物半導体層404bとゲート絶縁層408との間に酸化物半導体層404cが形成されていることよって、トランジスタのチャネルがゲート絶縁層408と接しない領域に形成される構造となる。

40

【0099】

また、酸化物半導体層404aは、酸化物半導体層404bを構成する金属元素を一種以上含んで構成されるため、酸化物半導体層404bと下地絶縁層402が接した場合の界面と比較して、酸化物半導体層404bと酸化物半導体層404aの界面に界面準位を形成しにくくなる。該界面準位はチャネルを形成することがあるため、トランジスタのしきい値が変動することがある。したがって、酸化物半導体層404aを設けることにより、トランジスタのしきい値などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。

【0100】

また、酸化物半導体層404cは、酸化物半導体層404bを構成する金属元素を一種以

50

上含んで構成されるため、酸化物半導体層404bとゲート絶縁層408が接した場合の界面と比較して、酸化物半導体層404bと酸化物半導体層404cとの界面ではキャリアの散乱が起こりにくくなる。したがって、酸化物半導体層404cを設けることにより、トランジスタの電界効果移動度を高くすることができる。

【0101】

酸化物半導体層404aおよび酸化物半導体層404cには、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHfを酸化物半導体層404bよりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体層に生じることを抑制する機能を有する。すなわち、酸化物半導体層404aおよび酸化物半導体層404cは酸化物半導体層404bよりも酸素欠損が生じにくいといえることができる。

10

【0102】

なお、酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cが、少なくともインジウム、亜鉛およびM (Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物であるとき、酸化物半導体層404aをIn:M:Zn = x_1 : y_1 : z_1 [原子数比]、酸化物半導体層404bをIn:M:Zn = x_2 : y_2 : z_2 [原子数比]、酸化物半導体層404cをIn:M:Zn = x_3 : y_3 : z_3 [原子数比]とすると、 y_1/x_1 および y_3/x_3 が y_2/x_2 よりも大きくなるのが好ましい。 y_1/x_1 および y_3/x_3 は y_2/x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、酸化物半導体層404bにおいて、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であることが好ましい。

20

【0103】

酸化物半導体層404aおよび酸化物半導体層404cのInとMの原子数比In/(In+M)は、好ましくは0.5未満、さらに好ましくは0.25未満とする。また、酸化物半導体層404bのInとMの原子数比In/(In+M)は、好ましくは0.25以上、さらに好ましくは0.34以上とする。

【0104】

酸化物半導体層404aおよび酸化物半導体層404cの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、酸化物半導体層404bの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。また、酸化物半導体層404bは、酸化物半導体層404aおよび酸化物半導体層404cより厚い方が好ましい。

30

【0105】

酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cには、例えば、インジウム、亜鉛およびガリウムを含んだ酸化物半導体を用いることができる。特に、酸化物半導体層404bにインジウムを含ませると、キャリア移動度が高くなるため好ましい。

40

【0106】

なお、酸化物半導体層を用いたトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

【0107】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体層中で不純物準位の形成に寄与す

50

る。当該不純物準位は捕獲となり、トランジスタの電気特性を劣化させることがある。したがって、酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cの層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

【0108】

酸化物半導体層を真性または実質的に真性とするためには、SIMS (Secondary Ion Mass Spectrometry) 分析において、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していることが好ましい。また、水素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする部分を有していることが好ましい。また、窒素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする部分を有していることが好ましい。

10

【0109】

また、酸化物半導体層が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させることがある。酸化物半導体層の結晶性を低下させないためには、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。また、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。

20

【0110】

また、上述のように高純度化された酸化物半導体層をチャンネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を0.1V、5V、または、10V程度とした場合に、トランジスタのチャンネル幅で規格化したオフ電流を数yA/μm乃至数zA/μmにまで低減することが可能となる。

30

【0111】

次に、多層半導体層404のバンド構造を説明する。バンド構造の解析は、酸化物半導体層404aおよび酸化物半導体層404cに相当する層としてエネルギーギャップが3.5eVであるIn-Ga-Zn酸化物、酸化物半導体層404bに相当する層としてエネルギーギャップが3.15eVであるIn-Ga-Zn酸化物を用い、多層半導体層404に相当する積層を作製して行っている。

【0112】

酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cの厚さはそれぞれ10nmとし、エネルギーギャップは、分光エリプソメータ (HORIBA JOBIN YVON社 UT-300) を用いて測定した。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析 (UPS: Ultraviolet Photoelectron Spectroscopy) 装置 (PHI社 VersaProbe) を用いて測定した。

40

【0113】

図7(A)は、真空準位と価電子帯上端のエネルギー差と、各層のエネルギーギャップとの差分として算出される真空準位と伝導帯下端のエネルギー差(電子親和力)から模式的に示されるバンド構造の一部である。図7(A)は、酸化物半導体層404aおよび酸化

50

物半導体層 404c と接して、酸化シリコン層を設けた場合のバンド図である。ここで、 E_{vac} は真空準位のエネルギー、 E_{cI1} は、ゲート絶縁層 408 (例えば、酸化ハフニウム) の伝導帯下端のエネルギー、 E_{cS1} は酸化物半導体層 404a の伝導帯下端のエネルギー、 E_{cS2} は酸化物半導体層 404b の伝導帯下端のエネルギー、 E_{cS3} は酸化物半導体層 404c の伝導帯下端のエネルギー、 E_{cI2} は下地絶縁層 402 (例えば、酸化シリコン) の伝導帯下端のエネルギー、である。

【0114】

図 7 (A) に示すように、酸化物半導体層 404a、酸化物半導体層 404b、酸化物半導体層 404c において、伝導帯下端のエネルギーが連続的に変化する。これは、酸化物半導体層 404a、酸化物半導体層 404b、酸化物半導体層 404c を構成する元素が共通することにより、酸素が相互に拡散しやすい点からも理解される。したがって、酸化物半導体層 404a、酸化物半導体層 404b、酸化物半導体層 404c は組成が異なる層の積層体ではあるが、物性的に連続であるということもできる。

10

【0115】

主成分を共通として積層された多層半導体層 404 は、各層を単に積層するのではなく連続接合 (ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化する U 字型の井戸構造 (U Shape Well)) が形成されるように作製する。すなわち、各層の界面にキャリア捕獲中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された多層半導体層の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアが捕獲あるいは再結合により消滅してしまう。

20

【0116】

なお、図 7 (A) では、 E_{cS1} と E_{cS3} が同様である場合について示したが、それぞれが異なってもよい。例えば、 E_{cS3} よりも E_{cS1} が高いエネルギーを有する場合、バンド構造の一部は、図 7 (B) のように示される。

【0117】

例えば、 $E_{cS1} = E_{cS3}$ である場合は、酸化物半導体層 404a および酸化物半導体層 404c に $In : Ga : Zn = 1 : 3 : 2$ 、 $1 : 3 : 3$ 、 $1 : 3 : 4$ 、 $1 : 6 : 4$ または $1 : 9 : 6$ (原子数比)、酸化物半導体層 404b に $In : Ga : Zn = 1 : 1 : 1$ または $3 : 1 : 2$ (原子数比) の $In - Ga - Zn$ 酸化物などを用いることができる。また、 $E_{cS1} > E_{cS3}$ である場合は、酸化物半導体層 404a に $In : Ga : Zn = 1 : 6 : 4$ または $1 : 9 : 6$ (原子数比)、酸化物半導体層 404b に $In : Ga : Zn = 1 : 1 : 1$ または $3 : 1 : 2$ (原子数比)、酸化物半導体層 404c に $In : Ga : Zn = 1 : 3 : 2$ 、 $1 : 3 : 3$ 、 $1 : 3 : 4$ (原子数比) の $In - Ga - Zn$ 酸化物などを用いることができる。

30

【0118】

図 7 (A)、図 7 (B) より、多層半導体層 404 における酸化物半導体層 404b がウェル (井戸) となり、多層半導体層 404 を用いたトランジスタにおいて、チャンネルが酸化物半導体層 404b に形成されることがわかる。また、このような構成で形成されたチャンネルを埋め込みチャンネルということもできる。

40

【0119】

なお、酸化物半導体層 404a および酸化物半導体層 404c と、電子親和力の大きく異なる絶縁層との界面近傍には、不純物や欠陥に起因した捕獲準位が形成され得る。酸化物半導体層 404a および酸化物半導体層 404c があることにより、酸化物半導体層 404b と当該捕獲準位とを遠ざけることができる。ただし、 E_{cS1} または E_{cS3} と、 E_{cS2} とのエネルギー差が小さい場合、酸化物半導体層 404b の電子がそのエネルギー差を超えて捕獲準位に達することがある。電子が捕獲準位に捕獲されることで、絶縁層界面にマイナスの固定電荷が生じ、トランジスタのしきい値はプラス方向にシフトしてしまう。

【0120】

50

したがって、トランジスタのしきい値の変動を低減するには、E c S 1およびE c S 3と、E c S 2との間にエネルギー差を設けることが必要となる。それぞれの当該エネルギー差は、0.1 eV以上が好ましく、0.15 eV以上がより好ましい。

【0121】

なお、酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cには、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。

【0122】

なお、多層半導体層404にIn-Ga-Zn酸化物を用いる場合は、Inのゲート絶縁層への拡散を防ぐために、酸化物半導体層404cは酸化物半導体層404bよりもIn

10

【0123】

ソース電極406aおよびドレイン電極406bには、酸素と結合しやすい導電材料を用いることが好ましい。例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどを用いることができる。上記材料において、特に酸素と結合し易いTiや、後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることがより好ましい。なお、酸素と結合しやすい導電材料には、酸素が拡散しやすい材料も含まれる。

【0124】

酸素と結合しやすい導電材料と多層半導体層を接触させると、多層半導体層中の酸素が、酸素と結合しやすい導電材料側に拡散する現象が起こる。当該現象は、温度が高いほど顕著に起こる。トランジスタの作製工程には、いくつかの加熱工程があることから、上記現象により、多層半導体層のソース電極またはドレイン電極と接触した近傍の領域に酸素欠損が発生し、層中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域はn型化する。したがって、n型化した当該領域はトランジスタのソース領域またはドレイン領域として作用させることができる。

20

【0125】

なお、チャンネル長が極短いトランジスタを形成する場合、上記酸素欠損の発生によってn型化した領域がトランジスタのチャンネル長方向に延在することで短絡してしまうことがある。この場合、トランジスタの電気特性には、しきい値のシフトにより、実用的なゲート電圧でオンオフの制御ができない状態(導通状態)が現れる。そのため、チャンネル長が極

30

【0126】

このような場合にはソース電極406aおよびドレイン電極406bには、上述した材料よりも酸素と結合しにくい導電材料を用いることが好ましい。当該導電材料としては、例えば、窒化タンタル、窒化チタン、またはルテニウムを含む材料などを用いることができる。なお、これら酸素と結合しにくい導電材料を酸化物半導体層404bと接触させ、その上に前述した酸素と結合しやすい導電材料を積層してもよい。

【0127】

下地絶縁層402には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムおよび酸化タンタルを一種以上含む絶縁層を用いることができる。また、ゲート絶縁層408には、酸化ハフニウム、酸化アルミニウム、アルミニウムシリケートなどを一種以上含む絶縁層を用いることができる。なお、ゲート絶縁層の厚さは、1nm以上100nm以下、好ましくは10nm以上20nm以下である。

40

【0128】

ゲート電極410は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、TaおよびWなどの導電層を用いることができる。また、当該ゲート電極は、上記材料の積層であってもよい。また、ゲート電極410には、窒素を含んだ導電層を用いても

50

よい。たとえば、ゲート電極 410 に窒化チタン層上にタングステン層の積層、窒化タングステン層上にタングステン層の積層、窒化タンタル層上にタングステン層の積層などを用いることができる。

【0129】

ゲート絶縁層 408、およびゲート電極 410 上には酸化物絶縁層 412 が形成されていてもよい。当該酸化物絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウムおよび酸化タンタルを一種以上含む絶縁層を用いることができる。また、当該酸化物絶縁層は上記材料の積層であってもよい。

10

【0130】

ここで、酸化物絶縁層 412 は過剰酸素を有することが好ましい。過剰酸素を含む酸化物絶縁層とは、加熱処理などによって酸素を放出することができる酸化物絶縁層をいう。好ましくは、昇温脱離ガス分光法分析にて、酸素原子に換算しての酸素の放出量が 1.0×10^{19} atoms/cm³ 以上である層とする。なお、上記昇温脱離ガス分光法分析時における層の表面温度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。当該酸化物絶縁層から放出される酸素はゲート絶縁層 408 を経由して多層半導体層 404 のチャネル形成領域に拡散させることができることから、チャネル形成領域に酸素欠損が形成された場合においても酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

20

【0131】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、チャネル幅が縮小するとオン電流が低下する。

【0132】

しかしながら、本明細書で開示する一態様のトランジスタでは、前述したように、酸化物半導体層 404 b のチャネルが形成される領域を覆うように酸化物半導体層 404 c が形成されており、チャネル形成領域とゲート絶縁層が接しない構成となっている。そのため、チャネル形成領域とゲート絶縁層との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を高くすることができる。

30

【0133】

また、酸化物半導体層を真性または実質的に真性とする、酸化物半導体層に含まれるキャリア数の減少により、電界効果移動度の低下が懸念される。しかしながら、本明細書で開示する一態様のトランジスタにおいては、酸化物半導体層に垂直方向からのゲート電界に加えて、側面方向からのゲート電界が印加される。すなわち、酸化物半導体層の全体的にゲート電界が印加させることとなり、電流は酸化物半導体層のバルクを流れる。これによって、高純度真性化による、電気特性の変動の抑制を達成しつつ、トランジスタの電界効果移動度の向上を図ることが可能となる。

【0134】

また、本明細書で開示する一態様のトランジスタは、酸化物半導体層 404 b を酸化物半導体層 404 a 上に形成することで界面準位を形成しにくくする効果や、酸化物半導体層 404 b を三層構造の中間層とすることで上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、酸化物半導体層 404 b は酸化物半導体層 404 a と酸化物半導体層 404 c で取り囲まれた構造（また、ゲート電極 410 で電気的に取り囲まれた構造）となり、上述したトランジスタのオン電流の向上に加えて、しきい値の安定化や、S 値を小さくすることができる。したがって、I_{cut} を下げることができ、消費電力を低減させることができる。また、トランジスタのしきい値が安定化することから、半導体装置の長期信頼性を向上させることができる。

40

【0135】

また、図 8 に示すトランジスタ 460 を用いることもできる。図 8 (A) 乃至図 8 (C)

50

は、トランジスタ460の上面図および断面図である。図8(A)は上面図であり、図8(A)に示す一点鎖線A-Bの断面が図8(B)、一点鎖線C-Dの断面が図8(C)に相当する。なお、図8(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0136】

トランジスタ460は、ソース電極406aおよびドレイン電極406bを形成するとき、実質的に下地絶縁層402がエッチングされていない形状となっている。

【0137】

下地絶縁層402を実質的にエッチングさせないようにするには、下地絶縁層402のエッチングレートを、ソース電極406aおよびドレイン電極406bとなる導電層のエッチングレートより十分小さくすればよい。

10

【0138】

また、本実施の形態では、酸化物半導体層404bを酸化物半導体層404aおよび酸化物半導体層404cで挟んでいる構成であったがこれに限られず、酸化物半導体層404aおよび酸化物半導体層404cを有さず酸化物半導体層404bのみがゲート電極に電気的に取り囲まれている構成としてもよい。

【0139】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0140】

20

(実施の形態3)

本実施の形態では、実施の形態2で説明した図6に示すトランジスタ450の作製方法について、図9および図10を用いて説明する。

【0141】

まず、基板400上に下地絶縁層402を形成する(図9(A)参照)。

【0142】

基板400には、ガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコン、シリコンゲルマニウムなどの単結晶半導体基板、多結晶半導体基板、SOI(Silicon On Insulator)基板などを用いることも可能であり、これらの基板上に半導体素子が設けられたものを用いてもよい。

30

【0143】

なお、下地絶縁層402にイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて酸素を添加してもよい。酸素を添加することによって、下地絶縁層402から多層半導体層404への酸素の供給をさらに容易にすることができる。

【0144】

次に、下地絶縁層402上に酸化物半導体層404a、酸化物半導体層404bをスパッタリング法、化学気相堆積(CVD)法(有機金属化学堆積(MOCVD)法、原子層成膜(ALD)法あるいはプラズマ化学気相堆積(PECVD)法を含む)、真空蒸着法またはパルスレーザー堆積(PLD)法を用いて形成する(図9(B)参照)。このとき、図示するように下地絶縁層402を若干過度にエッチングしてもよい。下地絶縁層402を過度にエッチングすることで、後に形成するゲート電極410で酸化物半導体層404cを覆いやすくすることができる。

40

【0145】

なお、酸化物半導体層404a、酸化物半導体層404bを島状に形成する際に、まず、酸化物半導体層404b上にハードマスクとなる層(たとえばタンゲステン層)およびレジストマスクを設け、ハードマスクとなる層をエッチングしてハードマスクを形成し、その後、レジストマスクを除去し、ハードマスクをマスクとして酸化物半導体層404a、酸化物半導体層404bをエッチングする。その後、ハードマスクを除去する。この時、

50

エッチングするにつれて徐々にハードマスクが縮小していくため、自然にハードマスクの端部が丸みを帯び、曲面を有する。これに伴い、酸化物半導体層404bの形状も端部が丸みを帯び、曲面を有する。このような構成になることで、酸化物半導体層404b上に形成される、酸化物半導体層404c、ゲート絶縁層408、ゲート電極410、酸化物絶縁層412の被覆性が向上し、段切れ等の形状不良の発生を防ぐことができる。また、ソース電極406aおよびドレイン電極406bの端部に生じる恐れのある電界集中を緩和することができる、トランジスタの劣化を抑制することができる。

【0146】

また、酸化物半導体層404a、酸化物半導体層404bの積層、および後の工程で形成する酸化物半導体層404cを含めた積層において連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の形成装置（例えばスパッタリング装置）を用いて各層を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべく、クライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa乃至 1×10^{-4} Pa程度まで）できること、かつ、形成される基板を100以上、好ましくは500以上に加熱できることが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に炭素成分や水分等を含む気体が逆流しないようにしておくことが好ましい。

10

【0147】

高純度真性酸化物半導体を得るためには、チャンバー内を高真空排気するのみならずスパッタリングガスの高純度化も必要である。スパッタリングガスとして用いる酸素ガスやアルゴンガスは、露点が-40以下、好ましくは-80以下、より好ましくは-100以下にまで高純度化したガスを用いることで酸化物半導体層に水分等が取り込まれることを可能な限り防ぐことができる。

20

【0148】

酸化物半導体層404a、酸化物半導体層404b、および後の工程で形成される酸化物半導体層404cには、実施の形態2で説明した材料を用いることができる。例えば、酸化物半導体層404aにIn:Ga:Zn=1:3:4または1:3:2[原子数比]のIn-Ga-Zn酸化物、酸化物半導体層404bにIn:Ga:Zn=1:1:1[原子数比]のIn-Ga-Zn酸化物、酸化物半導体層404cにIn:Ga:Zn=1:3:4または1:3:2[原子数比]のIn-Ga-Zn酸化物を用いることができる。

30

【0149】

また、酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cとして用いることのできる酸化物は、少なくともインジウム(In)もしくは亜鉛(Zn)を含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0150】

スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、またはジルコニウム(Zr)等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)等がある。

40

【0151】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al

50

- Zn 酸化物、In - Hf - Zn 酸化物、In - La - Zn 酸化物、In - Ce - Zn 酸化物、In - Pr - Zn 酸化物、In - Nd - Zn 酸化物、In - Sm - Zn 酸化物、In - Eu - Zn 酸化物、In - Gd - Zn 酸化物、In - Tb - Zn 酸化物、In - Dy - Zn 酸化物、In - Ho - Zn 酸化物、In - Er - Zn 酸化物、In - Tm - Zn 酸化物、In - Yb - Zn 酸化物、In - Lu - Zn 酸化物、In - Sn - Ga - Zn 酸化物、In - Hf - Ga - Zn 酸化物、In - Al - Ga - Zn 酸化物、In - Sn - Al - Zn 酸化物、In - Sn - Hf - Zn 酸化物、In - Hf - Al - Zn 酸化物を用いることができる。

【0152】

なお、ここで、例えば、In - Ga - Zn 酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味である。また、In と Ga と Zn 以外の金属元素が入っていてもよい。また、本明細書においては、In - Ga - Zn 酸化物で構成した層をIGZO層とも呼ぶ。

10

【0153】

また、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Fe、MnおよびCoから選ばれた一つの金属元素または複数の金属元素を示す。また、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0154】

ただし、実施の形態2に詳細を記したように、酸化物半導体層404aおよび酸化物半導体層404cは、酸化物半導体層404bよりも電子親和力が小さくなるように材料を選択する。

20

【0155】

なお、酸化物半導体層の形成には、スパッタリング法を用いることが好ましい。スパッタリング法としては、RFスパッタリング法、DCスパッタリング法、ACスパッタリング法等を用いることができる。特に、形成時に発生するゴミを低減でき、かつ厚さ分布も均一とすることからDCスパッタリング法を用いることが好ましい。

【0156】

酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cとしてIn - Ga - Zn酸化物を用いる場合、In、Ga、Znの原子数比としては、例えば、In : Ga : Zn = 1 : 1 : 1、In : Ga : Zn = 2 : 2 : 1、In : Ga : Zn = 3 : 1 : 2、In : Ga : Zn = 1 : 3 : 2、In : Ga : Zn = 1 : 3 : 4、In : Ga : Zn = 1 : 4 : 3、In : Ga : Zn = 1 : 5 : 4、In : Ga : Zn = 1 : 6 : 6、In : Ga : Zn = 2 : 1 : 3、In : Ga : Zn = 1 : 6 : 4、In : Ga : Zn = 1 : 9 : 6、In : Ga : Zn = 1 : 1 : 4、In : Ga : Zn = 1 : 1 : 2のいずれかの材料を用い、酸化物半導体層404aおよび酸化物半導体層404cの電子親和力が酸化物半導体層404bよりも小さくなるようにすればよい。

30

【0157】

なお、例えば、In、Ga、Znの原子数比がIn : Ga : Zn = a : b : c ($a + b + c = 1$) である酸化物の組成が、原子数比がIn : Ga : Zn = A : B : C ($A + B + C = 1$) の酸化物の組成の近傍であるとは、a、b、cが、 $(a - A)^2 + (b - B)^2 + (c - C)^2 < r^2$ を満たすことをいう。rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

40

【0158】

また、酸化物半導体層404bは、酸化物半導体層404aおよび酸化物半導体層404cよりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることにより、より多くのs軌道が重なるため、InがGaよりも多い組成となる酸化物はInがGaと同等または少ない組成となる酸化物と比較して移動度が高くなる。そのため、酸化物半導体層404bにインジウムの含有量が多い酸化物を用いることで、高い移動度のトランジスタを実現する

50

ことができる。

【0159】

以下では、酸化物半導体層の構造について説明する。

【0160】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

【0161】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。 10

【0162】

酸化物半導体層は、非単結晶酸化物半導体層と単結晶酸化物半導体層とに大別される。非単結晶酸化物半導体層とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 層、多結晶酸化物半導体層、微結晶酸化物半導体層、非晶質酸化物半導体層などをいう。

【0163】

まずは、CAAC-OS層について説明する。

【0164】

CAAC-OS層は、複数の結晶部を有する酸化物半導体層の一つであり、ほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。したがって、CAAC-OS層に含まれる結晶部は、一辺が 10 nm 未満、 5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。 20

【0165】

CAAC-OS層を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS層は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0166】

CAAC-OS層を、試料面と概略平行な方向からTEMによって観察 (断面TEM観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS層を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS層の被形成面または上面と平行に配列する。 30

【0167】

一方、CAAC-OS層を、試料面と概略垂直な方向からTEMによって観察 (平面TEM観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0168】

断面TEM観察および平面TEM観察より、CAAC-OS層の結晶部は配向性を有していることがわかる。 40

【0169】

CAAC-OS層に対し、X線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有するCAAC-OS層のout-of-plane法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(009)面に由来することから、CAAC-OS層の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0170】

一方、CAAC-OS層に対し、c軸に概略垂直な方向からX線を入射させるin-pl 50

a n e法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(110)面に由来する。 InGaZnO_4 の単結晶酸化物半導体層であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(ω スキャン)を行うと、(110)面と等価な結晶面に由来するピークが6本観察される。これに対し、CAAC-OS層の場合は、 2θ を 56° 近傍に固定して ω スキャンした場合でも、明瞭なピークが現れない。

【0171】

以上のことから、CAAC-OS層では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

10

【0172】

なお、結晶部は、CAAC-OS層を形成した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS層の被形成面または上面の法線ベクトルに平行な方向に配向する。したがって、例えば、CAAC-OS層の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS層の被形成面または上面の法線ベクトルと平行にならないこともある。

【0173】

また、CAAC-OS層中の結晶化度が均一でなくてもよい。例えば、CAAC-OS層の結晶部が、CAAC-OS層の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、CAAC-OS層に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

20

【0174】

なお、 InGaZnO_4 の結晶を有するCAAC-OS層のout-of-plane法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OS層中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS層は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0175】

CAAC-OS層は、不純物濃度の低い酸化物半導体層である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体層の主成分以外の元素である。特に、シリコンなどの、酸化物半導体層を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体層から酸素を奪うことで酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体層内部に含まれると、酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体層に含まれる不純物は、キャリア捕獲中心やキャリア発生源となる場合がある。

30

【0176】

また、CAAC-OS層は、欠陥準位密度の低い酸化物半導体層である。例えば、酸化物半導体層中の酸素欠損は、キャリア捕獲中心となることや、水素を捕獲することによってキャリア発生源となることがある。

40

【0177】

不純物濃度が低く、欠陥準位密度が低い(酸素欠損の少ない)ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体層は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体層を用いたトランジスタは、しきい値がマイナスとなる電気特性(ノーマリーオンともいう。)になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体層は、キャリア捕獲中心が少ない。そのため、当該酸化物半導体層を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

50

なお、酸化物半導体層のキャリア捕獲中心に捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体層を用いたトランジスタは、電気特性が不安定となる場合がある。

【0178】

また、CAAC-OS層を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0179】

次に、微結晶酸化物半導体層について説明する。

【0180】

微結晶酸化物半導体層は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体層に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体層を、nc-OS(nanocrystalline Oxide Semiconductor)層と呼ぶ。また、nc-OS層は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【0181】

nc-OS層は、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OS層は、異なる結晶部間で結晶方位に規則性が見られない。そのため、層全体で配向性が見られない。したがって、nc-OS層は、分析方法によっては、非晶質酸化物半導体層と区別が付かない場合がある。例えば、nc-OS層に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS層に対し、結晶部よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子線回折(制限視野電子線回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS層に対し、結晶部の大きさと近いか結晶部より小さいプローブ径(例えば1nm以上30nm以下)の電子線を用いる電子線回折(ナノビーム電子線回折ともいう。)を行うと、スポットが観測される。また、nc-OS層に対しナノビーム電子線回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS層に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0182】

nc-OS層は、非晶質酸化物半導体層よりも規則性の高い酸化物半導体層である。そのため、nc-OS層は、非晶質酸化物半導体層よりも欠陥準位密度が低くなる。ただし、nc-OS層は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS層は、CAAC-OS層と比べて欠陥準位密度が高くなる。

【0183】

なお、酸化物半導体層は、例えば、非晶質酸化物半導体層、微結晶酸化物半導体層、CAAC-OS層のうち、二種以上を有する積層であってもよい。

【0184】

CAAC-OS層は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって形成することができる。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、スパッタリング粒子は帯電しているためプラズマ中で凝集せず、結晶状態を維持したまま基板に到達し、CAAC-OS層を形成することができる。

【0185】

10

20

30

40

50

酸化物半導体層 404b の形成後に、第 1 の加熱処理を行ってもよい。第 1 の加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下の温度で、不活性ガス雰囲気、酸化性ガスを 10ppm 以上含む雰囲気、または減圧状態で行えばよい。また、第 1 の加熱処理の雰囲気は、不活性ガス雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10ppm 以上含む雰囲気で行ってもよい。第 1 の加熱処理によって、酸化物半導体層 404b の結晶性を高め、さらに下地絶縁層 402、酸化物半導体層 404a から水素や水などの不純物を除去することができる。なお、酸化物半導体層 404b を形成するエッチングの前に第 1 の加熱工程を行ってもよい。

【0186】

次に、酸化物半導体層 404a および酸化物半導体層 404b 上にソース電極 406a およびドレイン電極 406b となる第 1 の導電層を形成する。第 1 の導電層としては、Al、Cr、Cu、Ta、Ti、Mo、W、またはこれらを主成分とする合金材料を用いることができる。例えば、スパッタリング法などにより 100nm のチタン層を形成する。また CVD 法によりタンゲステン層を形成してもよい。

10

【0187】

次に、第 1 の導電層を酸化物半導体層 404b 上で分断するようにエッチングし、ソース電極 406a およびドレイン電極 406b を形成する（図 9（C）参照）。

【0188】

次に、酸化物半導体層 404b、ソース電極 406a およびドレイン電極 406b 上に、酸化物半導体層 403c を形成する。

20

【0189】

なお、酸化物半導体層 403c を形成後に第 2 の加熱処理を行ってもよい。第 2 の加熱処理は、第 1 の加熱処理と同様の条件で行うことができる。第 2 の加熱処理により、酸化物半導体層 403c から水素や水などの不純物を除去することができる。また、酸化物半導体層 404a および酸化物半導体層 404b から、さらに水素や水などの不純物を除去することができる。

【0190】

次に、酸化物半導体層 403c 上に絶縁層 407a と絶縁層 407b を形成する（図 10（A）参照）。例えば、絶縁層 407a は CVD 法で、絶縁層 407b スパッタリング法で形成する。しかし、この組み合わせに限られず、それぞれ、スパッタリング法、化学気相堆積（CVD）法（有機金属化学堆積（MOCVD）法、原子層成膜（ALD）法あるいはプラズマ化学気相堆積（PECVD）法を含む）、真空蒸着法またはパルスレーザー堆積（PLD）法などを用いて形成することができる。

30

【0191】

次に、絶縁層 407b 上にゲート電極 410 となる第 2 の導電層 409 を形成する（図 10（B）参照）。第 2 の導電層 409 としては、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta、W、またはこれらを主成分とする合金材料を用いることができる。第 2 の導電層 409 は、スパッタリング法や CVD 法などにより形成することができる。また、第 2 の導電層 409 としては、窒素を含んだ導電層を用いてもよく、上記材料を含む導電層と窒素を含んだ導電層の積層を用いてもよい。

40

【0192】

次に、ゲート電極 410 を形成するためのレジストマスクを用いて、第 2 の導電層 409 を選択的にエッチングし、ゲート電極 410 を形成する（図 10（C）参照）。なお、図 6（C）に示すように、ゲート電極 410 は、酸化物半導体層 404b を電氣的に取り囲むように形成される。

【0193】

続いて、上記レジストマスクまたはゲート電極 410 をマスクとして絶縁層 407a と絶縁層 407b を選択的にエッチングし、第 1 の絶縁層 408a と第 2 の絶縁層 408b（これらを、ゲート絶縁層 408、という）を形成する。

【0194】

50

続いて、上記レジストマスクまたはゲート電極 410 をマスクとして酸化物半導体層 403c をエッチングし、酸化物半導体層 404c を形成する。

【0195】

つまり、酸化物半導体層 404c の上端部はゲート絶縁層 408 の下端部と一致し、ゲート絶縁層 408 の上端部はゲート電極 410 の下端部と一致する。なお、ゲート電極 410 をマスクとしてゲート絶縁層 408 および酸化物半導体層 404c を形成しているがこれに限られず、第2の導電層 409 の形成前にゲート絶縁層 408 および酸化物半導体層 404c を形成してもよい。

【0196】

次に、ソース電極 406a、ドレイン電極 406b、ゲート電極 410 上に酸化物絶縁層 412 を形成する（図6(B)、図6(C)参照）。酸化物絶縁層 412 は、下地絶縁層 402 と同様の材料、方法を用いて形成することができる。酸化物絶縁層 412 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタル、もしくは窒素を含む上記酸化物を用いるとよい。酸化物絶縁層 412 は、スパッタリング法、化学気相堆積(CVD)法(有機金属化学堆積(MOCVD)法、原子層成膜(ALD)法あるいはプラズマ化学気相堆積(PECVD)法を含む)、真空蒸着法またはパルスレーザー堆積(PLD)法を用いて形成することができ、多層半導体層 404 に対し酸素を供給できるように過剰に酸素を含む層とすることが好ましい。

【0197】

次に、第3の加熱処理を行ってもよい。第3の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第3の加熱処理により、下地絶縁層 402、ゲート絶縁層 408、酸化物絶縁層 412 から過剰酸素が放出されやすくなり、多層半導体層 404 の酸素欠損を低減することができる。

【0198】

次に、第4の加熱処理を行う。第4の加熱処理は、125 以上450 以下、好ましくは150 以上300 以下の温度で、ゲート電極 410 の電位をソース電極やドレイン電極の電位より高い状態を、1秒以上、代表的には1分以上維持することで、多層半導体層 404 からゲート電極 410 に向かって、必要とする電子が移動し、そのうちのいくらかはゲート絶縁層 408 の内部にある電子捕獲準位に捕獲される。このようにして、捕獲される電子の量を制御して、しきい値の増加幅を補正することができる。

【0199】

以上の工程で、図6に示すトランジスタ 450 を作製することができる。

【0200】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0201】

(実施の形態4)

本実施の形態では、プレナー構造のトランジスタについて説明する。

【0202】

図11(A)乃至図11(C)は、本明細書で開示する一態様のトランジスタの上面図および断面図である。図11(A)は上面図であり、図11(A)に示す一点鎖線A-Bの断面が図11(B)、一点鎖線C-Dの断面が図11(C)に相当する。なお、図11(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線A-B方向をチャネル長方向、一点鎖線C-D方向をチャネル幅方向と呼称する場合がある。

【0203】

図11(A)乃至図11(C)に示すトランジスタ 470 は、基板 400 上の下地絶縁層 402 と、下地絶縁層 402 上の酸化物半導体層 404a および酸化物半導体層 404b

10

20

30

40

50

と、酸化物半導体層 404 a および酸化物半導体層 404 b 上のソース電極 406 a およびドレイン電極 406 b と、下地絶縁層 402、酸化物半導体層 404 a、酸化物半導体層 404 b、ソース電極 406 a およびドレイン電極 406 b と接する酸化物半導体層 404 c と、酸化物半導体層 404 c 上のゲート絶縁層 408 と、ゲート絶縁層 408 上のゲート電極 410 と、ソース電極 406 a、ドレイン電極 406 b、およびゲート電極 410 上の酸化物絶縁層 412 と、を有する。また、ゲート絶縁層 408 は、実施の形態 1 で述べた電子捕獲層として機能する。また、酸化物半導体層 404 a、酸化物半導体層 404 b、および酸化物半導体層 404 c を総称して多層半導体層 404 と呼称する。

【0204】

本実施の形態のトランジスタ 470 は、チャンネル長およびチャンネル幅がいずれも、多層半導体層 404 の厚さよりも 2 倍以上、代表的には 10 倍以上大きいことという点で実施の形態 2 のトランジスタ 450 と異なる。

【0205】

なお、チャンネル長とは、上面図において、半導体層とゲート電極とが重なる領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との距離をいう。すなわち、図 11 (A) では、チャンネル長は、酸化物半導体層 404 b とゲート電極 410 とが重なる領域における、ソース電極 406 a とドレイン電極 406 b との距離となる。チャンネル幅とは、半導体層とゲート電極とが重なる領域における、ソースまたはドレインの幅をいう。すなわち、図 11 (A) では、チャンネル幅は、酸化物半導体層 404 b とゲート電極 410 とが重なる領域における、ソース電極 406 a またはドレイン電極 406 b の幅をいう。

【0206】

また、本実施の形態では、酸化物半導体層 404 b を酸化物半導体層 404 a および酸化物半導体層 404 c で挟んでいる構成であったがこれに限られず、酸化物半導体層 404 a および酸化物半導体層 404 c を有さず酸化物半導体層 404 b のみがある構成としてもよい。あるいは、酸化物半導体層 404 a、酸化物半導体層 404 b、酸化物半導体層 404 c のいずれか 1 つあるいは 2 つだけで構成されてもよい。

【0207】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0208】

(実施の形態 5)

本実施の形態では、他の構造のトランジスタについて説明する。

【0209】

図 12 (A) にその一断面を示すトランジスタ 480 は、第 2 のゲート電極 413 (バックゲート電極) を有する以外は、図 6 (B) に示すトランジスタ 450 と同じである。また、図 12 (B) にその一断面を示すトランジスタ 490 は、第 2 のゲート電極 413 を有する以外は、図 8 に示すトランジスタ 460 と同じである。同様なバックゲート電極は図 11 に示すトランジスタ 470 にも設けることができる。

【0210】

(実施の形態 6)

本明細書で開示する一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本明細書で開示する一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具

10

20

30

40

50

体例を図 1 3 に示す。

【 0 2 1 1 】

図 1 3 (A) は携帯型ゲーム機であり、筐体 5 0 1、筐体 5 0 2、表示部 5 0 3、表示部 5 0 4、マイクロフォン 5 0 5、スピーカー 5 0 6、操作キー 5 0 7、スタイラス 5 0 8 等を有する。なお、図 1 3 (A) に示した携帯型ゲーム機は、2つの表示部 5 0 3 と表示部 5 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【 0 2 1 2 】

図 1 3 (B) は携帯データ端末であり、第 1 筐体 5 1 1、第 2 筐体 5 1 2、第 1 表示部 5 1 3、第 2 表示部 5 1 4、接続部 5 1 5、操作キー 5 1 6 等を有する。第 1 表示部 5 1 3 は第 1 筐体 5 1 1 に設けられており、第 2 表示部 5 1 4 は第 2 筐体 5 1 2 に設けられている。そして、第 1 筐体 5 1 1 と第 2 筐体 5 1 2 とは、接続部 5 1 5 により接続されており、第 1 筐体 5 1 1 と第 2 筐体 5 1 2 の間の角度は、接続部 5 1 5 により変更が可能である。第 1 表示部 5 1 3 における映像を、接続部 5 1 5 における第 1 筐体 5 1 1 と第 2 筐体 5 1 2 との間の角度に従って、切り替える構成としても良い。また、第 1 表示部 5 1 3 および第 2 表示部 5 1 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

【 0 2 1 3 】

図 1 3 (C) はノート型パーソナルコンピュータであり、筐体 5 2 1、表示部 5 2 2、キーボード 5 2 3、ポインティングデバイス 5 2 4 等を有する。

【 0 2 1 4 】

図 1 3 (D) は電気冷凍冷蔵庫であり、筐体 5 3 1、冷蔵室用扉 5 3 2、冷凍室用扉 5 3 3 等を有する。

【 0 2 1 5 】

図 1 3 (E) はビデオカメラであり、第 1 筐体 5 4 1、第 2 筐体 5 4 2、表示部 5 4 3、操作キー 5 4 4、レンズ 5 4 5、接続部 5 4 6 等を有する。操作キー 5 4 4 およびレンズ 5 4 5 は第 1 筐体 5 4 1 に設けられており、表示部 5 4 3 は第 2 筐体 5 4 2 に設けられている。そして、第 1 筐体 5 4 1 と第 2 筐体 5 4 2 とは、接続部 5 4 6 により接続されており、第 1 筐体 5 4 1 と第 2 筐体 5 4 2 の間の角度は、接続部 5 4 6 により変更が可能である。表示部 5 4 3 における映像を、接続部 5 4 6 における第 1 筐体 5 4 1 と第 2 筐体 5 4 2 との間の角度に従って切り替える構成としても良い。

【 0 2 1 6 】

図 1 3 (F) は普通自動車であり、車体 5 5 1、車輪 5 5 2、ダッシュボード 5 5 3、ライト 5 5 4 等を有する。

【 0 2 1 7 】

本実施の形態は、本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【 実施例 1 】

【 0 2 1 8 】

本実施例では、実施例試料として、図 1 1 に示すトランジスタ 4 7 0 と同様の構成のトランジスタについて作製し、電気特性の評価を行った。

【 0 2 1 9 】

はじめに、トランジスタのストレス試験について説明する。ストレス試験では、トランジスタのソース電位およびドレイン電位を 0 V、ゲート電位を + 3 . 3 V とし、150 で 1 時間保持する。ある条件で作製した 2 つの試料のストレス試験前後の、測定結果を図 1 4 に示す。図 1 4 は、ドレイン電位が 0 . 1 V および 3 . 0 V (いずれもソース電位が 0 V) のときの測定結果であり、横軸はゲート電位 (V g : [V])、縦軸はドレイン電流

10

20

30

40

50

(I_d : [A]) を示す。なお、図中の実線は、ドレイン電位 V_d が 3.0 V のときの測定結果を表し、図中の点線は、ドレイン電位 V_d が 0.1 V のときの測定結果を表す。

【 0 2 2 0 】

図中には、ストレス試験前後の電気特性を示す。なお、図中の矢印は、矢印の根本の方がストレス試験前の電気特性、矢印の先がストレス試験後の電気特性を表している。図 1 4 (A)、図 1 4 (B) に示すようにしきい値の変化量 V_{th} は、図 1 4 (A) では 1.76 V、図 1 4 (B) では 1.78 V であり、ストレス試験後にしきい値がプラス側にシフトしたことが確認できた。

【 0 2 2 1 】

なお、図 1 4 に示したしきい値のシフトは、高温での保持試験においても、十分に維持できることが示された。保持試験は、上記のストレス試験後のトランジスタに対しておこない、ゲート電位を 0 V として、150 で 1 時間保持するもの (第 1 の条件)、または、ゲート電位を - 3.3 V として、150 で 1 時間保持するもの (第 2 の条件) のいずれかをおこなった。

10

【 0 2 2 2 】

図 1 5 (A) には、第 1 の条件の、また、図 1 5 (B) には、第 2 の条件の保持試験前後の電気特性を、それぞれ、示す。なお、図中の矢印は、矢印の根本の方が保持試験前の電気特性、矢印の先が保持試験後の電気特性を表している。図 1 5 (A) に示すように、第 1 の条件では、トランジスタの保持試験前後でのしきい値の変化量 V_{th} は、- 0.07 V であった。また、図 1 5 (B) に示すように、第 2 の条件では、トランジスタの保持試験前後でのしきい値の変化量 V_{th} は、- 0.14 V であった。保持試験後にしきい値がほとんど変動していないことが確認できた。

20

【 0 2 2 3 】

次に、実施例試料 1 乃至 3 の作製方法について示す。

【 0 2 2 4 】

まず、表面に厚さ 100 nm の熱酸化膜を設けたシリコン基板上に下地絶縁層となる厚さ 300 nm の酸化窒化シリコン ($SiON$) 層をプラズマ CVD (PECVD) 法により形成した。酸化窒化シリコン層は、シランおよび一酸化二窒素 (SiH_4 : $N_2O = 1 sccm$: $800 sccm$) 混合雰囲気下、圧力 200 Pa、電源電力 150 kW を印加し、基板温度 350 としての条件によって形成した。

30

【 0 2 2 5 】

酸化窒化シリコン層表面を研磨処理後、厚さ 20 nm の第 1 の酸化物半導体層と厚さ 15 nm の第 2 の酸化物半導体層を積層して形成した。形成条件は、第 1 の酸化物半導体層は In : Ga : $Zn = 1$: 3 : 2 (原子数比) の酸化物ターゲットを用いたスパッタリング法によりアルゴンおよび酸素 (アルゴン : 酸素 = $30 sccm$: $15 sccm$) 混合雰囲気下において、圧力 0.4 Pa、電源電力 0.5 kW を印加し、ターゲットと基板の間の距離を 60 mm、基板温度 200 として形成し、第 2 の酸化物半導体層は In : Ga : $Zn = 1$: 1 : 1 (原子数比) の酸化物ターゲットを用いたスパッタリング法によりアルゴンおよび酸素 (アルゴン : 酸素 = $30 sccm$: $15 sccm$) 混合雰囲気下において、圧力 0.4 Pa、電源電力 0.5 kW を印加し、ターゲットと基板の間の距離を 60 m

40

【 0 2 2 6 】

続いて、加熱処理を行った。加熱処理は窒素雰囲気下、450 で 1 時間行った後、酸素雰囲気下、450 で 1 時間行った。

【 0 2 2 7 】

続いて、第 1 の酸化物半導体層および第 2 の酸化物半導体層を、ICP (*I*nductively *C*oupled *P*lasma : 誘導結合型プラズマ) エッチング法により、三塩化ホウ素および塩素 (BCl_3 : $Cl_2 = 60 sccm$: $20 sccm$) 雰囲気下、電源電力 450 W、バイアス電力 100 W、圧力 1.9 Pa においてエッチングして島状

50

の第1の酸化物半導体層および第2の酸化物半導体層に加工した。

【0228】

続いて、第1の酸化物半導体層および第2の酸化物半導体層上に、ソース電極およびドレイン電極となるタングステン層を厚さ100nm形成した。形成条件は、タングステターゲットを用いたスパッタリング法によりアルゴン(Ar=80sccm)雰囲気下において、圧力0.8Pa、電源電力(電源出力)1.0kWを印加し、シリコン基板とターゲットとの間の距離を60mm、基板温度230の条件によって形成した。

【0229】

次に、タングステン層上にレジストマスクを形成して、エッチングを行った。エッチングは、ICPEッチング法により、四弗化炭素、塩素および酸素(CF₄:Cl₂:O₂=45sccm:45sccm:55sccm)混合雰囲気下、電源電力3000W、バイアス電力110W、圧力0.67Paにて第1のエッチングを行い、その後、酸素(O₂=100sccm)雰囲気下、電源電力2000W、バイアス電力0W、圧力3.0Paにて第2のエッチングを行い、さらにその後、四弗化炭素、塩素および酸素(CF₄:Cl₂:O₂=45sccm:45sccm:55sccm)混合雰囲気下、電源電力3000W、バイアス電力110W、圧力0.67Paにて第3のエッチングを行い、ソース電極およびドレイン電極を形成した。

【0230】

次に、第2の酸化物半導体層、ソース電極およびドレイン電極上に厚さ5nmの第3の酸化物半導体層を形成した。形成条件は、In:Ga:Zn=1:3:2(原子数比)の酸化物ターゲットを用いたスパッタリング法によりアルゴンおよび酸素(アルゴン:酸素=30sccm:15sccm)混合雰囲気下において、圧力0.4Pa、電源電力0.5kWを印加し、ターゲットと基板の間の距離を60mm、基板温度200とした。

【0231】

続いて、プラズマCVD法により第1のゲート絶縁層となる厚さ15nmの酸化窒化シリコン層を、シランおよび一酸化二窒素(SiH₄:N₂O=1sccm:800sccm)混合雰囲気下、圧力200Pa、電源電力150kWを印加し、基板温度350として形成し、その上に、スパッタリング法により第2のゲート絶縁層となる厚さ20nmあるいは30nmの酸化ハフニウム層をアルゴンおよび酸素(Ar:O₂=50sccm:0sccm、あるいは25sccm:25sccm)混合雰囲気下、圧力0.6Pa、電源電力2.5kWを印加し、ターゲットと基板の間の距離を60mm、基板温度100、200、あるいは350として積層して形成した。

【0232】

続いて、厚さ30nmの窒化タンタル層および厚さ135nmのタングステン層を、スパッタリング法により形成した。窒化タンタル層の形成条件は、スパッタリング法によりアルゴンおよび窒素(アルゴン:窒素=50sccm:10sccm)混合雰囲気下において、圧力0.6Pa、電源電力1kWを印加し、ターゲットと基板の間の距離を60mm、基板温度25とした。タングステン層の形成条件は、スパッタリング法によりアルゴン(Ar=100sccm)雰囲気下において、圧力2.0Pa、電源電力4kWを印加し、ターゲットと基板の間の距離を60mm、基板温度230とした。

【0233】

次に、ICPEッチング法により、厚さ30nmの窒化タンタル層および厚さ135nmのタングステン層の積層をエッチングした。エッチング条件は、塩素、四弗化炭素および酸素(Cl₂:CF₄:O₂=45sccm:55sccm:55sccm)混合雰囲気下、電源電力3000W、バイアス電力110W、圧力0.67Paにおいて第1のエッチングを行い、第1のエッチングの後に塩素(Cl₂=100sccm)雰囲気下、電源電力2000W、バイアス電力50W、圧力0.67Paにおいて第2のエッチングを行い、ゲート電極を形成した。

【0234】

次に、ゲート電極をマスクとして、ゲート絶縁層、第3の酸化物半導体層の積層をエッチ

10

20

30

40

50

ングした。エッチング条件は、三塩化ホウ素 ($\text{BCl}_3 = 80 \text{ sccm}$) 雰囲気下、電源電力 450 W 、バイアス電力 100 W 、圧力 1.0 Pa においてエッチングを行った。

【0235】

次に、ゲート電極上に厚さ 20 nm の酸化アルミニウム層をスパッタリング法により形成し、その上に、厚さ 150 nm の酸化窒化シリコン層を CVD 法により形成した。

【0236】

以上の工程を経て、実施例試料 1 乃至 3 のトランジスタを作製した。

【0237】

次に、比較例試料の作製方法について示す。比較例試料は、第 1 のゲート絶縁層を厚さ 20 nm の酸化窒化シリコン膜とし、第 2 のゲート絶縁層を設けない以外は、実施例試料 1 乃至 3 と同じである。

【0238】

表 1 に、実施例試料 1 乃至 3 および比較例試料の作製条件の相違を示す。

【0239】

【表 1】

	実施例試料1	実施例試料2	実施例試料3	比較例試料
第1のゲート絶縁膜	SiON(15nm)	SiON(15nm)	SiON(15nm)	SiON(20nm)
第2のゲート絶縁膜	HfOx(30nm)	HfOx(20nm)	HfOx(20nm)	-
成膜時基板温度	100°C	200°C	350°C	-
成膜時酸素分圧	0%	50%	50%	-

【0240】

次に、上記に示したストレス試験を比較例試料、実施例試料 1 乃至 3 に対しておこなった。結果を表 2 に示す。比較例試料および実施例試料 1 はしきい値の変動が小さいのに対して、実施例試料 2 および 3 では、大きなしきい値変動が観測された。

【0241】

【表 2】

	比較例試料	実施例試料1	実施例試料2	実施例試料3
ΔV_{th}	+0.39V	+0.24V	+1.64V	+1.47V

【0242】

実施例試料 1 は、実施例試料 2 および 3 と同様に第 2 のゲート絶縁層として、酸化ハフニウム膜を用いているため、この差異が成膜条件あるいは得られた膜質の差異によるものであると推定された。

【0243】

そこで、成膜条件の違いによる酸化ハフニウム膜の膜質の差異を確かめた。シリコン基板上に厚さ 5 nm の酸化窒化シリコン (SiON) 膜をプラズマ CVD (PECVD) 法により形成した。その上に、スパッタリング法により厚さ 30 nm の酸化ハフニウム膜をアルゴンおよび酸素 ($\text{Ar} : \text{O}_2 = 50 \text{ sccm} : 0 \text{ sccm}$ 、あるいは $25 \text{ sccm} : 25 \text{ sccm}$) 混合雰囲気下、圧力 0.6 Pa 、電源電力 2.5 kW を印加し、ターゲットと基板の間の距離を 60 mm 、基板温度 100 、 200 、あるいは 350 として積層して成膜した。

【0244】

図 16 には、さまざまな条件で作製した酸化ハフニウム膜の X 線回折パターンを示す。図 16 (A) は酸素分圧 0% 、基板温度 100 のものであり、図 16 (B) は酸素分圧 50% 、基板温度 100 のものであり、図 16 (C) は酸素分圧 0% 、基板温度 200 のものであり、図 16 (D) は酸素分圧 50% 、基板温度 200 のものであり、図 16 (E) は酸素分圧 0% 、基板温度 350 のものであり、図 16 (F) は酸素分圧 50% 、基板温度 350 のものである。

【 0 2 4 5 】

図から明らかなように、酸素分圧が50%のものでは、酸化ハフニウムの(- 1 , 1 , 1)面の回折が観測され、酸化ハフニウム膜が結晶化していることがわかる。また、酸素分圧が0%でも、基板温度が350のものでは、酸化ハフニウムが結晶化していることがわかる。回折パターンより、酸化ハフニウムの単斜晶系の結晶であることがわかった。

【 0 2 4 6 】

実施例試料1の第2のゲート絶縁層は、図16(A)のX線回折パターンを示す膜と同じ条件で形成され、実施例試料2および3は、それぞれ、図16(D)および図16(F)のX線回折パターンを示す膜と同じ条件で形成された。そして、実施例試料2および3が、顕著なしきい値シフトを示すことから、酸化ハフニウムが結晶化していることが、その

10

【 0 2 4 7 】

図17乃至図19には、図16(D)のX線回折パターンを示す膜の透過型電子顕微鏡(TEM)像を示す。図17は酸化ハフニウム膜の膜面に平行な方向からみたTEM像(断面TEM像)であり、図18(A)および図18(B)は、それぞれ、図17中に示す領域PおよびQの拡大像である。また、図19(A)は、酸化ハフニウム膜の膜面に垂直な方向からみたTEM像(平面TEM像)であり、図19(B)は、その高倍率像である。

【 0 2 4 8 】

図17乃至図19から、酸化ハフニウムが、柱状に結晶成長し、結晶間に粒界が存在することが確認された。このため、しきい値シフトの要因が、酸化ハフニウムの結晶化であり、特に、結晶粒界の存在によるものであることが強く示唆された。

20

【 0 2 4 9 】

さらに、電子スピン共鳴(ESR)測定により、成膜条件による欠陥の差異について調べた。温度10Kで、マイクロ波(周波数9.47GHz、パワー0.1mW)を酸化ハフニウム膜に平行に照射した。なお、酸化ハフニウム膜は、石英基板上にRFスパッタリング法(パワー2.5kW、成膜時圧力0.6Pa、基板ターゲット間距離60mm、基板温度100、200、350のいずれか、雰囲気Ar100%、Ar50%/酸素50%のいずれか、酸素とアルゴンの合計流量50sccm)で成膜された。また、一部は、成膜後、酸素中で300、350、400のいずれかの温度でベーク処理された。

30

【 0 2 5 0 】

酸化ハフニウムの酸素欠損に起因するESR信号は、g値1.92乃至1.98に現れると推定される。図20に示すように、酸素が希薄な条件(成膜時酸素分圧0%)で成膜された酸化ハフニウム膜では、g値が1.92付近であるスピンの密度が大きくなり、また、その後の酸素中でのベークにより減少することから酸素欠損によるものであることが示唆される。

【 0 2 5 1 】

なお、表3に示すように、ラザフォード後方散乱分光法(RBS)による分析の結果、酸素が希薄な条件(成膜時酸素分圧0%)で成膜された酸化ハフニウム膜では、酸素がより多く存在する条件(成膜時酸素分圧50%)で成膜された酸化ハフニウム膜より、酸素の

40

【 0 2 5 2 】

【表3】

HfO _x 成膜条件	組成(atmic %)			
	Hf	O	Ar	他
O ₂ =0%, T _{sub} =100°C	31.8	66.4	1.4	0.4
O ₂ =50%, T _{sub} =200°C	31.1	68.1	0.4	0.4

【 0 2 5 3 】

50

一方、酸素がより多く存在する条件（成膜時酸素分圧50%）で成膜された酸化ハフニウム膜では、g値が1.92付近であるスピンの密度はほとんど観測されず、図21に示すように、g値が2.00付近であるスピンの密度が、酸素が希薄な条件（成膜時酸素分圧0%）で成膜された酸化ハフニウム膜より大きくなっている。これは過剰な酸素に起因すると推定される。

【参考例】

【0254】

本参考例では、トランジスタを作製してオフ電流を求めた結果について説明する。

【0255】

参考例トランジスタは、実施例で用いたトランジスタの構成のゲート絶縁層およびゲート電極以外は同じである。ゲート絶縁層およびゲート電極のみの作製方法を説明する。

10

【0256】

第3の酸化物半導体層形成後、CVD法によりゲート絶縁層となる10nmの酸化窒化シリコン層を、シランおよび一酸化二窒素（ $\text{SiH}_4 : \text{N}_2\text{O} = 1 \text{ sccm} : 800 \text{ sccm}$ ）混合雰囲気下、圧力200Pa、電源電力150kWを印加し、ターゲットと基板の間の距離を28mm、基板温度350として形成した。

【0257】

続いて、厚さ10nmの窒化チタン層および厚さ10nmのタングステン層を、スパッタリング法により形成した。窒化チタン層の形成条件は、スパッタリング法により窒素（窒素=50sccm）雰囲気下において、圧力0.2Pa、電源電力12kWを印加し、ターゲットと基板の間の距離を400mm、基板温度25とした。タングステン層の形成条件は、スパッタリング法によりアルゴン（ $\text{Ar} = 100 \text{ sccm}$ ）雰囲気下において、圧力2.0Pa、電源電力1kWを印加し、ターゲットと基板の間の距離を60mm、基板温度230とした。

20

【0258】

次に、ICPEッチング法により、厚さ10nmの窒化チタン層および厚さ10nmのタングステン層の積層をエッチングした。エッチング条件は、塩素、四弗化炭素および酸素（ $\text{Cl}_2 : \text{CF}_4 : \text{O}_2 = 45 \text{ sccm} : 55 \text{ sccm} : 55 \text{ sccm}$ ）混合雰囲気下、電源電力3000W、バイアス電力110W、圧力0.67Paにおいて第1のエッチングを行い、第1のエッチングの後に塩素および三塩化ホウ素（ $\text{Cl}_2 : \text{BCl}_3 = 50 \text{ sccm} : 150 \text{ sccm}$ ）混合雰囲気下、電源電力1000W、バイアス電力50W、圧力0.67Paにおいて第2のエッチングを行い、ゲート電極を形成した。

30

【0259】

以上の工程を経て、トランジスタを作製した。トランジスタのチャンネル長は50nm、チャンネル幅は40nmであった。

【0260】

次に作製したトランジスタにおいて、オフ電流を求めた。

【0261】

1fAより小さな電流は、直接は測定できないため、作製した参考例トランジスタを並列に25万個並べて接続し、実質的なチャンネル幅が10mm（40nm×25万）のトランジスタを作製した。

40

【0262】

図22にチャンネル幅が10mmのトランジスタのドレイン電位（ $V_d : [\text{V}]$ ）が1Vのときの $I_d - V_g$ 特性を示す。図22に示すように、 $V_g < -1\text{V}$ のとき、オフ電流は 10^{-13}A 未満（つまり、チャンネル幅1 μm あたりのオフ電流は、 $10^{-17}\text{A}/\mu\text{m}$ 未満）であることが確認された。

【符号の説明】

【0263】

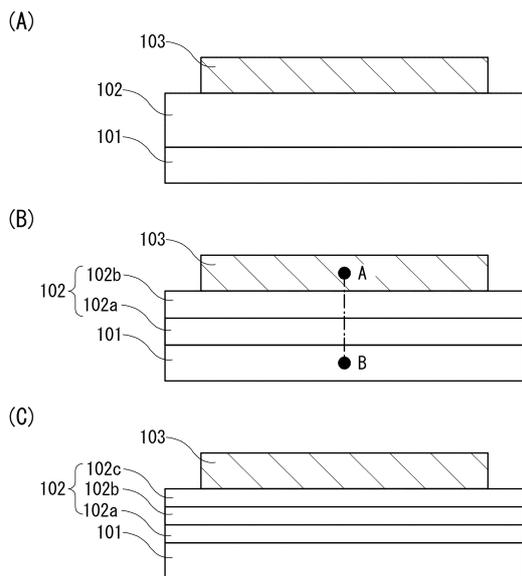
- 101 半導体層
- 102 電子捕獲層

50

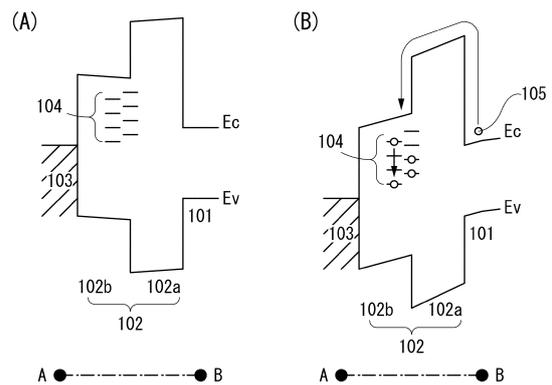
1 0 2 a	第 1 の絶縁層	
1 0 2 b	第 2 の絶縁層	
1 0 2 c	第 3 の絶縁層	
1 0 3	ゲート電極	
1 0 4	電子捕獲準位	
1 0 5	電子	
1 0 8	曲線	
1 0 9	曲線	
1 1 0	トランジスタ	
1 1 1	容量素子	10
1 2 1	トランジスタ	
1 2 2	トランジスタ	
1 2 3	容量素子	
1 2 4	トランジスタ	
1 2 5	容量素子	
4 0 0	基板	
4 0 2	下地絶縁層	
4 0 3 c	酸化物半導体層	
4 0 4	多層半導体層	
4 0 4 a	酸化物半導体層	20
4 0 4 b	酸化物半導体層	
4 0 4 c	酸化物半導体層	
4 0 6 a	ソース電極	
4 0 6 b	ドレイン電極	
4 0 7 a	絶縁層	
4 0 7 b	絶縁層	
4 0 8	ゲート絶縁層	
4 0 8 a	第 1 の絶縁層	
4 0 8 b	第 2 の絶縁層	
4 0 9	導電層	30
4 1 0	ゲート電極	
4 1 2	酸化物絶縁層	
4 1 3	第 2 のゲート電極	
4 5 0	トランジスタ	
4 6 0	トランジスタ	
4 7 0	トランジスタ	
4 8 0	トランジスタ	
4 9 0	トランジスタ	
5 0 1	筐体	
5 0 2	筐体	40
5 0 3	表示部	
5 0 4	表示部	
5 0 5	マイクロフォン	
5 0 6	スピーカー	
5 0 7	操作キー	
5 0 8	スタイラス	
5 1 1	筐体	
5 1 2	筐体	
5 1 3	表示部	
5 1 4	表示部	50

- 5 1 5 接続部
- 5 1 6 操作キー
- 5 2 1 筐体
- 5 2 2 表示部
- 5 2 3 キーボード
- 5 2 4 ポインティングデバイス
- 5 3 1 筐体
- 5 3 2 冷蔵室用扉
- 5 3 3 冷凍室用扉
- 5 4 1 筐体
- 5 4 2 筐体
- 5 4 3 表示部
- 5 4 4 操作キー
- 5 4 5 レンズ
- 5 4 6 接続部
- 5 5 1 車体
- 5 5 2 車輪
- 5 5 3 ダッシュボード
- 5 5 4 ライト

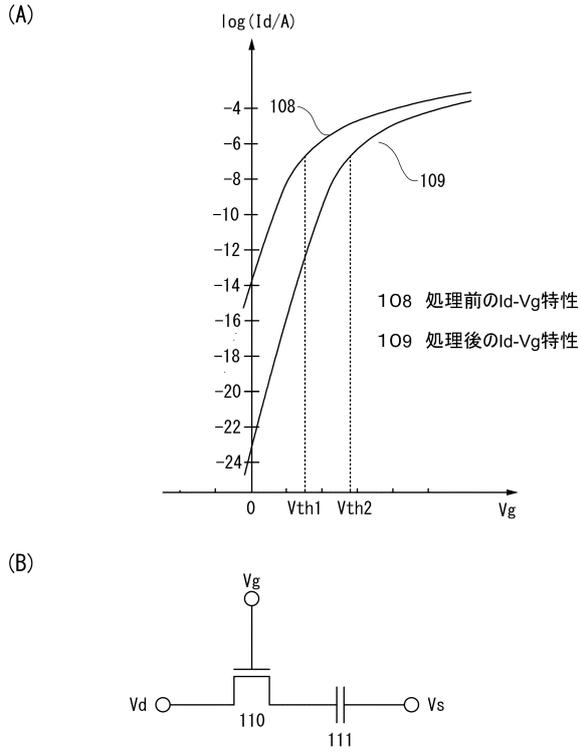
【図1】



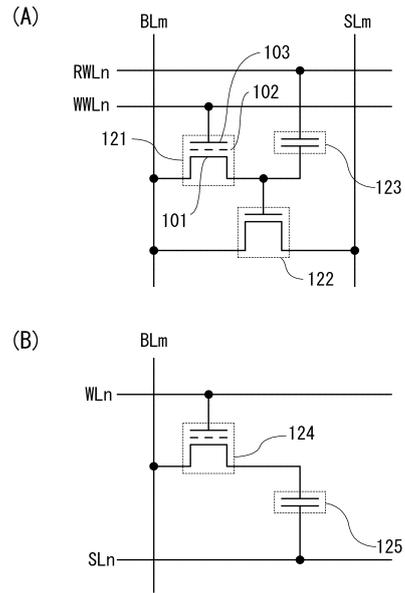
【図2】



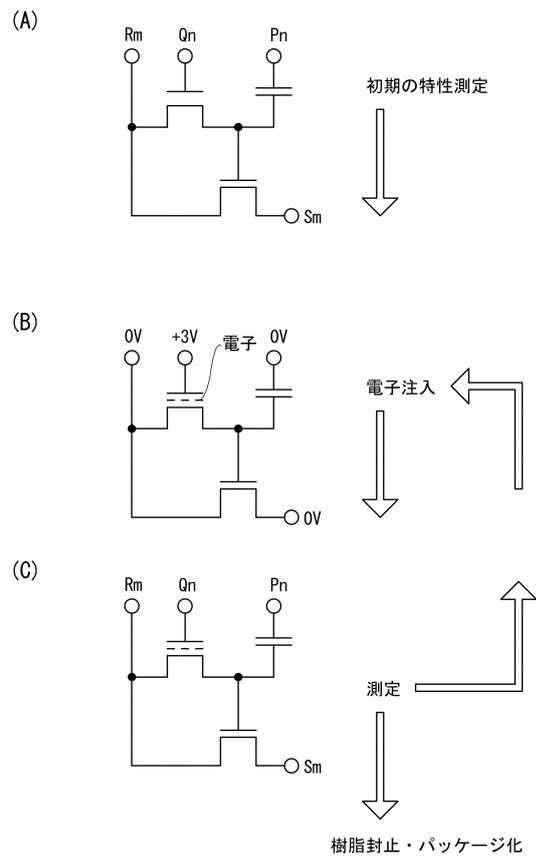
【図3】



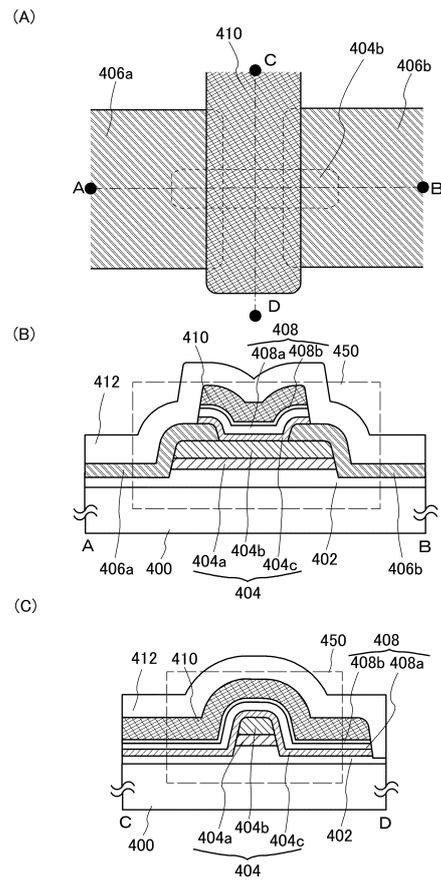
【図4】



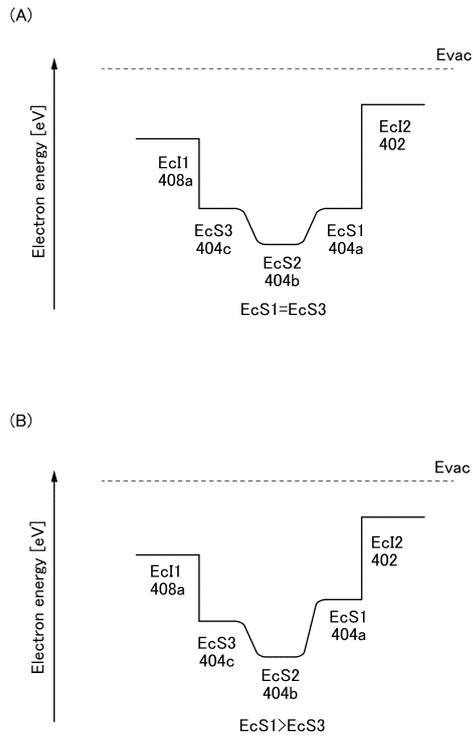
【図5】



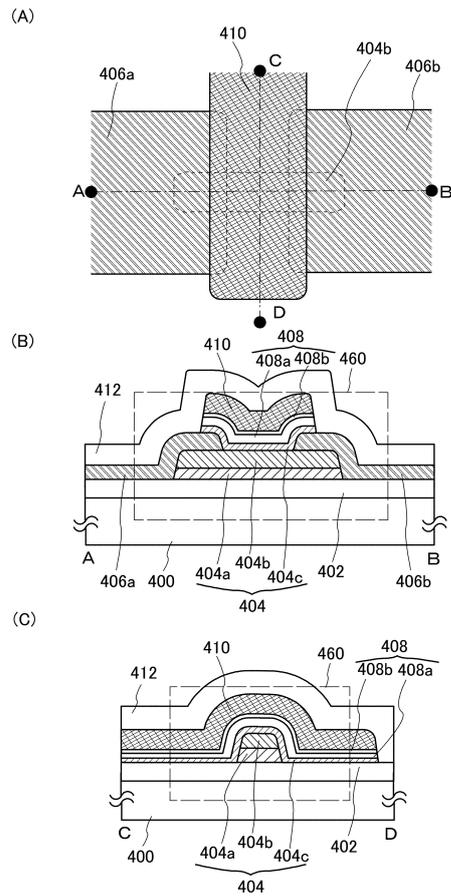
【図6】



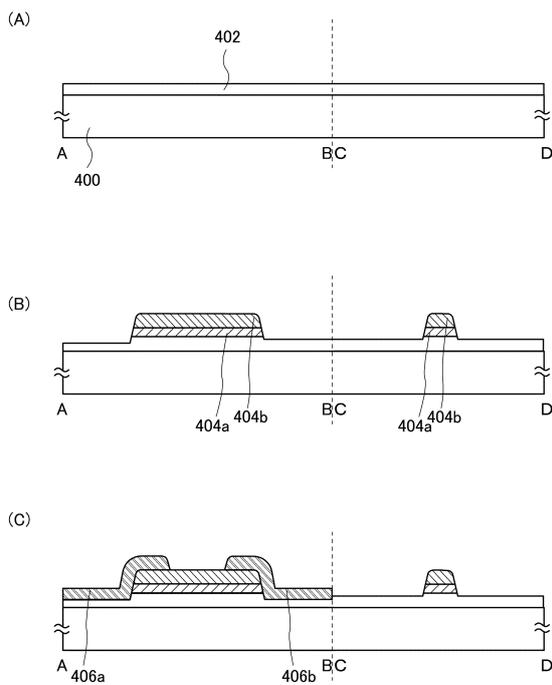
【 図 7 】



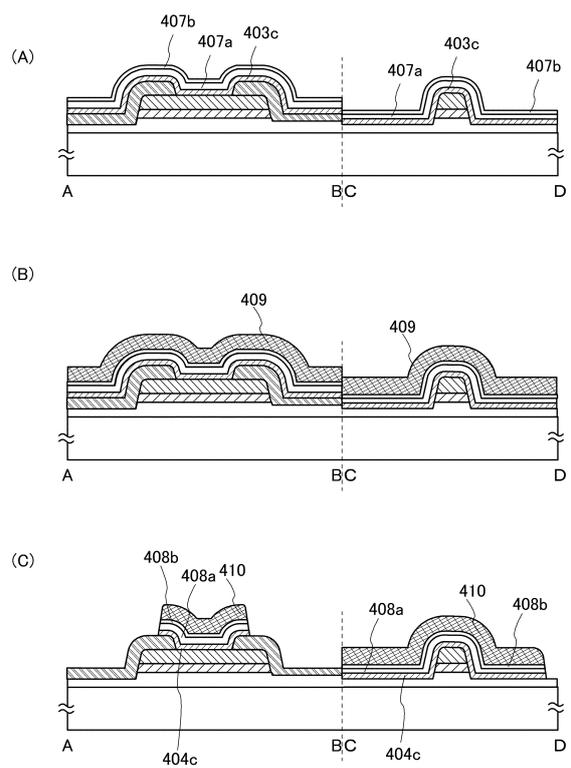
【 図 8 】



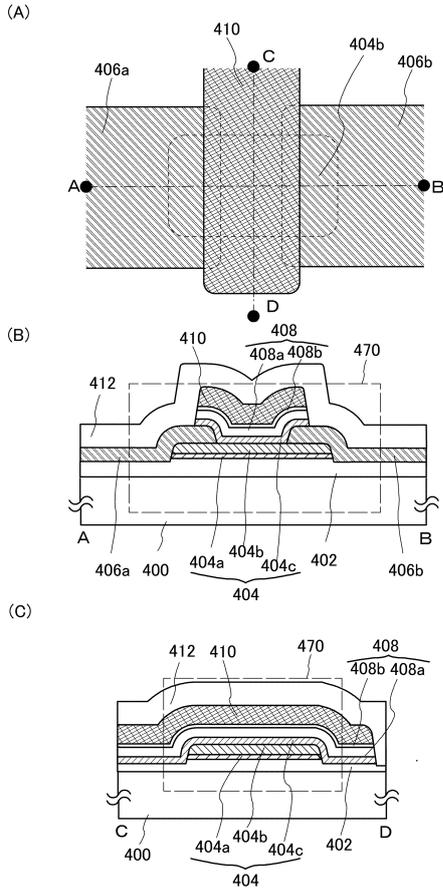
【 図 9 】



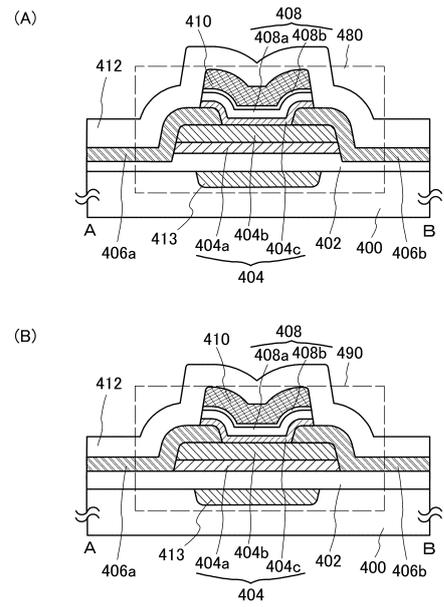
【 図 10 】



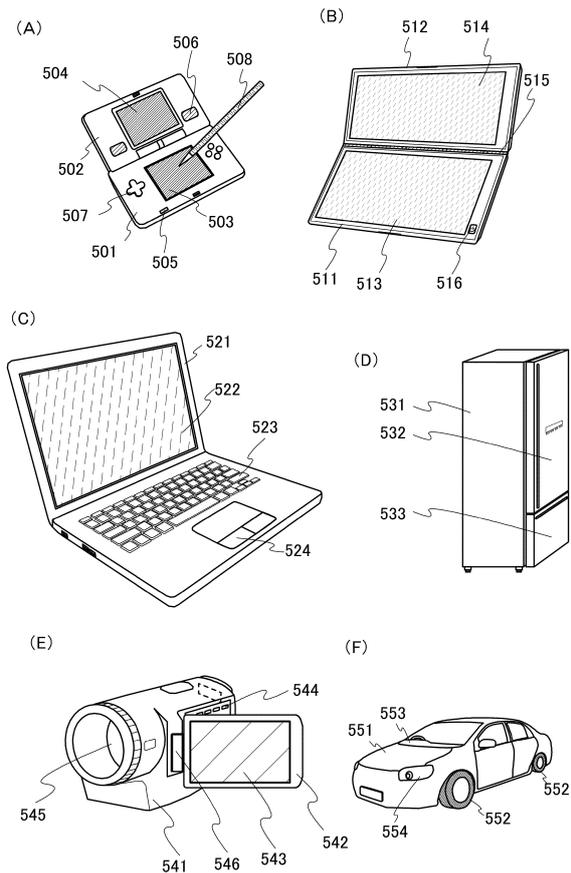
【図 1 1】



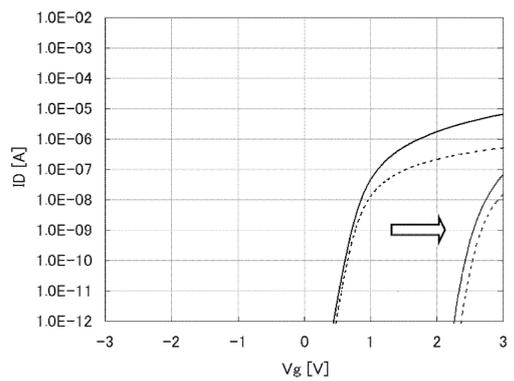
【図 1 2】



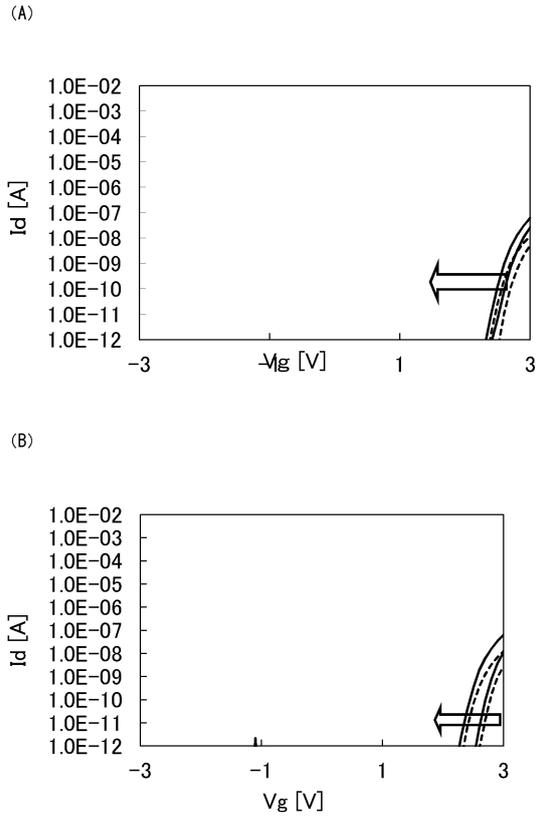
【図 1 3】



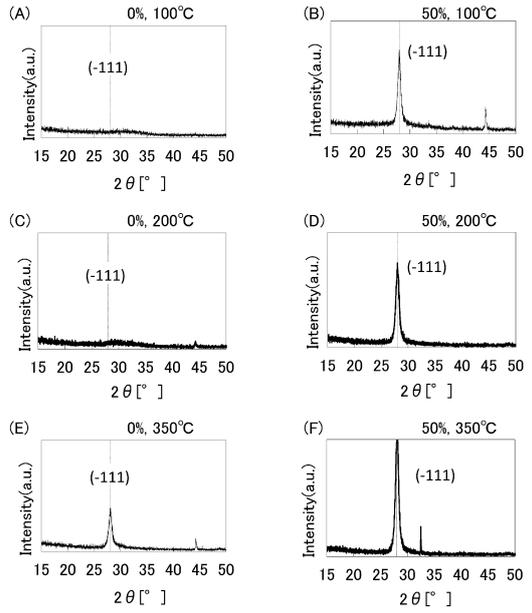
【図 1 4】



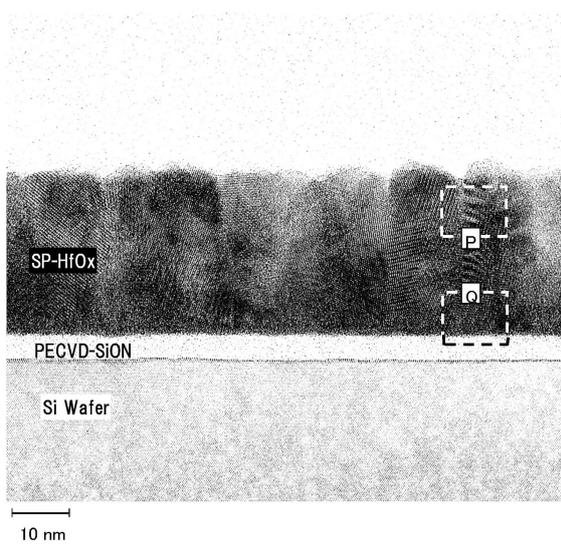
【 15 】



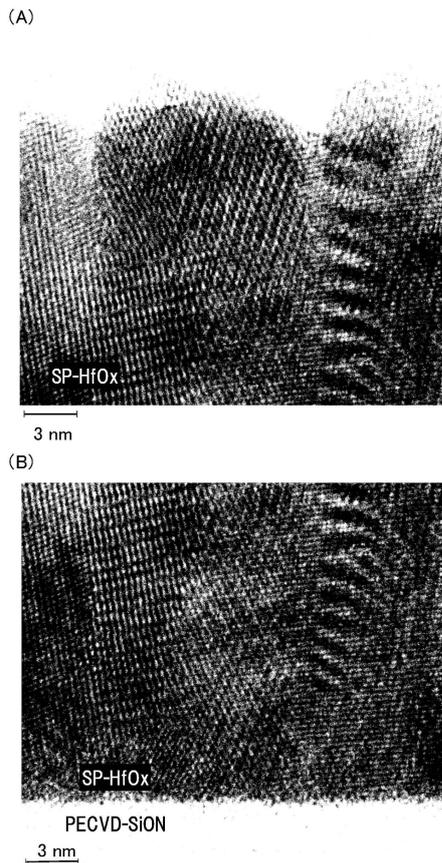
【 16 】



【 17 】

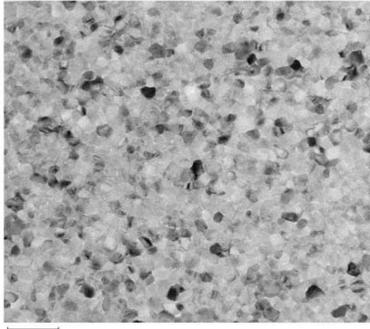


【 18 】



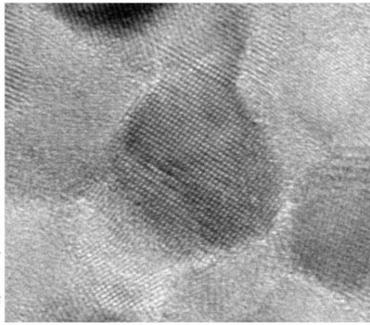
【 19 】

(A)



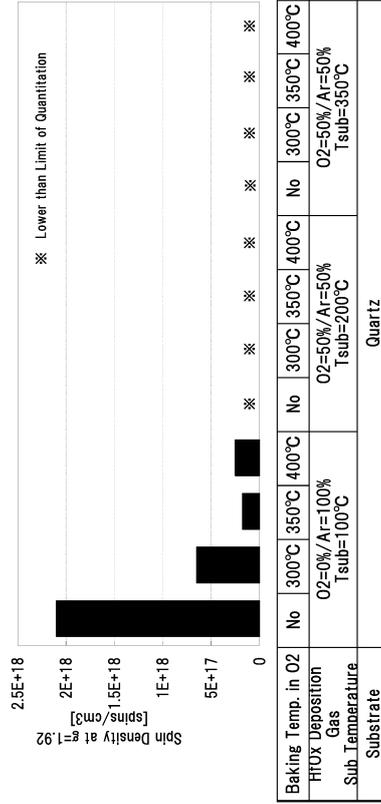
50 nm

(B)

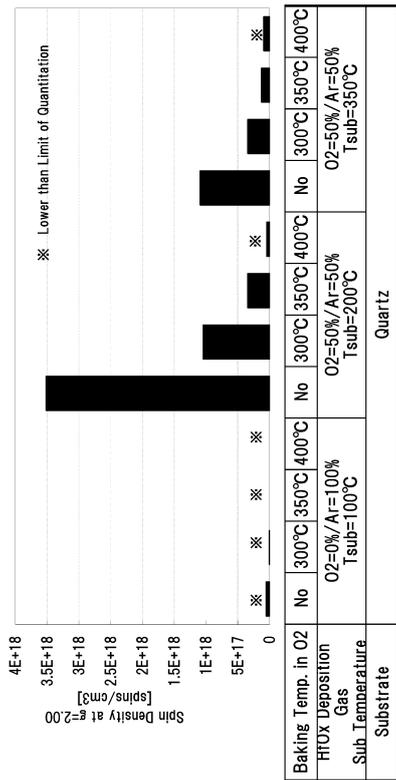


3 nm

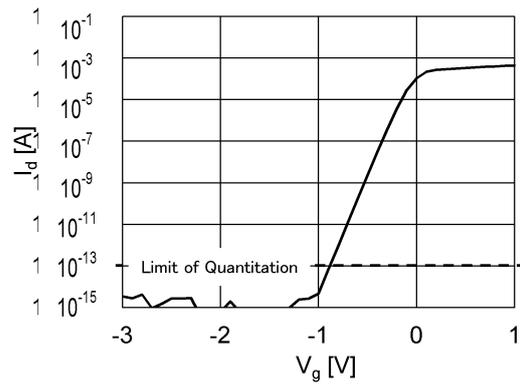
【 20 】



【 21 】



【 22 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/11568 (2017.01)	H 0 1 L	29/78	6 1 7 U
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 1 8 B
H 0 1 L	29/788 (2006.01)	H 0 1 L	27/115	
H 0 1 L	29/792 (2006.01)	H 0 1 L	27/1156	
H 0 1 L	21/8242 (2006.01)	H 0 1 L	27/11568	
H 0 1 L	27/108 (2006.01)	H 0 1 L	29/78	3 7 1
		H 0 1 L	27/108	6 7 1 C
		H 0 1 L	27/108	6 7 1 Z

審査官 岩本 勉

- (56)参考文献 国際公開第2010/106922(WO, A1)
 特開2011-216715(JP, A)
 特開2011-205046(JP, A)
 特開2010-087089(JP, A)
 特開2009-004476(JP, A)
 特開2013-030784(JP, A)
 特開2013-147423(JP, A)
 米国特許出願公開第2012/0068250(US, A1)
 米国特許出願公開第2011/0233655(US, A1)
 米国特許出願公開第2010/0078704(US, A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 7 / 1 1 5
 H 0 1 L 2 1 / 3 3 6