

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4097510号  
(P4097510)

(45) 発行日 平成20年6月11日(2008.6.11)

(24) 登録日 平成20年3月21日(2008.3.21)

(51) Int.Cl.	F I
H O 1 L 33/00 (2006.01)	H O 1 L 33/00 A
H O 1 L 23/52 (2006.01)	H O 1 L 23/52 C

請求項の数 15 (全 21 頁)

(21) 出願番号	特願2002-336236 (P2002-336236)	(73) 特許権者	591044164
(22) 出願日	平成14年11月20日(2002.11.20)		株式会社沖データ
(65) 公開番号	特開2004-172351 (P2004-172351A)		東京都港区芝浦四丁目11番22号
(43) 公開日	平成16年6月17日(2004.6.17)	(73) 特許権者	500002571
審査請求日	平成16年12月16日(2004.12.16)		株式会社沖デジタルイメージング
			東京都八王子市東浅川町550番地-1
		(74) 代理人	100083840
			弁理士 前田 実
		(74) 代理人	100116964
			弁理士 山形 洋一
		(72) 発明者	荻原 光彦
			東京都八王子市東浅川町550番地の1
			株式会社沖デジタルイメージング内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の基板とその表面に貼り付けられた個別の半導体薄膜とを有する半導体装置を製造する方法であって、

第2の基板上に剥離層を形成する工程と、

前記剥離層上に、半導体素子の全部又は一部の構造を含む半導体薄膜を形成する工程と

、  
前記半導体薄膜上において前記個別の半導体薄膜に区画される領域の内側の所定領域に誘電体膜を形成する工程と、

前記半導体薄膜上の前記誘電体膜を覆う様に前記個別の半導体薄膜に区画される領域全体に保護層を形成する工程と、

前記半導体薄膜の前記保護層で覆われていない領域をエッチングして前記剥離層に届くエッチング溝を形成することによって、前記半導体薄膜を分離する工程と、

前記剥離層をエッチングして前記半導体薄膜を剥離可能な個別の半導体薄膜にする工程と、

前記誘電体膜を備えた前記個別の半導体薄膜を保持し、前記第1の基板の表面に貼り付ける工程と、

前記個別の半導体薄膜を貼り付ける工程の前又は後に、前記保護層を除去する工程とを有し、

前記保護層が、前記エッチング溝の形成工程及び前記剥離層のエッチング工程において

10

20

使用されるエッチング剤に対して耐エッチング性を持つ材料で構成されることを特徴とする半導体装置の製造方法。

【請求項 2】

第 1 の基板とその表面に貼り付けられた個別の半導体薄膜とを有する半導体装置を製造する方法であって、

第 2 の基板上に剥離層を形成する工程と、

前記剥離層上に、半導体素子の全部又は一部の構造を含む半導体薄膜を形成する工程と

、  
前記半導体薄膜上において前記個別の半導体薄膜に区画される領域の内側の所定領域に誘電体膜を形成する工程と、

前記半導体薄膜上の前記誘電体膜を覆う様に前記個別の半導体薄膜に区画される領域全体にパッシベーション膜を形成する工程と、

前記パッシベーション膜上で前記誘電体膜面全体を覆う様に前記個別の半導体薄膜に区画される領域全体に保護層を形成する工程と、

前記半導体薄膜の前記保護層及び前記パッシベーション膜で覆われていない領域をエッチングして前記剥離層に届くエッチング溝を形成することによって、前記半導体薄膜を分離する工程と、

前記剥離層をエッチングして前記半導体薄膜を剥離可能な個別の半導体薄膜にする工程と、

前記誘電体膜及び前記パッシベーション膜を備えた前記個別の半導体薄膜を保持し、前記第 1 の基板の表面に貼り付ける工程と、

前記個別の半導体薄膜を貼り付ける工程の前又は後に、前記保護層を除去する工程とを有し、

前記保護層及び前記パッシベーション膜のそれぞれが、前記エッチング溝の形成工程及び前記剥離層のエッチング工程において使用されるエッチング剤に対して耐エッチング性を持つ材料で構成される

ことを特徴とする半導体装置の製造方法。

【請求項 3】

前記第 1 の基板が、アモルファスシリコン、単結晶シリコン、ポリシリコン、化合物半導体、有機半導体、及び絶縁体材料の内のいずれかの材料を含むことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 の基板が、集積回路を有するシリコン基板であることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 5】

前記第 2 の基板が、その最上層に、前記剥離層のエッチング工程において使用されるエッチング剤に対して耐エッチング性を持つ材料で構成されるエッチングストップ層を有することを特徴とする請求項 1 から 4 までのいずれかに記載の半導体装置の製造方法。

【請求項 6】

前記半導体薄膜が、化合物半導体エピタキシャル層から構成されることを特徴とする請求項 1 から 5 までのいずれかに記載の半導体装置の製造方法。

【請求項 7】

前記半導体素子が、発光素子、受光素子、ホール素子、及びピエゾ素子の内のいずれかの素子であることを特徴とする請求項 1 から 6 までのいずれかに記載の半導体装置の製造方法。

【請求項 8】

前記誘電体膜が、酸化珪素、窒化珪素、酸化アルミニウム、窒化アルミニウムの内のいずれかの材料から構成されることを特徴とする請求項 1 から 7 までのいずれかに記載の半導体装置の製造方法。

【請求項 9】

10

20

30

40

50

前記パッシベーション膜が、ポリイミド及び窒化アルミニウムの内のいずれかの材料から構成されることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 10】

前記保護層が、有機材料から構成されることを特徴とする請求項 1 から 9 までのいずれかに記載の半導体装置の製造方法。

【請求項 11】

前記第 1 の基板の前記個別の半導体薄膜が貼り付けられる領域に導電性材料層を形成する工程を有し、

前記個別の半導体薄膜が、前記導電性材料層上に貼り付けられる

ことを特徴とする請求項 1 から 10 までのいずれかに記載の半導体装置の製造方法。

10

【請求項 12】

前記エッチング溝の形成工程において、エッチング剤として磷酸過水又は、クエン酸及び過酸化水素水を含むエッチング液が用いられ、

前記剥離層のエッチング工程において、エッチング剤としてフッ酸が用いられる

ことを特徴とする請求項 1 から 11 までのいずれかに記載の半導体装置の製造方法。

【請求項 13】

前記第 1 の基板に貼り付けられた前記個別の半導体薄膜の前記半導体素子に電氣的に接続され、前記誘電体層又は前記パッシベーション膜上に延びる個別配線層をフォトリソグラフィ技術を用いて形成する工程を有することを特徴とする請求項 2 又は 9 に記載の半導体装置の製造方法。

20

【請求項 14】

前記個別配線層が、Au 層、Ti / Pt / Au 積層層、Au / Zn 積層層、Au / Ge 積層層、Ni / Au 積層層、AuGeNi / Au 積層層、Pd 層、Pd / Au 積層層、Mg / Au 積層層、Al 層、Al / Ni 積層層、ポリシリコン層、ITO 層、及び ZnO 層の内のひとつ又は 2 つ以上を組み合わせた材料から構成されることを特徴とする請求項 13 に記載の半導体装置の製造方法。

【請求項 15】

前記半導体薄膜に前記エッチング溝を形成する工程が、前記保護層を前記エッチング溝を形成するためのエッチングマスクとして使用し、前記保護層の端部と前記エッチング溝形成後の前記半導体薄膜の端部とをほぼ一致させる工程であることを特徴とする請求項 1 から 14 までのいずれかに記載の半導体装置の製造方法。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、電子写真式プリンタに使用される LED プリントヘッドのような半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

図 26 は、従来の LED プリントヘッド 900 の一部を概略的に示す斜視図であり、図 27 は、図 26 の LED プリントヘッドに備えることができる LED アレイチップの一例として LED アレイチップ 902 の一部を示す平面図である。図示された LED プリントヘッド 900 は、基板 901 上に備えられた LED アレイチップ 902 の電極パッド 903 と、基板 901 上に備えられた駆動 IC チップ 904 の電極パッド 905 とをボンディングワイヤ 906 で接続し、駆動 IC チップ 904 の電極パッド 909 と基板 901 の電極パッド 910 とをボンディングワイヤ 911 で接続した構造を持つ。

40

【0003】

また、下記の特許文献 1 には、薄膜構造の発光素子が開示されている。この特許文献 1 には、発光素子を構成する各層を成長させた後に、エッチング液により素子分離を行うことが記載されている。

【0004】

50

## 【特許文献１】

特開平１０－０６３８０７号公報（図１１、段落００３４及び００３５）

## 【０００５】

## 【発明が解決しようとする課題】

しかしながら、ＬＥＤプリントヘッド９００では、ＬＥＤアレイチップ９０２と駆動ＩＣチップ９０４とをボンディングワイヤ９０６によって接続していたので、ＬＥＤアレイチップ９０２と駆動ＩＣチップ９０４のそれぞれにワイヤボンダ用の大きな（例えば、１００μｍ×１００μｍ）電極パッド９０３及び９０５を設ける必要があった。このため、ＬＥＤアレイチップ９０２の面積を小さくすることが困難であり、その結果、材料コストを削減することが困難であった。また、ＬＥＤアレイチップ９０２において発光部９０７として機能する領域は、表面から５μｍ程度の深さの領域である。しかし、ＬＥＤプリントヘッド９００では、安定したワイヤボンダの歩留まりを確保するために、ＬＥＤアレイチップ９０２の厚さは駆動ＩＣチップ９０４の厚さ（例えば、２５０μｍ～３００μｍ）と同程度にする必要があった。このため、ＬＥＤプリントヘッド９００においては、ＬＥＤアレイチップ９０２の材料コストを削減することが困難であった。

10

## 【０００６】

さらに、特許文献１には、薄膜構造の発光素子が開示されているが、発光素子にはハンダボール用の電極パッドが備えられており、この電極パッドにハンダボールを介して個別電極が接続されている。このように、特許文献１の薄膜構造の発光素子は電極パッドを備えているので、その面積を縮小することが困難であった。

20

## 【０００７】

さらにまた、特許文献１には、エッチング液により素子分離を行うことが記載されている。しかし、半導体薄膜を構成する各層の材料又はエッチング液の種類によっては、半導体薄膜を分離又は剥離するためにエッチングすべき部分以外の部分が、例えば、半導体薄膜が含む半導体素子が備えている、層間絶縁膜や配線材料などがエッチングされてしまうという技術的な課題についての記載はない。

## 【０００８】

そこで、本発明は上記したような従来技術の課題を解決するためになされたものであり、その目的とするところは、小型化及び材料コストの低減を図ることができる半導体装置及びＬＥＤヘッド、並びに、小型化及び材料コストの低減を図ることができる且つエッチング処理に起因する歩留まりの低下の少ない半導体装置の製造方法を提供することにある。

30

## 【０００９】

## 【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、第２の基板上に剥離層を形成する工程と、剥離層上に、半導体素子の全部又は一部の構造を含む半導体薄膜を形成する工程と、半導体薄膜上の所定領域に誘電体膜を形成する工程と、半導体薄膜上の誘電体膜を覆う領域に保護層を形成する工程とを有する。さらに、本発明に係る半導体装置の製造方法は、半導体薄膜の保護層で覆われていない領域をエッチングして剥離層に届くエッチング溝を形成することによって、半導体薄膜を分離する工程と、剥離層をエッチングして半導体薄膜を剥離可能な個別の半導体薄膜にする工程と、誘電体膜を備えた個別の半導体薄膜を保持し、第１の基板の表面に貼り付ける工程と、個別の半導体薄膜を貼り付ける工程の前又は後に、保護層を除去する工程とを有する。また、保護層は、エッチング溝の形成工程及び剥離層のエッチング工程において使用されるエッチング剤に対して耐エッチング性を持つ材料で構成される。ここで、耐エッチング性とは、保護層となる材料そのものが、エッチング溝の形成工程及び剥離層のエッチング工程において使用されるエッチング剤によって、溶解、分解、破壊されないこと、また、保護層と、保護層が接する半導体薄膜表面との界面に該エッチング液が浸透することによって、該界面の密着性が破壊されないこと、あるいは、該エッチング液が保護層を浸透し保護層と半導体薄膜界面に到達することによって、該界面の密着性が破壊されないこと、など保護層が半導体薄膜表面を保護する機能が失われな

40

50

いことを意味する。

【0010】

【発明の実施の形態】

<第1の実施形態>

図1から図8までは、本発明の第1の実施形態に係る半導体装置の製造方法（即ち、LED/駆動IC複合チップ100の製造プロセス）を概略的に示す断面図である。また、図9は、図1のA<sub>9</sub>部の拡大図であり、図10は、図3のA<sub>10</sub>部の拡大図である。さらに、図11は、図5の概略的な斜視図であり、図12は、図5のA<sub>12</sub>部の拡大平面図である。さらにまた、図13は、図6のA<sub>13</sub>部の拡大図であり、図14は、図13をS<sub>14</sub>-S<sub>14</sub>線で切る面を概略的に示す断面図である。また、図15は、図8の拡大平面図であり、図16は、図8のA<sub>16</sub>部の概略的な斜視図である。

10

【0011】

図に基づいて、第1の実施形態に係るLED/駆動IC複合チップ100の製造プロセスを説明する。まず、図1に示されるように、半導体薄膜製造用の基板110を用意し、この基板110上に剥離層120を形成し、この剥離層120上に半導体薄膜としてのエピタキシャルフィルム130を形成する。ここで、エピタキシャルフィルム130は、半導体薄膜として半導体薄膜製造用基板から剥離する予定の、あるいは、半導体薄膜として半導体薄膜製造用基板から剥離した、半導体素子として機能させるための半導体エピタキシャル層を示している。エピタキシャルフィルム130の製造は、有機金属化学蒸着法（MOCVD法）や分子線エピタキシー法（MBE法）等によって行うことができる。

20

【0012】

図1に示される製造プロセスを、図9を参照して詳細に説明する。図9に示されるように、基板110は、例えば、GaAs基板111上に、GaAsパuffers層112、及び剥離層のエッチング工程において使用されるエッチング剤に対して耐エッチング性を持つ材料で構成される（AlGa）InPエッチングストップ層113を順に成膜した構造を持つ。また、図9に示されるように、剥離層120は、例えば、AlAs剥離層である。さらにまた、図9に示されるように、エピタキシャルフィルム130は、剥離層120上に、GaAsコンタクト層（1）131（例えば、n型GaAs層131）、AlGaAs下クラッド層132（n型Al<sub>x</sub>Ga<sub>1-x</sub>As層132）、AlGaAs活性層133（n型Al<sub>y</sub>Ga<sub>1-y</sub>As層133）、AlGaAs上クラッド層134（n型Al<sub>z</sub>Ga<sub>1-z</sub>As層134）、及びGaAsコンタクト層（2）135（n型GaAs層135）を順に成膜した構造を持つ。なお、0 < x < 1、0 < y < 1、0 < z < 1である。また、Al組成は、y < x 且つ y < z（例えば、x = z = 0.4、y = 0.1）とすることができる。n型GaAs層131の厚さは、約10nm（=約0.01μm）であり、n型Al<sub>x</sub>Ga<sub>1-x</sub>As層132の厚さは、約0.5μmであり、n型Al<sub>y</sub>Ga<sub>1-y</sub>As層133の厚さは、約1μmであり、n型Al<sub>z</sub>Ga<sub>1-z</sub>As層134の厚さは、約0.5μmであり、n型GaAs層135の厚さは、約10nm（=約0.01μm）である。この場合には、エピタキシャルフィルム130の厚さは、約2.02μmとなる。ただし、各層の厚さは、上記値に限定されない。また、エピタキシャルフィルム130の材料として、（Al<sub>x</sub>Ga<sub>1-x</sub>）<sub>y</sub>In<sub>1-y</sub>P（ここで、0 < x < 1 且つ 0 < y < 1である。）、GaN、AlGaN、InGaN等の他の材料を含む半導体エピタキシャル層を用いてもよい。また、基板110は、（Al<sub>x</sub>Ga<sub>1-x</sub>）<sub>y</sub>In<sub>1-y</sub>P層113を設けない構造などの変形も可能である。

30

40

【0013】

次に、図2に示されるように、エピタキシャルフィルム130の半導体素子形成領域130bにLED（図12の発光領域130c）を形成する。次に、図3に示されるように、エピタキシャルフィルム130上の所定領域に誘電体膜140を形成する。誘電体膜140は、例えば、SiO<sub>2</sub>、Si<sub>3</sub>O<sub>4</sub>、SiN、酸化アルミニウム、窒化アルミニウムの内のいずれかの材料で構成することができる。誘電体膜140は、例えば、LED上に開口部を持つ。

50

## 【0014】

LEDの形成方法としては、図10に示されるように、 $n$ 型 $Al_yGa_{1-y}As$ 層133、 $n$ 型 $Al_zGa_{1-z}As$ 層134、及び $n$ 型GaAs層135に固相拡散法等により亜鉛(Zn)からなるP型不純物を拡散しZn拡散領域136を形成する方法がある。その後、固相拡散時に用いた拡散源膜は除去する。その後、GaAsコンタクト層のZn拡散領域表面を露出させる。次に、GaAsコンタクト層内に形成されたpn接合面を含む領域を除去することが望ましい。なお、素子作製において最終的には、電極配線によって、pn間のショートが発生しないように、 $n$ 型 $Al_zGa_{1-z}As$ 層134の表面及び $Al_zGa_{1-z}As$ 層に形成されたZn拡散領域表面の一部( $Al_zGa_{1-z}As$ 層表面のpn接合領域を含むpn接合近傍の領域)を被覆するように層間絶縁膜を設けてから個別電極配線などを形成する必要があることは言うまでもない。第1の実施形態においては、 $n$ 型 $Al_zGa_{1-z}As$ 層134の表面及び $Al_zGa_{1-z}As$ 層に形成されたZn拡散領域表面の一部( $Al_zGa_{1-z}As$ 層表面のpn接合領域を含むpn接合近傍の領域)を被覆するように絶縁膜140が形成されている。Zn拡散領域136の拡散フロントを、 $n$ 型 $Al_yGa_{1-y}As$ 層133の内部に位置するように構成することにより、pn接合を介して注入された少数キャリアは、 $n$ 型 $Al_yGa_{1-y}As$ 層133内に閉じ込められ、高い発光効率が得られる。即ち、図10に示されるような構造を採用することによって、エピタキシャルフィルム130の厚さを約2 $\mu m$ と薄くすることができ、発光効率を高くすることができる。なお、上記説明においては、エピタキシャル層としてホモ接合型LEDの製造方法を説明したが、ヘテロ接合型LEDとすることもできる。ここで、ホモ接合型とは、pn接合面が単一の半導体層内に形成されている接合方式を指し示しており、本実施形態の説明で具体的に説明した、同一導電型の半導体積層構造に逆導電型の不純物を選択的にドーピングしたような接合形態も含む。また、ヘテロ接合型とは、pn接合面が異種半導体界面に位置する接合方式を指し示しており、例えば、 $n$ 型 $Al_xGa_{1-x}As$ 層132と $p$ 型 $Al_yGa_{1-y}As$ 層をエピタキシャル成長により積層した構造を備えたような接合形態を意味する。

## 【0015】

次に、図4に示されるように、エピタキシャルフィルム130上の誘電体膜140を覆う領域に保護層150を形成する。保護層150は、後述するエッチング溝の形成工程及び剥離層120のエッチング工程において使用されるエッチング液に対して耐エッチング性を持つ材料で構成される。保護層150は、有機材料、例えば、レジスト材料などのポリマー材料やワックス材料から構成される。

## 【0016】

次に、図5及び図11に示されるように、エッチング液を用いてエピタキシャルフィルム130の保護層150で覆われていない領域をエッチングして剥離層120に届くエッチング溝160を形成して、エピタキシャルフィルム130を分離し、個別のエピタキシャルフィルム130aとする。エッチング液としては、燐酸過水(燐酸、過酸化水素水を含む水溶液)を用いる。なお、エッチング液として、クエン酸及び過酸化水素水を含むエッチング液を用いることもできる。

## 【0017】

次に、図6、図13及び図14に示されるように、エッチング液を用いてエピタキシャルフィルム130aの下の剥離層120をエッチングして除去して、エピタキシャルフィルム130aを剥離可能にする。エッチング液として、例えば、フッ酸(10% HF液)を用いる。

## 【0018】

図12に示されるように、誘電体膜140の短辺の端部140aは、エピタキシャルフィルム130aの端部より距離 $L_1$ だけ内側に位置する。また、図12に示されるように、誘電体膜140の長辺の端部140bは、エピタキシャルフィルム130aの端部より距離 $L_2$ だけ内側に位置する。距離 $L_1$ 及び $L_2$ の長さは、1 エッチング液(又はエッチングガス)の種類や特性、2 エッチング時間、3 誘電体膜140の材料、4

10

20

30

40

50

保護層 150 の材料や厚さ等の各種要因に基づいて決定すればよく、少なくとも、エッチング液が保護層 150 を浸透して誘電体膜 140 に達しない長さとする。

#### 【0019】

次に、図 7 (a) 及び (b) に示されるように、集積回路 171 が形成されたシリコン基板 170 を用意し、その表面の集積回路 171 に隣接する領域にメタル層 180 を密着形成する。次に、メタル層 180 上に、図 6 の製造プロセスで剥離可能となった個別のエピタキシャルフィルム 130a を貼り付ける。個別のエピタキシャルフィルム 130a の保持方法、すなわち、個別のエピタキシャルフィルム 130a を貼り付ける予定の位置まで搬送し、位置合わせを行い、所定の位置にエピタキシャルフィルム 130a を置くためのエピタキシャルフィルムの移送方法、としては、エピタキシャルフィルムを移送治具に吸着 / 脱離が可逆的に複数回行える保持方法 (例えば、気圧差を利用する吸着 (吸引)、磁氣的吸着、電氣的吸着、接着剤等のいずれかをを用いて保持部材に保持する方法) を用いる。なお、シリコン基板 170 にエピタキシャルフィルム 130a を貼り付ける工程の前又は後に、保護層 150 を除去する。また、エピタキシャルフィルム 130a の厚さが厚くなると、個別配線層 190 に段切れが発生する確率が高くなる。このような不良の発生を回避するためには、エピタキシャルフィルム 130 の厚さを、約  $10\text{ }\mu\text{m}$  以下にすることが望ましい。ただし、ポリイミドなどを使って段差領域の平坦化を図るなどの段差領域を横切る配線の断線防止のための方策を実施するなどして、エピタキシャルフィルム 130 の厚さを、 $10\text{ }\mu\text{m}$  を超える厚さにすることもできる。

#### 【0020】

メタル層 180 は、例えば、パラジウム若しくは金、又は、パラジウムと金の積層膜等からなる。メタル層 180 は、その上に貼り付けられたエピタキシャルフィルム 130a をシリコン基板 170 の集積回路 102 形成領域近傍に固定する機能と、エピタキシャルフィルム 130a の下面の共通端子領域 (図示せず) とシリコン基板 170 の共通端子領域 (図示せず) とを電氣的に接続する機能とを持つ。メタル層 180 とエピタキシャルフィルム 130a 内の共通端子領域との間、及び、メタル層 180 とシリコン基板 170 の共通端子領域との間には、オーミックコンタクトが形成されることが望ましい。ここで、LED エピタキシャルフィルム (LED エピフィルム) 130a 内の共通端子領域とは、メタル層 180 と接するエピタキシャル層全面を示しており、本実施形態で具体的に述べれば、n 型 GaAs 層 131 の共通電位側 (n 電極側) となる表面全面を意味する。また、Si 基板 170 の共通端子領域とは、メタル層 180 と接する Si 基板の表面領域を示しており、本実施形態で具体的に述べれば、LED を駆動するための共通電位側 (n 電極側) となる領域を意味する。メタル層 180 は、何らかの手段によって、例えば、メタル配線によって、素子を駆動するための集積回路の共通電位端子と接続されている。なお、メタル層 180 を、シリコン基板 170 表面の集積回路 102 が形成されている領域上に (全部又は一部が重なるように)、絶縁膜 (図示せず) を介して、形成してもよい。

#### 【0021】

次に、図 8、図 15、及び図 16 に示されるように、LED 130c から誘電体膜 140 上を経由してシリコン基板 170 の集積回路 171 の端子領域 171a 上まで達する個別配線層 190 を形成する。ここで、Zn 拡散によって GaAs 層 135 内に形成された pn 接合領域を含む領域を除去し、Zn が拡散されている島状の GaAs 層を形成する際に露出した n 型  $\text{Al}_{1-z}\text{Ga}_z\text{As}$  層 134 の表面及び  $\text{Al}_{1-z}\text{Ga}_z\text{As}$  層に形成された Zn 拡散領域表面の一部 ( $\text{Al}_{1-z}\text{Ga}_z\text{As}$  層表面の pn 接合領域を含む pn 接合近傍の領域) は、個別配線層 190 を形成する前に被覆するように絶縁膜 140 が形成されている。個別配線層 190 は、例えば、薄膜のメタル配線である。個別配線層 190 としては、Au 層、Ti/Pt/Au 積層層、Au/Zn 積層層、Au/Ge 積層層、Ni/Au 積層層、AuGeNi/Au 積層層、Pd 層、Pd/Au 積層層、Mg/Au 積層層、Al 層、Al/Ni 積層層、ポリシリコン層、ITO 層、及び ZnO 層の内のひとつ又は 2 つ以上を組み合わせた材料から構成される材料を用いることができる。個別配線層 190 は、フォトリソグラフィ技術を用いて一括形成することが望ましい。個別配線層

190は、薄膜配線であるので、配線が長くなれば配線における電圧降下の影響が大きくなる。また、複数のLED130cを高密度に配列する場合には、複数のLED130cの配列ピッチが小さくなるため、個別配線層190の幅が制限される。個別配線層190の幅が5 $\mu$ mであり、厚さが0.5 $\mu$ mであり、数mAの駆動電流を流す場合には、個別配線層190の長さは、約200 $\mu$ m以下にすることが望ましい。

#### 【0022】

以上説明したように、第1の実施形態に係る製造方法によれば、シリコン基板170上にメタル層180を挟んで貼り付けられたエピタキシャルフィルム130とシリコン基板170に形成された集積回路171とをフォトリソグラフィ技術により形成された薄膜の個別配線層190により電氣的に接続しているので、エピタキシャルフィルム130aにワイヤボンド用の電極パッドを設ける必要がない。このため、エピタキシャルフィルム130aの面積を小さくでき、その結果、LED/駆動IC複合チップ100の小型化を実現できる。また、エピタキシャルフィルム130の面積を小さくできるので、材料コストの低減を図ることができる。

#### 【0023】

また、第1の実施形態に係る製造方法によれば、シリコン基板170上に貼り付けられたエピタキシャルフィルム130aとシリコン基板170に形成された集積回路171とをフォトリソグラフィ技術により形成された薄膜の個別配線層190により電氣的に接続しているので、エピタキシャルフィルム130aの厚さをワイヤボンドを考慮して厚くする必要がない。このように、エピタキシャルフィルム130aの厚さを薄くできるので、材料コストの低減を図ることができる。

#### 【0024】

さらに、第1の実施形態に係る製造方法によれば、誘電体膜140の端部140a, 140bをエピタキシャルフィルム130aの端部よりも内側にし、その上を保護層150で覆った状態で、エッチング溝160形成予定領域及び剥離層120のエッチング処理を行う。このため、分離されたエピタキシャルフィルム130a内のLED130c(発光領域)及びエピタキシャルフィルム130a表面の誘電体膜140にエッチング液による損傷を与えることはなく、エピタキシャルフィルム130を剥離可能な個別のエピタキシャルフィルム130aとすることができる。

#### 【0025】

<第2の実施形態>

図17は、本発明の第2の実施形態に係る製造方法により製造されたLED/駆動IC複合チップ200の一部を概略的に示す平面図である。また、図18(a)から(c)までは、第2の実施形態に係るLED/駆動IC複合チップ200の集積回路薄膜220の製造プロセスを概略的に示す断面図である。

#### 【0026】

図17において、図15(第1の実施形態)の構成と同一又は対応する構成には、同じ符号を付す。図17に示されたLED/駆動IC複合チップ200は、基板270上に集積回路薄膜220を貼り付け、個別配線層(図示せず)によって基板270の配線領域220aと接続している点が、第1の実施形態に係るLED/駆動IC複合チップ100と相違する。ここで、基板270は、例えば、ガラス基板、プラスチック基板、ポリマーシート、酸化物や窒化物を含む絶縁体基板、シリコン等の半導体層を含む基板、ステンレス、銅、アルミニウム等の金属等を使うことができる。金属基板を用いる場合は、表面を酸化させたり、コーティング層を設ければ、放熱特性の良い絶縁基板として用いることができる。なお、上記層を絶縁させない場合は、共通配線層としての役割を持たせることもできる。基板270上には、一つ又は複数のエピタキシャルフィルム130aと、該エピタキシャルフィルム内の半導体素子を駆動するための一つ又は複数の集積回路膜270を設けることができる。なお、配線領域220aとは、集積回路薄膜の信号や電源などの入出力端子と外部の回路とを接続するために設けられた接続用のパッド、又は、配線パターンが設けられた領域を意味する。



## 【 0 0 2 7 】

集積回路薄膜 2 2 0 の製造には、S O I 基板 ( S O I ウェハ ) 2 1 0 を用いる。S O I 基板 2 1 0 は、シリコン基板 2 1 1 と、その上に形成された埋め込み S i O <sub>2</sub> 層 ( B O X 層 ) 2 1 2 と、その上に形成されたシリコン層 ( S O I 層 ) 2 1 3 とを有する。集積回路薄膜 2 2 0 の製造に際しては、先ず、図 1 8 ( a ) に示されるように、シリコン層 2 1 3 の表面付近に集積回路 2 1 3 a を形成する。次に、図 1 8 ( b ) に示されるように、S i O <sub>2</sub> 層 2 1 2 を H F 液でエッチングし、図 1 8 ( c ) に示されるように、シリコン層 2 1 3 を剥離し、基板 2 7 0 上に貼り付ける。剥離されたシリコン層 2 1 3 の保持方法としては、可逆的な保持方法 ( 例えば、気圧差を利用する吸着 ( 吸引 ) 、磁氣的吸着、電氣的吸着、接着剤等のいずれかを用いて保持部材に保持する方法 ) を用いる。なお、実際の製造においては、S O I 基板 2 1 0 上に多数の集積回路薄膜 2 2 0 を形成し、これらを個別の集積回路薄膜 2 2 0 に分離するプロセスが含まれる。なお、集積回路薄膜 2 2 0 の製造工程においても、エピタキシャルフィルム 1 3 0 a の製造方法と同様に、集積回路表面に形成されている種々の誘電体膜やメタル配線膜などが、集積回路薄膜 2 2 0 を個別の集積回路薄膜 2 2 0 に分割する工程及び集積回路薄膜 2 2 0 を剥離するためのエッチング工程エッチング液によっても破壊されないように保護膜を設けることが望ましい。この場合の保護層としても、エピタキシャルフィルム 1 3 0 a の製造方法で説明したエッチングに対する特性 ( 耐エッチング性 ) を備えた材料を使用することができる。

10

## 【 0 0 2 8 】

第 2 の実施形態に係る製造方法によれば、第 1 の実施形態の場合と同様の効果が得られる。なお、第 2 の実施形態において、上記以外の点は、上記第 1 の実施形態の場合と同じである。

20

## 【 0 0 2 9 】

< 第 3 の実施形態 >

図 1 9 は、本発明の第 3 の実施形態に係る製造方法により製造された L E D / 駆動 I C 複合チップ 3 0 0 の一部を概略的に示す平面図である。

## 【 0 0 3 0 】

図 1 9 において、図 1 5 ( 第 1 の実施形態 ) の構成と同一又は対応する構成には、同じ符号を付す。図 1 9 に示された L E D / 駆動 I C 複合チップ 3 0 0 は、絶縁層 1 4 0 上に発光領域 1 3 0 c と電氣的に接続した電極パッド 3 1 0 を備えた点が、第 1 の実施形態に係る L E D / 駆動 I C 複合チップ 1 0 0 と相違する。この場合には、各 L E D 1 3 0 c との電気配線としてワイヤボンディングを使用できる。

30

## 【 0 0 3 1 】

第 3 の実施形態に係る製造方法によれば、L E D / 駆動 I C 複合チップ 3 0 0 が電極パッド 3 1 0 を備えるため、エピタキシャルフィルム 1 3 0 の面積は大きくなる。しかし、第 3 の実施形態に係る製造方法によれば、誘電体膜 1 4 0 の端部をエピタキシャルフィルム 1 3 0 a の端部よりも内側にし、その上を保護層 1 5 0 で覆った状態で、エッチング処理を行う。このため、分離されたエピタキシャルフィルム 1 3 0 a 内の L E D 1 3 0 c 及び誘電体膜 1 4 0 にエッチング液による損傷を与えることはなく、エピタキシャルフィルム 1 3 0 を剥離可能な個別のエピタキシャルフィルム 1 3 0 a とすることができる。

40

## 【 0 0 3 2 】

なお、第 3 の実施形態において、上記以外の点は、上記第 1 及び第 2 の実施形態の場合と同じである。

## 【 0 0 3 3 】

< 第 4 の実施形態 >

図 2 0 は、本発明の第 4 の実施形態に係る製造方法により製造された L E D / 駆動 I C 複合チップ 4 0 0 の一部を概略的に示す平面図である。

## 【 0 0 3 4 】

図 2 0 において、図 1 5 ( 第 1 の実施形態 ) の構成と同一又は対応する構成には、同じ符号を付す。また、図 2 1 において、図 1 6 ( 第 1 の実施形態 ) の構成と同一又は対応する

50

構成には、同じ符号を付す。図 20 及び図 21 に示された LED / 駆動 IC 複合チップ 400 は、第 1 の実施形態の集積回路 171 に代えて、集積回路薄膜 410 を基板 170 に貼り付けた点が、上記第 1 の実施形態の場合と相違する。また、配線領域 220a を設けていない点が第 2 の実施形態と異なる。集積回路薄膜 410 の製造方法は、図 18 の集積回路薄膜 210 製造方法と同様である。また、エピタキシャルフィルム 130a 及び集積回路薄膜 410 の厚さが厚くなると、個別配線層 190 に段切れが発生する確率が高くなる。このような不良の発生を回避するためには、エピタキシャルフィルム 130a 及び集積回路薄膜 410 の厚さを、約 10  $\mu\text{m}$  以下にすることが望ましい。ただし、ポリイミドなどを使って段差領域の平坦化を図るなどの段差領域を横切る配線の断線防止のための方策を実施するなどして、エピタキシャルフィルム 130a 及び集積回路薄膜 410 の厚さを、10  $\mu\text{m}$  を超える厚さにすることもできる。外部回路の間と電源や制御するための信号の入出力を行うための接続用パッドは、集積回路薄膜 410 内に設ける。

10

#### 【0035】

第 4 の実施形態に係る製造方法によれば、第 1 の実施形態の場合と同様の効果が得られる。なお、第 4 の実施形態において、上記以外の点は、上記第 1 から第 3 までの実施形態の場合と同じである。

#### 【0036】

##### < 第 5 の実施形態 >

図 22 は、本発明の第 5 の実施形態に係る半導体装置の製造方法（即ち、LED / 駆動 IC 複合チップの製造プロセス）を概略的に示す断面図である。また、図 23 は、第 5 の実施形態に係る製造方法により製造された LED / 駆動 IC 複合チップ 500 の一部を概略的に示す平面図である。

20

#### 【0037】

図 22 において、図 5（第 1 の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。また、図 23 において、図 15（第 1 の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。第 5 の実施形態に係る製造方法が、第 1 の実施形態に係る製造方法と相違する点は、誘電体膜 140 を覆うパッシベーション膜 510 を形成する工程と、その上に保護層 520 を形成する工程を有する点である。保護層 520 及びパッシベーション膜 510 のそれぞれは、エッチング溝 160 の形成工程及び剥離層 120 のエッチング工程において使用されるエッチング剤に対して耐エッチング性を持つ材料で構成される。ここで、パッシベーション膜 510 の耐エッチング性とは、パッシベーション膜となる材料そのものが、エッチング溝の形成工程及び剥離層のエッチング工程において使用されるエッチング剤によって、溶解、分解、破壊されないこと、また、パッシベーション膜と、パッシベーション膜が接する半導体薄膜表面との界面に該エッチング液が浸透することによって、該界面の密着性や誘電体膜 140 が破壊されないこと、あるいは、該エッチング液がパッシベーション膜を浸透しパッシベーション膜と半導体薄膜界面に到達することによって、該界面の密着性や誘電体膜 140 が破壊されないこと、などパッシベーション膜が半導体薄膜表面及び半導体薄膜表面に設けられている誘電体膜などを被覆保護する機能が失われないことを意味する。また、保護層 520 の耐エッチング性とは、保護層となる材料そのものが、エッチング溝の形成工程及び剥離層のエッチング工程において使用されるエッチング剤によって、溶解、分解、破壊されないこと、また、保護層と、保護層が接するパッシベーション膜表面との界面に該エッチング液が浸透することによって、該界面の密着性が破壊されないこと、あるいは、該エッチング液が保護層を浸透しパッシベーション膜界面に到達することによって、該界面の密着性が破壊されないこと、など保護層がパッシベーション膜表面への密着性を保持し、エピタキシャルフィルム 130a を保護する機能が失われないことを意味する。パッシベーション膜 510 は、例えば、ポリイミド及び窒化アルミニウムの内のいずれかの材料から構成される。保護層 520 は、有機材料、例えば、レジスト材料などのポリマー材料やワックス材料から構成される。なお、保護層 520 は、エピタキシャルフィルム 130a をシリコン基板 170 に貼り付ける工程の前又は後に、除去する。また、パッシベーション膜 510 の端部は、個別のエピタキ

30

40

50

シャルフィルム 130a の端部とほぼ一致する。

【0038】

第5の実施形態に係る製造方法によれば、第1の実施形態の場合と同様の効果が得られる。また、第5の実施形態に係る製造方法によれば、保護層520にピンホールなどの欠陥があった場合であっても、誘電体膜140に損傷を与えることがなく、製造された装置の信頼性が高い。なお、第5の実施形態において、上記以外の点は、上記第1から第4までの実施形態の場合と同じである。

【0039】

<第6の実施形態>

図24は、本発明の第6の実施形態に係る半導体装置の製造方法（即ち、LED/駆動IC複合チップの製造プロセス）を概略的に示す断面図である。

10

【0040】

図24において、図22（第5の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。第6の実施形態は、誘電体膜140を形成しない点のみが第5の実施形態と相違する。第6の実施形態の場合には、例えば、エピタキシャルフィルム130上に発光部形成予定領域に開口部を有する、例えば、酸化アルミニウム、窒化アルミニウム、酸化珪素、窒化珪素などの、誘電体膜を形成した後、例えば、固相拡散法によって該開口部を介してZnを拡散した後、拡散源膜及び誘電体膜を除去し、Zn拡散によってGaAs層135内に形成されたpn接合領域を含む領域を除去する。その後、例えば、Znが拡散されている島状のGaAs層表面の一部を露出する開口部を備えた絶縁膜を形成し、パッシベーション610とする。ここで、パッシベーション610の開口部は、n型 $Al_zGa_{1-z}As$ 層114の表面及びn型 $Al_zGa_{1-z}As$ 層に形成されたZn拡散領域表面の一部（ $Al_zGa_{1-z}As$ 層表面のpn接合領域を含むpn接合近傍の領域）が露出しないように形成することが望ましい。第6の実施形態に係る製造方法が、第5の実施形態に係る製造方法と相違する点は、誘電体膜140を残さずに、パッシベーション膜610を形成する工程と、その上に保護層620を形成する工程を有する点である。保護層620及びパッシベーション膜610のそれぞれは、エッチング溝160の形成工程及び剥離層120のエッチング工程において使用されるエッチング剤に対して耐エッチング性を持つ材料で構成される。パッシベーション膜610は、例えば、ポリイミド及び窒化アルミニウムの内のいずれかの材料から構成される。保護層620は、有機材料、例えば、レジスト材料などのポリマー材料やワックス材料から構成される。なお、保護層620は、エピタキシャルフィルム130aをシリコン基板170に貼り付ける工程の前又は後に、除去する。また、パッシベーション膜610の端部は、個別のエピタキシャルフィルム130aの端部とほぼ一致する。

20

30

【0041】

第6の実施形態に係る製造方法によれば、パッシベーション膜610が、誘電体層としての機能を併せ持つように構成したので、第1の実施形態の場合と同様の効果が得られる。また、第6の実施形態に係る製造方法によれば、保護層620にピンホールなどの欠陥があった場合であっても、半導体素子に損傷を与えることがなく、製造された装置の信頼性が高い。なお、第6の実施形態において、上記以外の点は、上記第1から第5までの実施形態の場合と同じである。

40

【0042】

<本発明が適用されたLEDプリントヘッド>

図25は、本発明の製造方法によって製造された半導体装置を組み込んだLEDプリントヘッド700を概略的に示す断面図である。図25に示されるように、LEDプリントヘッド700は、ベース部材701と、ベース部材701に固定されたLEDユニット702と、柱状の光学素子を多数配列したロッドレンズアレイ703と、ロッドレンズアレイ703を保持するホルダ704と、これらの構成701～704を固定するクランプ705とを有する。LEDユニット702には、上記実施形態の製造方法によって製造された半導体装置702aであるLED/駆動ICチップ又はLEDアレイチップが搭載されて

50

いる。LEDユニット702で発生した光はロッドレンズアレイ703を通して照射される。LEDプリントヘッド700は、電子写真プリンタや電子写真コピー装置等の露光装置として用いられる。

#### 【0043】

<可能な変形例>

上記実施形態においては、シリコン基板170上にメタル層180を形成した場合を説明したが、メタル層180に代えてポリシリコン等の金属以外の導電性薄膜層を用いてもよい。

#### 【0044】

また、上記実施形態においては、シリコン基板170上にメタル層180を形成し、その上にエピタキシャルフィルム130aを貼り付けた場合を説明したが、メタル層180を形成せずに、シリコン基板170上に直接エピタキシャルフィルム130aを貼り付けてもよい。この場合には、シリコン基板170の上面とエピタキシャルフィルム130の下面を、適当な化学的方法で表面処理し（鏡面化し）、両面を密着させ、加圧・加熱工程を経ることにより、両面を強固に接着（密着）することができる。強固な接着に必要な加熱温度は、メタル層を介した接着の場合に比べ高い温度になるが、メタル層を設ける場合と比較して、LEDエピフィルムとSi基板表面の間に、第3の層（メタル層）を設けることに起因した、メタル層の欠陥発生に伴うようなボンディングの欠陥発生確率を除外することができる。また、メタル層180を導入することにより、駆動IC配列に対してアライメントされたメタル層180のパターンに対してLEDエピフィルムのボンディング位置合わせをするので、LEDエピフィルムのICパターンに対する位置合わせずれの大きさが増大する要因が増える。したがって、メタル層を設けない場合は、メタル層を設ける場合と比較して、駆動IC配列に対する位置合わせマージンを小さくすることができる。また、シリコン基板上に設けた絶縁膜、例えば、酸化シリコン、の上にエピタキシャルフィルムを貼り付ける変形も可能である。

#### 【0045】

また、上記実施形態においては、メタル層180を含む導電性薄膜層が長方形に描いているが、角の切欠き部や、辺の凹凸部を備える形状にしてもよい。この場合には、製造プロセスにおいて、切欠き部をチップの向きを判断する基準部として用いることができ、凹凸部をLEDの位置判定用の基準部として用いることができる。

#### 【0046】

また、上記実施形態においては、シリコン基板170にエピタキシャルフィルム130aを貼り付ける場合を説明したが、基板170の材料には、アモルファスシリコン、単結晶シリコン、ポリシリコンの他、化合物半導体、有機半導体、及び絶縁体材料（ガラスやサファイヤ等）のような他の材料を用いることもできる。また、基板270についても、同様の変形が可能である。

#### 【0047】

また、上記実施形態においては、半導体薄膜としてのエピタキシャルフィルム130aに備えられた半導体素子が、LEDである場合を説明したが、半導体素子は、レーザー等の他の発光素子、受光素子、ホール素子、及びpiezo素子等のような他の素子であってもよい。

#### 【0048】

また、上記第実施形態においては、半導体薄膜がエピタキシャル層である場合を説明したが、エピタキシャル層ではない半導体薄膜を採用してもよい。

#### 【0049】

また、エピタキシャルフィルム130aの構成を、p型 $Al_xGa_{1-x}As$ 層、p型 $Al_yGa_{1-y}As$ 層、n型 $Al_zGa_{1-z}As$ 層、及びn型GaAs層を順に形成した構造としてもよい。

#### 【0050】

また、上記第実施形態においては、誘電体膜140が1層の場合を説明したが、誘電体膜

10

20

30

40

50

を多層備えてもよい。

【 0 0 5 1 】

【発明の効果】

以上に説明したように、本発明によれば、基板の端子領域を有する面上に半導体薄膜を貼り付け、これらを薄膜の個別配線層で電氣的に接続する構造を採用したので、半導体装置の小型化及び材料コストの低減を図ることができる。

【 0 0 5 2 】

また、本発明の製造方法によれば、保護層又はパッシベーション膜によってエピタキシャルフィルムの所定領域を覆った状態でエッチングを行うので、エッチング処理に起因する半導体素子又は誘電体層の損傷は生じ難く、その結果、装置の製造歩留まりを向上させることができる。

10

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る L E D / 駆動 I C 複合チップの製造プロセス ( その 1 ) を概略的に示す断面図である。

【図 2】 第 1 の実施形態に係る L E D / 駆動 I C 複合チップの製造プロセス ( その 2 ) を概略的に示す断面図である。

【図 3】 第 1 の実施形態に係る L E D / 駆動 I C 複合チップの製造プロセス ( その 3 ) を概略的に示す断面図である。

【図 4】 第 1 の実施形態に係る L E D / 駆動 I C 複合チップの製造プロセス ( その 4 ) を概略的に示す断面図である。

20

【図 5】 第 1 の実施形態に係る L E D / 駆動 I C 複合チップの製造プロセス ( その 5 ) を概略的に示す断面図である。

【図 6】 第 1 の実施形態に係る L E D / 駆動 I C 複合チップの製造プロセス ( その 6 ) を概略的に示す断面図である。

【図 7】 ( a ) 及び ( b ) はそれぞれ、第 1 の実施形態に係る L E D / 駆動 I C 複合チップの製造プロセス ( その 7 ) を概略的に示す断面図及び平面図である。

【図 8】 第 1 の実施形態に係る L E D / 駆動 I C 複合チップの製造プロセス ( その 8 ) を概略的に示す平面図である。

【図 9】 図 1 の A<sub>9</sub> 部の拡大図である。

【図 10】 図 3 の A<sub>10</sub> 部の拡大図である。

30

【図 11】 図 5 の概略的な斜視図である。

【図 12】 図 5 の A<sub>12</sub> 部の拡大平面図である。

【図 13】 図 6 の A<sub>13</sub> 部の拡大図である。

【図 14】 図 13 を S<sub>14</sub> - S<sub>14</sub> 線で切る面を概略的に示す断面図である。

【図 15】 図 8 の拡大平面図である。

【図 16】 図 8 の A<sub>16</sub> 部の概略的な斜視図である。

【図 17】 本発明の第 2 の実施形態に係る製造方法で製造された L E D / 駆動 I C 複合チップを概略的に示す平面図である。

【図 18】 ( a ) から ( c ) までは、第 2 の実施形態に係る集積回路薄膜の製造プロセスを概略的に示す断面図である。

40

【図 19】 本発明の第 3 の実施形態に係る製造方法で製造された L E D アレイチップを概略的に示す平面図である。

【図 20】 本発明の第 4 の実施形態に係る製造方法で製造された L E D / 駆動 I C 複合チップを概略的に示す平面図である。

【図 21】 図 20 の一部を概略的に示す斜視図である。

【図 22】 本発明の第 5 の実施形態に係る L E D / 駆動 I C 複合チップの製造プロセスを概略的に示す断面図である。

【図 23】 第 5 の実施形態に係る製造方法で製造された L E D / 駆動 I C 複合チップの一部を概略的に示す平面図である。

【図 24】 本発明の第 6 の実施形態に係る L E D / 駆動 I C 複合チップの製造プロセス

50

を概略的に示す断面図である。

【図 25】 本発明の製造方法によって製造された装置を組み込んだ LED プリントヘッドを概略的に示す断面図である。

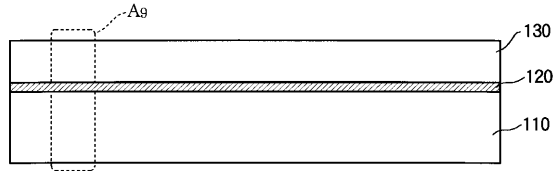
【図 26】 従来の LED プリントヘッドの一部を概略的に示す斜視図である。

【図 27】 図 26 の LED プリントヘッドに備えられた LED アレイチップの一部を示す平面図である。

【符号の説明】

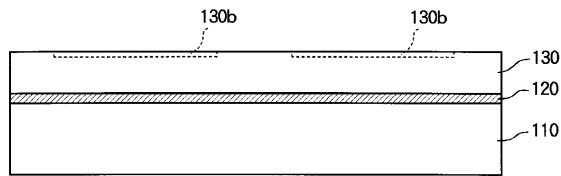
100, 200, 400, 500	LED / 駆動 IC 複合チップ (半導体装置)、	
300	メタル層に貼り付けた LED アレイチップ (半導体装置)、	
110	エピタキシャルフィルム製造用の基板、	10
120	剥離層、	
130	分離前のエピタキシャルフィルム、	
130a	分離後のエピタキシャルフィルム、	
130b	半導体素子形成領域、	
130c	LED (発光領域)、	
131	GaAs コンタクト層 (1) (n 型 GaAs 層)、	
132	AlGaAs 下クラッド層 (n 型 $Al_xGa_{1-x}As$ 層)、	
133	AlGaAs 活性層 (n 型 $Al_yGa_{1-y}As$ 層)、	
134	AlGaAs 上クラッド層 (n 型 $Al_zGa_{1-z}As$ 層)、	
135	GaAs コンタクト層 (2) (n 型 GaAs 層)、	20
136	Zn 拡散領域、	
140	誘電体膜、	
140a, 140b	誘電体膜の端部、	
150	保護層、	
160	エッチング溝、	
170	シリコン基板、	
171	集積回路、	
180	メタル層、	
190	個別配線層、	
210	SOI 基板、	30
211	シリコン基板、	
212	埋め込み $SiO_2$ 層 (BOX 層)、	
213	シリコン層 (SOI 層)、	
213a	集積回路、	
220, 410	集積回路薄膜、	
510, 610	パッシベーション膜、	
520, 620	保護層、	
700	LED プリントヘッド	
702	LED ユニット	
703	ロッドレンズアレイ。	40

【図 1】



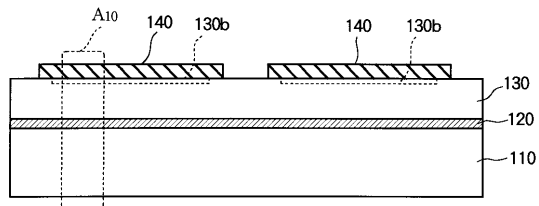
第 1 の実施形態の製造プロセス(その 1)

【図 2】



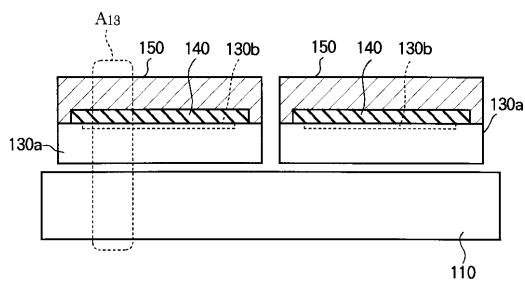
第 1 の実施形態の製造プロセス(その 2)

【図 3】



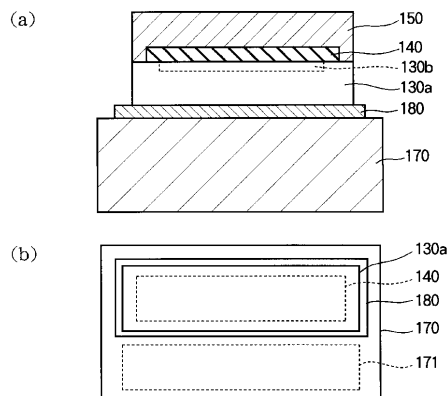
第 1 の実施形態の製造プロセス(その 3)

【図 6】



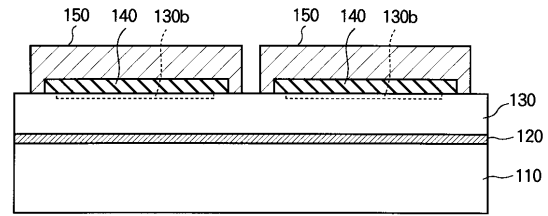
第 1 の実施形態の製造プロセス(その 6)

【図 7】



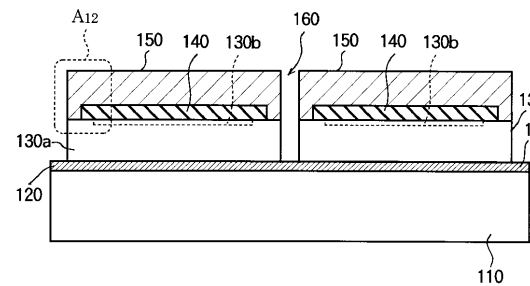
第 1 の実施形態の製造プロセス(その 7)

【図 4】



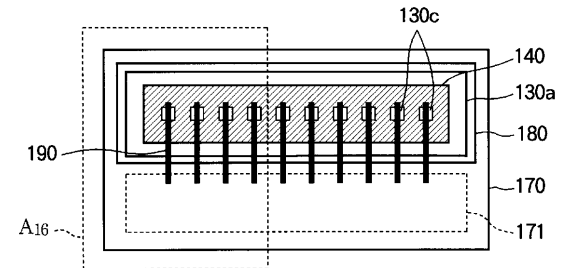
第 1 の実施形態の製造プロセス(その 4)

【図 5】



第 1 の実施形態の製造プロセス(その 5)

【図 8】



第 1 の実施形態の製造プロセス(その 8)

【図 9】

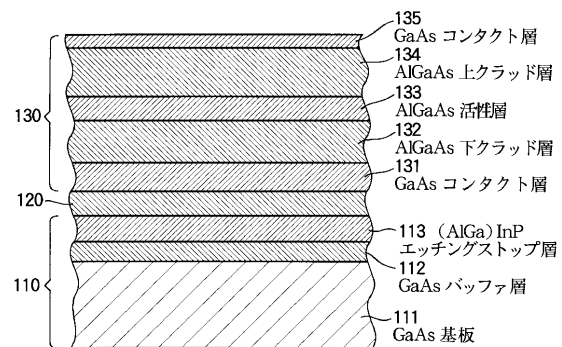
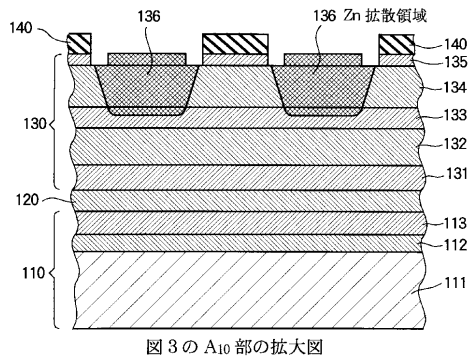


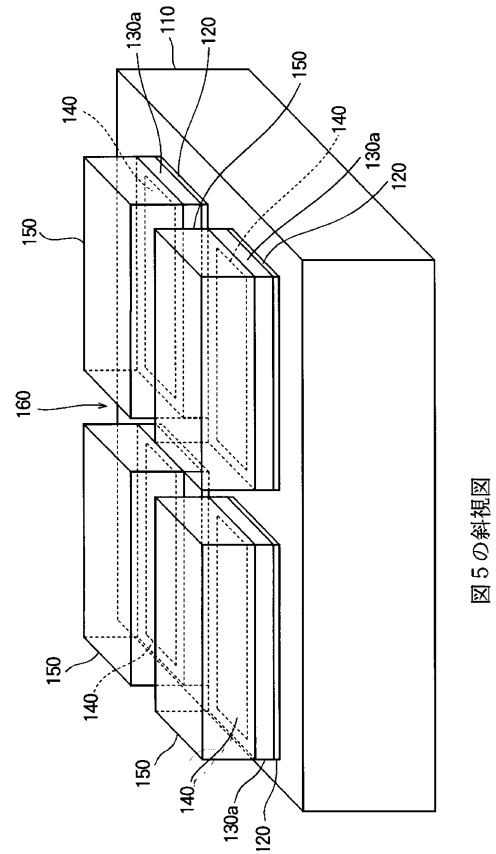
図 1 の A9 部の拡大図

135 GaAs コンタクト層  
134 AlGaAs 上クラッド層  
133 AlGaAs 活性層  
132 AlGaAs 下クラッド層  
131 GaAs コンタクト層  
113 (AlGa) InP エッチングストップ層  
112 GaAs バッファ層  
111 GaAs 基板

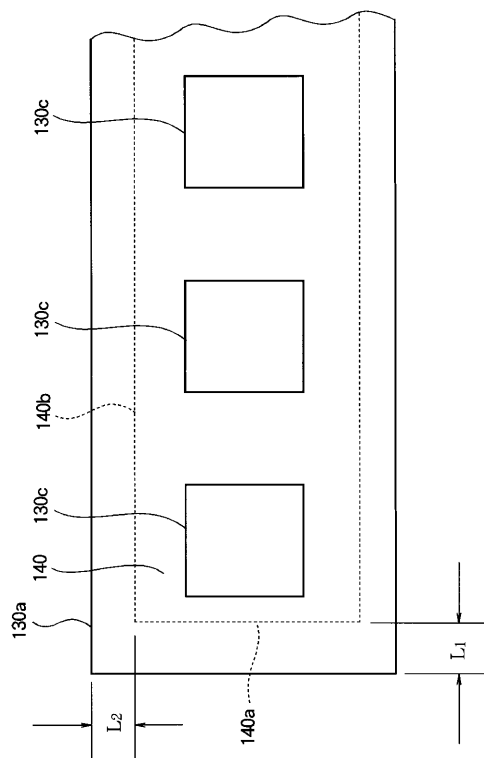
【図 10】



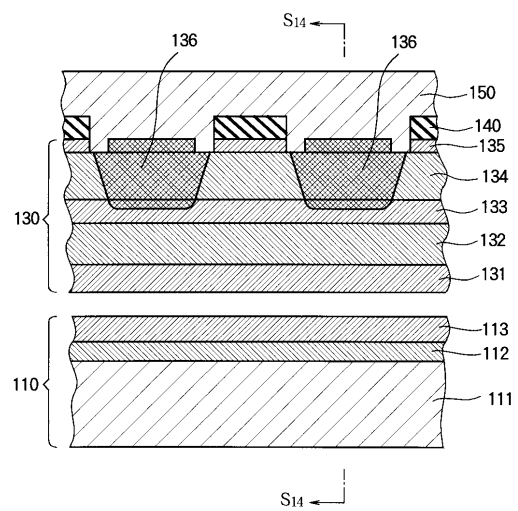
【図 11】



【図 12】

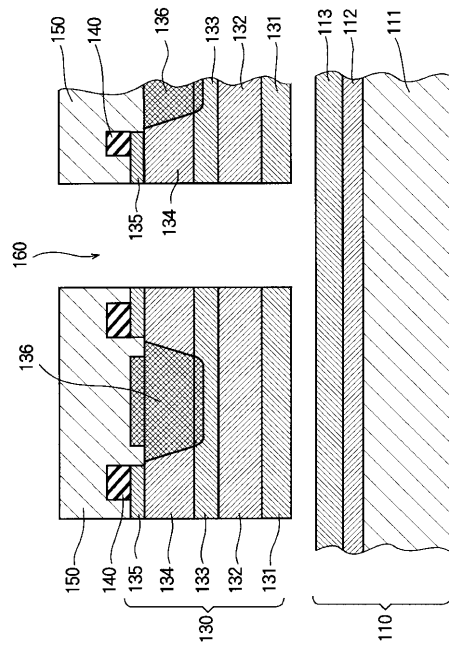


【図 13】





【図 14】

図 13 の S<sub>14</sub>-S<sub>14</sub> 線断面図

【図 15】

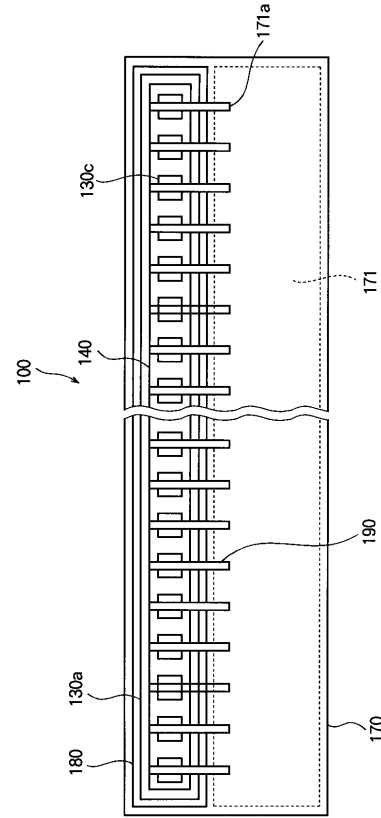
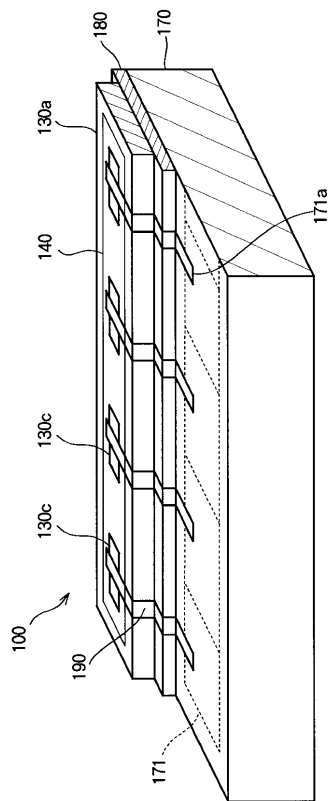
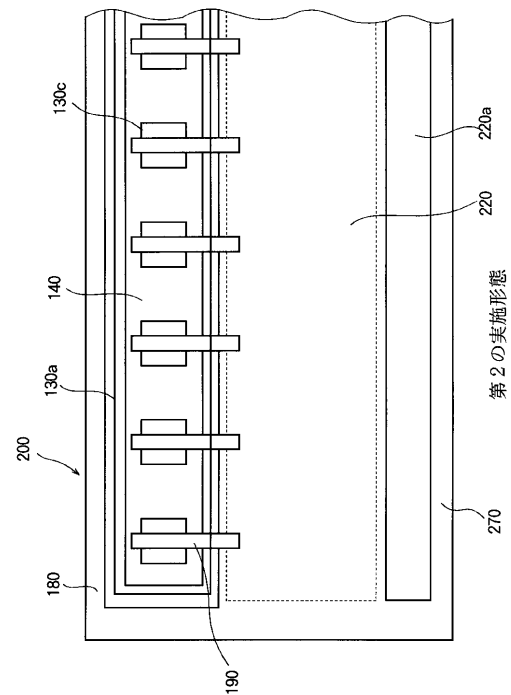


図 8 の拡大平面図

【図 16】

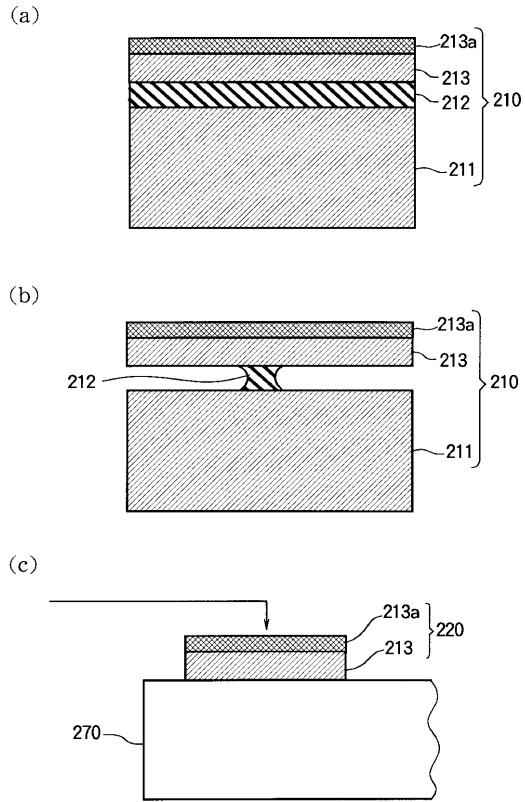
図 8 の A<sub>16</sub> 部の斜視図

【図 17】



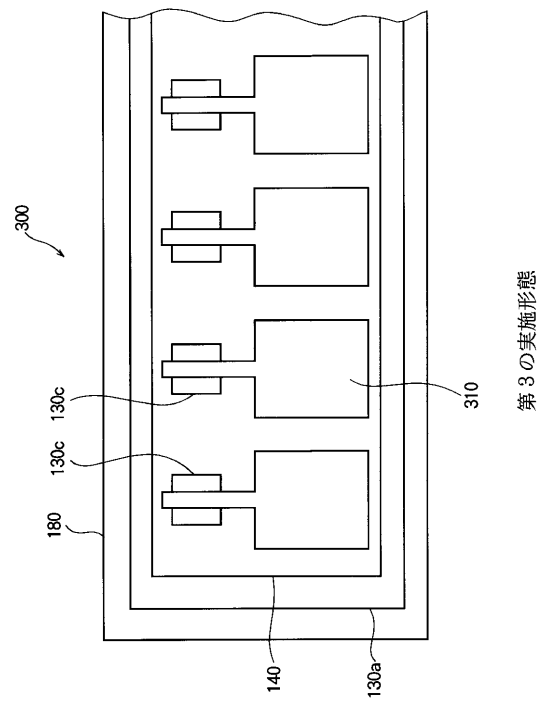
第 2 の実施形態

【図 18】



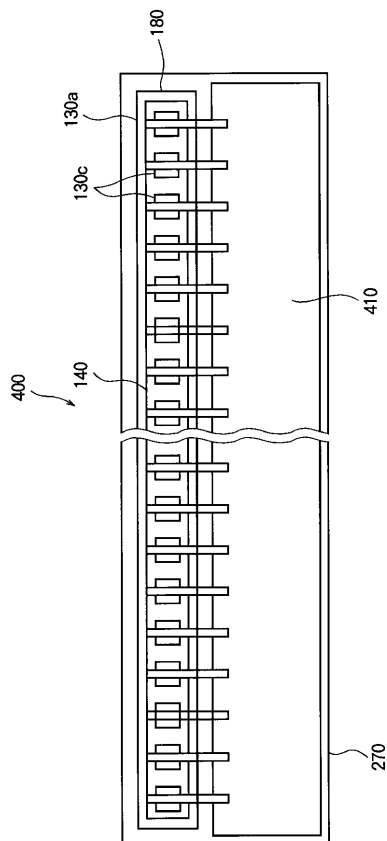
集積回路薄膜の製造プロセス

【図 19】



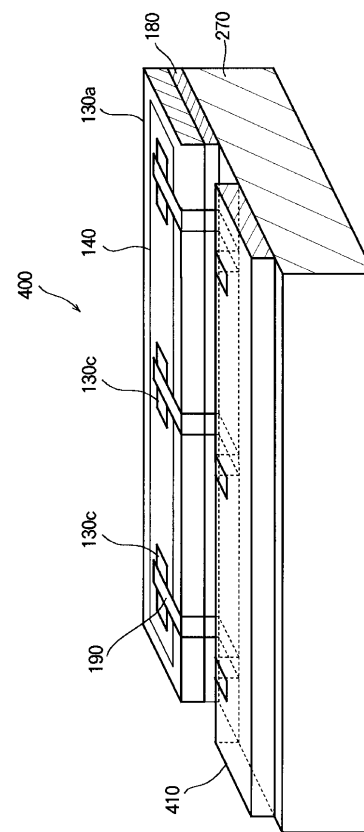
第 3 の実施形態

【図 20】



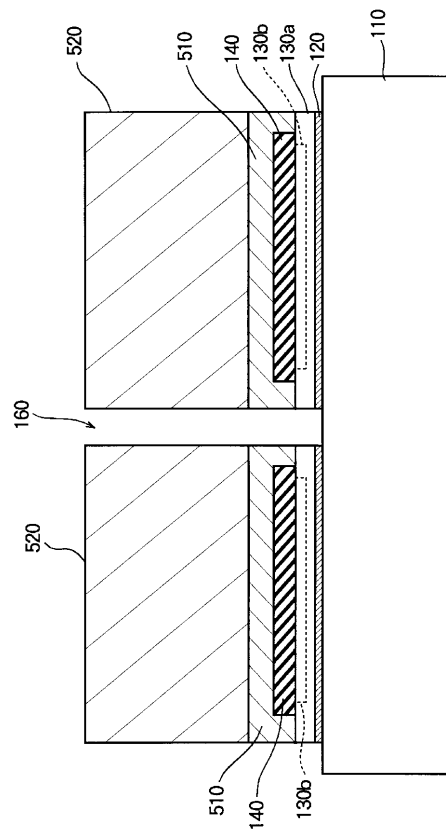
第 4 の実施形態

【図 21】



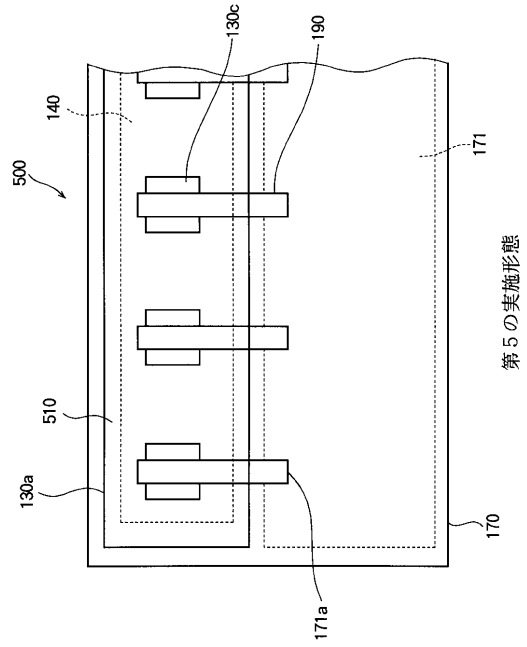
第 4 の実施形態

【図 2 2】



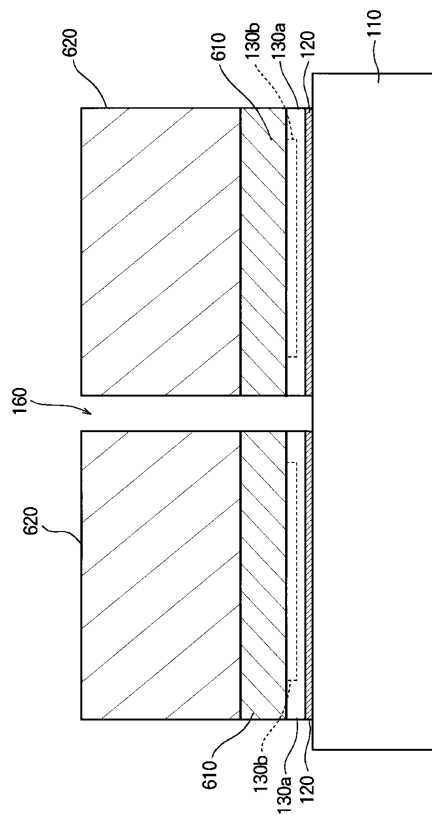
第5の実施形態

【図 2 3】



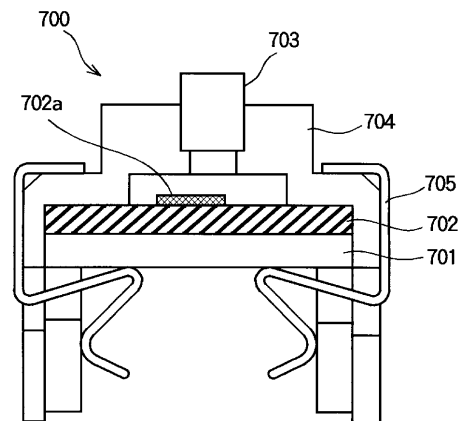
第5の実施形態

【図 2 4】



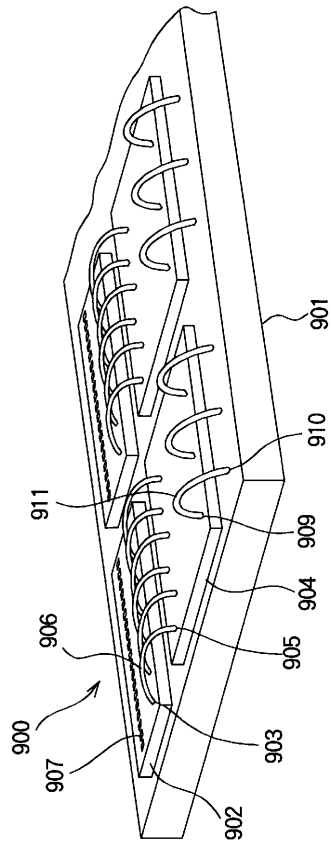
第6の実施形態

【図 2 5】



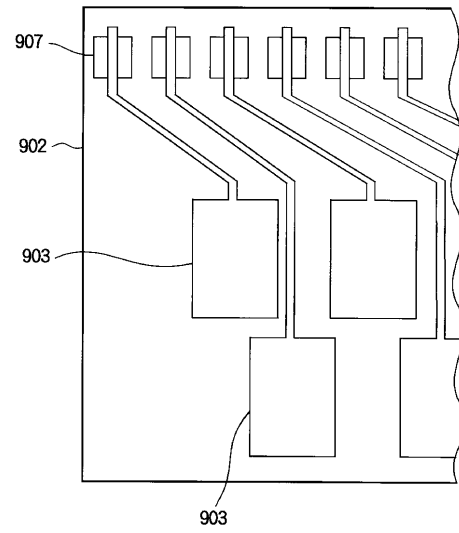
LED プリントヘッド

【 図 2 6 】



## 従来例

【圖 27】



従来例

---

フロントページの続き

(72)発明者 藤原 博之

東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デジタルイメージング内

審査官 吉野 三寛

(56)参考文献 特開平 1 1 - 3 0 7 8 7 8 ( J P , A )  
特開平 0 6 - 3 0 2 8 5 5 ( J P , A )  
特開平 0 8 - 2 0 1 6 6 2 ( J P , A )  
特開 2 0 0 2 - 2 3 7 6 1 8 ( J P , A )  
特開平 0 3 - 2 8 6 5 6 7 ( J P , A )  
特開 2 0 0 2 - 0 9 4 1 2 6 ( J P , A )  
特開 2 0 0 2 - 1 5 8 2 3 7 ( J P , A )  
特開 2 0 0 2 - 1 9 8 5 6 9 ( J P , A )  
特開 2 0 0 1 - 1 8 0 0 3 7 ( J P , A )  
特開 2 0 0 1 - 1 5 6 4 0 0 ( J P , A )  
特開平 0 9 - 1 8 6 4 0 2 ( J P , A )  
特表昭 6 3 - 5 0 0 2 7 9 ( J P , A )  
特開平 1 0 - 0 6 3 8 0 7 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L 33/00