

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/079641 A1

PCT

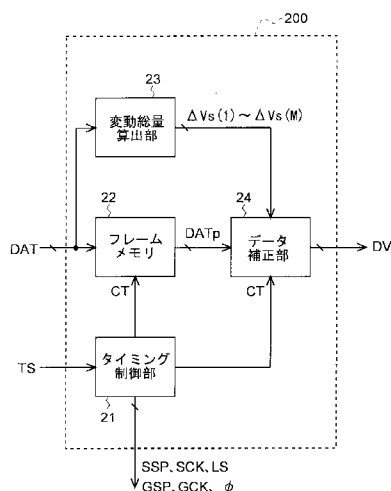
(43) 国際公開日
2010 年 7 月 15 日(15.07.2010)

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2009/066122
- (22) 国際出願日: 2009 年 9 月 16 日(16.09.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-003063 2009 年 1 月 9 日(09.01.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 伊奈 恵一
(INA, Keiichi). 吉田 圭介(YOSHIDA, Keisuke). 津
田 拓也(TSUDA, Takuya).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: COLOR DISPLAY DEVICE

(54) 発明の名称: カラー表示装置

[図4]



23 TOTAL FLUCTUATION CALCULATION UNIT
22 FRAME MEMORY
21 TIMING CONTROL UNIT
24 DATA CORRECTION UNIT

(57) Abstract: Disclosed is a color display device comprising a total fluctuation calculation unit (23) contained in a display control circuit (200). On the basis of a display data signal (DAT) from the outside, the total fluctuation calculation unit (23) calculates the total of the quantities of potential fluctuations of a driving video signal to be applied for one frame to each video signal line. For a pixel forming portion, to which a display data signal (DATp) (corresponding to a next display line of one frame before) received from a frame memory (22) is fed, a data correction unit (24) makes a correction to compensate the influence which is caused by the potential fluctuations of adjacent another video signal line not connected with the image forming portion. Thus, the color display device of a delta array type can reduce or eliminate a transverse streak, which is caused by the potential fluctuations of said another video signal line, by the simple constitution.

(57) 要約: 本発明の表示装置における表示制御回路 (200) に含まれる変動総量算出部 (23) は、外部からの表示データ信号 (DAT) に基づき、1 フレームの間に各映像信号線に対して印加されるべき駆動用映像信号の電位変動量の総量を算出する。データ補正部 (24) は、フレームメモリ (22) から受け取った (1 フレーム前の次の表示行に対応する) 表示データ信号 (DATp) を与えるべき画素形成部に対して、これに接続されない隣り合う他映像信号線の電位変動により生じる影響を補償する補正を行う。このことにより、本デルタ配列型のカラー表示装置は、簡単な構成で上記他映像信号線の電位変動により生じ

る横スジを低減または解消することができる。

明 細 書

発明の名称： カラー表示装置

技術分野

[0001] 本発明は、カラー表示装置に関するものであり、更に詳しくは、画素をいわゆるデルタ配列したアクティブマトリクス型のカラー液晶表示装置に関する。

背景技術

[0002] 一般的な従来のアクティブマトリクス型の液晶表示装置の表示部は、複数（ N 本）の走査信号線 $GL(1) \sim GL(N)$ と、当該複数の走査信号線に交差する複数（ M 本）の映像信号線 $SL(1) \sim SL(M)$ と、当該複数の走査信号線と当該複数の映像信号線との交差点にそれぞれ対応してマトリクス状の配置された複数（ $N \times M$ 個）の画素形成部 $P(1, 1) \sim P(N, M)$ とを備えており、各画素形成部は、後述する図2に示されるように、画素電極とそれに対向する電極とによって形成される液晶容量（「画素容量」ともいう） C_{lc} を含んでいる。各画素電極には、それを挟むように2本の映像信号線 $SL(m)$ 、 $SL(m+1)$ が配設されており、これら2本の映像信号線のそれぞれと当該画素電極との間には寄生容量が存在する。これら2本の映像信号線のうち一方の映像信号線 $SL(m)$ はTFT10を介して当該画素電極に接続されている。

[0003] 以下では、この当該画素電極に接続される映像信号線（以下「自ソースライン」という） $SL(m)$ と当該画素電極との間に形成される寄生容量を参照符号“ C_{sa} ”で示し、これらの2本の映像信号線のうち他方の映像信号線（以下「他ソースライン」という） $SL(m+1)$ と当該画素電極との間に形成される寄生容量を参照符号“ C_{sb} ”で示すものとする。

[0004] 上記のようなアクティブマトリクス型の液晶表示装置では、各画素形成部 $P(n, m)$ において、画素電極に接続されるTFT10がオン状態（導通状態）のとき、自ソースライン $SL(m)$ からTFT10を介して電圧が印

加され、そのTFT10がオフ状態（遮断状態）になると、次にTFT10が導通状態となるまでその印加電圧が画素容量 C_{lc} 保持され、その保持電圧に応じて画素が表示される（ $n=1, 2, \dots, N$ ； $m=1, 2, \dots, M$ ）。しかし、その画素容量 C_{lc} を形成する画素電極は、寄生容量 C_{sa} を介して自ソースライン $SL(m)$ に接続されると共に、寄生容量 C_{sb} を介して他ソースライン $SL(m+1)$ に接続されている。したがって、その画素電極に接続されるTFT10が遮断状態である間において、その画素電極の電位（画素容量の保持電圧）は、寄生容量 C_{sa} を介して自ソースライン $SL(m)$ の電位変化の影響を受けると共に、寄生容量 C_{sb} を介して他ソースライン $SL(m+1)$ の電位変化の影響を受ける。このようにして画素電極の電位や画素容量 C_{lc} における保持電圧が映像信号線 $SL(m)$ 、 $SL(m+1)$ の電位の影響を受けることにより、液晶の透過光量が変動して所望の階調を得ることができなくなるという現象（「クロストーク」と呼ばれる）が生じる。そして、カラー画像を表示するカラー液晶表示装置では、カラー画像の表示単位としてのR（赤）、G（緑）、B（青）の画素をそれぞれ形成するための3つの画素形成部が走査信号線の延びる方向に隣り合うように配置されており、各表示単位に対応する当該3つの画素形成部の間でクロストークによる画素電極の電位への影響（の程度や方向）が異なる場合には、所望の色彩を表示できないという現象（「カラークロストーク」と呼ばれる）が生じる。

[0005] また図3に記載されているように、（上下または左右に）互いに隣り合う赤色（R）、緑色（G）、および青色（B）の3つの画素（を形成する画素形成部）は、その中心を結んで形成される三角形の内角が全て鋭角となるように配置されており、このような画素配列はデルタ配列と呼ばれる。このデルタ配列型のカラー液晶表示装置においても上記クロストークの問題は生じるので、このようなクロストークの解消または抑制のために、従来より、上記寄生容量を低減するために他ソースラインを画素電極から離れた位置に配置することにより、寄生容量 C_{sb} を低減させたデルタ配列のカラー液晶表

示装置や、カラークロストークの解消または抑制のため、赤色（R）、緑色（G）、および青色（B）の画素形成部に対応する画素電極と他ソースラインとの間に新たな寄生容量を適宜に追加することにより各色の画素形成部における寄生容量 C_{sb} を略一致させたデルタ配列のカラー液晶表示装置がある（日本特開2000-10123号公報を参照）。

先行技術文献

特許文献

[0006] 特許文献1：日本特開2000-10123号公報

発明の概要

発明が解決しようとする課題

[0007] しかし、クロストークによる影響を上述した従来の特徴的な構造により抑制または解消しようとする場合には、当該構造を形成することにより製造コストが上昇することになる。また特に日本特開2000-10123号公報に記載されているようなデルタ配列のカラー液晶表示装置では、寄生容量を付加するための配線領域が新たに必要となるため、当該配線領域により開口率が低下するという問題点がある。

[0008] さらに、デルタ配列のカラー表示装置では、一般的なマトリクス配列のカラー表示装置とは異なり、同一色を表示する画素形成部に接続される映像信号線は、当該画素形成部の左右に隣り合う2本の映像信号線のうちの一方には定まっていない（すなわち偶数の表示行と奇数の表示行とで異なる）構造となっている。そのため、上記自ソースラインおよび他ソースラインが左右に隣り合う2本の映像信号線のうちの一方に定まっていることを前提とする従来カラークロストークの解消方法をデルタ配列のカラー表示装置において同様に適用することができない。

[0009] また、デルタ配列のカラー表示装置では、上述した構造により偶数の表示行と奇数の表示行とで、同一色を形成する画素形成部に対して生じる上記寄生容量を介した電位変動の影響が異なる。そのため、従来カラークロスト

ークにおける場合とは異なって、デルタ配列のカラー表示装置では、各行毎に（所望の色彩からの）表示色のずれが異なることから横スジの形で上記電位変動の影響が現れることになる。

[0010] そこで本発明は、特徴的な構造を形成することなく、簡単な構成で上記寄生容量を介した電位変動の影響により生じる横スジを低減または解消することができるデルタ配列型のカラー表示装置を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の第1の局面は、カラー画像を表示するために装置外部から与えられる画像信号に対応する複数の映像信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線とに沿って配置され異なる原色を表示する複数種類からなる複数の画素形成部と、前記複数の映像信号線および前記複数の走査信号線を駆動するための駆動制御回路とを備えるカラー表示装置であって、

前記複数の画素形成部は、前記複数種類が互いに隣り合うデルタ配列をなしており、

前記駆動制御回路は、任意の画素形成部に隣り合いかつ接続されない映像信号線である他映像信号線と当該任意の画素形成部との間の寄生容量を介して生じるべき、当該他映像信号線の電位変動による影響が補償されるよう、当該任意の画素形成部に与えるべき映像信号を補正することを特徴とする。

[0012] 本発明の第2の局面は、本発明の第1の局面において、

前記駆動制御回路は、前記他映像信号線の電位変動による影響のみが補償されるよう、前記任意の画素形成部に与えるべき映像信号を補正することを特徴とする。

[0013] 本発明の第3の局面は、本発明の第1の局面において、

前記駆動制御回路は、対応する走査信号線の駆動により前記任意の画素形成部が選択状態から非選択状態となった直後の時点から次に選択状態となる直前の時点までの略1フレーム期間に生じるべき前記他映像信号線の電位変

動による影響を示す値を算出し、算出された値に基づき前記映像信号を補正することを特徴とする。

[0014] 本発明の第4の局面は、本発明の第3の局面において、

前記駆動制御回路は、

少なくとも1フレーム期間分の前記画像信号に含まれる画素の表示階調を示す値を記憶するメモリと、

前記メモリに記憶される値または前記画像信号に基づき、前記電位変動による影響を示す値としての前記電位変動の総量を算出する変動総量算出部と、

前記変動総量算出部により算出される総量に対して、前記寄生容量に応じた所定の係数を乗算することにより得られる値に基づき、前記メモリに記憶される対応する画素の表示階調を示す値を補正するデータ補正部とを含むことを特徴とする。

[0015] 本発明の第5の局面は、本発明の第1から第4までのいずれか1つの局面において、

前記複数の画素形成部は、

接続される走査信号線に印加される信号に応じて導通状態または遮断状態となるスイッチング素子と、

接続される映像信号線に前記スイッチング素子を介して接続され、前記他映像信号線との間に前記寄生容量を有する画素電極と、

前記複数の画素形成部に共通的に設けられた共通電極と、

前記画素電極と前記共通電極とによって形成される画素容量と、

前記画素容量に保持される電圧に応じた表示階調で画素を表示する液晶素子とをそれぞれ含むことを特徴とする。

発明の効果

[0016] 本発明の第1の局面によれば、デルタ配列のカラー表示装置における駆動制御回路により、他映像信号線と任意の画素形成部との間の寄生容量を介して生じるべき、当該他映像信号線の電位変動による影響が補償されるよう、

当該任意の画素形成部に与えるべき映像信号が補正されるので、特徴的な構造を形成することなく、簡単な構成で上記寄生容量を介した電位変動の影響により生じる横スジを低減または解消することができる。

[0017] 本発明の第2の局面によれば、駆動制御回路により他映像信号線の電位変動による影響のみが補償されるので、画素形成部に隣り合いかつ接続される映像信号線である自映像信号線の電位変動による影響を考慮する必要がなく、さらに簡易な構成で横スジを低減または解消することができる。

[0018] 本発明の第3の局面によれば、駆動制御回路により、任意の画素形成部が選択状態から非選択状態となった直後の時点から次に選択状態となる直前の時点までの略1フレーム期間に生じるべき他映像信号線の電位変動による影響を示す値が算出されるので、正確な補正が可能となり、当該影響により生じる横スジを確実に低減または解消することができる。

[0019] 本発明の第4の局面によれば、少なくとも1フレーム期間分の画素の表示階調を示す値を記憶するメモリ、変動総量算出部、およびデータ補正部により、簡単な構成で横スジを低減または解消することができる。

[0020] 本発明の第5の局面によれば、液晶素子を使用したアクティブマトリクス型のカラー液晶表示装置において、上記寄生容量を介した電位変動による影響を低減することができる。

図面の簡単な説明

[0021] [図1]本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

[図2]上記実施形態における画素形成部の等価回路を示す回路図である。

[図3]上記実施形態における表示部の詳細な構成を簡略化して示す図である。

[図4]上記実施形態における表示制御回路の構成を示すブロック図である。

発明を実施するための形態

[0022] 以下、本発明の一実施形態について添付図面を参照しつつ説明する。

[0023] < 1. 液晶表示装置の全体構成および動作 >

図1は、本発明の一実施形態に係るアクティブマトリクス型液晶表示装置

の全体構成を示すブロック図である。この液晶表示装置は、表示制御回路 200、映像信号線駆動回路（ソースドライバ）300、および走査信号線駆動回路（ゲートドライバ）400からなる駆動制御部と、表示部500とを備えている。表示部500は、複数本（M本）の映像信号線 $SL(1) \sim SL(M)$ と、複数本（N本）の走査信号線 $GL(1) \sim GL(N)$ と、それら複数本の映像信号線 $SL(1) \sim SL(M)$ と複数本の走査信号線 $GL(1) \sim GL(N)$ とに沿って設けられた複数個（ $M \times N$ 個）の画素形成部を含んでいる。なお以下では、走査信号線 $GL(n)$ と映像信号線 $SL(m)$ との交差点に関連づけて当該交差点近傍（図では当該交差点の右下近傍）に設けられた画素形成部を参照符号“ $P(n, m)$ ”で示すものとする。図2は、本実施形態の表示部500における画素形成部 $P(n, m)$ の等価回路を示している。

[0024] ただし、一般的なアクティブマトリクス型液晶表示装置の表示部に設けられる画素形成部の配列とは異なるデルタ配列となっており、本実施形態における全ての画素形成部 $P(n, m)$ は、その画素電極の左側を通る映像信号線 $SL(m)$ に接続されるわけではなく、映像信号線 $SL(m+1)$ に接続されるものが含まれている。

[0025] 図3は、このような接続関係を含む本実施形態における表示部500の詳細な構成を示している。これら図2および図3に示すように、各画素形成部 $P(n, m)$ は、走査信号線 $GL(n)$ にゲート端子が接続されるとともに当該交差点を通過する映像信号線 $SL(m)$ またはその隣の映像信号線 $SL(m+1)$ にソース端子が接続されたスイッチング素子であるTFT10と、そのTFT10のドレイン端子に接続された画素電極 E_{pix} と、上記複数個の画素形成部 $P(i, j)$ （ $i = 1 \sim N$ 、 $j = 1 \sim M$ ）に共通的に設けられた共通電極 E_{com} と、上記複数個の画素形成部 $P(i, j)$ （ $i = 1 \sim N$ 、 $j = 1 \sim M$ ）に共通的に設けられ画素電極 E_{pix} と共通電極 E_{com} との間に挟持された液晶層とによって構成される。

[0026] 各画素形成部 $P(n, m)$ では、画素電極 E_{pix} と、それに液晶層を挟

んで対向する共通電極 E_{com} によって液晶容量（「画素容量」ともいう） C_{lc} が形成されている。各画素電極 E_{pix} には、それを挟むように2本の映像信号線 $SL(m)$ 、 $SL(m+1)$ が配設されており、これら2本の映像信号線のうち一方はTFT10を介して当該画素電極 E_{pix} に接続されている。例えば、図3に示す表示部500の画素形成部 $P(1, 1)$ に接続される映像信号線は、映像信号線 $SL(2)$ であり、その右隣に位置する画素形成部 $P(1, 2)$ に接続される映像信号線は、映像信号線 $SL(3)$ である。また、画素形成部 $P(2, 1)$ に接続される映像信号線は、映像信号線 $SL(1)$ であり、その右隣に位置する画素形成部 $P(2, 2)$ に接続される映像信号線は、映像信号線 $SL(2)$ である。このように着目した画素形成部の画素電極に接続される映像信号線である自ソースラインは、表示行に対応する n が奇数の場合には映像信号線 $SL(m+1)$ であり、 n が偶数の場合には映像信号線 $SL(m)$ である。

[0027] また、画素電極 E_{pix} を挟む2本の映像信号線のうちの前述した自ソースラインと当該画素電極 E_{pix} との間には寄生容量 C_{sa} が存在し、これら2本の映像信号線のうち前述した他ソースラインと当該画素電極 E_{pix} との間には寄生容量 C_{sb} が存在している。

[0028] さらに、各画素形成部 $P(n, m)$ は、赤色 (R)、緑色 (G)、青色 (B) のいずれかの色を表示するものであって、図3に示すように、走査信号線 $GL(1) \sim GL(N)$ に沿った方向にRGBの順で配置されており、かつ対応する各色画素の表示行が偶数行の場合と奇数の場合とで隣接画素の中心間距離の約1.5倍程度、走査信号線に沿った方向（図の横方向）にずれて同色の画素に対応する画素形成部が位置するように配置される。このように配置された結果、互いに隣り合うRGBの3つの画素、例えば画素形成部 $P(1, 1)$ 、 $P(1, 2)$ 、 $P(2, 1)$ は、その中心を結んで形成される三角形の内角が全て鋭角となるように配置されており、デルタ配列が実現されている。

[0029] そして、各色画素に対応する画素形成部の画素電極に接続される映像信号

線である自ソースラインは、表示行に対応する n が奇数の場合には映像信号線 $SL(m+1)$ であり、 n が偶数の場合には映像信号線 $SL(m)$ であるから、表示列毎に画素の色が異なっているとしても、同一の映像信号線には同色の画素データ、例えば $SL(1)$ には青色の画素データ、 $SL(2)$ には赤色の画素データを与えるだけでよいから、簡単に駆動することができる構造となっている。またこのような構造から、寄生容量 C_{sa} を介した自ソースラインの電位変動による影響は、表示画面上横スジとして現れることがないため考慮する必要がなくなる。詳しくは後述する。

[0030] 表示制御回路 200 は、外部から送られる表示データ信号 DAT とタイミング制御信号 TS とを受け取り、デジタル画像信号 DV と、表示部 500 に画像を表示するタイミングを制御するためのソーススタートパルス信号 SSP 、ソースクロック信号 CLK 、ラッチストローク信号 LS 、ゲートスタートパルス信号 GSP 、およびゲートクロック信号 GCK を出力する。

[0031] ここで、外部からの表示データ信号 DAT は、例えばそれぞれ 1 つの画素形成部に与えられるべき 8 ビットのデータである赤色表示データ、緑色表示データ、および青色表示データからなる合計 24 ビットのパラレルデータを含んでいる。これらのデータは色毎に対応する映像信号線に与えられることは前述した。ただしこれらのデータに対しては後述する寄生容量による電位変動の影響を補償するための補正が行われる。

[0032] 映像信号線駆動回路 300 は、表示制御回路 200 から出力されたデジタル画像信号 DV 、ソーススタートパルス信号 SSP 、ソースクロック信号 CLK 、およびラッチストローク信号 LS を受け取り、表示部 500 内の各画素形成部 $P(n, m)$ の画素容量 C_{lc} (および補助容量) を充電するために駆動用映像信号 $S(1) \sim S(M)$ を各映像信号線 $SL(1) \sim SL(M)$ に印加する。このとき、映像信号線駆動回路 300 では、ソースクロック信号 CLK のパルスが発生するタイミングで、各映像信号線 $SL(1) \sim SL(M)$ に印加すべき電圧を示すデジタル画像信号 DV が順次に保持される。そして、ラッチストローク信号 LS のパルスが発生するタイミングで、上

記保持されたデジタル画像信号DVがアナログ電圧に変換される。これらのアナログ電圧は、駆動用映像信号として全ての映像信号線SL(1)～SL(M)に一斉に印加される。すなわち、本実施形態においては、映像信号線SL(1)～SL(M)の駆動方式には線順次駆動方式が採用されている。また、本実施形態では、画素液晶への印加電圧の正負極性を表示部500における行毎に反転させ且つ1フレーム毎にも反転させる駆動方式であるライン反転駆動方式が採用されている。

[0033] 走査信号線駆動回路400は、表示制御回路200から出力されたゲートスタートパルス信号GSPとゲートクロック信号GCKとに基づいて、各走査信号線GL(1)～GL(N)にアクティブな走査信号G(1)～G(N)を順次印加する。

[0034] 共通電極駆動回路600は、液晶の共通電極に与えるべき電圧である共通電圧Vcomを生成する。本実施形態では、映像信号線の電圧の振幅を抑えるために、交流化駆動に応じて共通電極の電位をも変化させている。すなわち、共通電極駆動回路600は、表示制御回路200からの極性反転信号φに応じて、各行毎にかつ1フレーム毎において2種類の基準電圧の間で切り換わる電圧を生成し、これを共通電圧Vcomとして表示部500の共通電極に供給する。これらの構成により上記ライン反転駆動方式が実現されている。

[0035] 以上のようにして、各映像信号線SL(1)～SL(M)に駆動用映像信号が印加され、各走査信号線GL(1)～GL(N)に走査信号が印加されることにより、表示部500に画像が表示される。

[0036] <2. 表示制御回路の構成および動作>

図4は、本実施形態における表示制御回路200の構成図である。この表示制御回路200は、タイミング制御部21と、フレームメモリ22と、変動総量算出部23と、データ補正部24とを備えている。

[0037] タイミング制御部21は、外部から送られるタイミング制御信号TSを受け取り、フレームメモリ22およびデータ補正部24の動作を制御するため

の制御信号CTと、表示部500に画像を表示するタイミングを制御するためのソーススタートパルス信号SSP、ソースクロック信号CLK、ラッチストロブ信号LS、ゲートスタートパルス信号GSP、およびゲートクロック信号CLKとを出力する。

[0038] フレームメモリ22は、外部からの表示データ信号DATを1フレーム分記憶する。また、フレームメモリ22は、タイミング制御部21からの制御信号CTに基づき、外部からの表示データ信号DATを基準とすると、その1フレーム前の次の表示行に対応する表示データ信号DATpをデータ補正部24に与える。例えば、外部から（説明の便宜上）Fフレームn行目の表示データDATが与えられるとき、フレームメモリ22は、(F-1)フレーム(n+1)行目の表示データをデータ補正部24に与える。

[0039] 変動総量算出部23は、外部からの表示データ信号DATに基づき、1フレームの間に各映像信号線SL(1)~SL(M)に対して印加されるべき駆動用映像信号の電位変動量の総量（以下「変動総量」という） $\Delta V_s(1) \sim \Delta V_s(M)$ を算出し、算出値をデータ補正部24に与える。すなわちこの変動総量算出部23は、外部から受け取る表示データ（例えばFフレームn行目の表示データ）と、前回受け取った1水平走査期間前（すなわち1行前）の表示データ（例えばFフレーム(n-1)行目の表示データ）とに基づき、これらの表示データが与えられる場合の各映像信号線毎の電位変動量を算出し、それまでに算出された略1フレーム分（例えば(F-1)フレーム(n+1)行目からFフレーム(n-1)行目まで）の各映像信号線毎の電位変動量の総和に加算し、この加算値を変動総量 $\Delta V_s(1) \sim \Delta V_s(M)$ としてデータ補正部24に与える。なお、この変動総量は、実際には各水平走査期間毎に生じる各映像信号線毎の電位変動量を単純に積算するのではなく、1フレーム期間における画素の輝度に当該電位変動量がどの程度影響を与えるかを示す係数を乗算することにより重み付けを行い積算することが好ましいが、ここでは説明の便宜のため、単に積算量として記載する。

[0040] さらに具体的に説明すると、変動総量算出部23は、或る映像信号線に与

えられるべき駆動用映像信号に対応する表示データが示す階調値（例えば0～255）と、当該駆動用映像信号の電圧値との対応関係を示す（予め設定された）テーブル（以下「階調電圧テーブル」という）を含む。変動総量算出部23は、この階調電圧テーブルと極性反転信号 ϕ とに基づき、外部から受け取る表示データに対応する駆動用映像信号が与えられる場合、対応する映像信号線の電位が1水平走査期間前の電位からどれだけ変化したかを示す電位変動量を算出する。この電位変動量は、上述したように1フレーム分積分され、（例えば（F-1）フレーム（n+1）行目の表示データに対応する駆動用映像信号の電位を基準としたFフレームn行目までの）変動総量 $\Delta V_s(1) \sim \Delta V_s(M)$ としてデータ補正部24に与えられる。なお、極性反転信号 ϕ を参照するのは、前述したライン反転駆動により表示データにおける階調値が同一であっても映像信号線への印加電圧（の極性）は異なる場合があるからである。

[0041] データ補正部24は、フレームメモリ22から受け取った（1フレーム前の次の表示行に対応する）表示データ信号DATA_pに対して、データ補正部24から受け取った変動総量 $\Delta V_s(1) \sim \Delta V_s(M)$ の電位変化により、寄生容量C_{sb}を介して対応する映像信号線に与える電位変化の影響を補償するための補正值を算出する。以下、さらに詳しく説明する。

[0042] まず、図2を参照して前述したように、画素電極の電位は隣り合う映像信号線、すなわち当該画素電極に隣り合う2本の映像信号線のうち当該画素電極とは接続されない他方の映像信号線（他ソースライン）の電位変動により寄生容量C_{sb}を介して画素電極の電位が変化するとともに、当該画素電極と接続される映像信号線（自ソースライン）の電位変動により寄生容量C_{sa}を介して画素電極の電位が変化する。しかし、特にデルタ配列構造を有する表示パネルにおいては、他ソースラインの電位変動により寄生容量C_{sb}を介して画素電極の電位が変化することのみが横スジを生じさせる原因となる。

[0043] すなわち、前述したように表示列毎に画素の色が異なっても、同一の

映像信号線には同色の画素データが与えられるので、自ソースラインの電位変動により寄生容量 C_{sa} を介して生じる画素電極の電位変動は同一の表示列ではほぼ同一となる。したがって、自ソースラインの電位変動は、一般的なマトリクス配列の表示装置における場合と同様に所望の輝度からのずれを生じさせる原因とはなっても、横スジを生じさせる原因となることはない。逆に言えば、一般的なマトリクス配列の表示装置におけるクロストーク対策としては自ソースラインについて考慮することなく他ソースラインの電位変動のみを考慮するだけでは不十分であるのに対して、本実施形態におけるデルタ配列のカラー表示装置では、他ソースラインの電位変動のみを考慮するだけで横スジ対策を行うことができるので、補正のための構成を簡易なものとすることができる。なお、自ソースラインについて考慮することはもちろん可能である。

[0044] 以上より、当該画素電極への（所望の電位による）充電が完了した後（対応する TFT10 が非選択となった後）の時点から次に充電が開始される時点までの間の、他ソースラインにおける略1フレーム分の電位変動の総量がわかれば、この総量に対してパネルの構造や各種パラメータ等に基づき予め算出される係数を乗算することにより、横スジを抑制または解消するための補正值であって、寄生容量 C_{sb} を介して影響を受ける当該画素電極の電位変動量に対応する補正值を容易に算出することができる。

[0045] そこで、例えば前述したように外部から F フレーム n 行目の表示データが与えられるものとするとき、その略1フレーム前までの他ソースラインにおける電位変動の総量である変動総量 $\Delta V_s(1) \sim \Delta V_s(M)$ に上記係数をそれぞれ乗算して得られる画素電極の電位変動量に対応する階調値である補正值を、(F-1) フレーム (n+1) 行目の表示データ DATp に加算することにより、寄生容量 C_{sb} による電位変動の影響を補償することができる。

[0046] もっとも、一般的なマトリクス配列の表示パネルとは異なり、図3に示すようなデルタ配列となっている本実施形態の表示部500では、偶数の表示

行と奇数の表示行とで、対応する画素電極に接続される映像信号線が異なる構造となっている。すなわち、図3を参照すればわかるように、奇数行では画素電極の右側に隣り合う映像信号線が自ソースラインとなり、偶数行では画素電極の左側に隣り合う映像信号線が自ソースラインとなっている。

[0047] したがって、データ補正部24は、偶数行の場合には、画素形成部の左側に隣り合う映像信号線に対応する変動総量に対して所定の係数を乗算することにより補正值を算出し、奇数行の場合には、画素形成部の右側に隣り合う映像信号線に対応する変動総量に対して所定の係数を乗算することにより補正值を算出する。

[0048] 具体的にはデータ補正部24は、画素形成部 $P(n+1, m)$ に与えられるべき $(F-1)$ フレーム $(n+1)$ 行目の表示データ $DAT_p(n+1, m)$ を補償するための補正值を、 n が奇数の場合（偶数行の場合）には、左側に隣り合う映像信号線に対応する変動総量 $\Delta V_s(m)$ に対して所定の係数を乗算することにより算出する。また、 n が偶数の場合（奇数行の場合）には、上記補正值を、右側に隣り合う映像信号線に対応する変動総量 $\Delta V_s(m+1)$ に対して所定の係数を乗算することにより算出する。

[0049] データ補正部24は、このようにして算出された補正值を、対応する表示データすなわち上記例では $(F-1)$ フレーム $(n+1)$ 行目の表示データ DAT_p に加算し、加算の結果得られる寄生容量 C_{sb} による影響が補償された表示データをデジタル画像信号 DV として出力する。

[0050] このデジタル画像信号 DV は映像信号線駆動回路300に供給され、映像信号線駆動回路300では、そのデジタル画像信号 DV が各色毎にアナログ電圧に変換され、駆動用映像信号として対応する映像信号線 $SL(1) \sim SL(M)$ に印加される。このようにして映像信号線 $SL(1) \sim SL(M)$ に駆動用映像信号として印加された電圧は、それぞれ、走査信号線駆動回路400によるアクティブな走査信号の順次的な印加によって導通状態となった $TFT10$ を介して、各画素形成部 $P(n, m)$ の画素電極 E_{pix} に印加され、当該画素形成部 $P(n, m)$ の画素容量 C_{lc} に保持される。この

画素容量 C_{lc} における保持電圧が液晶に印加されて表示部 500 の光の透過率が制御されることで、上記寄生容量による電位変動から生じる横スジが低減または解消された画像が表示される。

[0051] < 3. 効果 >

以上のように本実施形態によれば、画素形成部の 1 つに隣り合いかつ接続されない映像信号線である他ソースラインと当該画素形成部との間の寄生容量 C_{sb} を介して生じるべき、当該他ソースラインの電位変動による影響が補償されるよう、偶数行の場合には、当該画素形成部の左側に隣り合う映像信号線の電位変動の総量に対して所定の係数を乗算することにより補正値を算出し、奇数行の場合には、当該画素形成部の右側に隣り合う映像信号線の電位変動の総量に対して所定の係数を乗算することにより補正値を算出する。このことにより、特徴的な構造を形成することなく、本実施形態におけるデルタ配列型のカラー表示装置は、簡単な構成で上記寄生容量 C_{sb} を介した電位変動の影響により生じる横スジを低減または解消することができる。

[0052] < 4. 変形例 >

上記実施形態では、フレームメモリ 22 において 1 フレーム分の表示データを記憶し、この 1 フレーム分の表示データが対応する映像信号線に与えられる場合に生じるべき電位変動量の総量を算出することにより補正値を算出する構成であるが、フレームメモリ 22 において 2 フレーム分の表示データを記憶し、記憶された表示データのうち 2 フレーム前の時点から 1 フレーム前の時点直前までの 1 フレーム分（以下「最初の 1 フレーム」という）の表示データを参照して、1 フレーム前の時点から現時点までの 1 フレーム分（以下「次の 1 フレーム」という）の表示データを補正し、補正された次の 1 フレームの表示データを対応する映像信号線に与える場合に生じるべき電位変動量の総量を算出することにより補正値を算出する構成であってもよい。

[0053] すなわちこの変形例において、変動総量算出部 23 は、外部から表示データを受け取ることなく、まずフレームメモリ 22 から最初の 1 フレームに含まれる表示データを読み出し、対応する変動総量を算出する。データ補正部

24は、算出された最初の1フレームに対応する変動総量に基づき前述したように補正値を算出し、算出された補正値に基づきフレームメモリ22に記憶される次の1フレームの表示データを補正し再び記憶させる（書き直す）。続いて、変動総量算出部23は、フレームメモリ22から補正された次の1フレームに含まれる表示データを読み出し、対応する変動総量を算出する。データ補正部24は、算出された次の1フレームに対応する変動総量に基づき前述したように補正値を算出する。そうすれば、補正値を算出するときに参照される他ソースラインの電位変動の総量は、補正された映像信号を与えられる場合に生じる電位変動量の総量となるので、より正確に補正値を算出することができ、横スジを確実に低減または解消することができる。

[0054] またこの変形例および上記実施形態において、変動総量は、1フレーム期間における画素の輝度に当該電位変動量がどの程度影響を与えるかを考慮して重み付けを行い積算することが好ましいとして説明したが、例えば或る画素形成部が非選択の状態となった直後の自ソースラインの電位変動量が1フレーム期間における画素の輝度に最も大きな影響を与えることを考慮して、この電位変動量のみを変動総量としてもよいし、当該時点から数回の水平走査期間における電位変動量の総量のみを変動総量としてもよい。すなわちこの変動総量は、対応する走査信号線の駆動により任意の画素形成部が選択状態から非選択状態となった直後の時点から次に選択状態となる直前の時点までの略1フレーム期間に生じるべき当該任意の画素形成部における画素電極電位を基準とした他ソースラインの電位変動による影響を示す値であればよい。

[0055] なお上記実施形態では、フレームメモリ22、変動総量算出部23、およびデータ補正部24は、表示制御回路200に含まれる構成であるが、これらの全部または一部の機能は、映像信号線駆動回路300に含まれてもよいし、これらとは異なる別個の駆動制御回路に含まれてもよい。またこれらの機能は、対応するプログラムを実行するマイクロコンピュータにより実現されてもよい。

[0056] また上記実施形態では、アクティブマトリクス型のカラー液晶表示装置を例に挙げて説明したが、アクティブマトリクス型の電圧制御による表示装置であって、画素電極と映像信号線との間に寄生容量が存在するようなデルタ配列のカラー表示装置であれば、液晶表示装置以外にも本発明の適用が可能である。

産業上の利用可能性

[0057] 本発明は、デルタ配列を採用したカラー表示装置に適用されるものであって、液晶素子やＥＬ素子などを配置したアクティブマトリクス型のカラー表示装置に適している。

符号の説明

[0058]	1 0	…ＴＦＴ（スイッチング素子）
	2 1	…タイミング制御部
	2 2	…フレームメモリ
	2 3	…変動総量算出部
	2 4	…データ補正部
	2 0 0	…表示制御回路
	3 0 0	…映像信号線駆動回路
	4 0 0	…走査信号線駆動回路
	5 0 0	…表示部
	D A T	…表示データ信号（画像信号）
	D V	…デジタル画像信号
	C l c	…液晶容量（画素容量）
	C s a, C s b	…寄生容量
	E c o m	…共通電極
	E p i x	…画素電極
	G L (n)	…走査信号線（ $n = 1 \sim N$ ）
	S L (m)	…データ号線（ $m = 1 \sim M$ ）
	P (n, m)	…画素形成部（ $n = 1 \sim N$ 、 $m = 1 \sim M$ ）

請求の範囲

[請求項1] カラー画像を表示するために装置外部から与えられる画像信号に対応する複数の映像信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線とに沿って配置され異なる原色を表示する複数種類からなる複数の画素形成部と、前記複数の映像信号線および前記複数の走査信号線を駆動するための駆動制御回路とを備えるカラー表示装置であって、

前記複数の画素形成部は、前記複数種類が互いに隣り合うデルタ配列をなしており、

前記駆動制御回路は、任意の画素形成部に隣り合いかつ接続されない映像信号線である他映像信号線と当該任意の画素形成部との間の寄生容量を介して生じるべき、当該他映像信号線の電位変動による影響が補償されるよう、当該任意の画素形成部に与えるべき映像信号を補正することを特徴とする、カラー表示装置。

[請求項2] 前記駆動制御回路は、前記他映像信号線の電位変動による影響のみが補償されるよう、前記任意の画素形成部に与えるべき映像信号を補正することを特徴とする、請求項1に記載のカラー表示装置。

[請求項3] 前記駆動制御回路は、対応する走査信号線の駆動により前記任意の画素形成部が選択状態から非選択状態となった直後の時点から次に選択状態となる直前の時点までの略1フレーム期間に生じるべき前記他映像信号線の電位変動による影響を示す値を算出し、算出された値に基づき前記映像信号を補正することを特徴とする、請求項1に記載のカラー表示装置。

[請求項4] 前記駆動制御回路は、

少なくとも1フレーム期間分の前記画像信号に含まれる画素の表示階調を示す値を記憶するメモリと、

前記メモリに記憶される値または前記画像信号に基づき、前記電

位変動による影響を示す値としての前記電位変動の総量を算出する変動総量算出部と、

前記変動総量算出部により算出される総量に対して、前記寄生容量に応じた所定の係数を乗算することにより得られる値に基づき、前記メモリに記憶される対応する画素の表示階調を示す値を補正するデータ補正部と

を含むことを特徴とする、請求項 3 に記載のカラー表示装置。

[請求項 5]

前記複数の画素形成部は、

接続される走査信号線に印加される信号に応じて導通状態または遮断状態となるスイッチング素子と、

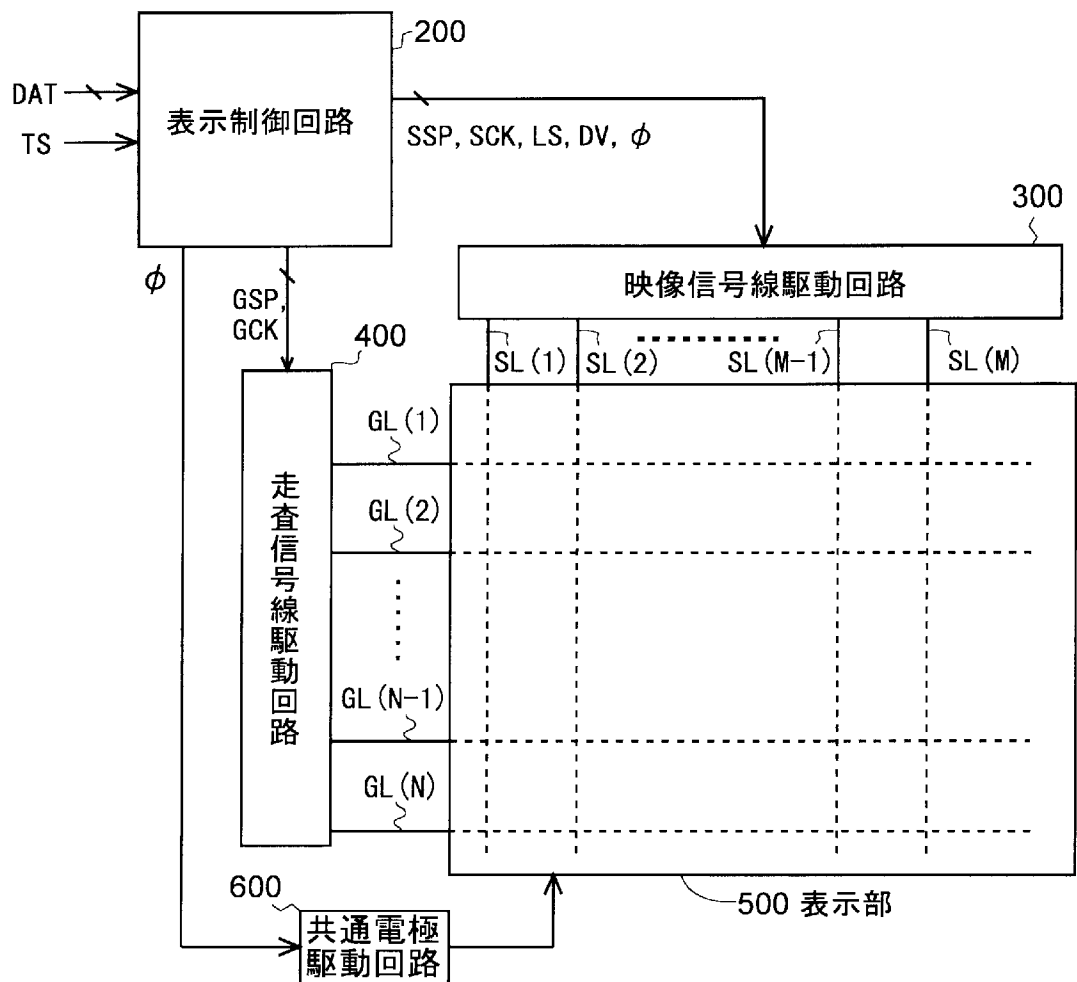
接続される映像信号線に前記スイッチング素子を介して接続され、前記他映像信号線との間に前記寄生容量を有する画素電極と、

前記複数の画素形成部に共通的に設けられた共通電極と、

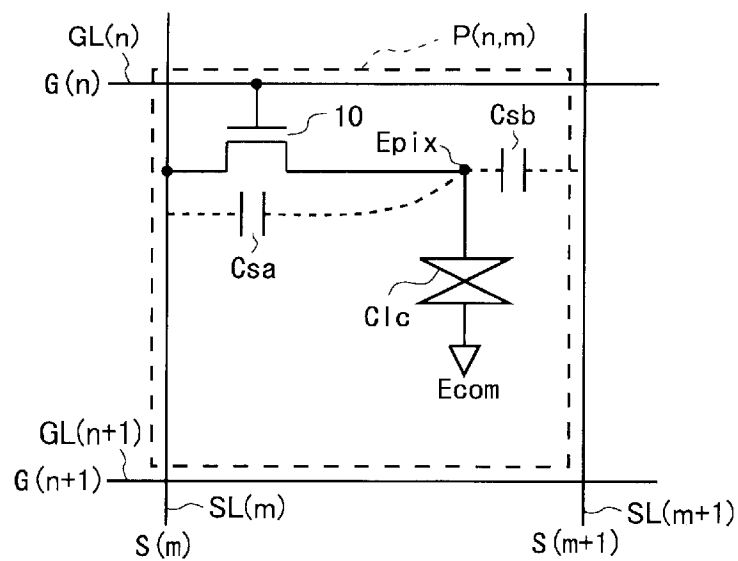
前記画素電極と前記共通電極とによって形成される画素容量と、

前記画素容量に保持される電圧に応じた表示階調で画素を表示する液晶素子とをそれぞれ含むことを特徴とする、請求項 1 から請求項 4 までのいずれか 1 項に記載のカラー表示装置。

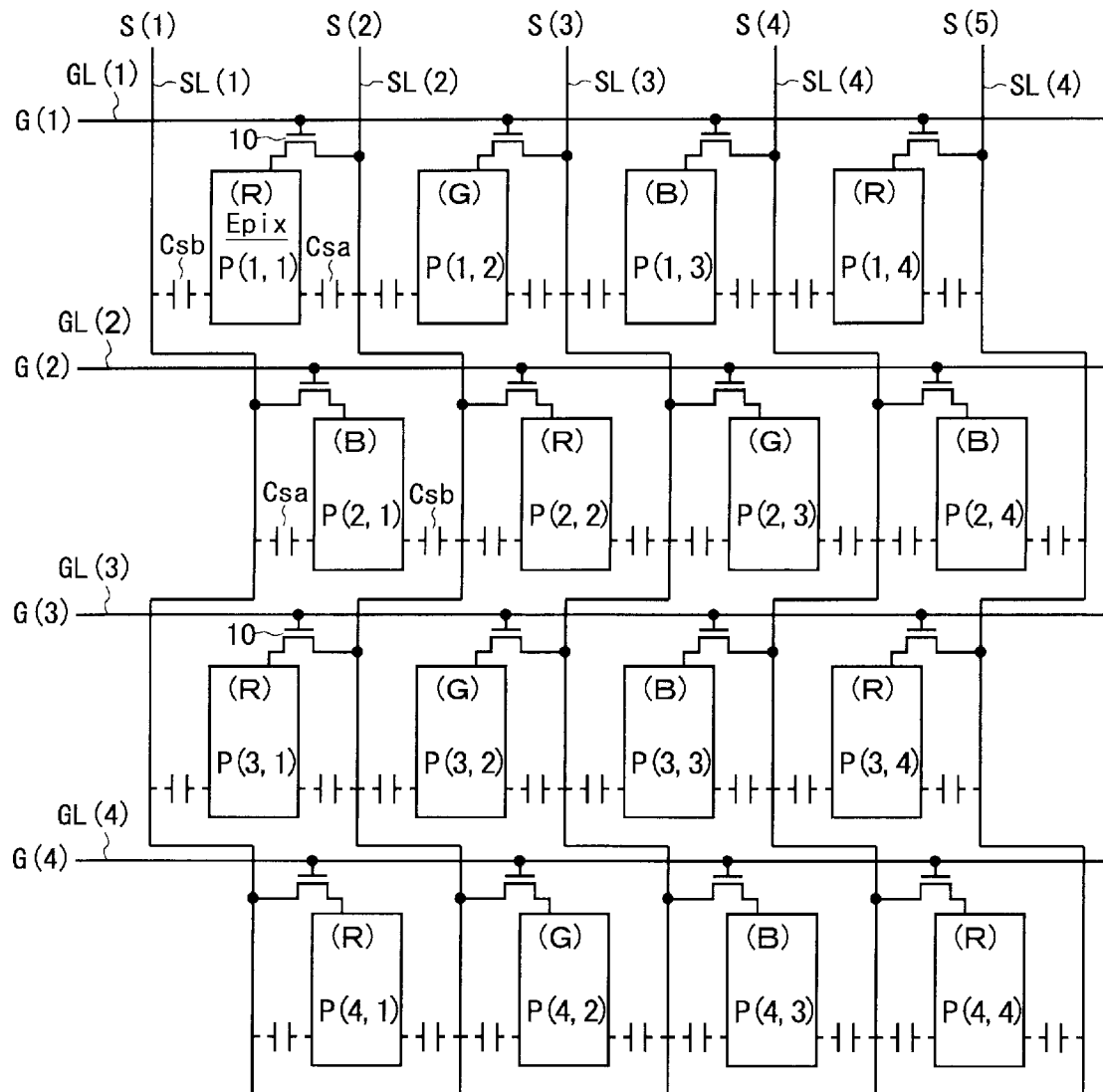
[図1]



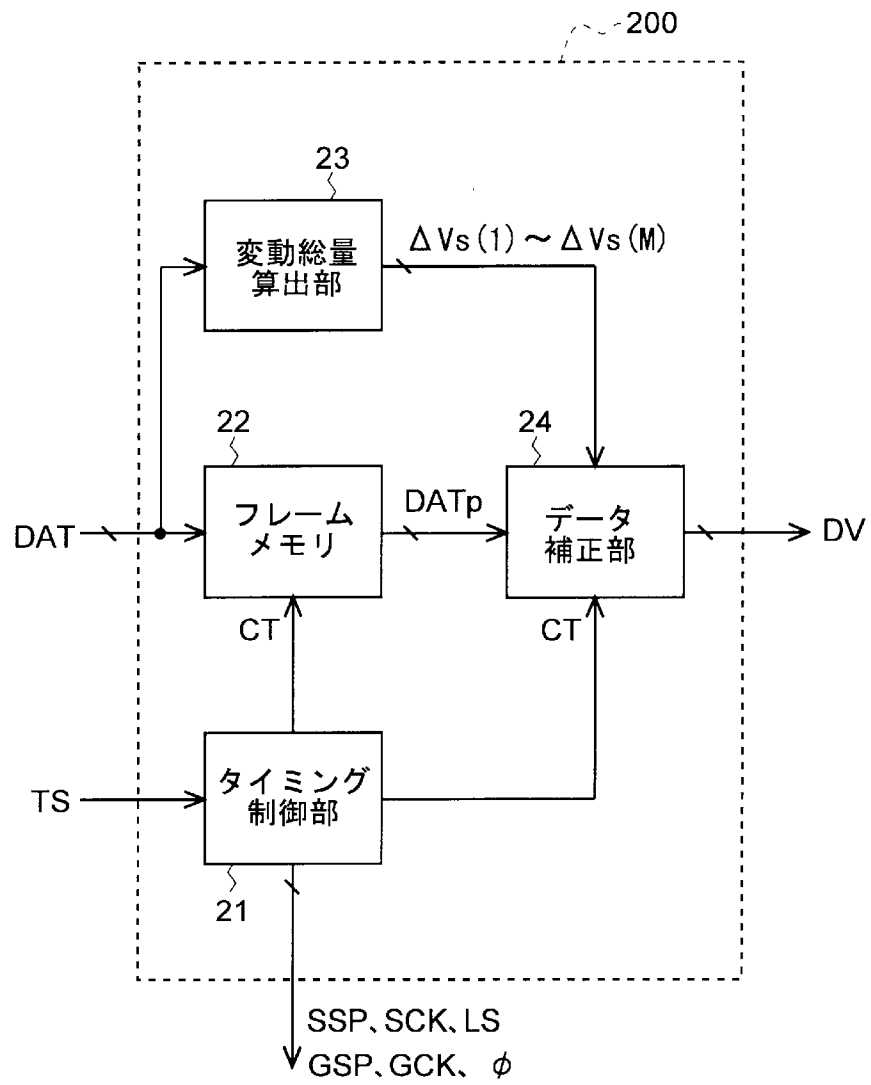
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066122

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-023710 A (Sharp Corp.), 26 January 2006 (26.01.2006), paragraphs [0090], [0092] to [0111]; fig. 9 & US 2007/0222724 A1 & EP 1768095 A1 & WO 2005/111979 A1	1, 3-5 2
Y	JP 2007-178561 A (Sharp Corp.), 12 July 2007 (12.07.2007), paragraph [0054] (Family: none)	2
A	JP 2008-089823 A (Casio Computer Co., Ltd.), 17 April 2008 (17.04.2008), paragraphs [0053], [0087]; fig. 1(B) & US 2008/0284776 A1 & KR 10-2008-0029907 A	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
19 October, 2009 (19.10.09)

Date of mailing of the international search report
27 October, 2009 (27.10.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066122

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2009-116203 A (Epson Imaging Devices Corp.), 28 May 2009 (28.05.2009), paragraphs [0016] to [0025]; fig. 4 (Family: none)	1-2, 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066122

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The matter common to the inventions of claims 1 - 5 is the matter described in claim 1.

However, the search has revealed that the aforementioned matter is not novel, since it was disclosed in JP 2006-023710 A (Sharp Corp.), 26 January 2006 (26.01.2006), paragraphs [0090] and [0092] - [0111], fig. 9.

As a result, the aforementioned common matter is not the special technical feature within the meaning of PCT Rule 13.2, second sentence, since that matter makes no contribution over the prior art. (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066122

Continuation of Box No.III of continuation of first sheet(2)

Therefore, there exists no matter common to all the inventions of claims 1 - 5.

No technical relationship within the meaning of PCT Rule 13 can be seen between those different inventions, since there exists no other common matter which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence.

Hence, it is apparent that the inventions of claims 1 - 5 do not comply with the requirement of unity of invention.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2006-023710 A（シャープ株式会社）2006.01.26, 段落【0090】、【0092】－【0111】、図9 & US 2007/0222724 A1 & EP 1768095 A1 & WO 2005/111979 A1	1, 3－5 2
Y	JP 2007-178561 A（シャープ株式会社）2007.07.12, 段落【0054】（ファミリーなし）	2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 1 0 . 2 0 0 9

国際調査報告の発送日

2 7 . 1 0 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

堀部 修平

2 G

4 0 0 2

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-089823 A (カシオ計算機株式会社) 2008.04.17, 段落【0053】, 【0087】, 図1 (B) & US 2008/0284776 A1 & KR 10-2008-0029907 A	1 - 5
P, A	JP 2009-116203 A (エプソンイメージングデバイス株式会社) 2009.05.28, 段落【0016】 - 【0025】, 図4 (ファミリーなし)	1 - 2, 5

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1－5に係る発明の共通事項は、請求項1に記載されている事項である。

しかしながら、調査の結果、上記事項は、JP 2006-023710 A（シャープ株式会社）2006.01.26、段落【0090】、【0092】－【0111】、図9に開示されているから、新規でないことが明らかとなった。

結果として、上記事項は先行技術の域を出ないから、PCT規則13.2の第2文の意味において、この共通事項は特別な技術的特徴ではない。

（特別ページに続く）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

それ故、請求項 1－5 に係る発明全てに共通の特別な技術的特徴はない。

PCT 規則 13.2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT 規則 13 の意味における技術的な関連を見いだすことはできない。

よって、請求項 1－5 に係る発明は発明の単一性の要件を満たしていないことが明らかである。