(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 6 月 22 日(22.06.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/104814 A1

(51) 国際特許分類:
H01P 5/10 (2006.01) *H03F 3/26* (2006.01)
H03F 1/32 (2006.01)

(21) 国際出願番号: PCT/JP2016/087583

(22) 国際出願日: 2016 年 12 月 16 日(16.12.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-245955 2015 年 12 月 17 日(17.12.2015) JP

(71) 出願人: 株式会社Ｗａｖｅ　Ｔｅｃｈｎｏｌｏｇｙ (WAVE TECHNOLOGY INC.) [JP/JP]; 〒6660024 兵庫県川西市久代３丁目１３番２１号 Hyogo (JP). 国立大学法人東北大学(TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目１番１号 Miyagi (JP).

(72) 発明者: 末松　憲治 (SUEMATSU Noriharu); 〒9808577 宮城県仙台市青葉区片平二丁目１番１号　国立大学法人東北大学内 Miyagi (JP). 亀田　卓 (KAMEDA Suguru); 〒9808577 宮城県仙台市青葉区片平二丁目１番１号　国立大学法人東北大学内 Miyagi (JP). 高木　直 (TAKAGI Tadashi); 〒6660024 兵庫県川西市久代３丁目１３番２１号 株式会社Ｗａｖｅ　Ｔｅｃｈｎｏｌｏｇｙ内 Hyogo (JP). 寺嶋　一真 (TERAJIMA Kazuma); 〒6660024 兵庫県川西市久代３丁目１３番２１号 株式会社Ｗａｖｅ　Ｔｅｃｈｎｏｌｏｇｙ内 Hyogo (JP). 藤井　憲一 (FUJII Kenichi); 〒6660024 兵庫県川西市久代３丁目１３番２１号　株式会社Ｗａｖｅ　Ｔｅｃｈｎｏｌｏｇｙ内 Hyogo (JP). 坪内　和夫 (TSUBOUCHI Kazuo); 〒6660024 兵庫県川西市久代３丁目１３番２１号　株式会社Ｗａｖｅ　Ｔｅｃｈｎｏｌｏｇｙ内 Hyogo (JP).

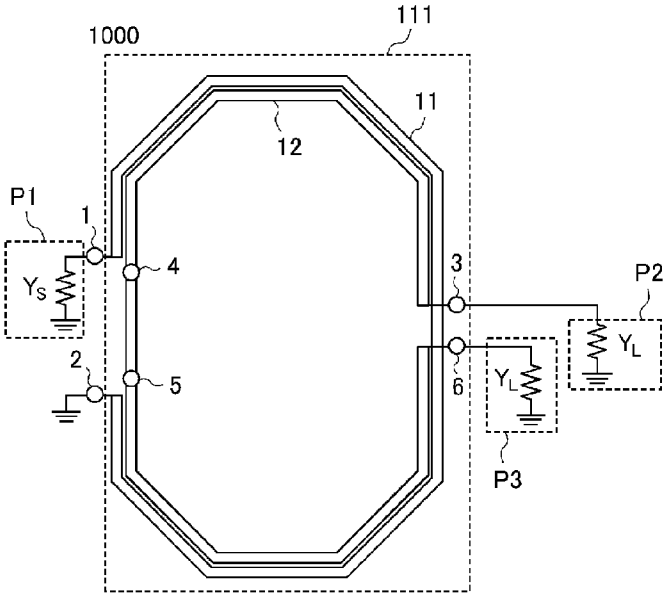
(74) 代理人: 大岩　増雄，外 (OIWA Masuo et al.); 〒6610033 兵庫県尼崎市南武庫之荘３丁目３５番８号 Hyogo (JP).

[続葉有]

(54) **Title**: BALUN TRANSFORMER AND ELECTRONIC DEVICE USING SAME

(54) 発明の名称 : バラントランスおよびそれを用いた電子機器

図 1



(57) **Abstract**: [Problem] To obtain a balun transformer that is compact and has good electrical characteristics, and an amplifier, frequency multiplier, or other electronic device using the same. [Solution] Provided is a design method for a balun transformer which converts between an unbalanced signal and a balanced signal, wherein the admittance Y_S of an unbalanced terminal, the admittance Y_L of a balanced terminal, the even mode admittance Y_{oe} and the odd mode admittance Y_{oo} of a coupled transmission line, and the electrical length θ satisfy a prescribed design equation.

(57) 要約: 【課題】小型で良好な電気特性を有するバラントランスおよびそれを用いた増幅器、逓倍器などの電子機器を得る。 【解決手段】不平衡信号と平衡信号とを変換するバラントランスの設計方法において、不平衡端子のアドミタンスを Y_S、平衡端子のアドミタンスを Y_L、結合伝送線路の偶モードアドミタンスを Y_{oe}および奇モードアドミッタンスを Y_{oo}、電気長を θ とした場合、これらが所定の設計方程式を満たすようにする。

WO 2017/104814 A1

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： バラントランスおよびそれを用いた電子機器

技術分野

[0001] 本発明はバラントランスに関し、特に、不平衡端子と平衡端子とをインピーダンス変換して接続するバラントランスおよびそれを用いた電子機器に関する。

背景技術

[0002] バラントランスは、不平衡端子と平衡端子とをインピーダンス変換して接続する回路である。

従来、４分の１波長結合伝送線路を用いたバラントランスにおいては、結合線路理論による理論的な設計方程式が提案されている（例えば、特許文献１参照）。

しかしながら、４分の１波長結合伝送線路を用いると、バラントランスの回路サイズが大きくなりすぎる問題がある。

一方、４分の１波長結合伝送線路を用いないバラントランスにおいては、結合線路理論による設計方程式は提案されておらず、磁界結合理論による設計方程式だけである（例えば、非特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２００６－１２１３１３号公報

非特許文献

[0004] 非特許文献1：J. Kim, Y. Yoon, H. Kim, K. H. An, W. Kim, H. Kim, C. Lee, K. T. Kornegay、「A Linear Multi-Mode CMOS Power Amplifier With Discrete Resizing and ConcurrentPower Combining Structure」、IEEE J. Solid-State Circuits, vol. 46, no. 5, May. 2011

発明の概要

発明が解決しようとする課題

[0005] 集積回路に用いるバラントランスは、集積回路のチップサイズの小型化の要求に合わせてバラントランスのサイズの小型化の要求がある。しかし、結合線路理論による設計方程式が確立しているバラントランスは４分の１波長結合伝送線路を用いる必要があり、バラントランスのサイズの小型化が図れていなかった。

一方、４分の１波長結合伝送線路を用いないバラントランスは磁界結合理論による設計方程式しか存在せず、かつ、その設計方程式から結合伝送線路の寸法を決めることができず、バラントランスの全体の３次元電磁界シミュレーションによる試行錯誤を行って設計する必要がある。

[0006] 本発明は上述の問題に鑑み、４分の１波長結合伝送線路を用いないバラントランスの、結合線路理論による設計方程式を提案し、これに基づく設計により小型で良好な電気特性を有するバラントランスおよびそれを用いた電子機器を提供することを目的とする。

課題を解決するための手段

[0007] 本発明は、不平衡信号と平衡信号とを変換するバラントランスにおいて、不平衡端子のアドミタンスをY_S、平衡端子のアドミタンスをY_L、結合伝送線路の偶モードアドミタンスをY_{oe}および奇モードアドミタンスをY_{oo}、電気長をθとした場合、これらが所定の設計方程式を満たすように構成されたバラントランスである。

発明の効果

[0008] 本発明によれば、小型で良好な電気特性を有するバラントランスおよびそれを用いた増幅器、逓倍器などの電子機器を提供することができる。

図面の簡単な説明

[0009] [図1]本発明の実施の形態１におけるバラントランスを示す回路図である。

[図2]本発明の実施の形態１におけるバラントランスの変形例を示す回路図である。

[図3]本発明の実施の形態２におけるバラントランスを示す回路図である。

[図4]本発明の実施の形態２におけるバラントランスの変形例を示す回路図である。

[図5]本発明の実施の形態３におけるバラントランスを示す回路図である。

[図6]本発明の実施の形態３におけるバラントランスの変形例を示す回路図である。

[図7]本発明の実施の形態３におけるバラントランスの他の変形例を示す回路図である。

[図8]本発明の実施の形態３におけるバラントランスの他の変形例を示す回路図である。

[図9]本発明の実施の形態１から実施の形態３におけるバラントランスの設計方程式の導出方法を説明するための図である。

[図10]本発明の実施の形態３に係るバラントランスにおける結合伝送線路の断面図である。

[図11]本発明の実施の形態３に係るバラントランスの結合伝送線路による設計方程式を説明するための図である。

[図12]本発明の実施の形態３に係るバラントランスの電磁界シミュレーションモデルを示す図である。

[図13]本発明の実施の形態３に係るバラントランスの電磁界シミュレーション結果を示す図である。

[図14]本発明の実施の形態４におけるバラントランスを示す回路図である。

[図15]本発明の実施の形態５におけるバラントランスを示す回路図である。

[図16]本発明の実施の形態６におけるバラントランスを示す回路図である。

[図17]本発明の実施の形態６におけるバラントランスの変形例を示す回路図である。

[図18]本発明の実施の形態７におけるバラントランスを示す回路図である。

[図19]本発明の実施の形態７におけるバラントランスの変形例を示す回路図である。

[図20]本発明の実施の形態８におけるバラントランスを示す回路図である。

[図21]本発明の実施の形態８におけるバラントランスの変形例を示す回路図である。

[図22]本発明の実施の形態９におけるバラントランスを示す回路図である。

[図23]本発明の実施の形態９におけるバラントランスの変形例を示す回路図である。

[図24]本発明の実施の形態１０におけるバラントランスを示す回路図である。

[図25]本発明の実施の形態１０におけるバラントランスの変形例を示す回路図である。

[図26]本発明に係るバラントランスを用いた実施の形態１１における電子機器を示す回路図である。

[図27]本発明に係るバラントランスを用いた実施の形態１１における電子機器の変形例を示す回路図である。

[図28]本発明に係るバラントランスを用いた実施の形態１２における電子機器を示す回路図である。

[図29]本発明に係るバラントランスを用いた実施の形態１２における電子機器の変形例を示す回路図である。

[図30]本発明に係るバラントランスを用いた実施の形態１３における電子機器を示す回路図である。

[図31]本発明に係るバラントランスを用いた実施の形態１３における電子機器の変形例を示す回路図である。

[図32]本発明に係るバラントランスを用いた実施の形態１４における電子機器を示す回路図である。

[図33]本発明に係るバラントランスを用いた実施の形態１４における電子機器の変形例を示す回路図である。

[図34]本発明に係るバラントランスを用いた実施の形態１５における電子機器を示す回路図である。

[図35]本発明に係るバラントランスを用いた実施の形態１５における電子機器の変形例を示す回路図である。

[図36]本発明に係るバラントランスを用いた実施の形態１６における電子機器を示す回路図である。

[図37]本発明に係るバラントランスを用いた実施の形態１６における電子機器の変形例を示す回路図である。

[図38]本発明に係るバラントランスを用いた実施の形態１７における電子機器を示す回路図である。

[図39]本発明に係るバラントランスを用いた実施の形態１７における電子機器の変形例を示す回路図である。

[図40]本発明に係るバラントランスを用いた実施の形態１７における電子機器の他の変形例を示す回路図である。

[図41]本発明に係るバラントランスを用いた実施の形態１７における電子機器の他の変形例を示す回路図である。

[図42]本発明に係るバラントランスを用いた実施の形態１８における電子機器を示す回路図である。

発明を実施するための形態

[0010] 以下、本発明の実施の形態につき、図面を参照して詳述する。なお、各図中、同一符号は、同一または相当部分を示すものとする。

[0011] 実施の形態１.

まず、本発明の実施の形態１のバラントランスについて説明する。図１および図２は、実施の形態１におけるバラントランス１０００の回路図である。図２は実施の形態１におけるバラントランスの変形例を示す回路図である。

バラントランス１０００は、入力された不平衡信号を、位相が１８０度異なる平衡信号に変換する電気回路であり、かつ、不平衡端子と平衡端子のインピーダンスを変換する電気回路である。

バラントランス１０００は、不平衡端子をなすアドミタンスがY_sである負荷

P1、平衡端子をなすアドミタンスがY_Lである負荷P2、P3、第１の伝送線路１１、第２の伝送線路１２を備える。伝送線路１１、１２は隣接するように配置され、互いに電磁気的に結合した結合伝送線路１１１を構成する。第１の伝送線路１１には端子１、２が設けられ、第２の伝送線路１２には端子３、６が設けられている。図１は第２の伝送線路１２の端子３、６を同図において伝送線路１２の右側部位置に設けたバラントランスであり、図２は第２の伝送線路１２の端子３、６を同図において伝送線路１２の上部位置に設けたバラントランスであり、その他の部分の構成は両バラントランス共に同じである。第２の伝送線路１２の端子３、６は、バラントランスの構造、配置を考慮して、第２の伝送線路１２の任意の位置に設けられる。なお、端子４，５は第２の伝送線路の接続端子である。

伝送線路１１の一方の端子１は、第１の負荷P1に接続され、伝送線路１１の他方の端子２はグランドに短絡されている。第２の伝送線路１２の一方の端子３は、第２の負荷P2に接続され、伝送線路１２の他方の端子６は、第３の負荷P3に接続されている。

伝送線路１１、１２の線路長（電気長）は、基本波周波数f_0に対して1[rad]以下、即ち、$2\theta \leqq 1$[rad]である。

本発明の実施の形態１におけるバラントランス１０００は結合伝送線路１１１の偶モード特性アドミタンスY_{oe}および奇モード特性アドミタンスY_{oo}、伝送線路１１および伝送線路１２の電気長2θを次式（１）の関係式を満足することを特徴とし、伝送線路の線路長（電気長）が基本周波数に対して1[rad]以下、即ち、$2\theta \leqq 1$[rad]とすることにより、バラントランスのサイズを非常に小さくすることができる。また、端子３、６は伝送線路１２の任意の位置に設けても特性は変わらず、アプリケーションに合わせて端子を最適な配置にすることができる。

[0012]

[数1]

数 1

$$\begin{cases} Y_S^* = \dfrac{-\dfrac{Y_{oo}Y_{oe}}{\theta^2} - j\dfrac{Y_L(Y_{oo}+Y_{oe})}{2\theta}}{2Y_L - j\dfrac{Y_{oo}+Y_{oe}}{\theta}} \\ Y_S^* \text{は} Y_S \text{の複素共役数} \end{cases} \quad \cdots (1)$$

[0013] 実施の形態２.

本発明の実施の形態２のバラントランスについて説明する。図３および図４は、実施の形態２におけるバラントランス１０００の回路図である。図４は実施の形態２におけるバラントランスの変形例を示す回路図である。図３および図４において、図１、図２と同一符号は同じ部分を示しており、その説明を省略する。

バラントランス１０００は、バラントランス１０００の負荷P1に並列に容量C_1、負荷P2とP3との間に容量C_2を装荷したバラントランスである。なお、この容量C_1と容量C_2は少なくとも何れか一方のみを設けたものであっても良い。ただし、C_1とC_2の一方を装荷しない場合は、C_1=0またはC_2=0に対応する。

実施の形態２におけるバラントランス１０００は結合伝送線路１１１の偶モード特性アドミタンスY_{oe}および奇モード特性アドミタンスY_{oo}、伝送線路１１および伝送線路１２の電気長2θ、容量C_1、C_2を式（２）の関係式を満足することを特徴とする。

バラントランス１０００では、負荷P1と負荷P2、負荷P3のインピーダンス比によっては、物理的に実現出来ない場合が存在するが、容量C_1、C_2を用いて端子インピーダンスを調整することによって、実現可能となる。

負荷P1のアドミタンスY_Sと負荷P2と負荷P3のアドミタンスY_Lを式（３）のように実部と虚部に分解し、式（２）に代入すると、式（４）が得られる。偶モード特性アドミタンスY_{oe}および奇モード特性アドミタンスY_{oo}は正の実数であるため、電気長θを増加させる効果と容量C_2を増加させる効果は同じである。従って、容量C_2によって電気長θを短くすることもできる。

[0014]

[数2]

数２

$$\begin{cases} Y_{S1}^{*} = \dfrac{-\dfrac{Y_{oo}Y_{oe}}{\theta^2} - j\dfrac{Y_{L1}(Y_{oo}+Y_{oe})}{2\theta}}{2Y_{L1} - j\dfrac{Y_{oo}+Y_{oe}}{\theta}} \\ Y_{S1} = Y_S + j2\pi f_0 C_1 \\ Y_{L1} = Y_L + j4\pi f_0 C_2 \\ Y_S^{*}\text{は}Y_S\text{の複素共役数} \end{cases} \quad \cdots (2)$$

[0015] [数3]

数３

$$\begin{cases} Y_S = Y_{Sr} + jY_{Si} \\ Y_L = Y_{Lr} + jY_{Li} \end{cases} \quad \cdots (3)$$

[0016] [数4]

数４

$$\begin{cases} Y_{oo} + Y_{oe} = \dfrac{4\theta\{(4\pi f_0 C_2 + Y_{Li})Y_{Sr} - Y_{Lr}(2\pi f_0 C_1 + Y_{Si})\}}{2Y_{Sr} - Y_{Lr}} \\ Y_{oo}Y_{oe} = \dfrac{2\theta^2\{(4\pi f_0 C_2 + Y_{Li})Y_{Sr} - Y_{Lr}(2\pi f_0 C_1 + Y_{Si})\}(4\pi f_0 C_2 + 4\pi f_0 C_1 + 2Y_{Si} + Y_{Li})}{2Y_{Sr} - Y_{Lr}} \\ \qquad -2\theta^2\{(4\pi f_0 C_2 + Y_{Li})(2\pi f_0 C_1 + Y_{Si}) + Y_{Lr}Y_{Sr}\} \end{cases} \quad \cdots (4)$$

[0017] 実施の形態３．

本発明の実施の形態３のバラントランスについて説明する。図５、図６、図７および図８は、実施の形態３におけるバラントランス１０００の回路図である。図６～図８は実施の形態３におけるバラントランスの変形例を示す回路図である。図５～図８において、図１～図４と同一符号は同じ部分を示しており、その説明を省略する。

バラントランス１０００は、実施の形態１、２におけるバラントランスの第２の伝送線路１２の中点に、２次高調波を注入もしくは抽出する注入抽出用端子（２次高調波注入端子ともいう）をなす負荷P4が設けられていることを特徴とする。

[0018] ［設計方程式の導出］

実施の形態１、２および３のバラントランスの設計方程式の導出方法について図９を用いて詳細に説明する。図９に示す回路は図１および図２に示す

回路と等価である。また、図９において、図１および図２と同一符号は相当部分を示している。図９に示すように、バラントランスを構成する伝送線路（伝送線路２１～２４）は８つのノード（ノードn１～n８）を有する。ここでは、簡単のために、伝送線路２１～２４の電気長が全て等しく

θである場合を考える。

各ノードにおける電流ベクトル${}^{t}I=(I_1, I_2, I_3, I_4, I_5, I_6, I_7, I_8)$と電圧ベクトル${}^{t}V=(V_1, V_2, V_3, V_4, V_5, V_6, V_7, V_8)$との関係は、オームの法則によって次式（５）で与えられる。

[0019] [数5]

数５

$$\mathbf{I} = Y\mathbf{V} \quad \cdots (5)$$

Yは結合伝送線路のアドミタンス行列であり、Yは一般に式（６）と式（７）で与えられる。

[0020] [数6]

数６

$$Y = \begin{pmatrix} A & B & C & D & 0 & 0 & 0 & 0 \\ B & A & D & C & 0 & 0 & 0 & 0 \\ C & D & A & B & 0 & 0 & 0 & 0 \\ D & C & B & A & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & A & B & C & D \\ 0 & 0 & 0 & 0 & B & A & D & C \\ 0 & 0 & 0 & 0 & C & D & A & B \\ 0 & 0 & 0 & 0 & D & C & B & A \end{pmatrix} \quad \cdots (6)$$

[0021] [数7]

数７

$$\begin{cases} A = -j\dfrac{1}{2}(Y_{oo} + Y_{oe})\cot\theta \\ B = j\dfrac{1}{2}(Y_{oo} + Y_{oe})\csc\theta \\ C = -j\dfrac{1}{2}(Y_{oo} - Y_{oe})\csc\theta \\ D = j\dfrac{1}{2}(Y_{oo} - Y_{oe})\cot\theta \end{cases} \quad \cdots (7)$$

Y_{oo}とY_{oe}は夫々、結合伝送線路１１１と１１２の偶モード特性アドミタンスと奇モード特性アドミタンスである。

$\theta \ll 1$の場合、A、B、C、Dをθの1次の項まで展開すると、次式（８）に展開できる。

[0022] [数8]

数８

$$\begin{cases} A \simeq -B \simeq -j\dfrac{1}{2\theta}(Y_{oo}+Y_{oe}) \\ C \simeq -D \simeq -j\dfrac{1}{2\theta}(Y_{oo}-Y_{oe}) \end{cases} \quad \cdots (8)$$

さらに、図９の回路の電圧の関係式より、次式（９）となる。

[0023] [数9]

数９

$$\begin{cases} V_2 = V_5 \\ V_4 = V_7 \\ V_6 = 0 \end{cases} \quad \cdots (9)$$

図９の回路にキルヒホッフの法則を適用して、次式（１０）となる。

[0024] [数10]

数１０

$$\begin{cases} I_5 = -I_2 \\ I_7 = -I_4 \end{cases} \quad \cdots (10)$$

さらに、平衡端子と不平衡端子の入力アドミタンスの関係式より、次式（１１）となる。

[0025] [数11]

数１１

$$\begin{cases} Y_{\mathrm{L}} = -\dfrac{I_3}{V_3} = -\dfrac{I_8}{V_8} \\ Y_{\mathrm{S}}^{*} = \dfrac{I_1}{V_1} \\ Y_{\mathrm{S}}^{*}\text{は}\ Y_{\mathrm{S}}\text{の複素共役数} \end{cases} \quad \cdots (11)$$

これらの方程式を解くことで、次式（１２）の設計方程式が得られる。

[0026]

[数12]

数１２

$$\begin{cases} Y_S^* = \dfrac{-\dfrac{Y_{oo}Y_{oe}}{\theta^2} - j\dfrac{Y_L(Y_{oo}+Y_{oe})}{2\theta}}{2Y_L - j\dfrac{Y_{oo}+Y_{oe}}{\theta}} \\ Y_S^* \text{は} Y_S \text{の複素共役数} \end{cases} \quad \cdots(12)$$

[0027] 式（１２）は複素方程式であるので、実部と虚部に分けて計算することで、Y_{oo}、Y_{oe}、θを求める２つの設計方程式が得られ、θの関数である$Y_{oo}(\theta)$、$Y_{oe}(\theta)$が得られる。θによってバラントランスの帯域特性と挿入損失が異なるため、特性を見ながらあらかじめ決められた所望の特性を持たすように調整する。

さらに、結合伝送線路１１１、１１２の電気長が異なる場合においても前述の設計方程式は成り立つ。

[0028] （実施の形態３の具体例）

一例として、プシュプル電力増幅器の出力整合回路に用いることを目的として、以下の条件でシミュレーションした。

f_0=2.0 [GHz]

Y_s=20 [mS]

Y_L=59.88+j50 [mS]

C_1=3.5 [pF]

なお、このシミュレーションでは、インピーダンス整合のために、平衡端子間に容量C_1を用いた。

また、IC（集積回路）内部にバラントランスを作り込むことを想定し、シリコン基板上に作り込んだサイドカップル結合伝送線路を用いて伝送線路を構成した場合について説明する。

図１０は、誘電体（半導体基板）３１と誘電体（酸化膜）３２で構成されたシリコン基板の上面部に設けたサイドカップル結合伝送線路の断面構造を示している。伝送線路１１、１２の線路幅をW、２つの伝送線路間の距離をSとし、これらを断面構造パラメータという。伝送線路１１、１２は誘電体３

１（半導体基板）の上面に形成された誘電体３２（酸化膜）に設けられている。なお、伝送線路の厚さをTとしている。

まず、２次元の電磁界シミュレータを用いて、サイドカップル結合伝送線路の断面構造パラメータを媒介変数として、それぞれの断面構造パラメータにおける偶モードアドミタンスY_{oe}と奇モードアドミタンスY_{oo}を算出して、Y_{oe}を横軸、Y_{oo}を縦軸としてグラフにプロットする。

次に、不平衡端子アドミタンスY_sと平衡端子アドミタンスY_Lをインピーダンス整合させるために、設計方程式である式（１）を満足する偶モードアドミタンスY_{oe}と奇モードアドミタンスY_{oo}の組み合わせを結合伝送線路の電気長θを媒介変数とした直線を、先程のグラフにプロットする。図１１は実際にプロットした状態をグラフで示した図である。

断面構造パラメータを媒介変数としてプロットした曲線と、電気長θを媒介変数としてプロットした直線との交点が設計値である。設計値には電気長θの任意性があるが、これは、帯域特性を見ながら決定する。

以下が本具体例で用いた設計結果である。

Y_{oo}=25.03 [mS]

Y_{oe}=5.56 [mS]

W=20[mm]

S=8[mm]

θ=5.5 [deg]

この設計結果を用いて実際に３次元電磁界シミュレーションを実施した時の、電磁界シミュレーションモデルを図１２に示している。図１２において、結合伝送線路１１１には、不平衡端子をなす負荷P1、平衡端子をなす負荷P2、P3、２次高調波の注入抽出用端子（不平衡端子）をなす負荷P4、および容量C_1が設けられている。一点鎖線で示すA部の断面構造は、図１０に示す構造となっており、伝送線路の幅Wは20mm、伝送線路間の距離Sは8mm、伝送線路の厚さTは4.6mmに構成されている。

電磁界シミュレーション結果を図１３の（ａ）～（ｆ）に示す。

図１３における横軸は周波数を表しており、図１３（ａ）の縦軸は入力反射係数であり、図１３（ｂ）の縦軸は不平衡端子から平衡端子への電圧伝達振幅特性であり、図１３（ｃ）の縦軸は不平衡端子から平衡端子への電圧伝達位相特性であり、図１３（ｄ）の縦軸は２次高調波注入端子から平衡端子への電圧伝達振幅特性であり、図１３（ｅ）の縦軸は２次高調波注入端子から平衡端子への電圧伝達位相特性であり、図１３（ｆ）の縦軸は挿入損失である。

この結果から、中心周波数（2.0GHz）近傍で、不平衡端子の電圧反射特性が-20dB以下（図１３（ａ）参照）、不平衡端子から平衡端子への電圧伝達特性が逆相・同振幅（図１３（ｃ）（ｂ）参照）、不平衡端子から平衡端子への挿入損失が0.72dBであり（図１３（ｆ）参照）、　２次高調波周波数（4.0GHz）近傍で２次高調波注入端子から平衡端子への電圧伝達特性が同相・略同振幅（図１３（ｅ）（ｄ）参照）、２次高調波注入端子から平衡端子への挿入損失が1.01dBであり（図１３（ｆ）参照）、２次高調波の注入抽出が可能な良好なバラントランス特性が確保できる事がわかる。したがって、式（１）の設計方程式の有効性が示された。

なおここで、S_{11}は平衡端子をなす負荷P1の電圧反射特性、S_{21}は不平衡端子をなす負荷P1から平衡端子をなす負荷P2への電圧伝達特性、S_{31}は不平衡端子をなす負荷P1から平衡端子をなす負荷P3への電圧伝達特性、S_{24}は２次高調波注入端子（注入抽出用端子ともいう）をなす負荷P4から平衡端子をなす負荷P2への電圧伝達特性、S_{34}は２次高調波注入端子をなす負荷P4から負荷P3への電圧伝達特性である。

平衡端子をなす負荷P1と２次高調波注入端子をなす負荷P4は十分なアイソレーションを有するため、バラントランス１０００のバラントランス特性を変化させること無く、２次高調波注入端子をなす負荷P4を装荷することが可能である。

[0029] 実施の形態４．

本発明の実施の形態４のバラントランスについて説明する。図１４は、実

施の形態４におけるバラントランス１０００の概略構成を示す回路図である。

バラントランス１０００は、実施の形態１におけるバラントランス１０００の端子１と端子２を２ポート回路と見なし、実施の形態１のように構成されたバラントランスを直列にn個（n≧2）接続させることを特徴とするバラントランスである。

図１４のバラントランスにおいては、第１番目の結合伝送線路411aは、第１の伝送線路41aおよび第２の伝送線路41bで構成され、第ｋ番目の結合伝送線路41kaは、第１の伝送線路4kaおよび第２の伝送線路4kbで構成され、第ｎ番目の結合伝送線路41naは、第１の伝送線路4naおよび第２の伝送線路4nbで構成されている。

伝送線路41aの一方の端子1aは、不平衡端子をなすアドミタンスがY_sである負荷P1に接続され、伝送線路41aの他方の端子1bは、これに接続される次番目の結合伝送線路の一方の端子に接続されており、それより後段の結合伝送線路も同様にして直列接続されている。ｎ番目の結合伝送線路41naの第１の伝送線路4naの一方の端子naは、その前段の結合伝送線路の第１の伝送線路の他方の端子に接続され、第１の伝送線路4naの他方の端子nbはグランドに短絡されている。

第１番目の結合伝送線路411aの第２の伝送線路41bの端子1cおよび端子1fには、平衡端子をなすアドミタンスがY_{L1}である負荷P1ap、P1bpが夫々接続されている。次番目以降の結合伝送線路の夫々についても第１番目の結合伝送線路と同様に２個の平衡端子をなす負荷が接続されている。

なお、符号に付されている「ｋ」、「ｎ」は、第ｋ番目の結合伝送線路、あるいは第ｎ番目の結合伝送線路に関係するものであることを表している。即ち、図１４において、「k」の表示部分は「１」から順次「n」まで付されることになり、例えば「ｋ」が「１」の場合は第１番目のバラントランスに関係するものであることを表している。以下の実施の形態の図においても同様である。

第ｋ番目の結合伝送線路41ka、の偶モード特性アドミタンスY_{oek}および奇モードアドミタンスY_{ook}、伝送線路4kaおよび伝送線路4kbの電気長$2\theta_k$を次式（１３）の関係式を満足することを特徴とする。

不平衡端子をなす負荷P1に対して2n個の平衡端子をなす負荷を接続できるので、多信号を合成、または、多信号への分配が可能であり、直列接続であるので、低いインピーダンスの平衡端子をなす負荷を接続する場合に適している。

[0030] [数13]

数１３

$$\begin{cases} \dfrac{1}{Y_S^*} = \displaystyle\sum_{k=1}^{n} \frac{1}{Y_k^*} \\ Y_k^* = \dfrac{-\dfrac{Y_{ook}Y_{oek}}{\theta_k^2} - j\dfrac{Y_{Lk}(Y_{ook}+Y_{oek})}{2\theta_k}}{2Y_{Lk} - j\dfrac{Y_{ook}+Y_{oek}}{\theta_k}} \\ Y_S^* \text{は } Y_S \text{の複素共役数} \end{cases} \quad \cdots(13)$$

[0031] 実施の形態５．

本発明の実施の形態５のバラントランスについて説明する。図１５は、実施の形態５におけるバラントランス１０００の概略構成を示す回路図である。

バラントランス１０００は、実施の形態２におけるバラントランス１０００の端子１と端子２を２ポート回路と見なし、実施の形態２のように構成されたバラントランスを直列にn個（n≧2）接続させることを特徴とするバラントランスである。このバラントランスは、実施の形態２のバラントランスを実施の形態４と同様に複数個を直列接続したものである。平衡端子をなす負荷P1apと負荷P1bpとの間には容量C_{12}を装荷している。次番目以降の結合伝送線路についても同様の構成である。なお、図１４と同一符号は同じ部分を示している。

第ｋ番目の結合伝送線路41kaの偶モード特性アドミタンスY_{oek}および奇モードアドミタンスY_{ook}、容量C_{k2}、C_1、伝送線路4kaおよび伝送線路4kbの電気長$2\theta_k$を式（１４）の関係式を満足することを特徴とする。

不平衡端子をなす負荷P1に対して2n個の平衡端子を接続できるので、多信号を合成、または、多信号への分配が可能であり、直列接続であるので、低いインピーダンスの平衡端子を接続する場合に適している。

バラントランス１０００では、不平衡端子をなす負荷と平衡端子をなす負荷のインピーダンス比によっては、物理的に実現出来ない場合が存在するが、容量C_1、C_2を用いて端子インピーダンスを調整することによって、実現可能となり、容量C_2によって電気長θを短くすることもできる。

[0032] [数14]

数１４

$$\begin{cases} \dfrac{1}{Y_{S1}^*} = \displaystyle\sum_{k=1}^{n} \dfrac{1}{Y_k} \\ Y_k^* = \dfrac{-\dfrac{Y_{ook}Y_{oek}}{\theta_k^2} - j\dfrac{Y_{L1k}(Y_{ook}+Y_{oek})}{2\theta_k}}{2Y_{L1k} - j\dfrac{Y_{ook}+Y_{oek}}{\theta_k}} \\ Y_{S1} = Y_S + j2\pi f_0 C_1 \\ Y_{L1k} = Y_{Lk} + j4\pi f_0 C_{k2} \\ Y_{S1}^* \text{は} Y_{S1} \text{の複素共役数} \end{cases} \quad \cdots(14)$$

[0033] 実施の形態６．

本発明の実施の形態６のバラントランスについて説明する。図１６および図１７は、実施の形態６におけるバラントランス１０００の概略構成を示す回路図である。図１７は実施の形態６におけるバラントランスの変形例を示す回路図である。図１４、図１５と同一符号は、同じ部分を示しており、説明は省略する。

バラントランス１０００は、実施の形態４または実施の形態５におけるバラントランス１０００の伝送線路41b、4kb、4nb等の中点に、２次高調波を注入もしくは抽出する注入抽出用端子をなす負荷P1cp、Pkcp、Pncpが設けられていることを特徴とするバラントランスである。

本実施の形態６におけるバラントランスにおいても、不平衡端子をなす負荷P1と２次高調波注入端子をなす負荷P4は十分なアイソレーションを有するため、バラントランス１０００のバラントランス特性を変化させること無く、２次高調波注入端子をなす負荷P4を装荷することが可能である。

[0034] 実施の形態７．

本発明の実施の形態７のバラントランスについて説明する。図１８および図１９は、実施の形態７におけるバラントランス１０００の概略構成を示す図である。図１９は実施の形態７におけるバラントランスの変形例を示す回路図である。

バラントランス１０００は、実施の形態１におけるバラントランス１０００の端子１と端子２を２ポート回路と見なし、実施の形態１のように構成されたバラントランスを並列にn個（n≧2）接続させることを特徴とするバラントランスである。図１８のバラントランスは、第１番目の結合伝送線路411aにおける第１の伝送線路41aの一方の端子1aは、次番目以降の伝送線路4ka、4na等の一方の端子ka、na等に並列接続され、また、各結合伝送線路における第１の伝送線路41a、4ka、4na等の他方の端子1b、kb、nb等はグランドに短絡されている。その他の構成は図１に示す実施の形態１におけるバラントランスと同様である。図１９のバラントランスは、結合伝送線路の各伝送線路を同心的に配置した構成である。

図１９において、結合伝送線路412aは２番目の結合伝送線路を示しており、第１の伝送線路42aと第２の伝送線路42bを有している。端子1aでは、第１番目の結合伝送線路411aの第１の伝送線路41aの一方の端子と第２番目の結合伝送線路412aの第１の伝送線路42aの一方の端子とが並列接続され、端子1bでは第１番目の結合伝送線路411aの第１の伝送線路41aの他方の端子と第２番目の結合伝送線路412aの第１の伝送線路42aの他方の端子とが並列接続されている。また、図１９における第２番目の結合伝送線路412aの第２の伝送線路42bの端子2c、2fには、平衡端子をなす負荷P2ap、P2bpが接続されている。図１９に示すバラントランスは、図２に示すバラントランスを２個同心的に配置して並列接続したものに相当する。

第ｋ番目の結合伝送線路41kaの偶モード特性アドミタンスY_{oek}および奇モードアドミタンスY_{ook}、伝送線路4kaおよび伝送線路4kbの電気長$2\theta_k$を式（１５）の関係式を満足することを特徴とする。

不平衡端子をなす負荷P1に対して2n個の平衡端子を接続できるので、多信号を合成、または、多信号への分配が可能であり、並列接続であるので、高いインピーダンスの負荷を平衡端子に接続する場合に適している。

[0035] [数15]

数１５

$$\begin{cases} Y_S^* = \sum_{k=1}^{n} Y_k \\ Y_k^* = \dfrac{-\dfrac{Y_{ook}Y_{oek}}{\theta_k^2} - j\dfrac{Y_{Lk}(Y_{ook}+Y_{oek})}{2\theta_k}}{2Y_{Lk} - j\dfrac{Y_{ook}+Y_{oek}}{\theta_k}} \\ Y_S^* \text{は} Y_S \text{の複素共役数} \end{cases} \quad \cdots(15)$$

[0036] 実施の形態８.

本発明の実施の形態８のバラントランスについて説明する。図２０および図２１は、実施の形態８におけるバラントランス１０００の概略構成図である。図２１は実施の形態８におけるバラントランスの変形例を示す回路図である。

バラントランス１０００は、実施の形態２におけるバラントランス１０００の端子１と端子２を２ポート回路と見なし、実施の形態２のように構成されたバラントランスを並列にn個（n≧2）接続させることを特徴とするバラントランスである。図２０のバラントランスは、図１５に示す実施の形態５のバラントランスと同様に平衡端子をなす負荷P1apと負荷P1bpとの間に容量C_{12}を装荷している。次番目以降の結合伝送線路についても同様の構成である。また、その他の構成は図１８と同様である。図２１のバラントランスにおいても容量C_{12}、C_{22}が平衡端子間に並列的に装荷されている。また、図２１に示すバラントランスのその他の構成は図１９と同様である。

第ｋ番目の結合伝送線路41kaの偶モード特性アドミタンスY_{oek}および奇モードアドミタンスY_{ook}、伝送線路4kaおよび伝送線路4kbの電気長$2\theta_k$、容量C_1、C_{k2}を式（１６）の関係式を満足することを特徴とする。

不平衡端子をなす負荷P1に対して2n個の平衡端子を接続できるので、多信号を合成、または、多信号への分配が可能であり、並列接続であるので、高

いインピーダンスの負荷を平衡端子に接続する場合に適している。

バラントランス１０００では、不平衡端子をなす負荷と平衡端子をなす負荷のインピーダンス比によっては、物理的に実現出来ない場合が存在するが、容量C_1、C_2を用いて端子インピーダンスを調整することによって、実現可能となり、容量C_2によって電気長θを短くすることもできる。

[0037] [数16]

数１６

$$\begin{cases} Y_{S1}^{*} = \sum_{k=1}^{n} Y_k \\ Y_k^{*} = \dfrac{-\dfrac{Y_{ook}Y_{oek}}{\theta_k^2} - j\dfrac{Y_{L1k}(Y_{ook}+Y_{oek})}{2\theta_k}}{2Y_{L1k} - j\dfrac{Y_{ook}+Y_{oek}}{\theta_k}} \\ Y_{S1} = Y_S + j2\pi f_0 C_1 \\ Y_{L1k} = Y_{Lk} + j4\pi f_0 C_{k2} \\ Y_{S1}^{*}\text{は}Y_{S1}\text{の複素共役数} \end{cases} \quad \cdots(16)$$

[0038] 実施の形態９．

本発明の実施の形態９のバラントランスについて説明する。図２２および図２３は、実施の形態９におけるバラントランス１０００の概略構成を示す回路図である。図２３は実施の形態９におけるバラントランスの変形例を示す回路図である。

バラントランス１０００は、実施の形態７または実施の形態８におけるバラントランス１０００の伝送線路41b、4kb、4nb等の中点に、２次高調波を注入もしくは抽出する注入抽出用端子をなす負荷P1cp、Pkcp、Pncp等が設けられていることを特徴とするバラントランスである。図２２、図２３のバラントランスのその他の構成は図１８、図２０と同様である。

バラントランス１０００のバラントランス特性を変化させること無く、２次高調波注入端子をなす負荷Pkcpを装荷することが可能である。

[0039] 実施の形態１０．

本発明の実施の形態１０のバラントランスについて説明する。図２４および図２５は、実施の形態１０におけるバラントランス１０００の概略構成を示す回路図である。図２５は実施の形態１０におけるバラントランスの変形

例を示す回路図である。

バラントランス１０００は、実施の形態７（図１９）または実施の形態８（図２１）のバラントランス１０００の伝送線路4kbの中点を互いに接続するとともに、この接続点に、２次高調波を注入もしくは抽出する注入抽出用端子をなす負荷P1cpが設けられていることを特徴とするバラントランスである。

２次高調波注入端子を共通化させることができるので、小型なバラントランスを得ることができる。

[0040] 本発明による上述した実施の形態１～１０におけるバラントランスは、試行錯誤を必要とせずに所望のインピーダンス変換を行うバラントランスを設計することができる。

また、本発明のバラントランス設計方法では、結合伝送線路の断面構造と結合伝送線路の電気長とを設計することを特徴とする。例えば、２次元電磁界シミュレーションを行えば、断面構造を変えながら、結合伝送線路の偶モードアドミタンスY_{oe}と奇モードアドミタンスY_{oo}、電気長θを算出できる。したがって、従来の３次元電磁界シミュレーションによる試行錯誤による設計に比べて格段に容易にバラントランスを設計することができる。また、断面構造と電気長だけで電気特性が決まるので、伝送線路の配線パターンは自由な形に設計することができる。

[0041] 実施の形態１１.

本発明の実施の形態１１における電子機器について説明する。図２６および図２７は、実施の形態１１における電子機器２０００が２個のバラントランス１０００を用いて構成された電力増幅器の場合の概略構成を示す回路図である。図２７は実施の形態１１における電力増幅器の変形例を示す回路図である。

電力増幅器である電子機器２０００は、実施の形態３、実施の形態６、実施の形態９、実施の形態１０におけるバラントランスに相当するバラントランスを２個用いて、平衡端子間に増幅素子を装荷した電力増幅器であり、基

本波端子から基本波を入力し、２次高調波注入端子（注入抽出用端子）は反射処理、または、２次高調波注入抽出を施した高効率・低歪み電力増幅器である。図２６の電力増幅器は平衡端子間に増幅素子A1を装荷し、図２７の電力増幅器は平衡端子間に増幅素子A1、A2を装荷している。

２次高調波注入端子は、基本波端子とアイソレーションが取れているため、基本波の整合を変化させること無く、２次高調波を反射処理、または、注入抽出することが可能である。従って、２次高調波の反射処理、または、注入抽出により電力増幅器の高効率化、低歪み化を可能とする。

[0042] 実施の形態１２．

本発明の実施の形態１２における電子機器について説明する。図２８および図２９は、実施の形態１２における電子機器２０００が２個のバラントランス１０００を用いて構成された電力増幅器の場合の概略構成を示す回路図である。図２９は実施の形態１２における電力増幅器の変形例を示す回路図である。

電力増幅器である電子機器２０００は、実施の形態３、実施の形態６、実施の形態９、実施の形態１０におけるバラントランスに相当するバラントランスを２個用いて構成されている。図２８の電力増幅器は平衡端子間に増幅素子A1を装荷し、図２９の電力増幅器は平衡端子間に増幅素子A1、A2を装荷した電力増幅器であって、基本波端子から基本波を入力し、また２次高調波注入端子は端子間に２次高調波振幅・位相調整回路ＡＰＡを装荷している２次高調波フィードバック高効率・低歪み電力増幅器である。

２次高調波注入端子は、基本波端子とアイソレーションが取れているため、基本波の整合を変化させること無く、２次高調波をフィードバックすることが可能である。従って、２次高調波フィードバックにより電力増幅器の高効率化、低歪み化を可能とする。

[0043] 実施の形態１３．

本発明の実施の形態１３における電子機器について説明する。図３０および図３１は、実施の形態１３における電子機器２０００が２個のバラントラ

ンス１０００を用いて構成された電力増幅器の場合の概略構成を示す回路図である。図３１は実施の形態１３における電力増幅器の変形例を示す回路図である。

電力増幅器である電子機器２０００は、実施の形態３、実施の形態６、実施の形態９、実施の形態１０におけるバラントランスに相当するバラントランスを２個用いて、平衡端子間に増幅素子を装荷した電力増幅器であり、基本波端子から基本波を入力してプシュプル動作により信号を増幅して基本波端子から取り出すモードと、２次高調波注入端子から基本波と異なる周波数信号を入力して同相動作により信号を増幅して２次高調波注入端子から取り出すモードの動作を選択できる２バンドの電力増幅器である。図３０の電力増幅器は平衡端子間に増幅素子A1を装荷し、図３１の電力増幅器は平衡端子間に増幅素子A1、A2を装荷している。また、アドミタンスがY_{2S}である負荷P41、アドミタンスがY_{2L}である負荷P42が接続されている。

２次高調波注入端子は、基本波端子とアイソレーションが取れているため、基本波端子の整合と２次高調波注入端子の整合を別々に取ることが可能である。

[0044] 実施の形態１４．

本発明の実施の形態１４における電子機器について説明する。図３２および図３３は、実施の形態１４における電子機器３０００が２個のバラントランス１０００を用いて構成された逓倍器の場合の概略構成を示す回路図である。図３３は実施の形態１４における逓倍器の変形例を示す回路図である。

逓倍器である電子機器３０００は、実施の形態３、実施の形態６、実施の形態９、実施の形態１０におけるバラントランスに相当するバラントランスを２個用いて、平衡端子間に増幅素子を装荷した逓倍器であり、基本波端子から基本波を入力し、出力側のバラントランスの基本波端子から奇数倍波を取り出し、２次高調波注入端子から偶数倍波を取り出すことができる逓倍器である。図３２の逓倍器は平衡端子間に増幅素子A1を装荷し、図３３の逓倍器は平衡端子間に増幅素子A1、A2を装荷している。また、アドミタンスがY_{2L}

である負荷P42が接続されている。

２次高調波注入端子は、基本波端子とアイソレーションが取れているため、奇数倍波と偶数倍波を別々に取り出すことが可能である。

[0045] 実施の形態１５.

本発明の実施の形態１５における電子機器について説明する。図３４および図３５は、実施の形態１５における電子機器４０００が本発明に係るバラントランスを用いて構成されたトランスフォーマの場合の概略構成を示す回路図である。図３５は実施の形態１５におけるトランスフォーマの変形例を示す回路図である。

トランスフォーマである電子機器４０００は、入力された平衡端子間のインピーダンスを変換する電気回路である。

トランスフォーマである電子機器４０００は、不平衡端子をなすアドミタンスがY_sである負荷P1、P5、平衡端子をなすアドミタンスがY_Lである負荷P2、P3、伝送線路１１、１２を備える。伝送線路１１、１２は隣接するように配置され、互いに電磁気的に結合した結合伝送線路１１１を構成する。図３４は伝送線路１２の端子３、６を同図において伝送線路１２の右側部位置に設けたトランスフォーマであり、図３５は伝送線路１２の端子３、６を同図において伝送線路１２の上部位置に設けたトランスフォーマであり、その他の部分の構成は両トランスフォーマ共に同じである。伝送線路１２の端子３、６は、トランスフォーマの構造、配置を考慮して、伝送線路１２の任意の位置に設けられる。

伝送線路１１の一方の端子１は、平衡端子をなす負荷P1に接続され、伝送線路１１の他方の端子２は平衡端子をなす負荷P5に接続され、伝送線路１２の端子３は、平衡端子をなす負荷P2に接続され、伝送線路１２の端子６は、平衡端子をなす負荷P3に接続されている。伝送線路１２の端子４と伝送線路１２の端子５は互いに接続され、伝送線路を構成する。

伝送線路１１、１２の線路長は、基本波周波数に対して1[rad]以下、即ち、$2\theta \leqq 1$[rad]である。これにより、バラントランスのサイズを非常に小さく

することができ、小型のトランスフォーマを得ることができる。

伝送線路１１の電気長を2θとすると、伝送線路１２の電気長も2θである。

実施の形態１５は結合伝送線路１１１、１１２の偶モード特性アドミタンスY_{oe}および奇モード特性アドミタンスY_{oo}を次式（１７）の関係式を満足することを特徴とする。

[0046] [数17]

数１７

$$\begin{cases} Y_S^* = 2\dfrac{-\dfrac{Y_{oo}Y_{oe}}{\theta^2} - j\dfrac{Y_L(Y_{oo}+Y_{oe})}{2\theta}}{2Y_L - j\dfrac{Y_{oo}+Y_{oe}}{\theta}} \\ Y_S^* \text{は} Y_S \text{の複素共役数} \end{cases} \quad \cdots(17)$$

[0047] 実施の形態１６.

本発明の実施の形態１６における電子機器について説明する。図３６および図３７は、実施の形態１６における電子機器４０００が本発明に係るバラントランスを用いて構成されたトランスフォーマの場合の概略構成を示す回路図である。図３７は実施の形態１６におけるトランスフォーマの変形例を示す回路図である。図３６および図３７において、図３４、図３５と同一符号は同じ部分を示しており、その説明は省略する。

トランスフォーマである電子機器４０００は、電子機器４０００の平衡端子をなす負荷P1とP5との間に並列に容量C_1、平衡端子をなす負荷P2とP3との間に容量C_2を装荷したトランスフォーマである。なお、この容量C_1と容量C_2は少なくも何れか一方のみを設けたものであっても良い。ただし、C_1とC_2の一方を装荷しない場合は、C_1=0またはC_2=0に対応する。

トランスフォーマである電子機器４０００では、一方の平衡端子をなす負荷と他方の平衡端子をなす負荷のインピーダンス比によっては、物理的に実現出来ない場合が存在するが、容量C_1、C_2を用いて端子インピーダンスを調整することによって、実現可能となる。また、容量C_2によって、電気長θを短くすることもできる。

実施の形態１６は結合伝送線路１１１の偶モード特性アドミタンスY_{oe}および奇モード特性アドミタンスY_{oo}、容量C_1、C_2を次式（１８）の関係式を満足することを特徴とする。

[0048] [数18]

数１８

$$\begin{cases} Y_{S1}^{*} = 2\dfrac{-\dfrac{Y_{oo}Y_{oe}}{\theta^2} - j\dfrac{Y_{L1}(Y_{oo}+Y_{oe})}{2\theta}}{2Y_{L1} - j\dfrac{Y_{oo}+Y_{oe}}{\theta}} \\ Y_{S1} = Y_S + j4\pi f_0 C_1 \\ Y_{L1} = Y_L + j4\pi f_0 C_2 \\ Y_S^{*}\text{は}Y_S\text{の複素共役数} \end{cases} \quad \cdots(18)$$

[0049] 実施の形態１７．

本発明の実施の形態１７における電子機器について説明する。図３８～図４１は、実施の形態１７における電子機器４０００が本発明に係るバラントランスを用いて構成されたトランスフォーマの場合の概略構成を示す回路図である。図３９～図４１は実施の形態１７おけるトランスフォーマの変形例を示す回路図である。図３８～図４１において、図３４～図３７と同一符号は同じ部分を示しており、その説明は省略する。

トランスフォーマである電子機器４０００は、実施の形態１５または実施の形態１６の電子機器４０００伝送線路１２の中点に、２次高調波を注入もしくは抽出する注入抽出用端子をなす負荷P4が設けられていることを特徴とする。また、この注入抽出用端子をなす負荷P4は、伝送線路１１の中点に設けることも可能である。即ち、この注入抽出用端子をなす負荷P4は、伝送線路１１の中点および伝送線路１２の中点の少なくともいずれか一方に設けられる。

実施の形態１７においても、実施の形態１５、実施の形態１６と同様に、バラントランスのサイズを小さくすることができ、小型のトランスフォーマを得ることができる。

[0050] 実施の形態１８．

本発明の実施の形態１８における電子機器について説明する。図４２は、

実施の形態１８における電子機器５０００が本発明に係るバラントランスを用いて構成された電力増幅器の場合の概略構成を示す回路図である。

電力増幅器である電子機器５０００は、実施の形態１～実施の形態１０におけるバラントランス１０００を初段の入力回路と終段の出力回路に用いて、実施の形態１５～実施の形態１７におけるトランスフォーマである電気機器４０００を段間のインピーダンス変換に用いた多段電力増幅器である。

本実施の形態１８における電力増幅器においては、設計方程式に則って設計することができるバラントランス１０００やトランスフォーマ４０００を用いて構成されているので、設計が容易である。

また、基本波と十分なアイソレーションを有するため、２次高周波の注入抽出用端子をなす負荷P4から、バラントランス１０００またはトランスフォーマ４０００のバラントランス特性を変化させること無く、２次高調波を注入もしくは抽出することができるので、２次高調波の反射処理、または、注入抽出により電力増幅器の高効率化、低歪み化を可能とする。

[0051] 本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することができる。

符号の説明

[0052] １～６　端子、P1～P5　負荷、１１，１２　伝送線路、１１１　結合伝送線路、Y_S，Y_L　アドミタンス、C_1，C_2　容量、１０００　バラントランス、２０００，３０００，４０００，５０００　電子機器。

請求の範囲

[請求項1] 伝送信号の基本波周波数f_0に対して$2\theta \leqq 1$[rad]の電気長を有する結合伝送線路を有して構成されるバラントランスであって、

前記結合伝送線路は、第１の端子および第２の端子を有し、前記第１の端子と前記第２の端子間を接続する第１の伝送線路と、第３の端子および第４の端子を有し、前記第３の端子と前記第４の端子間を接続するとともに前記第１の伝送線路と電磁的に結合するように配置された第２の伝送線路で構成されており、

前記第１の伝送線路の前記第１の端子はアドミタンスY_Sの第１の負荷P1に接続され、第１の負荷P1は不平衡端子をなしており、前記第２の端子はグランドに短絡されており、

前記第２の伝送線路の前記第３の端子、前記第４の端子はそれぞれ、アドミタンスY_Lの第２の負荷P2および第３の負荷P3に接続され、第２の負荷P2、第３の負荷P3は平衡端子をなしており、

前記結合伝送線路の、偶モード特性アドミタンスY_{oe}、奇モード特性アドミタンスY_{oo}および電気長θの各値が、前記アドミタンスY_Lおよび前記アドミタンスY_S との間に以下の関係式を満足するように選ばれていることを特徴とするバラントランス。

[数19]

数１９

$$\begin{cases} Y_S^* = \dfrac{-\dfrac{Y_{oo}Y_{oe}}{\theta^2} - j\dfrac{Y_L(Y_{oo}+Y_{oe})}{2\theta}}{2Y_L - j\dfrac{Y_{oo}+Y_{oe}}{\theta}} \\ Y_S^* \text{は } Y_S \text{の複素共役数} \end{cases}$$

[請求項2] 伝送信号の基本波周波数f_0に対して$2\theta \leqq 1$[rad]の電気長を有する結合伝送線路を有して構成されるバラントランスであって、

前記結合伝送線路は、第１の端子および第２の端子を有し、前記第１

の端子と前記第２の端子間を接続する第１の伝送線路と、第３の端子および第４の端子を有し、前記第３の端子と前記第４の端子間を接続するとともに前記第１の伝送線路と電磁的に結合するように配置された第２の伝送線路で構成されており、

前記第１の伝送線路の前記第１の端子はアドミタンスY_Sの第１の負荷P1に接続され、第１の負荷P1は不平衡端子をなしており、前記第２の端子はグランドに短絡されており、

前記第２の伝送線路の前記第３の端子、前記第４の端子はそれぞれ、アドミタンスY_Lの第２の負荷P2および第３の負荷P3に接続され、第２の負荷P2、第３の負荷P3は平衡端子をなしており、

前記第１の伝送線路の前記第１の端子と前記第２の端子間および前記第２の伝送線路の前記第３の端子と前記第４の端子間の少なくとも一方に容量を装荷しており、

前記結合伝送線路の、偶モード特性アドミタンスY_{oe}、奇モード特性アドミタンスY_{oo}、電気長θ、前記第１の端子と前記第２の端子間に接続される容量C_1および前記第３の端子と前記第４の端子間に接続される容量C_2の各値が、前記アドミタンスY_L　およびアドミタンスY_S　との間に以下の関係式を満足するように選ばれていることを特徴とするバラントランス。

[数20]

数２０

$$\begin{cases} Y_{S1}^{*} = \dfrac{-\dfrac{Y_{oo}Y_{oe}}{\theta^2} - j\dfrac{Y_{L1}(Y_{oo}+Y_{oe})}{2\theta}}{2Y_{L1} - j\dfrac{Y_{oo}+Y_{oe}}{\theta}} \\ Y_{S1} = Y_S + j2\pi f_0 C_1 \\ Y_{L1} = Y_L + j4\pi f_0 C_2 \\ Y_S^{*}\text{は } Y_S\text{の複素共役数} \end{cases}$$

[請求項3]　前記第２の伝送線路の中点に、２次高調波を注入もしくは抽出する

注入抽出用端子が設けられていることを特徴とする請求項１または請求項２に記載のバラントランス。

[請求項4] 伝送信号の基本波周波数f_0に対して$2\theta \leqq 1$[rad]の電気長を有する第１から第n（n≧2）の結合伝送線路を有して構成されるバラントランスであって、

第k(1≦k≦n、以下同様)の結合伝送線路は、端子ka、kbを有し、前記端子kaと前記端子kbとの間を接続する第4ka番目の伝送線路と、端子kc、kfを有し、前記端子kcと前記端子kfを接続するとともに前記第4ka番目の伝送線路と電磁的に結合するように配置された第4kb番目の伝送線路で構成されており、

前記端子kaと端子(k-1)b端子は接続され、前記端子kbと端子(k+1)a端子は接続されており、k=1の場合の端子1aはアドミタンスY_Sの第１の負荷P1に接続され、第１の負荷P1は不平衡端子をなしており、k=nの場合の端子nbはグランドに短絡されており、

前記第4kb番目の伝送線路の端子kc、kfは、それぞれアドミタンスY_{Lk}の第２の負荷Pkap、第３の負荷Pkbpに接続されており、

前記第２の負荷Pkap、第３の負荷Pkbpは平衡端子をなしており、

第k(1≦k≦n)番目の結合伝送線路の偶モード特性アドミタンスY_{oek}、奇モード特性アドミタンスY_{ook}および電気長θ_kの各値が、前記アドミタンスY_{Lk}およびY_sとの間に以下の関係式を満足するように選ばれていることを特徴とするバラントランス。

[数21]

数２１

$$\begin{cases} \dfrac{1}{Y_S^*} = \displaystyle\sum_{k=1}^{n} \dfrac{1}{Y_k} \\ Y_k^* = \dfrac{-\dfrac{Y_{ook}Y_{oek}}{\theta_k^2} - j\dfrac{Y_{Lk}(Y_{ook}+Y_{oek})}{2\theta_k}}{2Y_{Lk} - j\dfrac{Y_{ook}+Y_{oek}}{\theta_k}} \\ Y_S^* \text{は} Y_S \text{の複素共役数} \end{cases}$$

[請求項5] 伝送信号の基本波周波数f_0に対して$2\theta \leqq 1$[rad]の電気長を有する第１から第n（n≧2）の結合伝送線路を有して構成されるバラントランスであって、

第k(1≦k≦n、以下同様)番目の結合伝送線路は、端子ka、kbを有し、前記端子kaと前記端子kbとの間を接続する第4ka番目の伝送線路と、端子kc、kfを有し、前記端子kcと前記端子kfを接続するとともに前記第4ka番目の伝送線路と電磁的に結合するように配置された第4kb番目の伝送線路で構成されており、

前記端子kaと端子(k-1)b端子は接続され、前記端子kbと端子(k+1)a端子は接続されており、k=1の場合の端子1aはアドミタンスY_Sの第１の負荷P1が接続され、第１の負荷P1は不平衡端子をなしており、k=nの場合の端子nbはグランドに短絡されており、

前記第4kb番目の伝送線路の端子kc、kfは、それぞれアドミタンスY_{Lk}の第２の負荷Pkap、第３の負荷Pkbpに接続されており、

前記第２の負荷Pkap、第３の負荷Pkbpは平衡端子をなしており、

前記第１の負荷P1と並列に接続された容量および端子kc、kf間に接続された容量の少なくとも一方を装荷しており、

第k(1≦k≦n)番目の結合伝送線路の偶モード特性アドミタンスY_{oek}、奇モード特性アドミタンスY_{ook}、電気長θ_k、前記第１の負荷P1と並列

に接続される容量C_1および端子kc、kf間に接続される容量C_{k2}の各値が、前記アドミタンスY_{Lk}およびY_sとの間に以下の関係式を満足するように選ばれていることを特徴とするバラントランス。

[数22]

数２２

$$\begin{cases} \dfrac{1}{Y_{S1}^*} = \displaystyle\sum_{k=1}^{n} \dfrac{1}{Y_k} \\ Y_k^* = \dfrac{-\dfrac{Y_{ook}Y_{oek}}{\theta_k^2} - j\dfrac{Y_{L1k}(Y_{ook}+Y_{oek})}{2\theta_k}}{2Y_{L1k} - j\dfrac{Y_{ook}+Y_{oek}}{\theta_k}} \\ Y_{S1} = Y_S + j2\pi f_0 C_1 \\ Y_{L1k} = Y_{Lk} + j4\pi f_0 C_{k2} \\ Y_{S1}^* \text{は} Y_{S1} \text{の複素共役数} \end{cases}$$

[請求項6] 前記第4kb番目の伝送線路の中点に、２次高調波を注入もしくは抽出する注入抽出用端子が設けられていることを特徴とする請求項４または請求項５に記載のバラントランス。

[請求項7] 伝送信号の基本波周波数f_0に対して$2\theta \leqq 1$[rad]の電気長を有する第１から第n（n≧2）の結合伝送線路を有して構成されるバラントランスであって、

第k(1≦k≦n、以下同様)番目の結合伝送線路は、端子ka、kbを有し、前記端子kaと前期記端子kbとの間を接続する第4ka伝送線路と、端子kc、kfを有し、前記端子kcと前記端子kfを接続するとともに前記第4ka番目の伝送線路と電磁的に結合するように配置された第4kb番目の伝送線路で構成され、

前記端子kaはアドミタンスY_sの第１の負荷P1に接続されており、第１の負荷P1は不平衡端子をなしており、

前記端子kc、kfは、それぞれアドミタンスY_{Lk}の第２の負荷Pkap、第３の負荷Pkbpに接続されており、

前記第２の負荷Pkap、第３の負荷Pkbpは平衡端子をなしており、

前記端子kbはグランドに短絡されており、

第k(1≦k≦n)番目の結合伝送線路の偶モード特性アドミタンスY_{oek}、奇モード特性アドミタンスY_{ook}および電気長θ_kの各値が、前記アドミタンスY_{Lk}およびY_sとの間に以下の関係式を満足するように選ばれていることを特徴とするバラントランス。

[数23]

数２３

$$\begin{cases} Y_S^* = \sum_{k=1}^{n} Y_k \\ Y_k^* = \dfrac{-\dfrac{Y_{ook}Y_{oek}}{\theta_k^2} - j\dfrac{Y_{Lk}(Y_{ook}+Y_{oek})}{2\theta_k}}{2Y_{Lk} - j\dfrac{Y_{ook}+Y_{oek}}{\theta_k}} \\ Y_S^* \text{は } Y_S \text{の複素共役数} \end{cases}$$

[請求項8] 伝送信号の基本波周波数f_0に対して$2\theta \leqq 1$[rad]の電気長を有する第１から第n（n≧2）の結合伝送線路を有して構成されるバラントランスであって、

第k(1≦k≦n、以下同様)番目の結合伝送線路は、端子ka、kbを有し、前記端子kaと前期端子kbとの間を接続する第4ka番目の伝送線路と、端子kc、kfを有し、前記端子kcと前記端子kfを接続するとともに前記第4ka番目の伝送線路と電磁的に結合するように配置された第4kb番目の伝送線路で構成されており、

前記端子kaはアドミタンスY_sの第１の負荷P1に接続されており、第１の負荷P1は不平衡端子をなしており、

前記端子kc、kfは、それぞれアドミタンスY_{Lk}の第２の負荷Pkap、第３の負荷Pkbpに接続されており、

前記第２の負荷Pkap、第３の負荷Pkbpは平衡端子をなしており、

前記端子kbはグランドに短絡されており、

前記第１の負荷P1と並列に接続された容量および端子kc、端子kf間に接続された容量の少なくとも一方を装荷しており、

第k(1≦k≦n)番目の結合伝送線路の偶モード特性アドミタンスY_{oek}、奇モード特性アドミタンスY_{ook}、電気長θ_k、前記第１の負荷P1と並列に接続される容量C_1および端子kc、kf間に接続される容量C_{k2}の各値が、前記アドミタンスY_{Lk}およびY_sとの間に以下の関係式を満足するように選ばれていることを特徴とするバラントランス。

[数24]

数２４

$$\begin{cases} Y_{S1}^{*} = \sum_{k=1}^{n} Y_k \\ Y_k^{*} = \dfrac{-\dfrac{Y_{ook}Y_{oek}}{\theta_k^2} - j\dfrac{Y_{L1k}(Y_{ook}+Y_{oek})}{2\theta_k}}{2Y_{L1k} - j\dfrac{Y_{ook}+Y_{oek}}{\theta_k}} \\ Y_{S1} = Y_S + j2\pi f_0 C_1 \\ Y_{L1k} = Y_{Lk} + j4\pi f_0 C_{k2} \\ Y_{S1}^{*}\text{は}Y_{S1}\text{の複素共役数} \end{cases}$$

[請求項9] 前記第4kb番目の伝送線路の中点に、２次高調波を注入もしくは抽出する注入抽出用端子が設けられていることを特徴とする請求項７または請求項８に記載のバラントランス。

[請求項10] 前記第4kb番目の伝送線路の中点を互いに接続するとともに，この接続点に、２次高調波を注入もしくは抽出する注入抽出用端子が設けられていることを特徴とする請求項７または請求項８に記載のバラントランス。

[請求項11] 請求項３、請求項６、請求項９または請求項１０の何れか一項に記載のバラントランスを２つ用いて、平衡端子間に増幅素子が設けられており、基本波端子から基本波を入力し、２次高調波を注入もしくは

抽出する注入抽出用端子に反射処理、または、２倍波注入抽出を施して電力増幅を行うことを特徴とする電子機器。

[請求項12] 請求項３、請求項６、請求項９または請求項１０の何れか一項に記載のバラントランスを２つ用いて、平衡端子間に増幅素子が設けられており、基本波端子から基本波を入力し、２次高調波を注入もしくは抽出する注入抽出用端子間に２倍波振幅・位相調整回路を装荷しており、電力増幅を行うことを特徴とする電子機器。

[請求項13] 請求項３、請求項６、請求項９または請求項１０の何れか一項に記載のバラントランスを２つ用いて、平衡端子間に増幅素子を設け、基本波端子から基本波を入力し、２次高調波を注入もしくは抽出する注入抽出用端子から基本波と異なる周波数信号を入力して電力増幅を行うことを特徴とする電子機器。

[請求項14] 請求項３、請求項６、請求項９または請求項１０の何れか一項に記載のバラントランスを２つ用いて、平衡端子間に増幅素子が設けられており、基本波端子から基本波を入力し、出力側のバラントランスの基本波端子から奇数倍波を取り出し、２次高調波を注入もしくは抽出する注入抽出用端子から偶数倍波を取り出して逓倍出力を得ることを特徴とする電子機器。

[請求項15] 伝送信号の基本波周波数f_0に対して$2\theta \leqq 1$[rad]の電気長を有する結合伝送線路を有して構成されるバラントランスを用いており、

前記結合伝送線路は、第１の端子および第２の端子を有し、前記第１の端子と前記第２の端子間を接続する第１の伝送線路と、第３の端子および第４の端子を有し、前記第３の端子と前記第４の端子間を接続するとともに前記第１の伝送線路と電磁的に結合するように配置された第の伝送線路で構成されており、

前記第１の伝送線路の前記第１の端子および前記第２の端子は、それぞれアドミタンスY_Sの負荷に接続され、前記第２の伝送線路の前記第３の端子および前記第４の端子は、それぞれアドミタンスY_Lの負荷

に接続されるトランスフォーマを構成しており、

前記結合伝送線路の、偶モード特性アドミタンスY_{oe}，奇モード特性アドミタンスY_{oo}および電気長θの各値が、前記アドミタンスY_L および前記アドミタンスY_S との間に以下の関係式を満足するように選ばれていることを特徴とする電子機器。

[数25]

数２５

$$\begin{cases} Y_S^* = 2\dfrac{-\dfrac{Y_{oo}Y_{oe}}{\theta^2} - j\dfrac{Y_L(Y_{oo}+Y_{oe})}{2\theta}}{2Y_L - j\dfrac{Y_{oo}+Y_{oe}}{\theta}} \\ Y_S^* \text{は } Y_S \text{の複素共役数} \end{cases}$$

[請求項16] 伝送信号の基本波周波数f_0に対して$2\theta \leqq 1$[rad]の電気長を有する結合伝送線路を有して構成されるバラントランスを用いており、

前記結合伝送線路は、第１の端子および第２の端子を有し、前記第１の端子と前記第２の端子間を接続する第１の伝送線路と、第３の端子および第４の端子を有し、前記第３の端子と前記第４の端子間を接続するとともに前記第１の伝送線路と電磁的に結合するように配置された第2の伝送線路で構成されており、

前記第１の伝送線路の前記第１の端子および前記第２の端子は、それぞれアドミタンスY_Sの負荷に接続されており、前記第２の伝送線路の前記第３の端子および前記第４の端子は、それぞれにアドミタンスY_L の負荷に接続されており、

前記第１の伝送線路の前記第１の端子と前記第２の端子間および前記第２の伝送線路の前記第３の端子と前記第４の端子間の少なくとも一方に容量を装荷したトランスフォーマを構成しており、

前記結合伝送線路の、偶モード特性アドミタンスY_{oe}、奇モード特性アドミタンスY_{oo}、電気長θ，前記第１の端子と前記第２の端子間に接続

される容量C_1および前記第３の端子と前記第４の端子間に接続される容量C_2の各値が、前記アドミタンスY_L および前記アドミタンスY_S との間に以下の関係式を満足するように選ばれていることを特徴とする電子機器。

[数26]

数２６

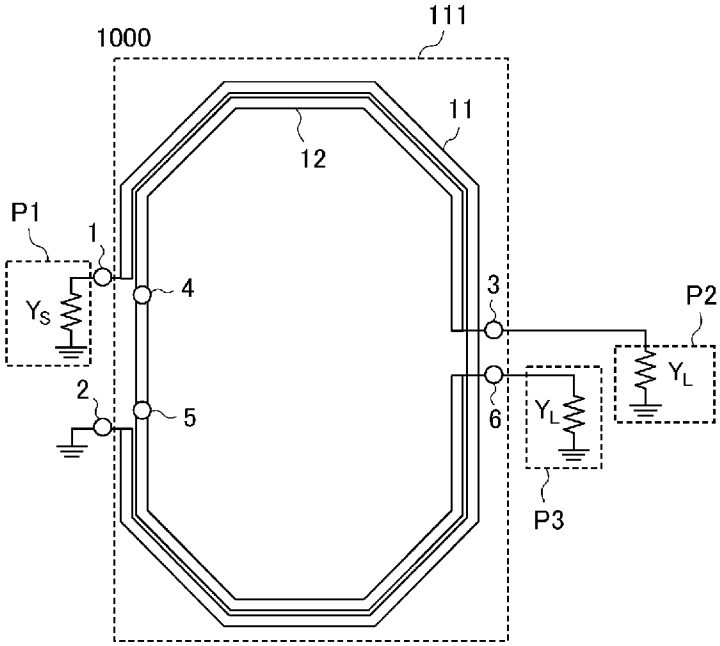
$$\begin{cases} Y_{S1}^{*} = 2\dfrac{-\dfrac{Y_{oo}Y_{oe}}{\theta^2} - j\dfrac{Y_{L1}(Y_{oo}+Y_{oe})}{2\theta}}{2Y_{L1} - j\dfrac{Y_{oo}+Y_{oe}}{\theta}} \\ Y_{S1} = Y_S + j4\pi f_0 C_1 \\ Y_{L1} = Y_L + j4\pi f_0 C_2 \\ Y_S^{*}\text{は}\ Y_S\text{の複素共役数} \end{cases}$$

[請求項17] 前記第１の伝送線路の中点および前記第２の伝送線路の中点の少なくともいずれか一方に２次高調波を注入もしくは抽出する注入抽出用端子が設けられていることを特徴とする請求項１５または請求項１６に記載の電子機器。

[請求項18] 請求項１１または請求項１２に記載の電子機器、および請求項１７に記載の電子機器を有し、前記バラントランスを初段の入力回路と出力回路に用いており、請求項１７に記載の電子機器を段間のインピーダンス変換に用いて多段電力増幅を行うことを特徴とする電子機器。

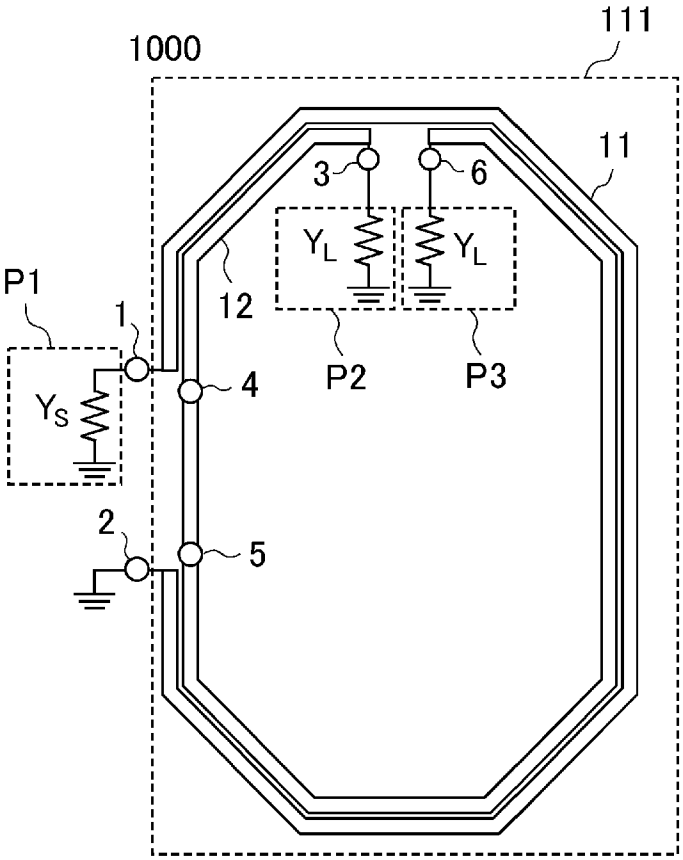
[図1]

図 1


1000
111
11
12
P1
1
4
3
P2
Y_S
Y_L
2
5
6
Y_L
P3

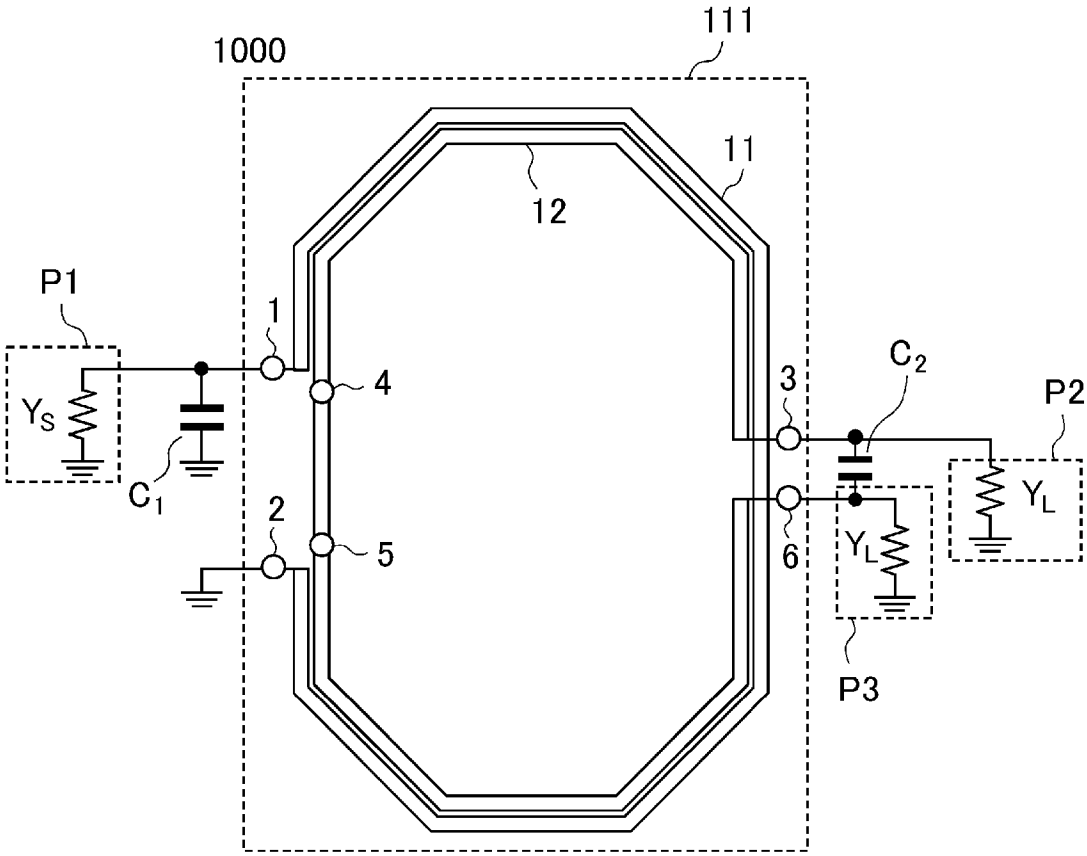
[図2]

図 2


111
1000
11
3
6
Y_L
Y_L
P1
1
12
P2
P3
4
Y_S
2
5

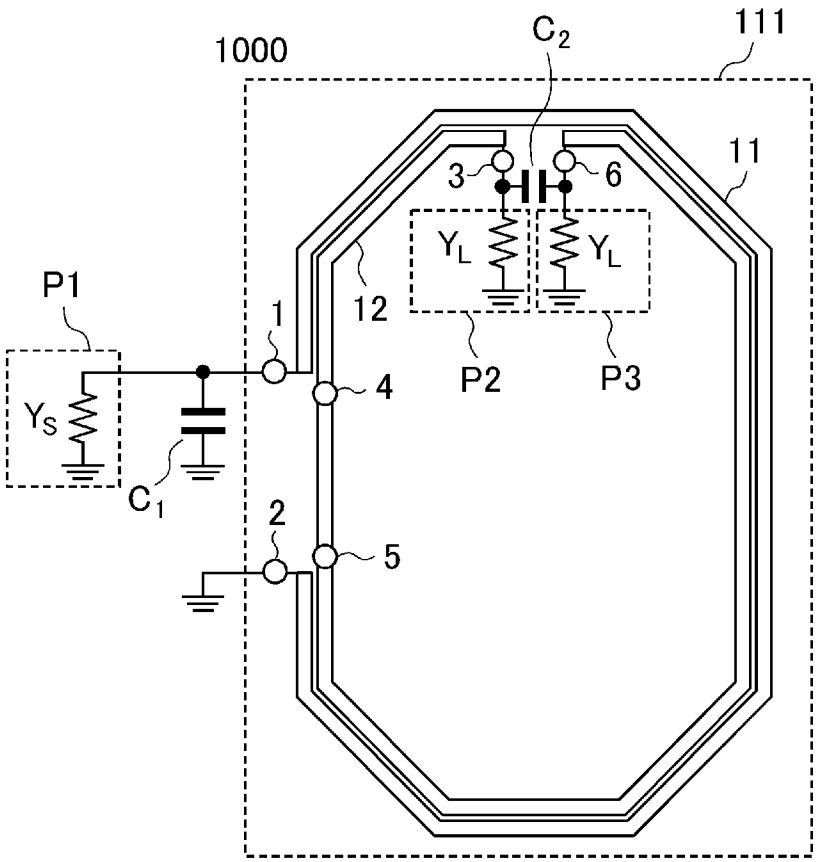
[図3]

図 3


1000
111
11
12
P1
1
4
3
C2
P2
YS
C1
2
5
6
YL
YL
P3

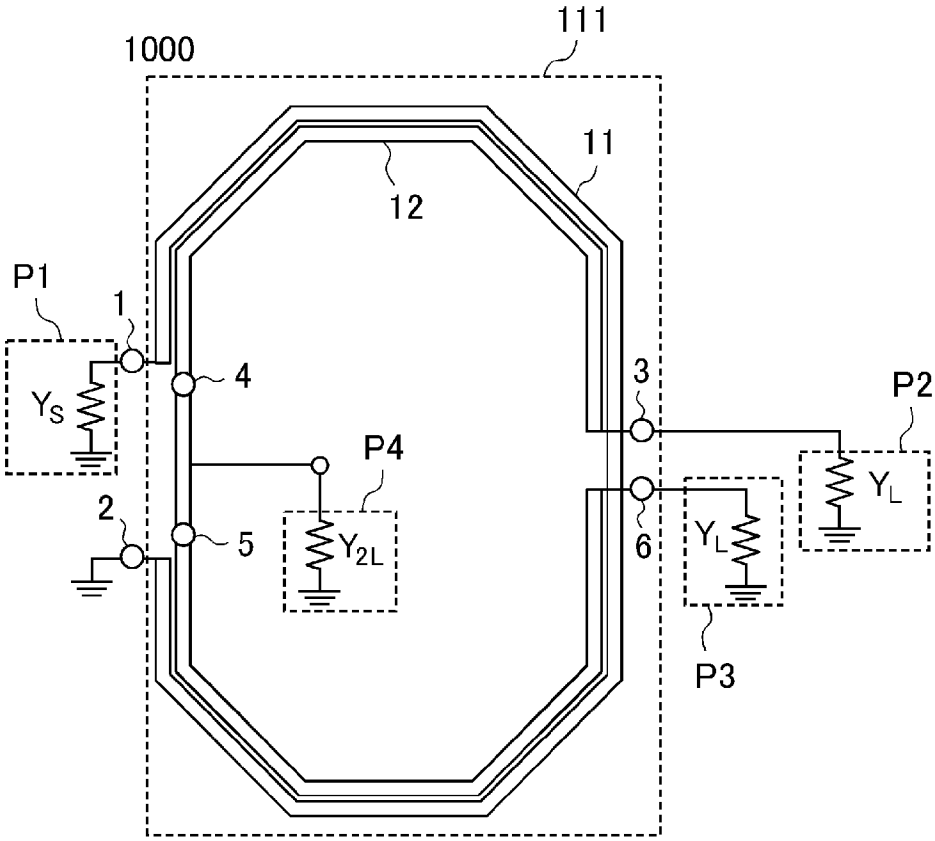
[図4]

図 4


1000
C2
111
11
3
6
YL
YL
P1
12
1
P2
P3
4
YS
C1
2
5

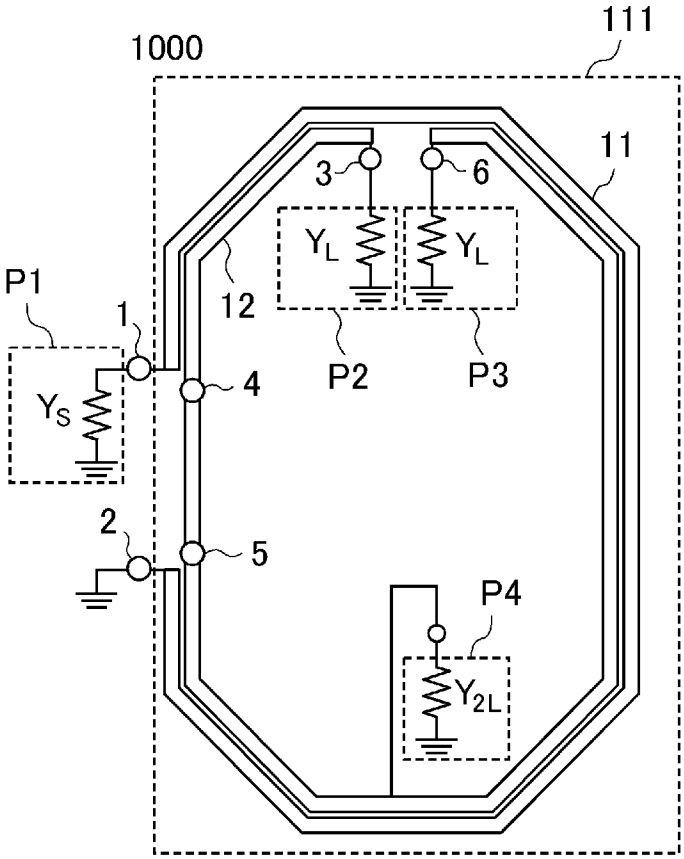
[図5]

図 5


111
1000
11
12
P1
1
4
3
P2
Y_S
P4
Y_L
2
5
Y_{2L}
6
Y_L
P3

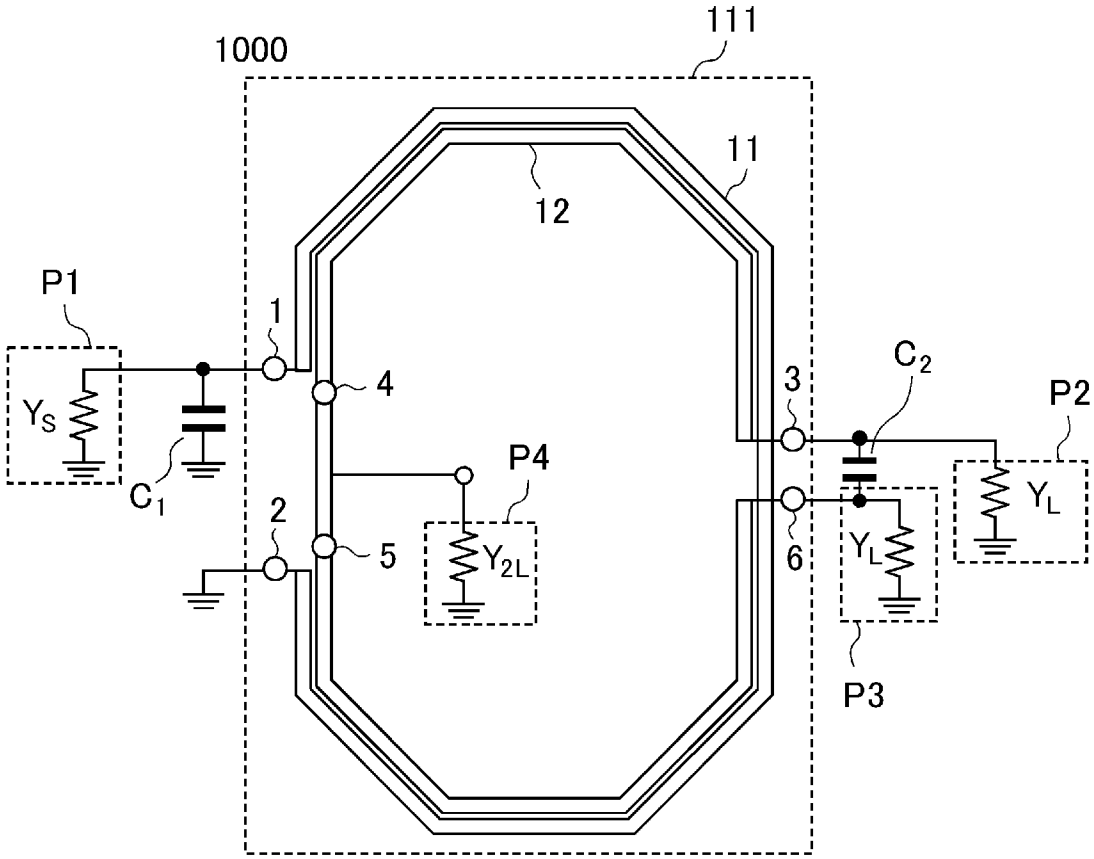
[図6]

図 6


111
1000
11
3
6
Y_L
Y_L
12
P1
1
P2
P3
4
Y_S
2
5
P4
Y_{2L}

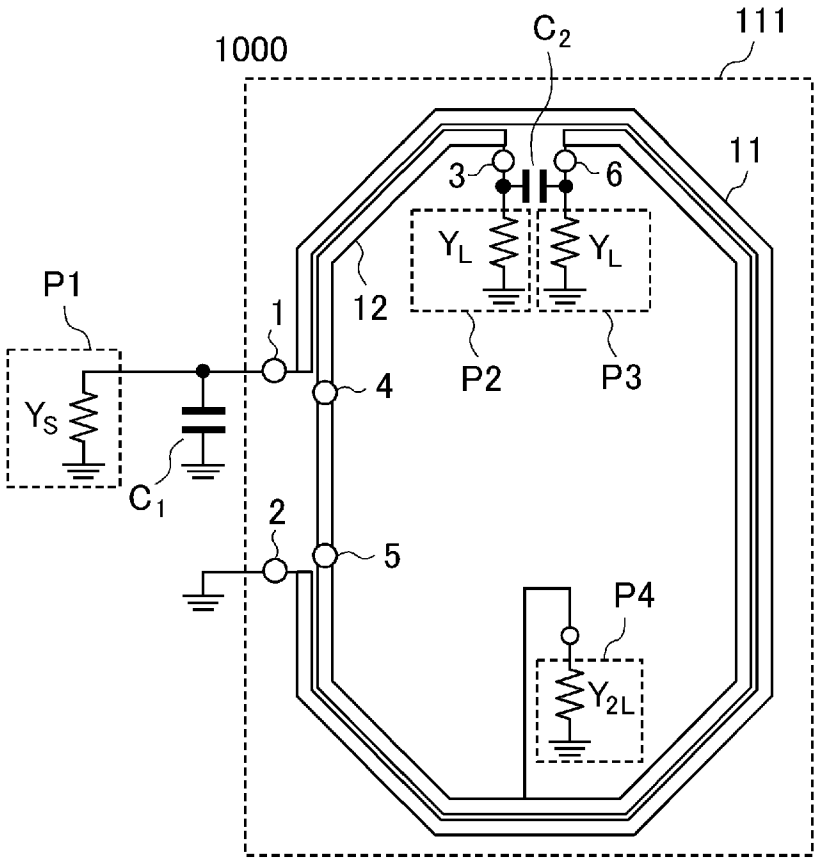
[図7]

図 7



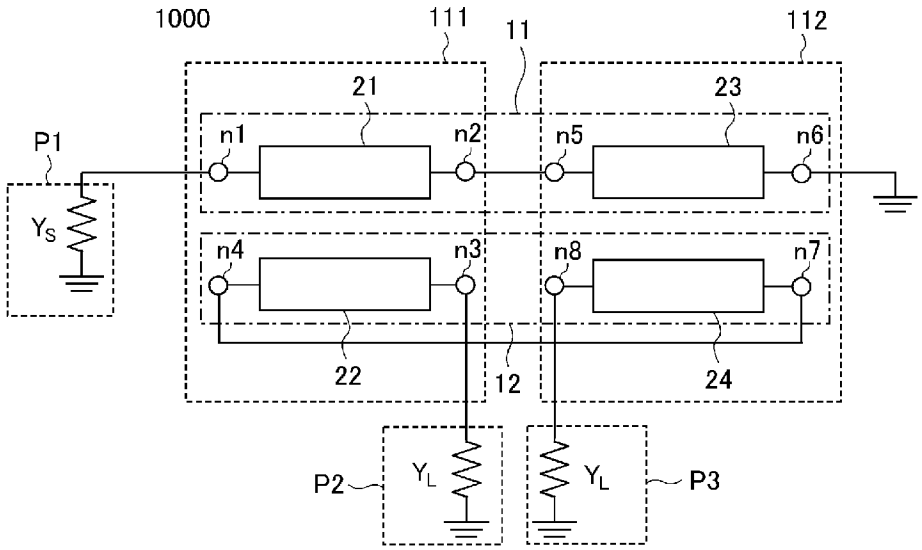
[図8]

図 8


1000
C2
111
11
3
6
YL
YL
P1
12
1
P2
P3
4
YS
C1
2
5
P4
Y2L

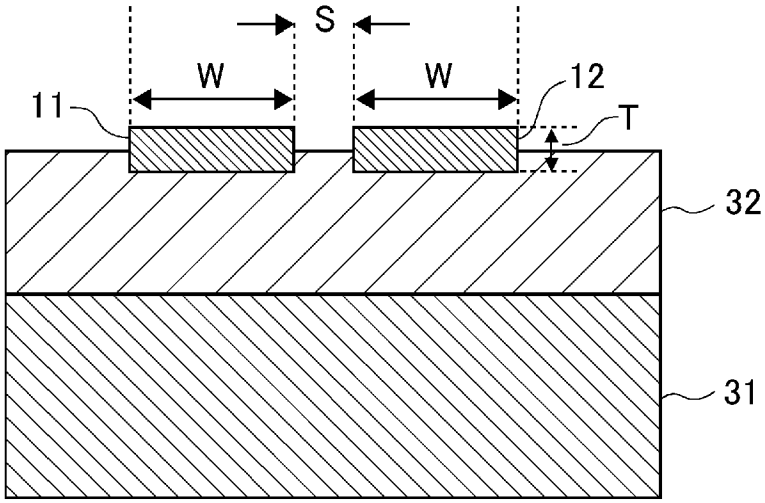
[図9]

図 9


1000
111
11
112
21
23
P1
n1
n2
n5
n6
YS
n4
n3
n8
n7
22
12
24
P2
YL
YL
P3

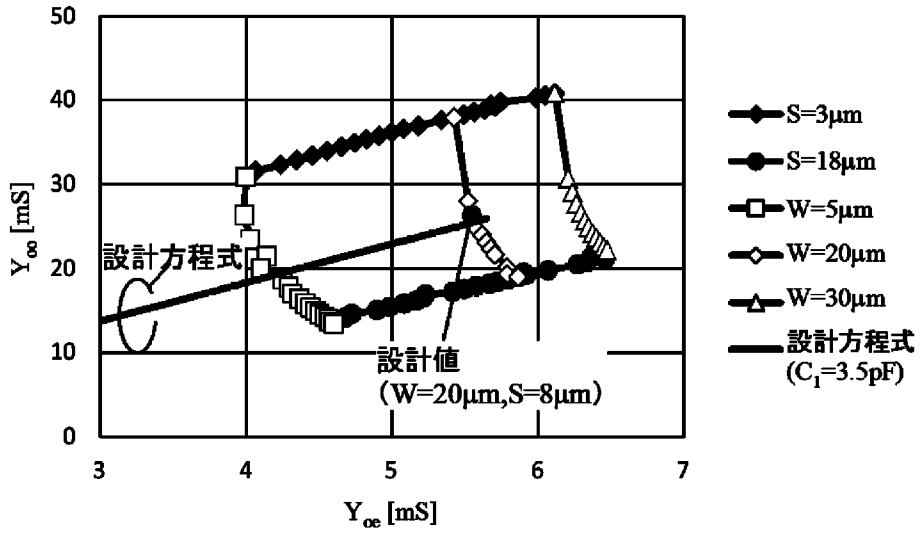
[図10]

図 10



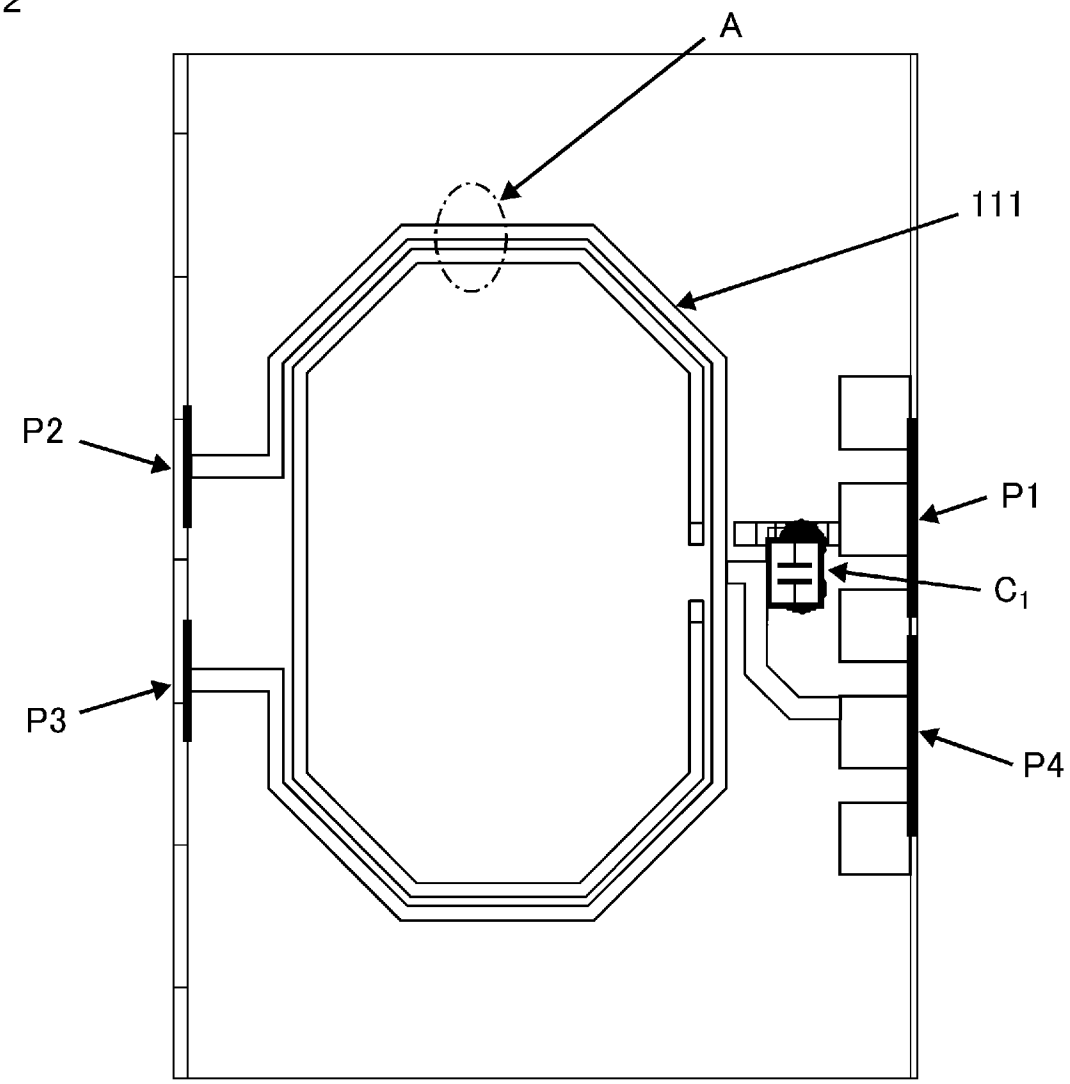
[図11]

図 11



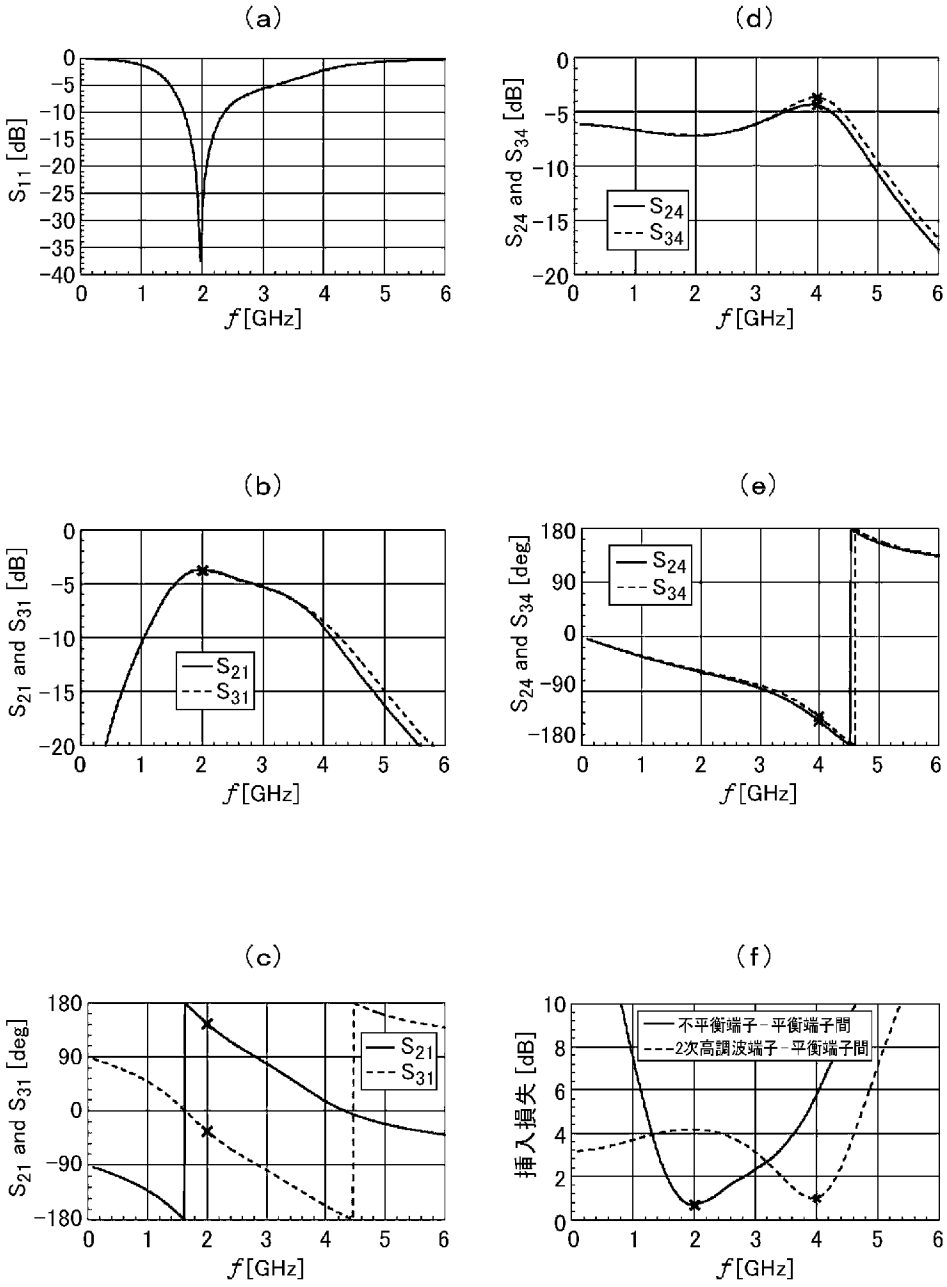
[図12]

図 12



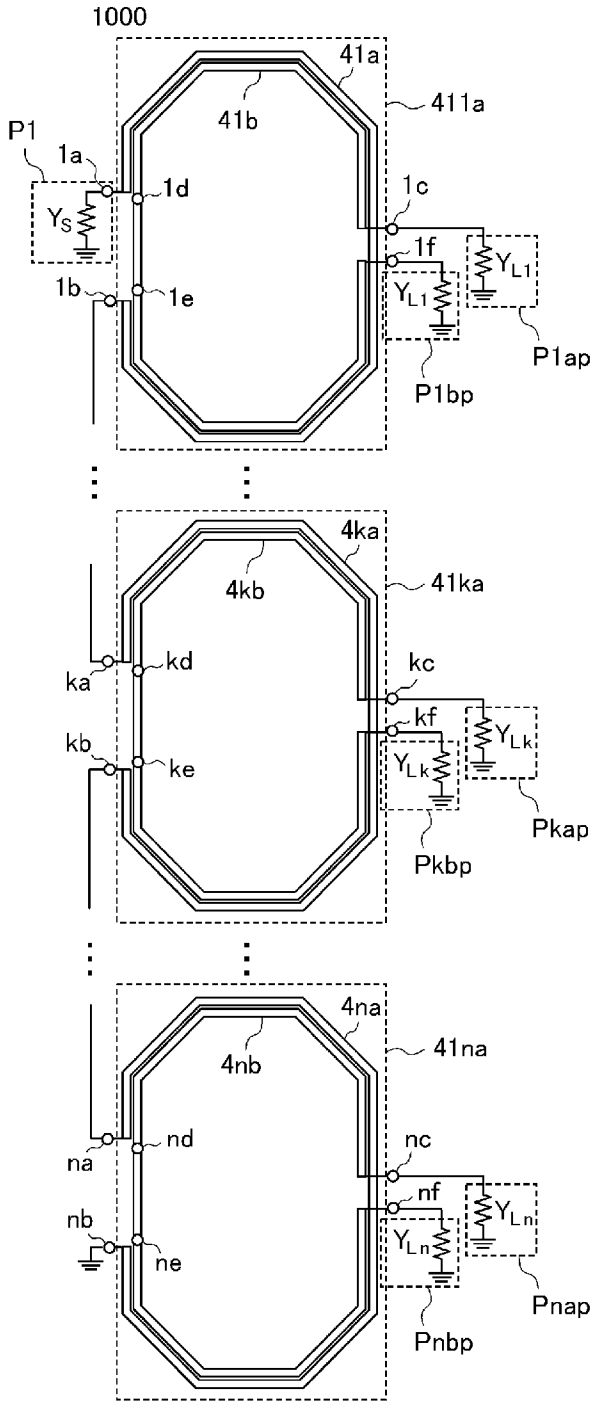
[図13]

図 13


(a)
S_{11} [dB]
0
−5
−10
−15
−20
−25
−30
−35
−40
0 1 2 3 4 5 6
f [GHz]
(d)
S_{24} and S_{34} [dB]
0
−5
−10
−15
−20
S_{24}
S_{34}
0 1 2 3 4 5 6
f [GHz]
(b)
S_{21} and S_{31} [dB]
0
−5
−10
−15
−20
S_{21}
S_{31}
0 1 2 3 4 5 6
f [GHz]
(e)
S_{24} and S_{34} [deg.]
180
90
0
−90
−180
S_{24}
S_{34}
0 1 2 3 4 5 6
f [GHz]
(c)
S_{21} and S_{31} [deg.]
180
90
0
−90
−180
S_{21}
S_{31}
0 1 2 3 4 5 6
f [GHz]
(f)
挿入損失 [dB]
10
8
6
4
2
0
不平衡端子−平衡端子間
2次高調波端子−平衡端子間
0 1 2 3 4 5 6
f [GHz]

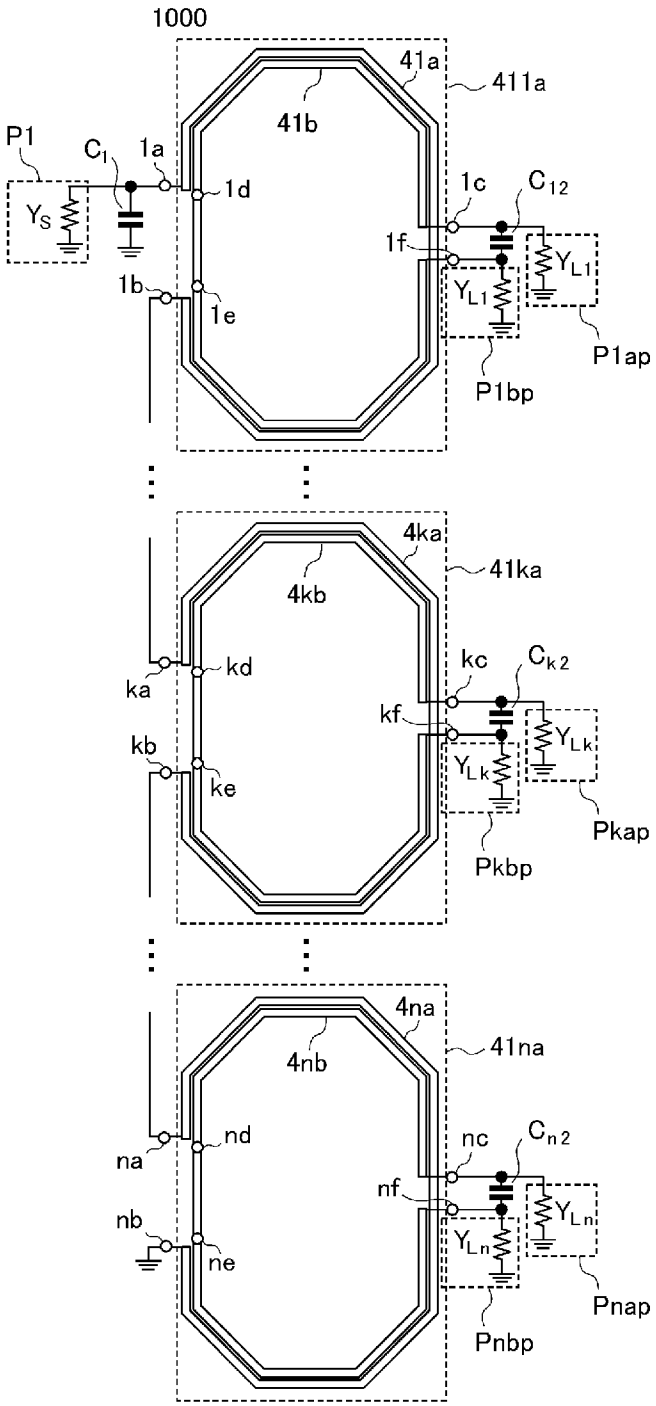
[図14]

図 14


1000
41a
411a
41b
P1
1a
1d
1c
Y_S
1f
Y_{L1}
1b
1e
Y_{L1}
P1ap
P1bp
4ka
41ka
4kb
ka
kd
kc
kf
Y_{Lk}
kb
ke
Y_{Lk}
Pkap
Pkbp
4na
41na
4nb
na
nd
nc
nf
Y_{Ln}
nb
ne
Y_{Ln}
Pnap
Pnbp

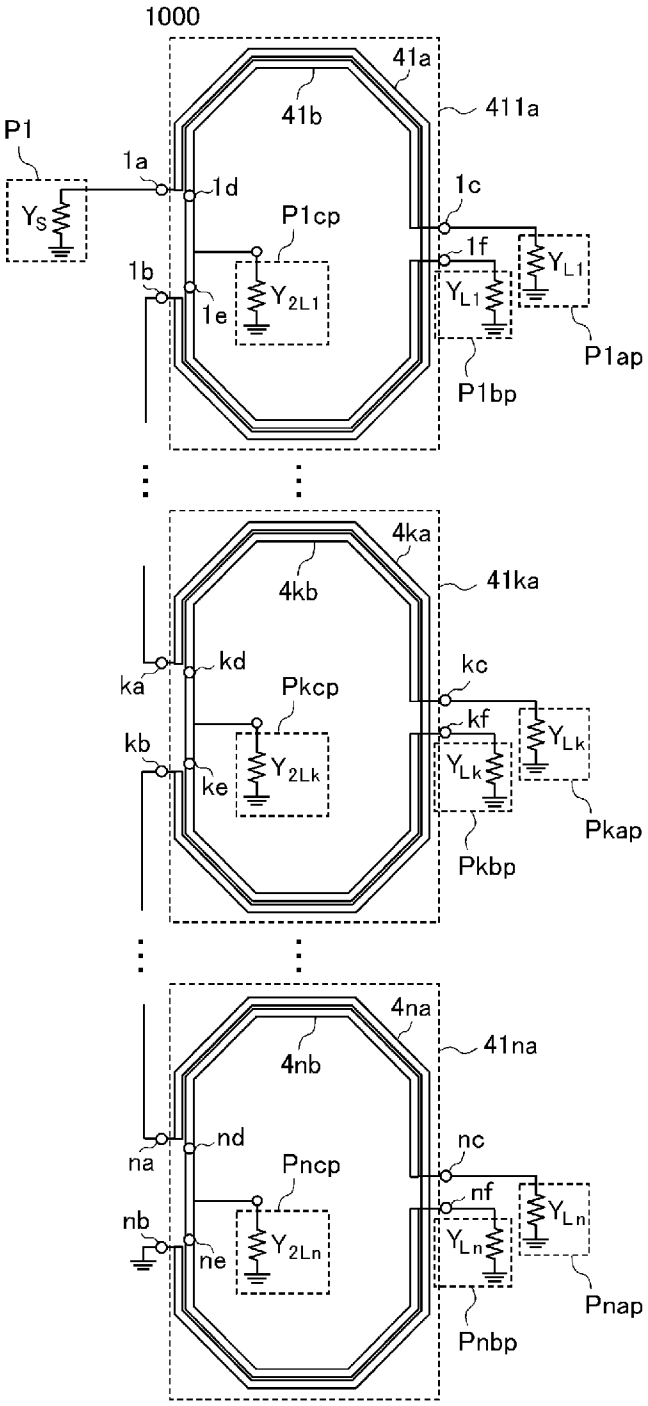
[図15]

図 15


1000
41a
411a
41b
P1
C1
1a
1d
1c
C12
YS
1f
YL1
1b
1e
P1ap
P1bp
4ka
41ka
4kb
ka
kd
kc
Ck2
kf
kb
ke
Pkap
Pkbp
4na
41na
4nb
na
nd
nc
Cn2
nf
nb
ne
Pnap
Pnbp

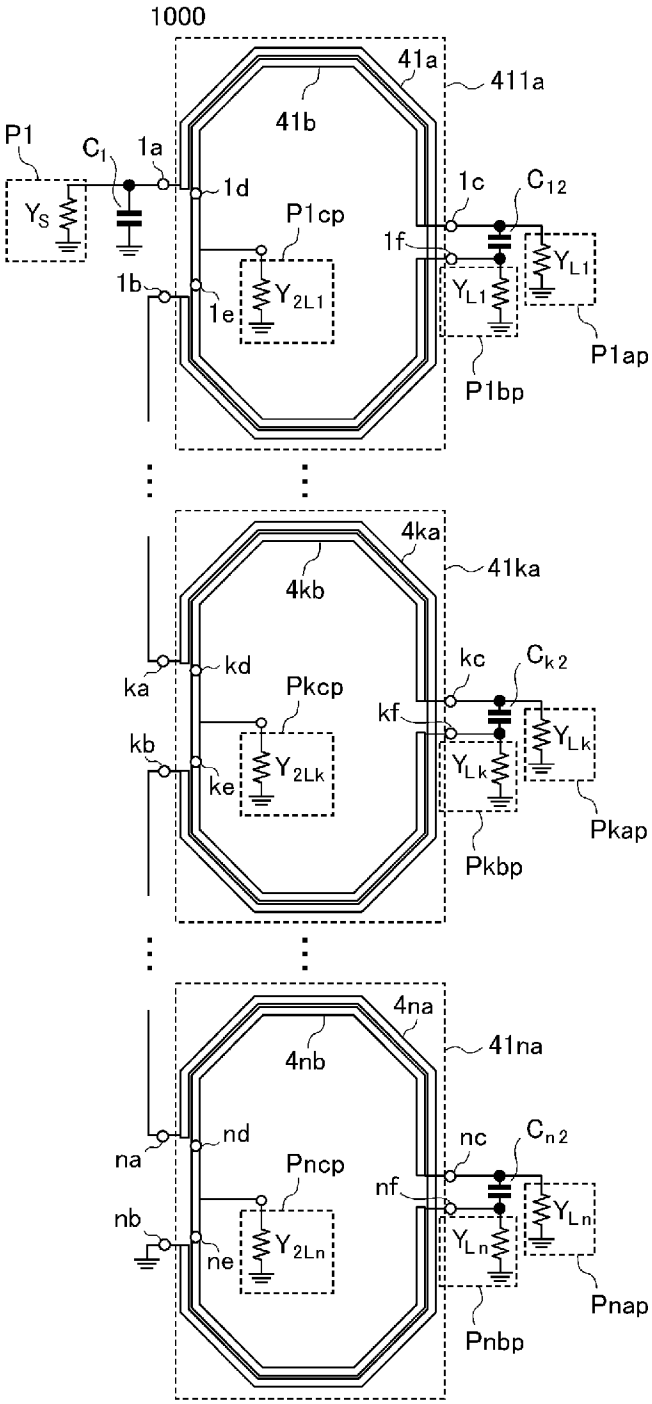
[図16]

図 16


1000
41a
41b
411a
P1
1a
1d
1c
P1cp
1f
1b
1e
P1ap
P1bp
4ka
4kb
41ka
ka
kd
kc
Pkcp
kf
kb
ke
Pkap
Pkbp
4na
4nb
41na
na
nd
nc
Pncp
nf
nb
ne
Pnap
Pnbp

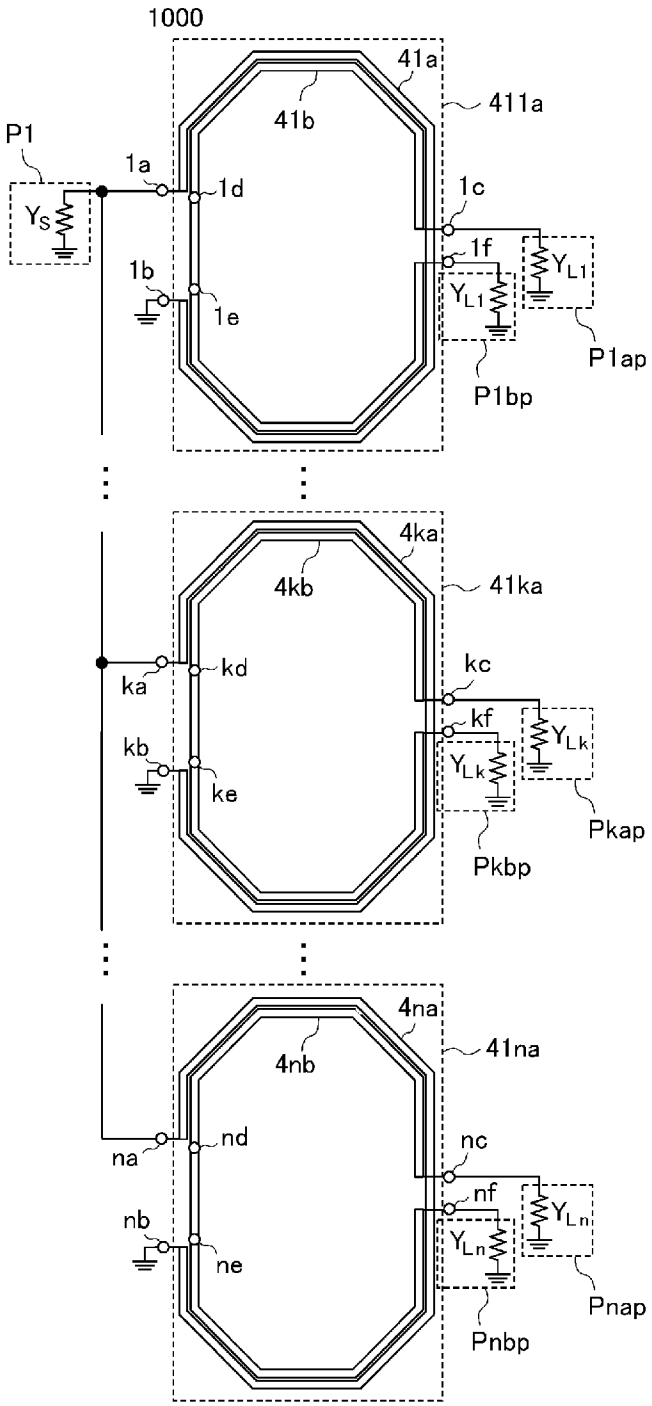
[図17]

図 17


1000
41a
411a
41b
P1
C1
1a
1d
P1cp
1c
C12
1f
YS
1b
1e
Y2L1
YL1
YL1
P1ap
P1bp
4ka
41ka
4kb
ka
kd
Pkcp
kc
Ck2
kf
kb
ke
Y2Lk
YLk
YLk
Pkap
Pkbp
4na
41na
4nb
na
nd
Pncp
nc
Cn2
nf
nb
ne
Y2Ln
YLn
YLn
Pnap
Pnbp

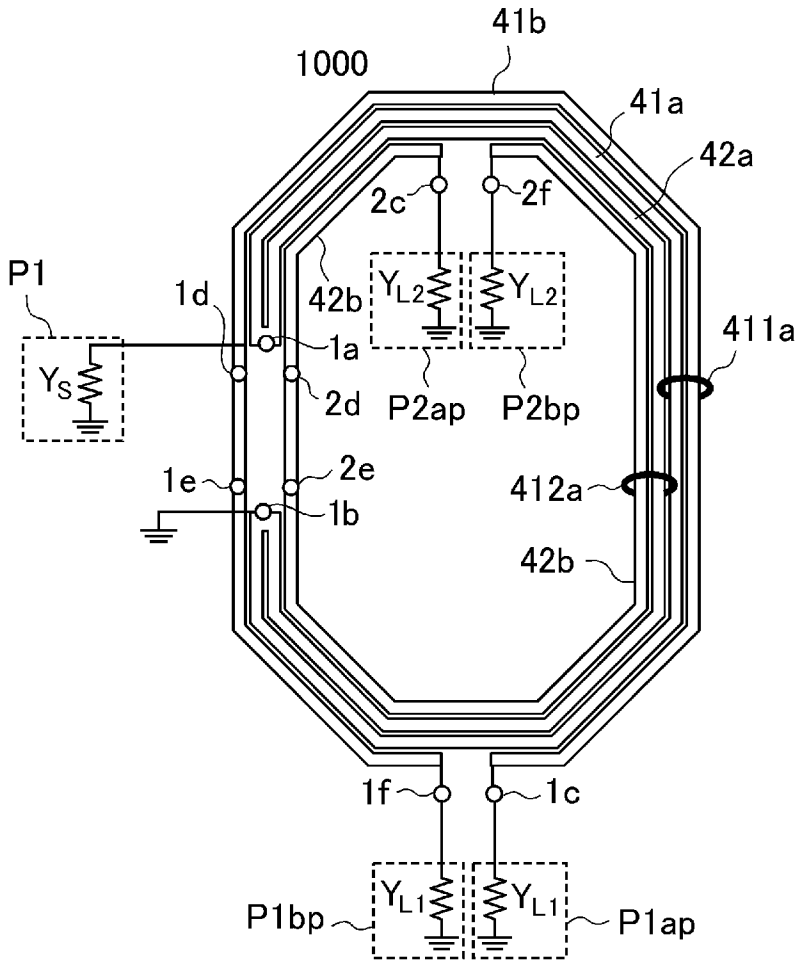
[図18]

図 18


1000
41a
41b
411a
P1
1a
1d
1c
Y_S
1f
Y_{L1}
1b
1e
Y_{L1}
P1ap
P1bp
4ka
4kb
41ka
ka
kd
kc
kf
Y_{Lk}
kb
ke
Y_{Lk}
Pkap
Pkbp
4na
4nb
41na
na
nd
nc
nf
Y_{Ln}
nb
ne
Y_{Ln}
Pnap
Pnbp

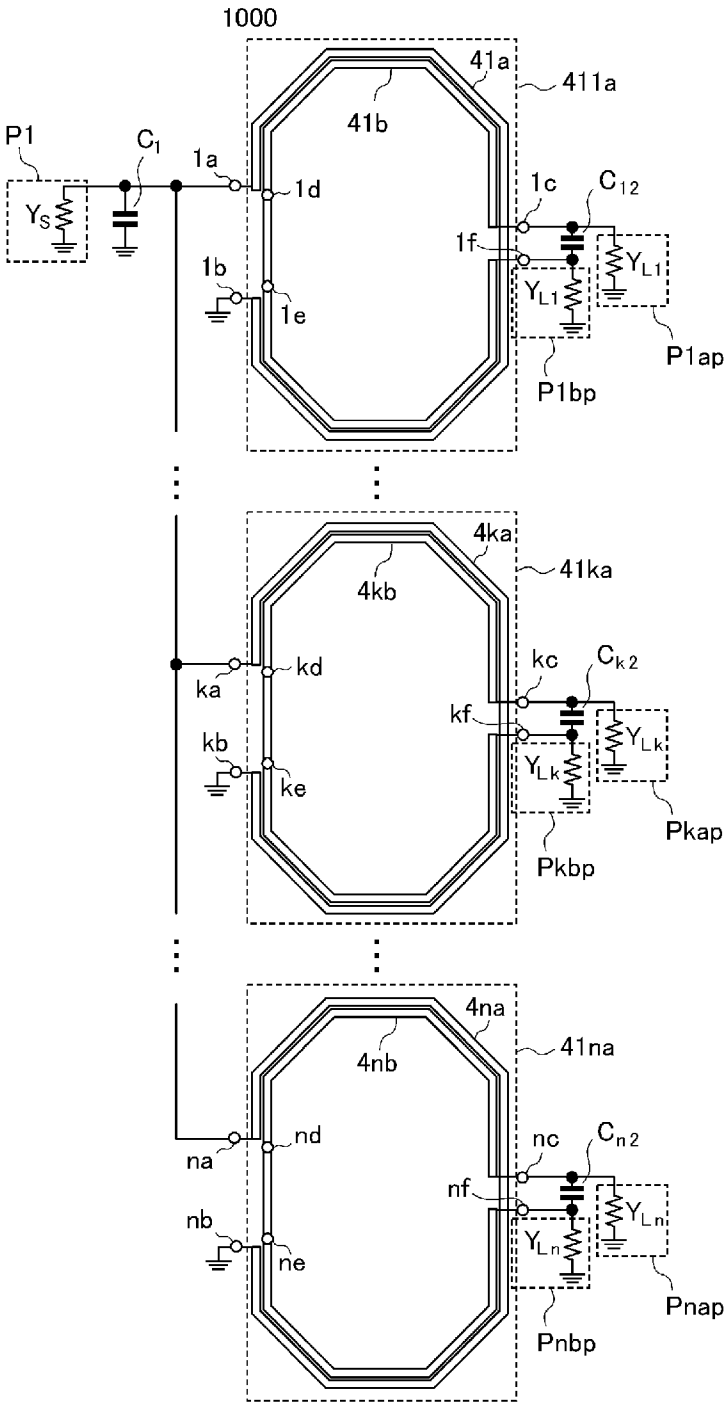
[図19]

図 19


41b
1000
41a
42a
2c
2f
P1
1d
42b
Y_{L2}
Y_{L2}
411a
Y_S
1a
2d
P2ap
P2bp
1e
2e
412a
1b
42b
1f
1c
Y_{L1}
Y_{L1}
P1bp
P1ap

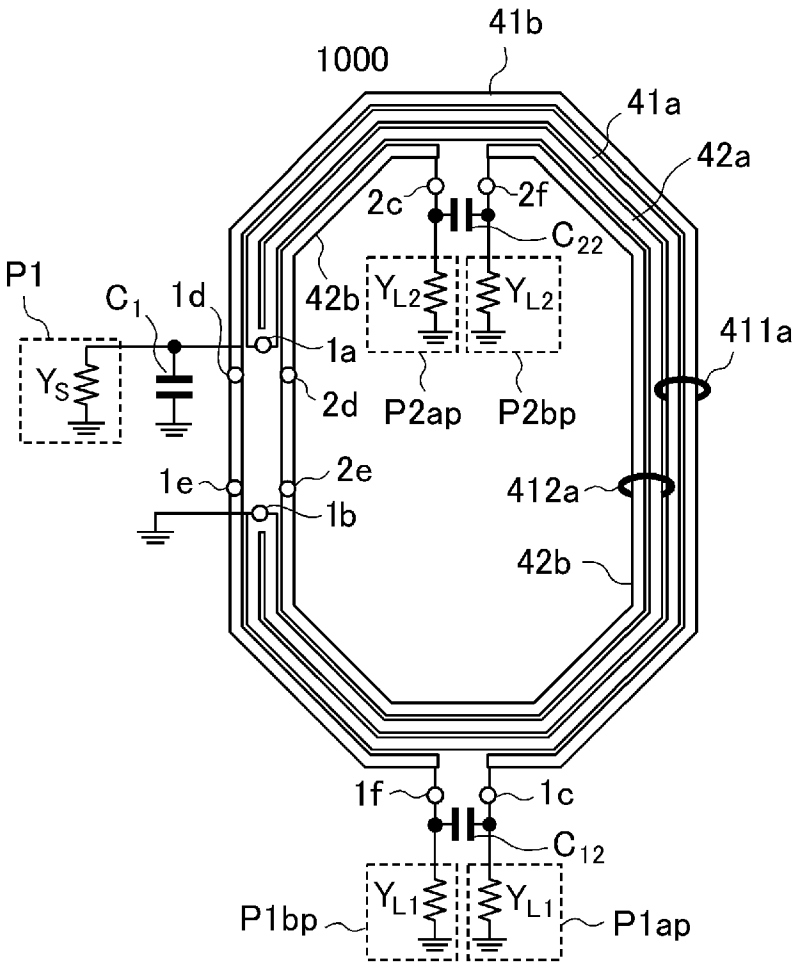
[図20]

図 20


1000
41a
411a
41b
P1
C1
1a
1d
1c
C12
Ys
1f
YL1
1b
1e
P1ap
P1bp
4ka
41ka
4kb
ka
kd
kc
Ck2
kf
kb
ke
YLk
Pkap
Pkbp
4na
41na
4nb
na
nd
nc
Cn2
nf
nb
ne
YLn
Pnap
Pnbp

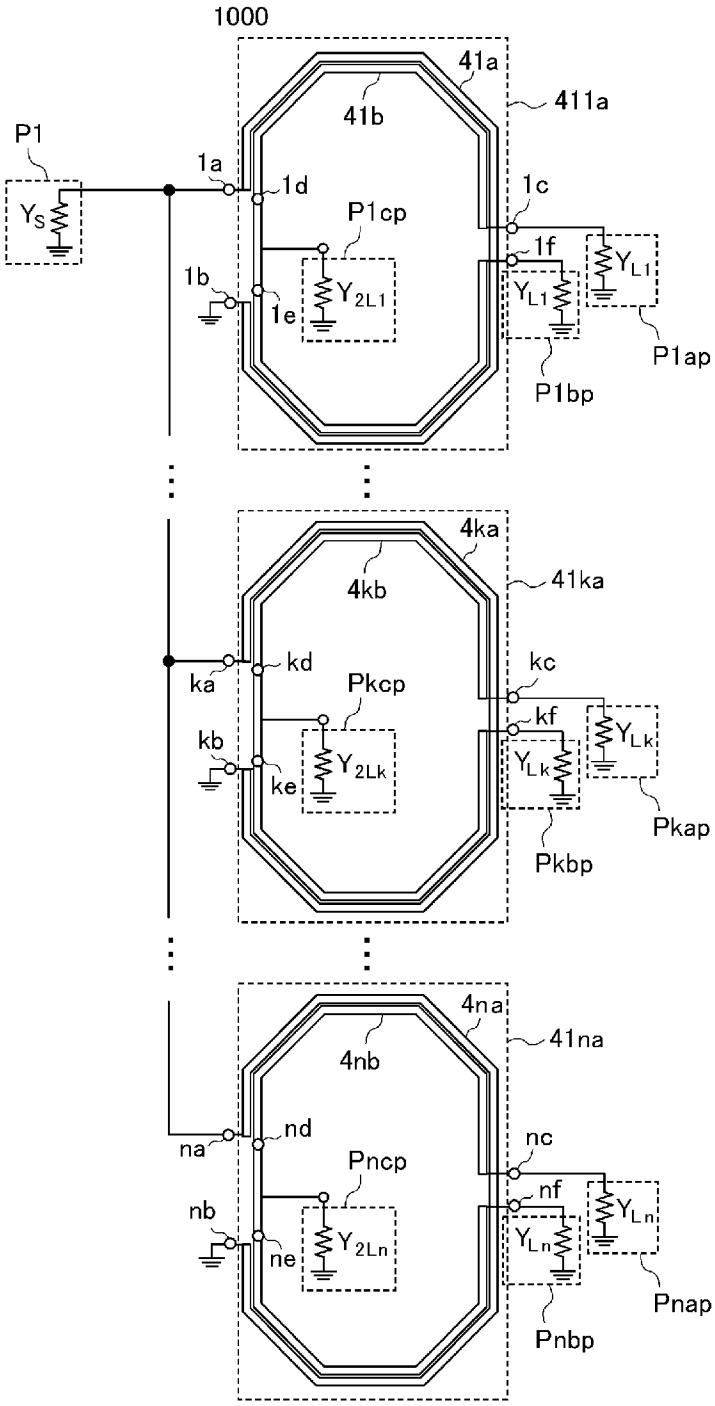
[図21]

図 21


41b
1000
41a
42a
2c
2f
C22
P1
C1
1d
42b
YL2
YL2
411a
YS
1a
2d
P2ap
P2bp
1e
2e
412a
1b
42b
1f
1c
C12
YL1
YL1
P1bp
P1ap

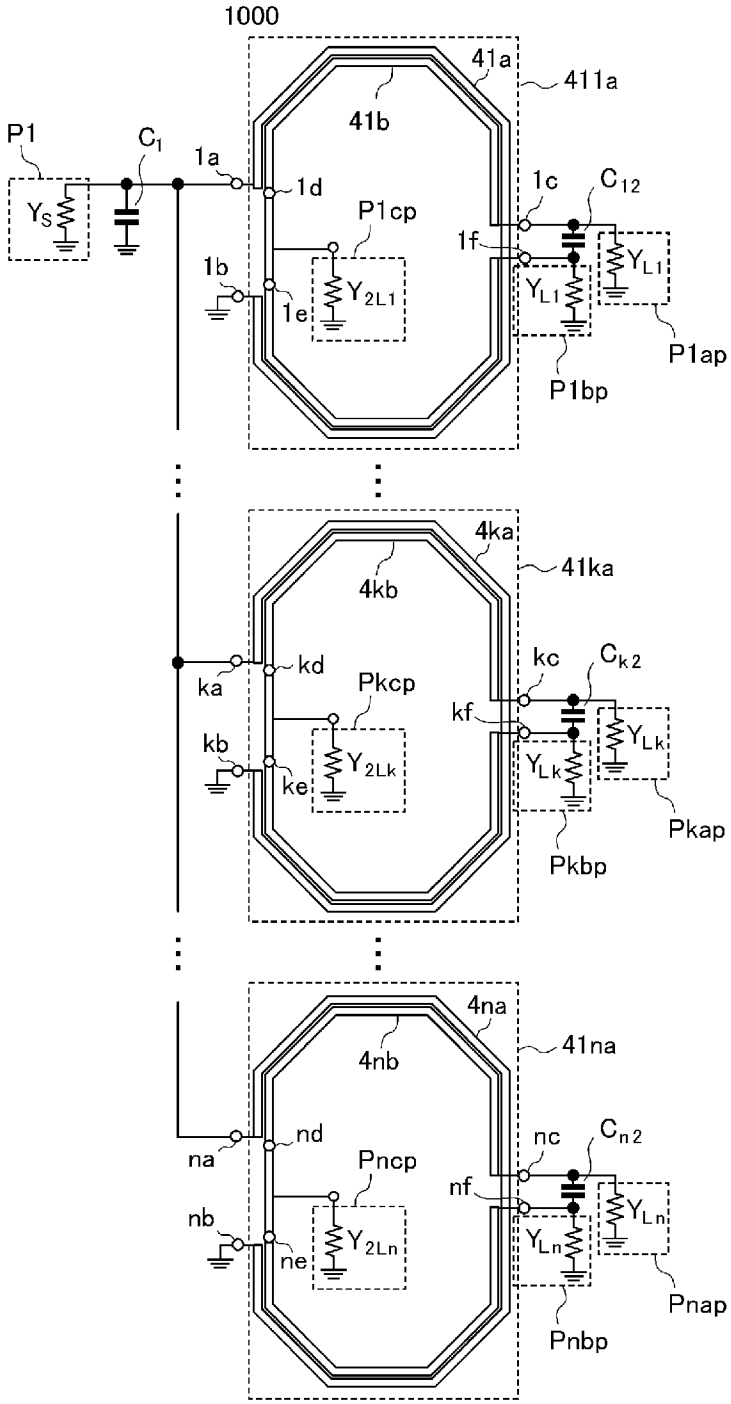
[図22]

図 22


1000
41a
41b
411a
P1
1a
1d
P1cp
1c
1f
Y_S
Y_{2L1}
Y_{L1}
1b
1e
P1ap
P1bp
4ka
4kb
41ka
ka
kd
Pkcp
kc
kf
kb
ke
Y_{2Lk}
Y_{Lk}
Pkap
Pkbp
4na
4nb
41na
na
nd
Pncp
nc
nf
nb
ne
Y_{2Ln}
Y_{Ln}
Pnap
Pnbp

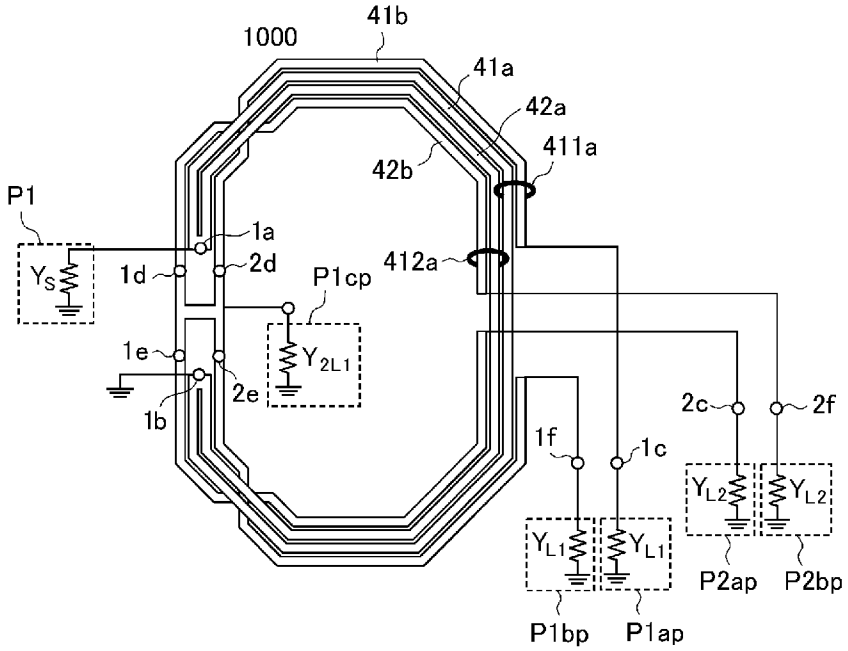
[図23]

図 23


1000
41a
411a
41b
P1
C1
1a
1d
P1cp
1c
C12
1f
1b
1e
Y2L1
YL1
P1ap
P1bp
4ka
41ka
4kb
ka
kd
Pkcp
kc
Ck2
kf
kb
ke
Y2Lk
YLk
Pkap
Pkbp
4na
41na
4nb
na
nd
Pncp
nc
Cn2
nf
nb
ne
Y2Ln
YLn
Pnap
Pnbp

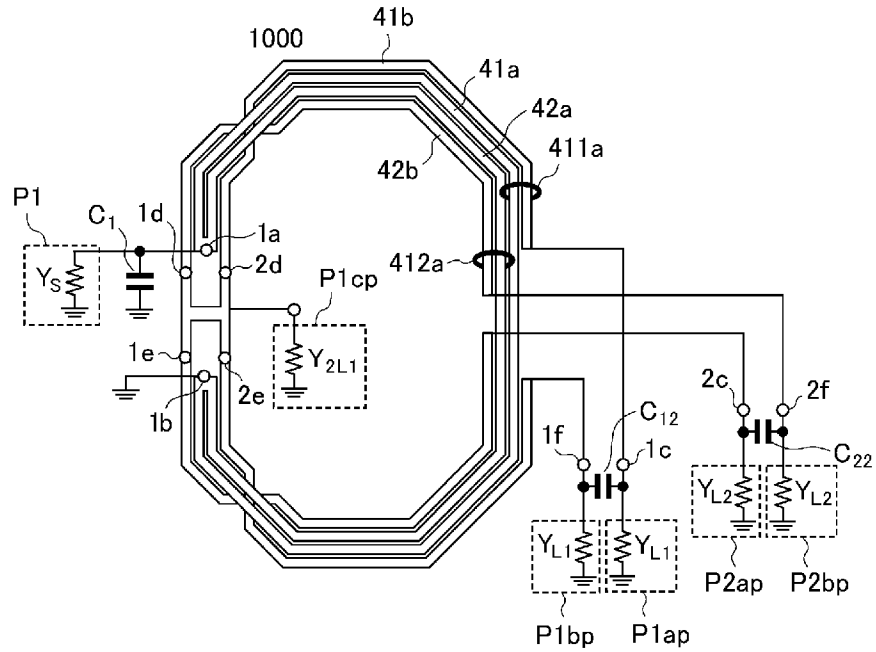
[図24]

図 24



[図25]

図 25



[図26]

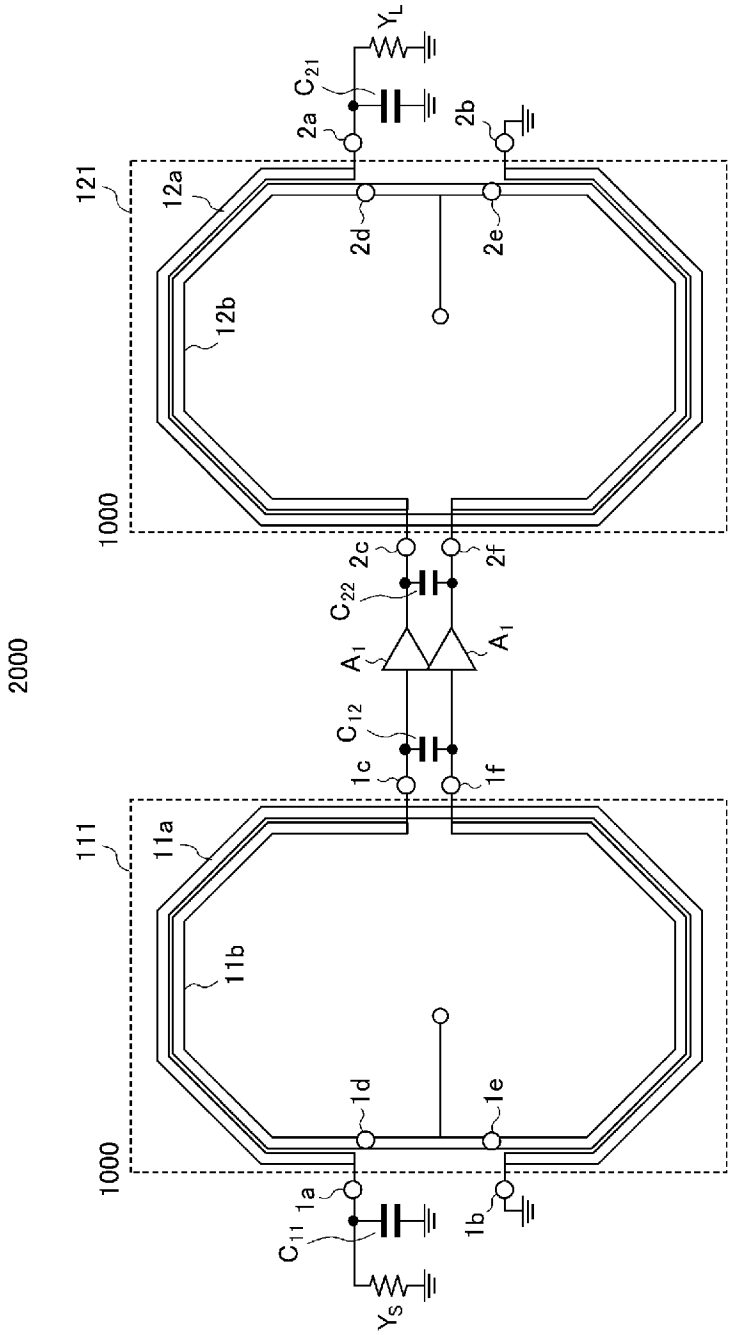

2000
1000
111
11a
11b
1a
1b
1c
1d
1e
1f
C_{11}
C_{12}
Y_S
1000
121
12a
12b
2a
2b
2c
2d
2e
2f
C_{21}
C_{22}
Y_L
A_1
A_1

図 26

[図27]

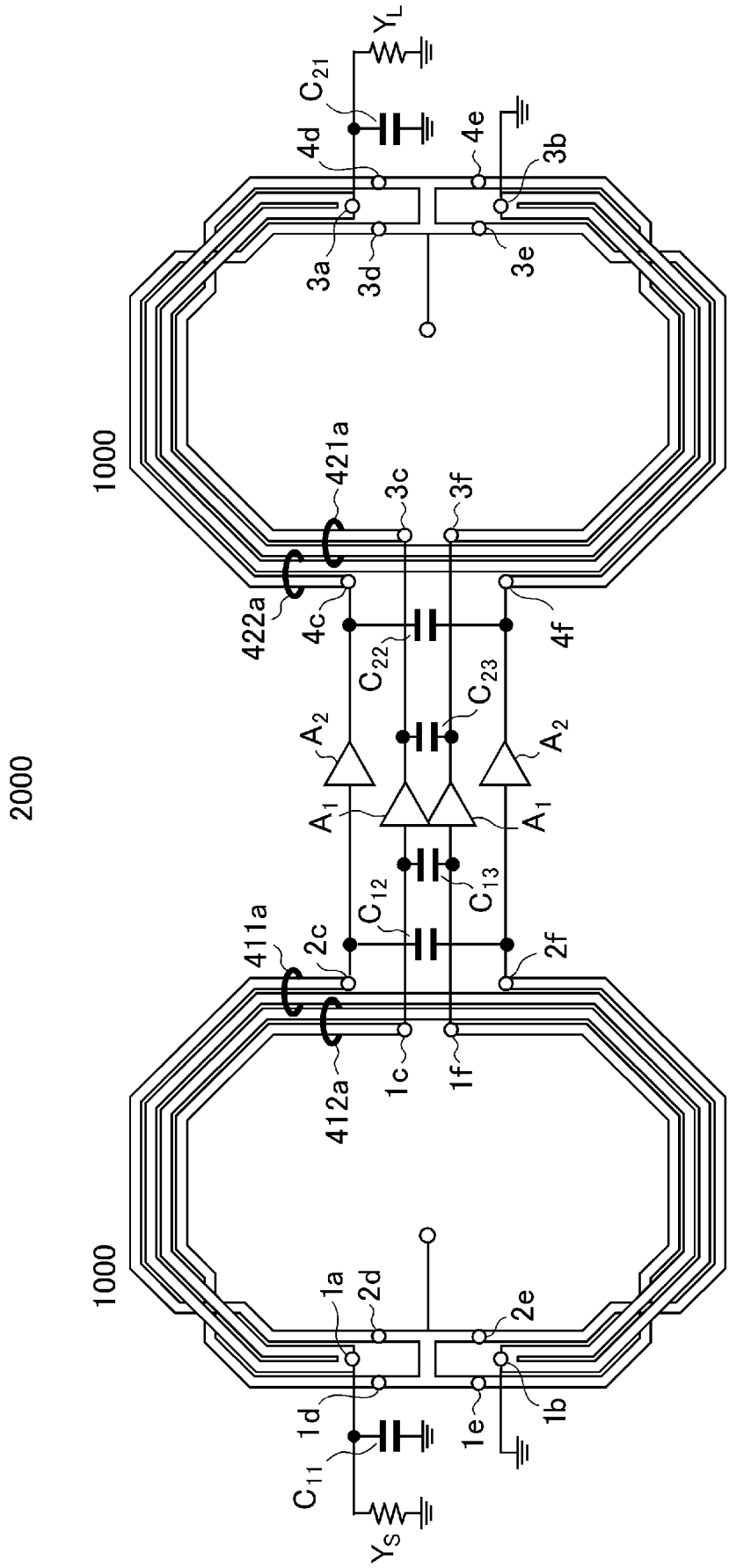

1000
1000
2000
Y_L
C_{21}
4d
4e
3b
3a
3d
3e
421a
3c
3f
422a
4c
4f
C_{22}
C_{23}
A_2
A_2
A_1
A_1
C_{12}
C_{13}
411a
2c
2f
412a
1c
1f
1a
2d
2e
1d
1e
1b
C_{11}
Y_S

図 27

[図28]

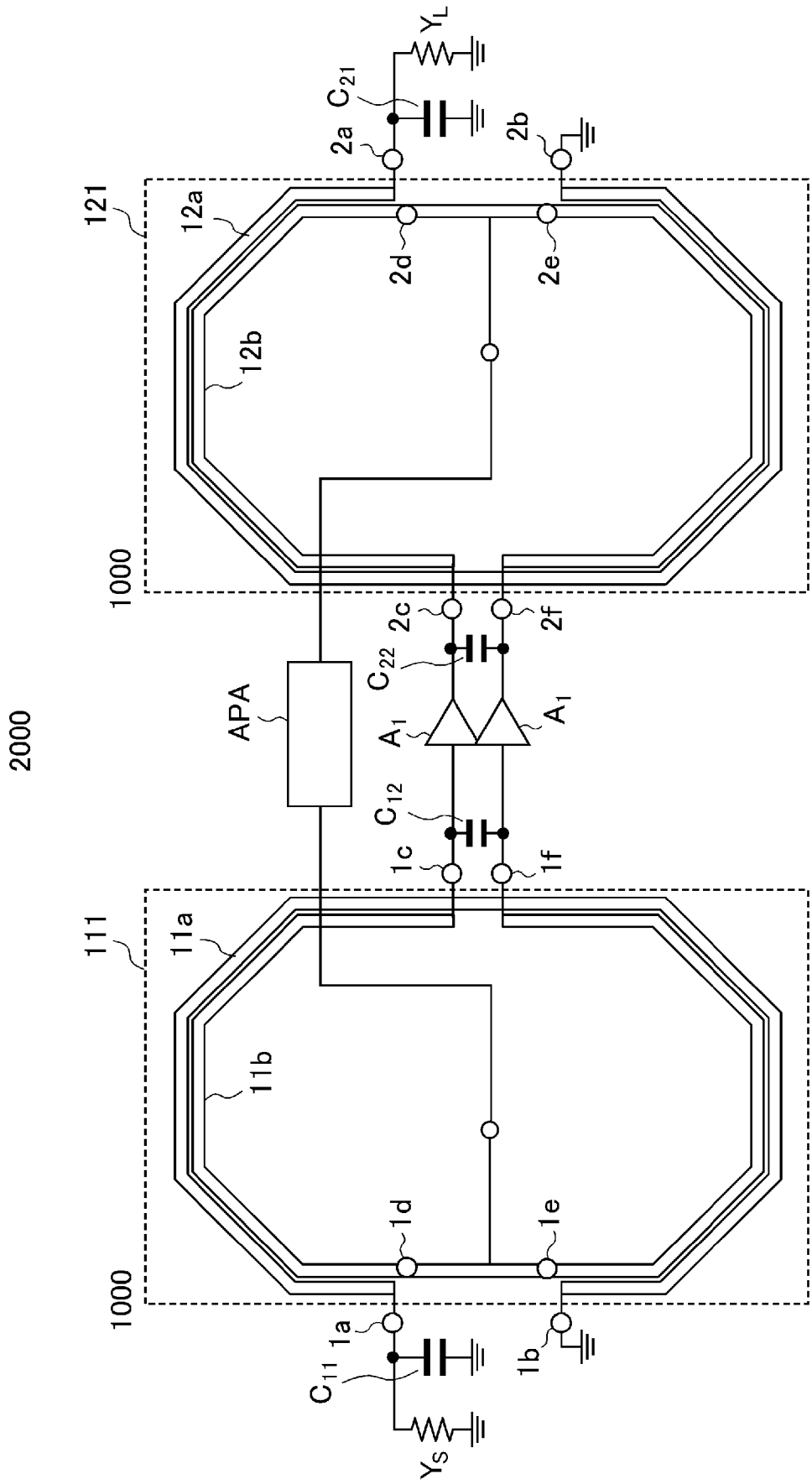

2000
1000
121
12a
12b
1000
111
11a
11b
APA
Y_L
C_{21}
2a
2b
2d
2e
2c
2f
C_{22}
A_1
A_1
C_{12}
1c
1f
1d
1e
1a
1b
C_{11}
Y_S

図 28

[図29]

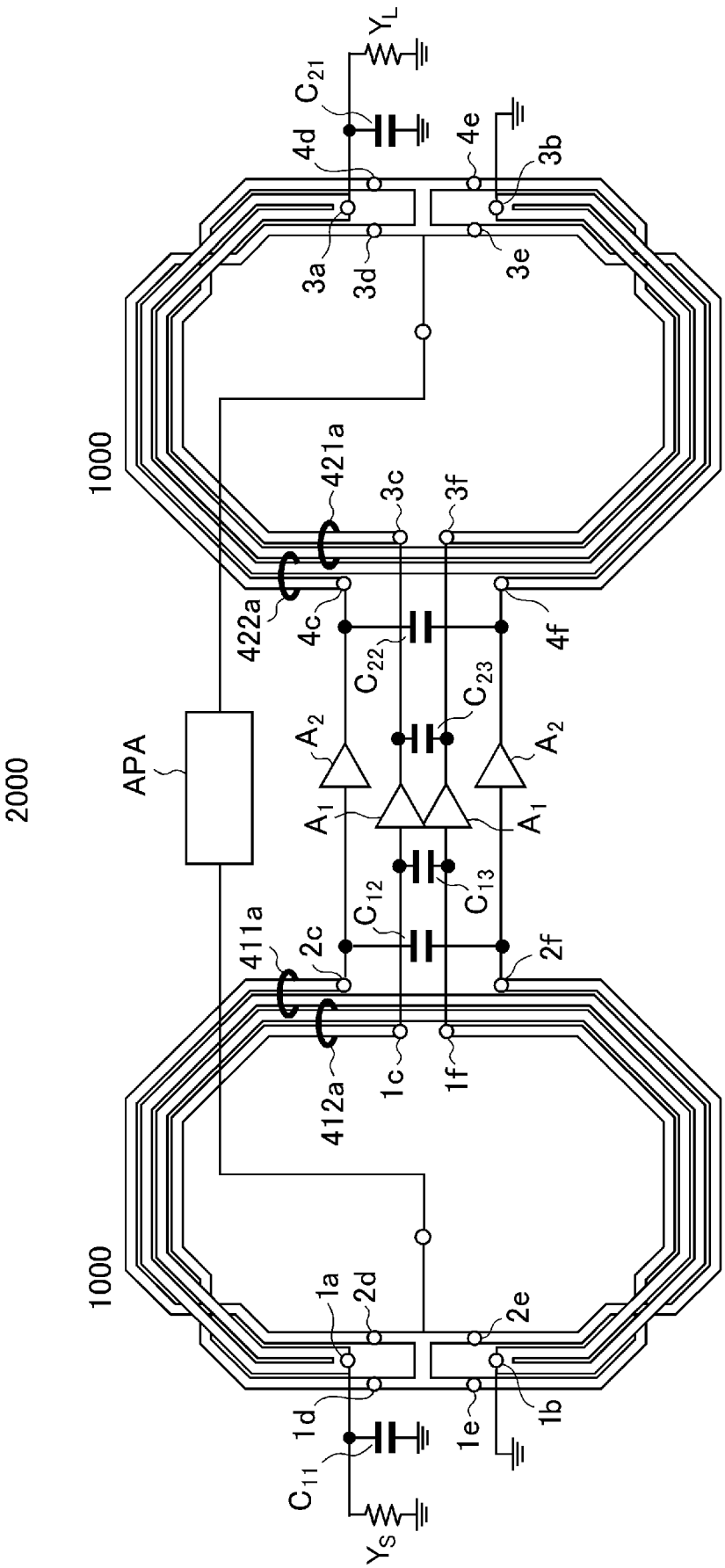

2000
APA
1000
1000
Y_L
Y_S
C_{21}
C_{11}
C_{22}
C_{23}
C_{12}
C_{13}
A_1
A_2
421a
422a
411a
412a
1a
1b
1c
1d
1e
1f
2c
2d
2e
2f
3a
3b
3c
3d
3e
3f
4c
4d
4e
4f

図 29

[図30]

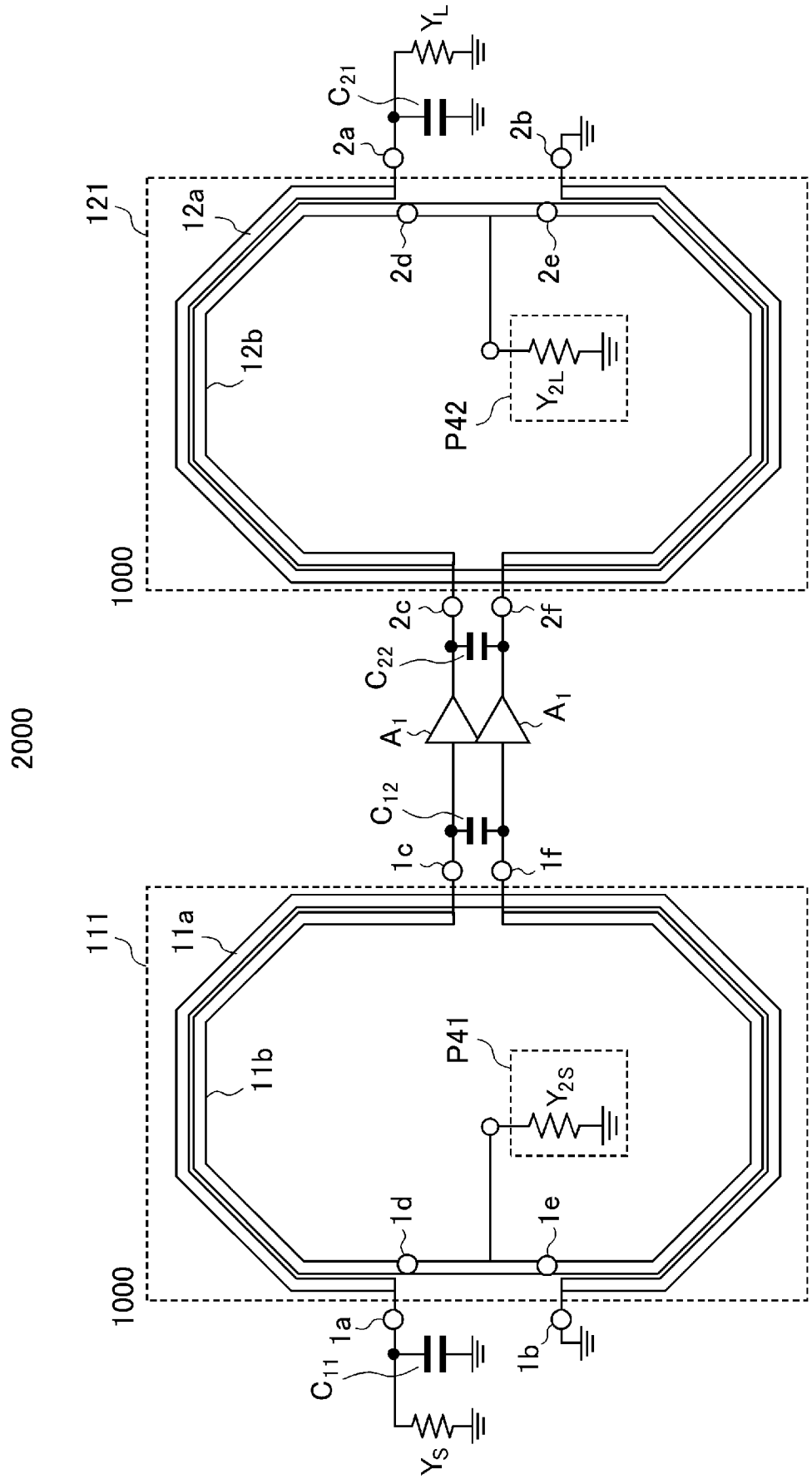

2000
1000
111
11a
11b
1a
1b
1c
1d
1e
1f
C_{11}
C_{12}
Y_S
P41
Y_{2S}
121
12a
12b
2a
2b
2c
2d
2e
2f
C_{21}
C_{22}
Y_L
P42
Y_{2L}
A_1
A_1

図30

[図31]

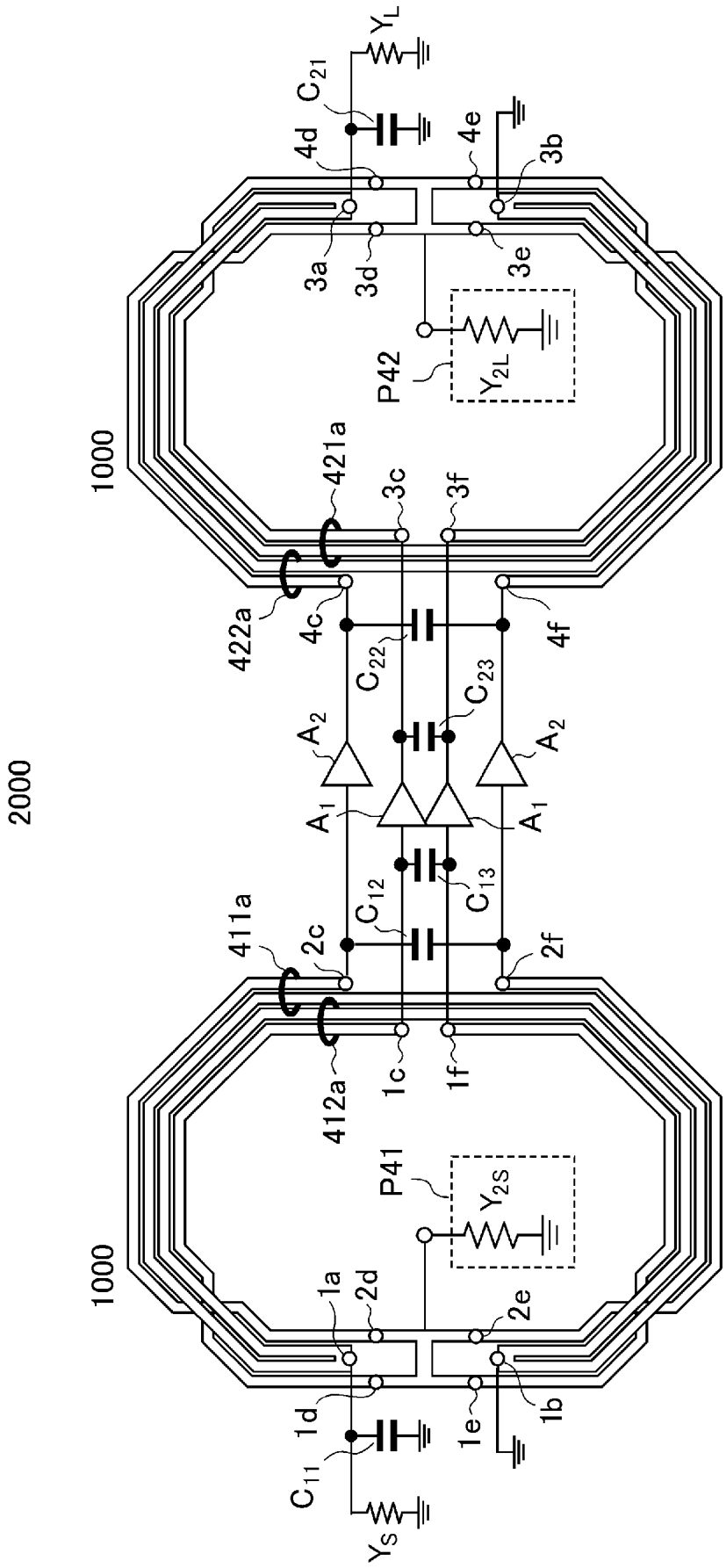

2000
1000
1000
Y_L
C_{21}
4d
4e
3b
3a
3d
3e
P42
Y_{2L}
421a
3c
3f
422a
4c
4f
C_{22}
C_{23}
A_2
A_2
A_1
A_1
C_{13}
C_{12}
411a
2c
2f
412a
1c
1f
P41
Y_{2S}
1a
2d
2e
1d
1e
1b
C_{11}
Y_S

図31

[図32]

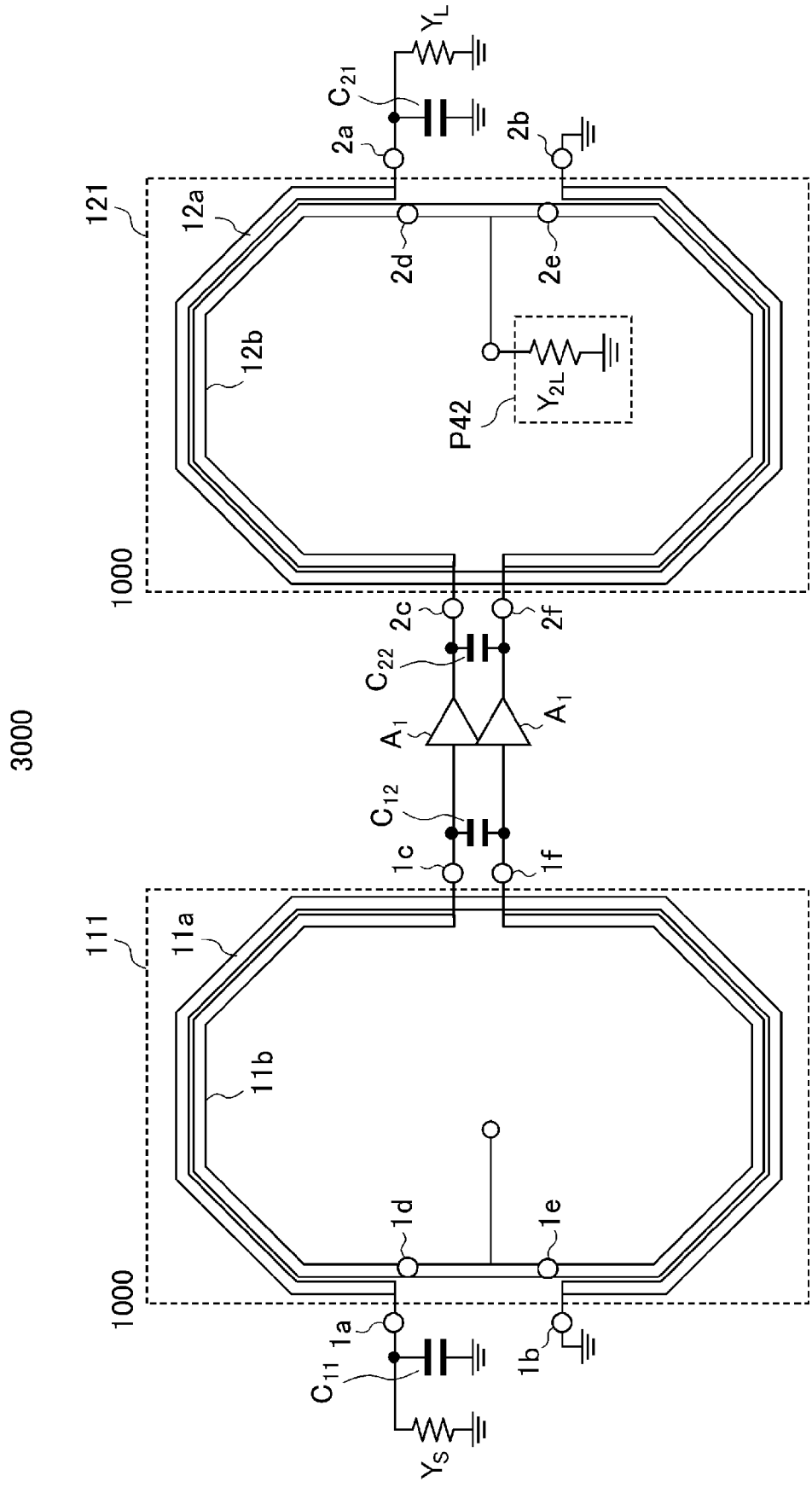

3000
121
12a
12b
1000
111
11a
11b
1000
2a
2b
2c
2d
2e
2f
1a
1b
1c
1d
1e
1f
P42
C_{21}
C_{22}
C_{12}
C_{11}
Y_L
Y_{2L}
Y_S
A_1
A_1

図 32

[図33]

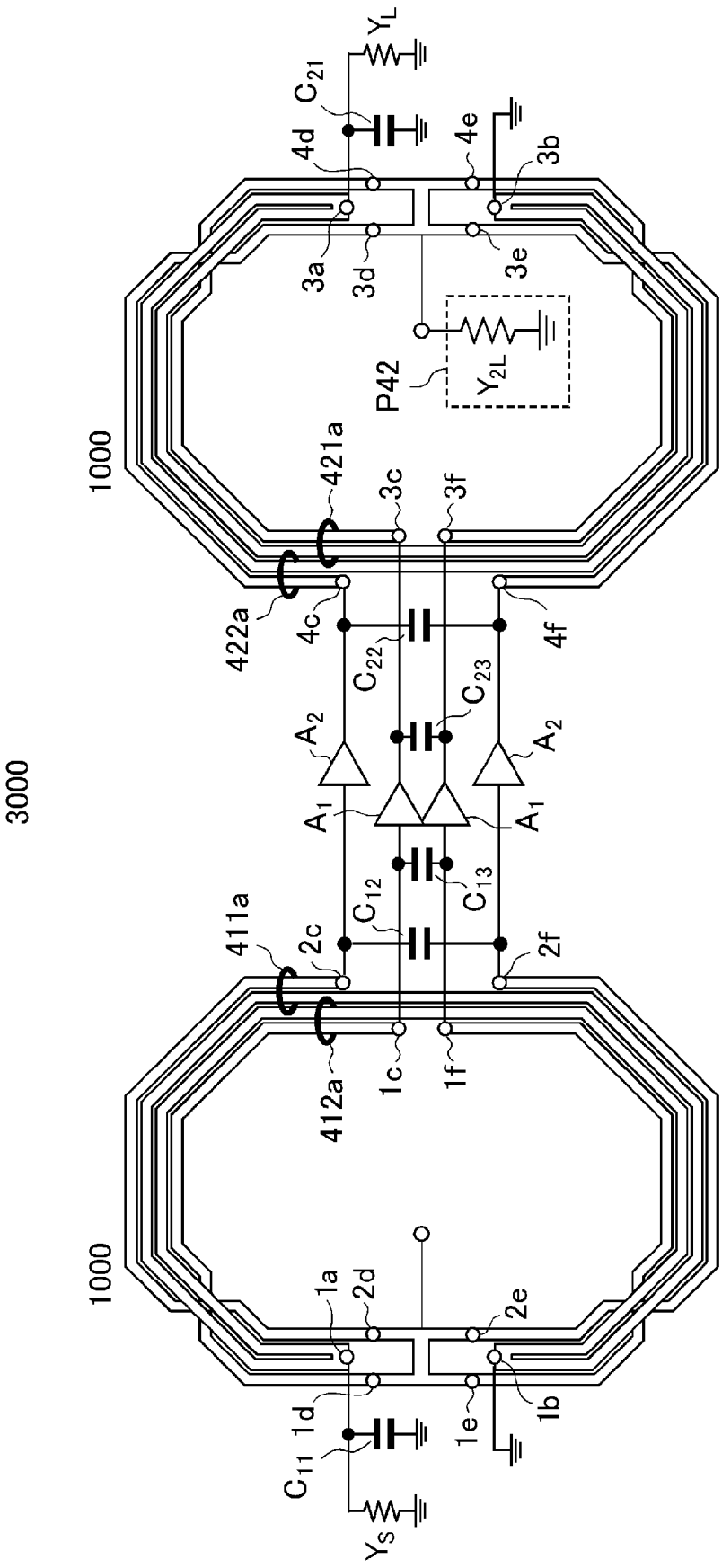
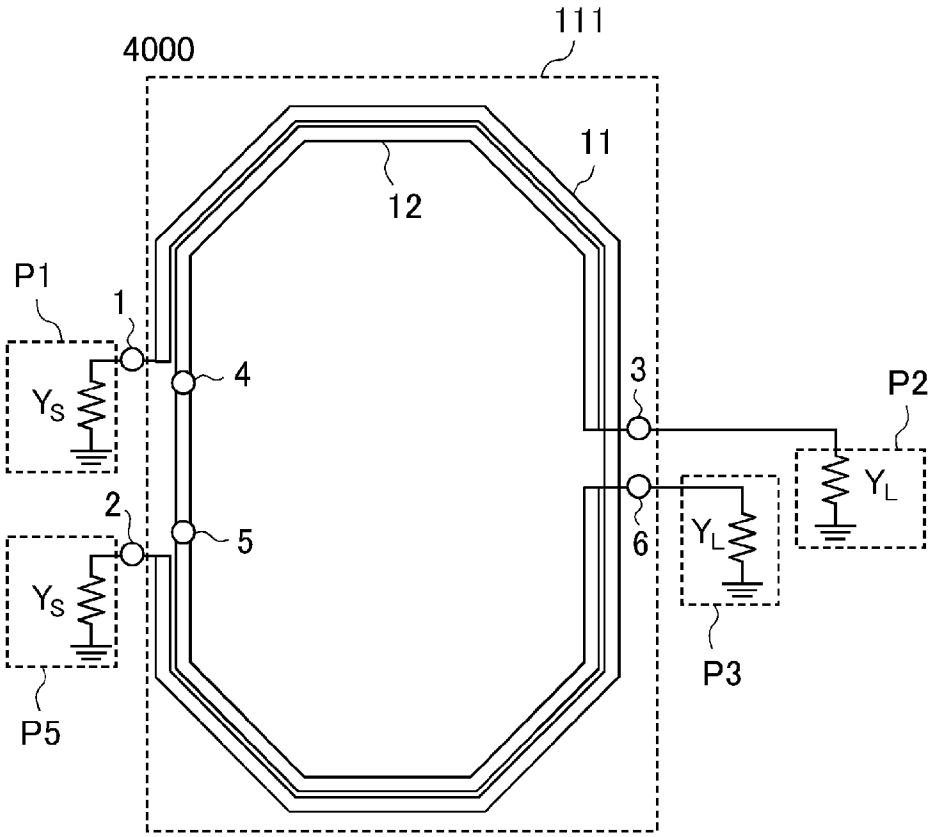

1000
1000
3000
Y_L
C_{21}
4d
4e
3b
3a
3d
3e
P42
Y_{2L}
421a
3c
3f
422a
4c
4f
C_{22}
C_{23}
A_2
A_2
A_1
A_1
C_{12}
C_{13}
411a
2c
2f
412a
1c
1f
1a
2d
2e
1d
1e
1b
C_{11}
Y_S

図 33

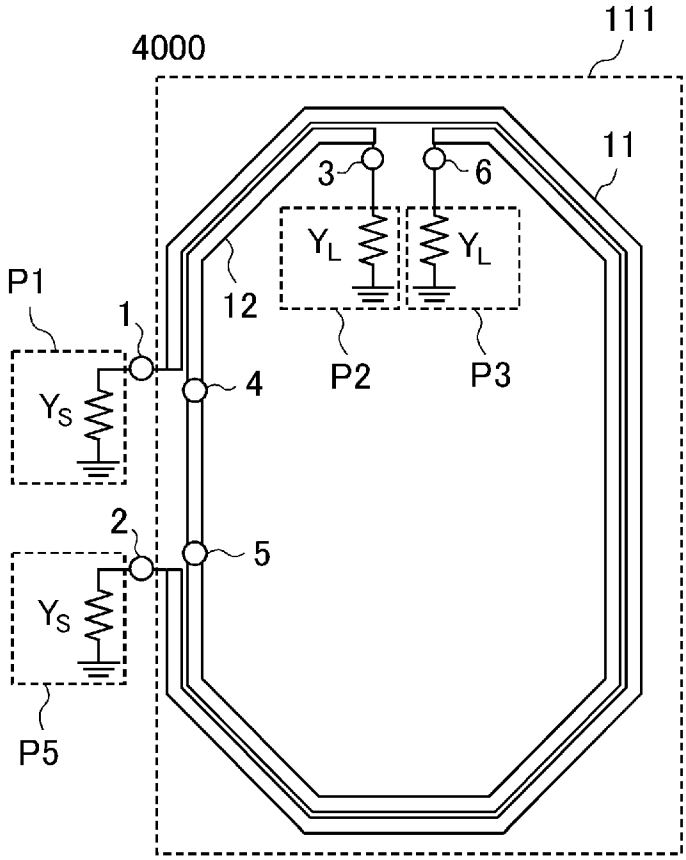
[図34]

図 34



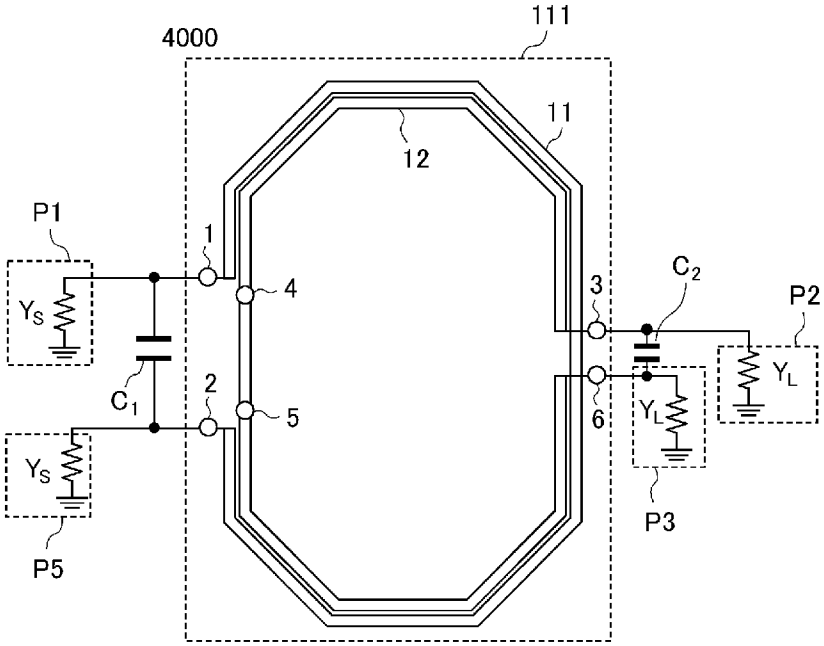
[図35]

図 35



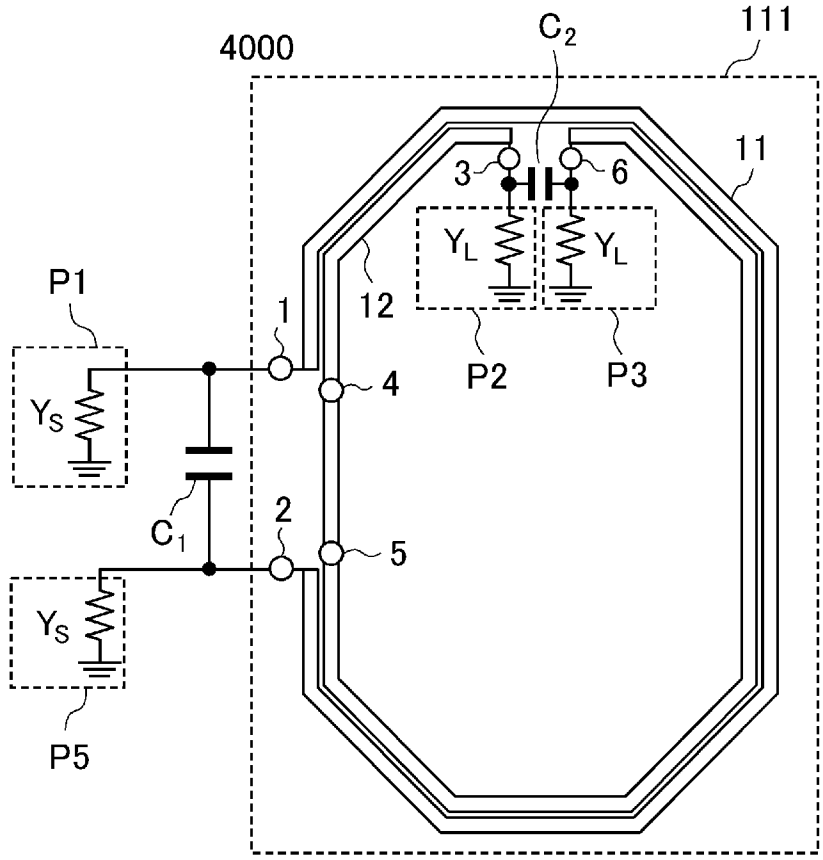
[図36]

図 36



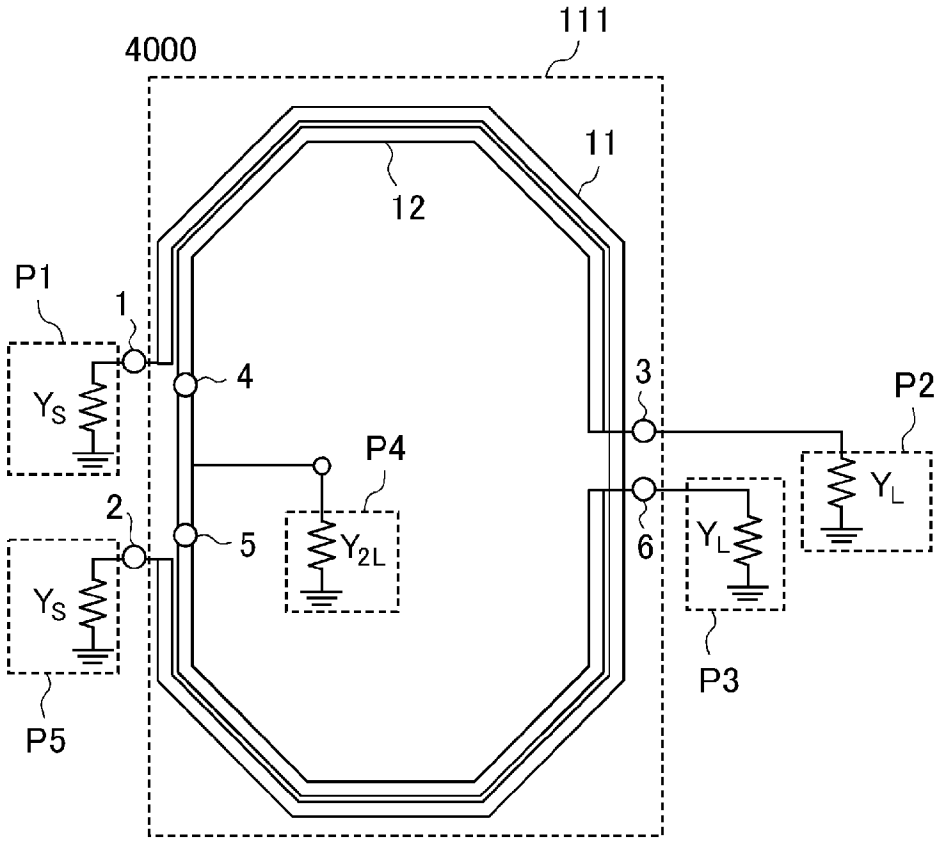
[図37]

図 37



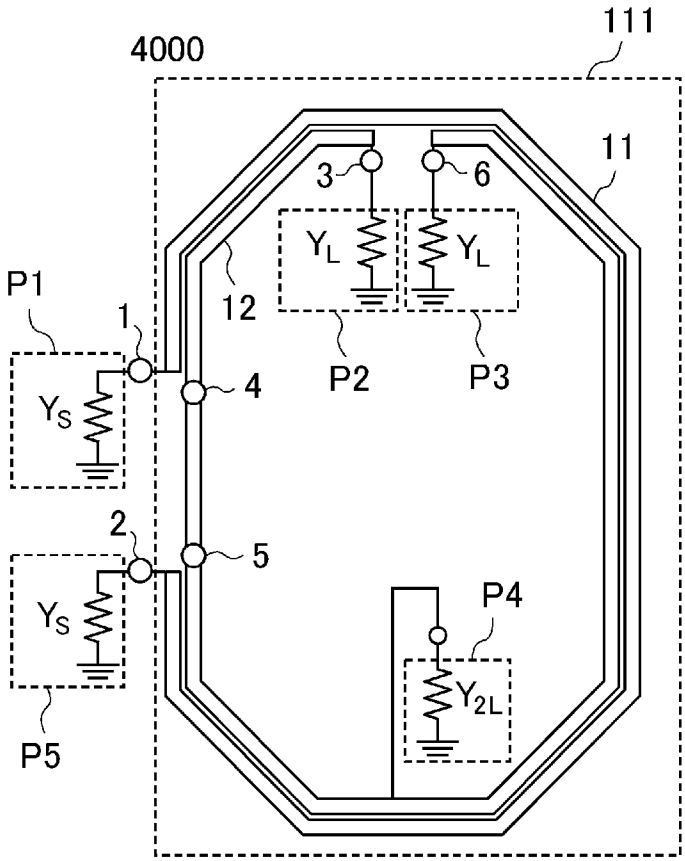
[図38]

図 38



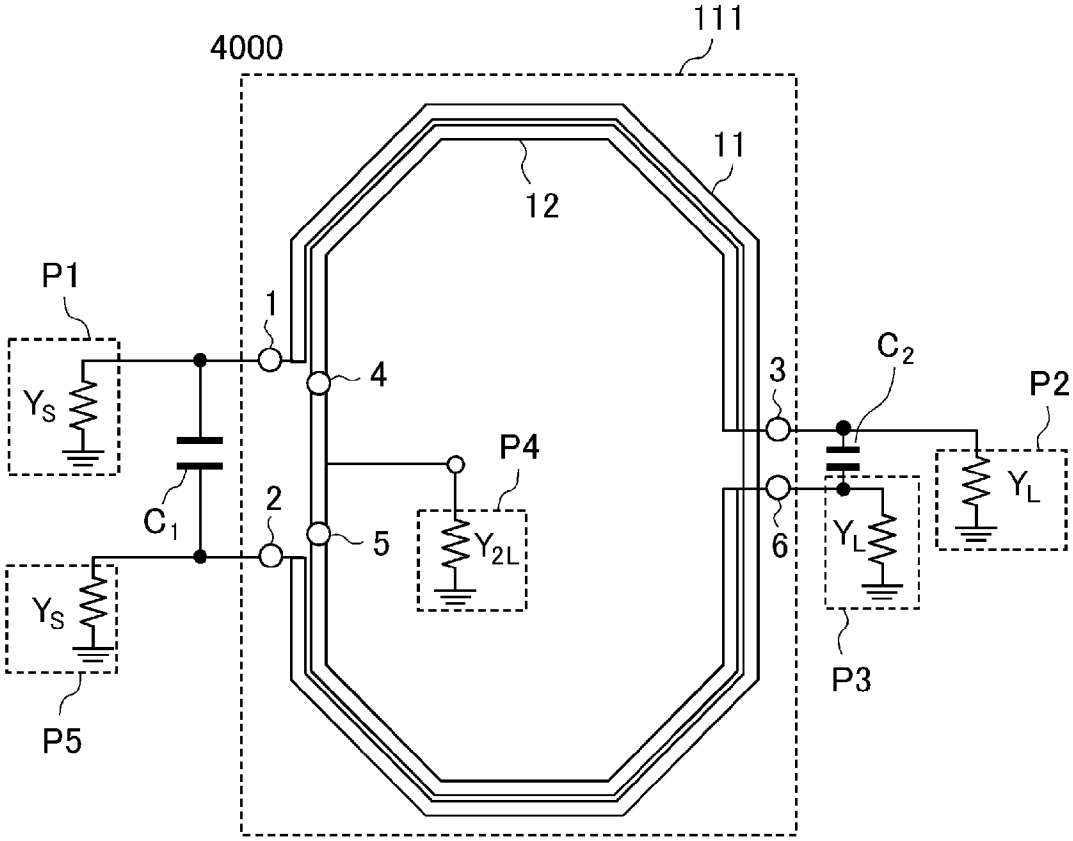
[図39]

図 39



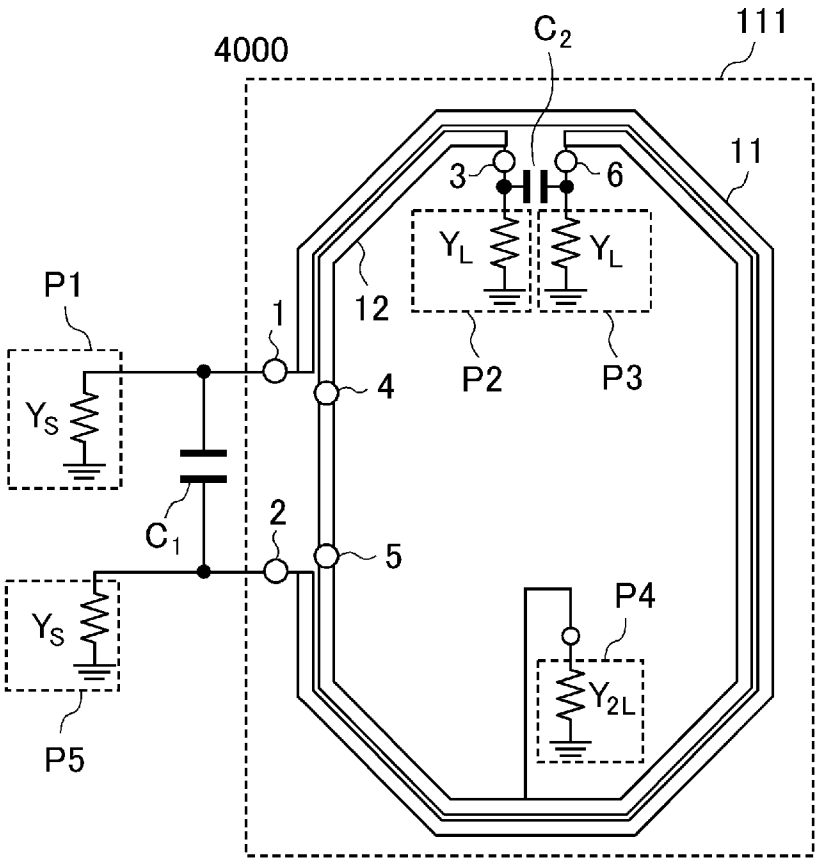
[図40]

図 40



[図41]

図 41



[図42]

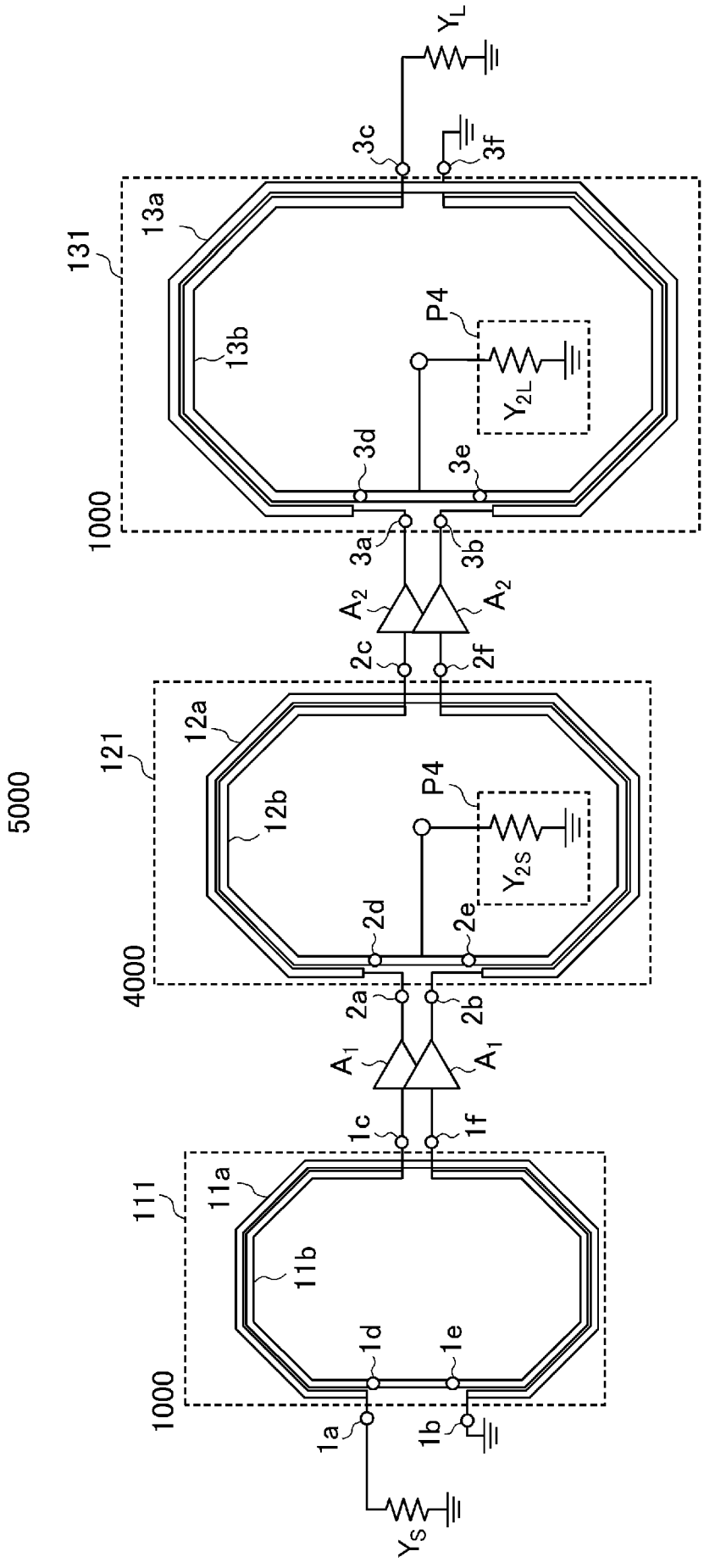

5000
1000
111
11a
11b
1a
1b
1c
1d
1e
1f
Y_S
A_1
4000
121
12a
12b
2a
2b
2c
2d
2e
2f
Y_{2S}
P4
A_2
1000
131
13a
13b
3a
3b
3c
3d
3e
3f
Y_{2L}
Y_L

図 42

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/087583

A. CLASSIFICATION OF SUBJECT MATTER
H01P5/10(2006.01)i, *H03F1/32*(2006.01)i, *H03F3/26*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01P5/10, H03F1/32, H03F3/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017
Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JSTPlus/JMEDPlus/JST7580(JDreamIII), IEEE Xplore, CiNii

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-237801 A (Motorola Semiconducteurs Bordeaux SA), 23 October 1991 (23.10.1991), & US 5061910 A & EP 418538 A1 & DE 69017809 C & FR 2652197 A & HK 69497 A & KR 10-1994-0000846 B & CA 2024142 A1	1-18
A	WO 02/052590 A2 (TELEFONAKTIEBOLAGET L M ERICSSON (PUBL)), 04 July 2002 (04.07.2002), & US 2002/0113682 A1 & SE 4794 A	1-18
A	JP 2013-168914 A (NEC Corp.), 29 August 2013 (29.08.2013), (Family: none)	1-18

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 March 2017 (02.03.17)	14 March 2017 (14.03.17)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/087583

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	K.Terajima et al., "Linearization of CMOS triple cascode push-pull power amplifiers by second harmonic feedback", Proceedings of Asia-Pacific Microwave Conference 2014, 2014, pp.107-109	1-18

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０８７５８３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01P5/10(2006.01)i, H03F1/32(2006.01)i, H03F3/26(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01P5/10, H03F1/32, H03F3/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

JSTPlus/JMEDPlus/JST7580 (JDreamIII), IEEE Xplore, CiNii

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 3-237801 A (モトローラ・セミコンダクトウール・ボルドー・ソシエテ・アノニム) 1991.10.23, & US 5061910 A & EP 418538 A1 & DE 69017809 C & FR 2652197 A & HK 69497 A & KR 10-1994-0000846 B & CA 2024142 A1	1-18
A	WO 02/052590 A2 (TELEFONAKTIEBOLAGET L M ERICSSON (PUBL)) 2002.07.04, & US 2002/0113682 A1 & SE 4794 A	1-18

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０２．０３．２０１７	１４．０３．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｋ　９１８３
岸田　伸太郎
電話番号　０３－３５８１－１１０１　内線　３５５６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-168914 A (日本電気株式会社) 2013.08.29, (ファミリーなし)	1-18
A	K.Terajima et al., "Linearization of CMOS triple cascode push-pull power amplifiers by second harmonic feedback", Proceedings of Asia-Pacific Microwave Conference 2014, 2014, pp.107-109	1-18