

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2024년 1월 4일 (04.01.2024)



(10) 국제공개번호

WO 2024/005406 A1

(51) 국제특허분류:

H01L 23/498 (2006.01)

H01L 21/48 (2006.01)

H01L 23/495 (2006.01)

(21) 국제출원번호:

PCT/KR2023/008233

(22) 국제출원일:

2023년 6월 15일 (15.06.2023)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2022-0080490 2022년 6월 30일 (30.06.2022) KR

(71) 출원인: 주식회사 아모그린텍 (AMOGREENTECH CO., LTD.) [KR/KR]; 10014 경기도 김포시 통진읍 김포대로1950번길 91, Gyeonggi-do (KR).

(72) 발명자: 이지형 (LEE, Jihyung); 10014 경기도 김포시 통진읍 김포대로1950번길 91, Gyeonggi-do (KR).

(74) 대리인: 김철진 (KIM, Churchill); 06527 서울특별시 서초구 강남대로97길 37 티엔티빌딩 4층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,

AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

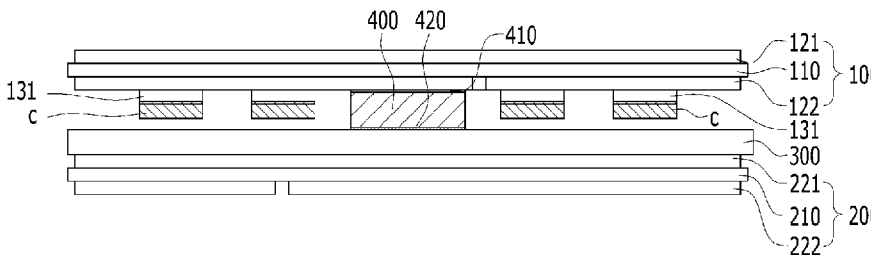
— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: POWER MODULE AND MANUFACTURING METHOD THEREFOR

(54) 발명의 명칭: 파워모듈 및 그 제조방법

[도3]

1



(57) Abstract: The present invention relates to a power module and a manufacturing method therefor. The power module of the present invention is a double-sided cooling type power module, wherein a spacer-integrated ceramic substrate is arranged on an upper portion of the power module with a semiconductor chip therebetween, and a lead frame-integrated ceramic substrate is arranged on a lower portion thereof, thereby maximizing a heat dissipation effect, easily controlling the thickness of a lead frame, and improving electrical characteristics. In addition, the present invention may improve electrical conductivity by forming an electrode pattern part integrated with a first circuit pattern.

(57) 요약서: 본 발명은 파워모듈 및 그 제조방법에 관한 것으로, 본 발명은 반도체 칩을 사이에 두고 상부에 스페이서 일체형 세라믹기판이 배치되고, 하부에 리드 프레임 일체형 세라믹기판이 배치된 양면 냉각 방식의 파워모듈이므로 방열 효과를 극대화할 수 있고, 리드 프레임의 두께 제어가 용이하며, 전기적 특성을 향상시킬 수 있다. 또한, 본 발명은 제1 회로패턴과 일체형인 전극패턴부를 형성하여 전기 전도도를 향상시킬 수 있다.



WO 2024/005406 A1

명세서

발명의 명칭: 파워모듈 및 그 제조방법

기술분야

- [1] 본 발명은 파워모듈 및 그 제조방법에 관한 것으로, 더욱 상세하게는 스페이서 일체형 세라믹기판과, 리드 프레임 일체형 세라믹기판이 적층된 구조의 파워모듈 및 그 제조방법(POWER MODULE AND MANUFACTURING METHOD THEREOF)에 관한 것이다.

배경기술

- [2] 파워모듈은 반도체 소자를 패키지에 모듈화하여 전력의 변환이나 제어용으로 최적화한 반도체 모듈이다.
- [3] 파워모듈은 베이스 플레이트(Base Plate) 위에 기판이 놓이고, 기판 상에 반도체 소자가 놓이는 구조이다.
- [4] 기존의 파워모듈에서 반도체 소자는 금(Au), 동(Cu), 알루미늄(Al) 소재의 와이어 본딩(Bond-wire)에 의해 기판과 전기적으로 연결되며, 기판 또한 와이어 본딩에 의해 PCB와 연결되는 구성을 가진다. 즉, 전기적 신호 및 전력 변환을 위한 전력 이동선로가 와이어 본딩에 의해 이루어지는 구조이다.
- [5] 그런데, 이러한 와이어 본딩 구조에 의하면, 고전력, 고전류의 전기적 에너지로 인하여 단락, 단선이 발생할 가능성이 있어 차량 전체의 잠재적 위험요소가 되고 있고, 반도체 소자에서 발생하는 열을 효과적으로 방열하기가 어렵다.
- [6] 이상의 배경기술에 기재된 사항은 발명의 배경에 대한 이해를 돕기 위한 것으로서, 공개된 종래 기술이 아닌 사항을 포함할 수 있다.

발명의 상세한 설명

기술적 과제

- [7] 본 발명은 상술한 문제점을 해결하고자 안출된 것으로서, 본 발명은 반도체 칩을 사이에 두고 상부에 스페이서 일체형 세라믹기판이 배치되고, 하부에 리드 프레임 일체형 세라믹기판이 배치되어 방열 효과를 극대화하고, 리드 프레임의 두께 제어가 용이하며, 전기적 특성을 향상시킨 파워모듈 및 그 제조방법을 제공하는 데 그 목적이 있다.

과제 해결 수단

- [8] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 실시예에 따른 파워모듈은, 제1 세라믹기재와 제1 세라믹기재의 적어도 일면에 형성된 제1 회로패턴을 포함하는 제1 세라믹기판, 제1 회로패턴에 형성되고, 제1 세라믹기판에 실장하는 반도체 칩의 전극과 접합되는 전극패턴부, 제1 세라믹기판의 하부에 이격되게 배치되며, 제2 세라믹기재와 제2 세라믹기재의 적어도 일면에 형성된 제2 회로패턴을 포함하는 제2 세라믹기판, 제1 세라믹기판과 제2 세라믹기판 사이에 배치되고, 제2 회로패턴에 접합되는 리드 프레임, 제1 회로패턴과 리드 프레임의 사

- 이에 배치되어 제1 회로패턴과 리드 프레임을 이격시키는 스페이서를 포함할 수 있다.
- [9] 전극패턴부는 제1 회로패턴에서 하프 에칭된 일부 영역을 제외한 나머지 영역이 돌출되어 형성될 수 있고, 반도체 칩의 전극에 대응되는 면적으로 형성될 수 있다.
- [10] 스페이서는 전극패턴부와 반도체 칩을 합한 높이 이상의 높이를 가질 수 있다.
- [11] 리드 프레임은 제2 세라믹기판에 브레이징, 웰딩, Ag 소결 접합 중 하나의 방법으로 접합될 수 있다.
- [12] 스페이서는 Cu 또는 CuMo 재료로 형성되거나, Cu, CuMo, Cu가 순차적으로 적층된 CPC 소재로 형성될 수 있다.
- [13] 본 발명의 실시예에 따른 파워모듈 제조방법은, 제1 세라믹기재와 제1 세라믹기재의 적어도 일면에 형성된 제1 회로패턴 및 제1 회로패턴에 형성된 전극패턴부를 포함하는 제1 세라믹기판을 준비하는 단계, 전극패턴부에 반도체 칩의 전극을 접합하는 단계, 스페이서의 일면을 제1 회로패턴에 접합시키는 단계, 제2 세라믹기재와 제2 세라믹기재의 적어도 일면에 형성된 제2 회로패턴 및 제2 회로패턴에 접합된 리드 프레임을 포함하는 제2 세라믹기판을 준비하는 단계, 스페이서의 타면을 리드 프레임에 접합시키는 단계를 포함할 수 있다.
- [14] 제1 세라믹기판을 준비하는 단계는, 제1 세라믹기재의 적어도 일면에 금속층을 접합하는 단계, 금속층을 에칭하여 제1 회로패턴을 형성하는 단계, 제1 회로패턴에서 일부 영역을 하프 에칭하여 일부 영역을 제외한 나머지 영역에 돌출된 전극패턴부를 형성하는 단계를 포함할 수 있다.
- [15] 제2 세라믹기판을 준비하는 단계에서, 리드 프레임은 제2 세라믹기판에 브레이징, 웰딩, Ag 소결 접합 중 하나의 방법으로 접합될 수 있다.
- [16] 전극패턴부를 형성하는 단계는, 제1 회로패턴 상에 포토레지스트를 형성하는 단계, 전극패턴부에 대응되는 패턴을 가진 마스크를 포토레지스트 상에 배치한 후 노광 및 현상하여 포토레지스트 패턴을 형성하는 단계, 포토레지스트 패턴을 마스크로 하여 제1 회로패턴의 일부 영역을 두께 방향으로 하프 에칭하는 단계, 포토레지스트 패턴을 제거하는 단계를 포함할 수 있다.
- [17] 하프 에칭하는 단계에서, 하프 에칭의 깊이는 제1 회로패턴 두께의 절반일 수 있다.
- [18] 포토레지스트를 형성하는 단계는, 제1 회로패턴 상에 드라이 필름 포토레지스트를 부착하여 형성할 수 있다.
- [19] 금속층을 접합하는 단계에서, 금속층은 소둔 열처리되어 열 응력이 제거된 상태일 수 있다.
- [20] 금속층을 접합하는 단계는, 페이스트 도포, 포일(foil) 부착, P-filler 중 어느 하나의 방법으로 제1 세라믹기재의 적어도 일면과 금속층 사이에 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하의 두께를 갖는 브레이징 필러층을 배치하는 단계, 브레이징 필러층을 용융시켜 브레이징 접합하는 단계를 포함할 수 있다.

- [21] 브레이징 필러층을 배치하는 단계에서, 브레이징 필러층은 Ag, Cu, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어질 수 있다.

발명의 효과

- [22] 본 발명은 스페이서 일체형 세라믹기판인 제1 세라믹기판을 준비하고, 리드 프레임 일체형 세라믹기판인 제2 세라믹기판을 준비한 후, 이들을 접합하여 제조하기 때문에 파워모듈의 조립단계에서 리드 프레임의 두께를 용이하게 제어할 수 있고 소형화가 가능하며, 리드 프레임을 통해 전기적 특성 향상을 도모할 수 있고, 방열 효과를 높일 수 있다.
- [23] 또한, 본 발명은 제1 세라믹기판의 일면에 전극패턴부를 형성하여 전기적 신호 및 전력 변환을 위한 전력 이동선로 역할을 할 수 있도록 한다. 따라서, 본 발명은 와이어 본딩을 생략할 수 있을 뿐 아니라 파워모듈에 적용하여 반도체 칩의 다중 다량 접속과 방열 효과를 모두 확보할 수 있고, 소형화에도 기여하므로 파워모듈의 성능을 보다 향상시킬 수 있다.
- [24] 또한, 본 발명은 전극패턴부가 제1 회로패턴과 분리되지 않은 일체형이기 때문에 전기 전도도가 향상되어 저항 특성이 개선될 수 있다. 이와 더불어, 전극패턴부 형성 시 Soldering, Sintering 등으로 접합할 필요가 없기 때문에 접합 시 접합면에서 발생할 수 있는 공극이 최소화될 수 있다.
- [25] 또한, 본 발명은 파워모듈의 소형화를 위해 반도체 칩을 다중, 다량 집속하더라도 반도체 칩에서 발생하는 열이 제1 세라믹기판으로 방출될 뿐만 아니라 리드 프레임과 제2 세라믹기판으로도 방출될 수 있기 때문에 방열 특성을 극대화할 수 있다.

도면의 간단한 설명

- [26] 도 1은 본 발명의 실시예에 따른 파워모듈을 나타낸 저면도이다.
- [27] 도 2는 도 1의 A-A'선에 따른 단면도이다.
- [28] 도 3은 본 발명의 실시예에 따른 파워모듈에 반도체 칩이 접합된 상태를 개략적으로 나타낸 측면도이다.
- [29] 도 4는 본 발명의 실시예에 따른 파워모듈에서 제1 세라믹기판을 나타낸 저면도이다.
- [30] 도 5는 도 4의 제1 세라믹기판을 나타낸 측면도이다.
- [31] 도 6은 도 4의 B-B'선에 따른 단면도이다.
- [32] 도 7은 도 5의 제1 세라믹기판에 복수의 반도체 칩이 접합된 상태를 나타낸 측면도이다.
- [33] 도 8은 본 발명의 실시예에 따른 파워모듈에서 제2 세라믹기판을 나타낸 평면도이다.
- [34] 도 9는 본 발명의 실시예에 따른 파워모듈에서 리드 프레임을 나타낸 저면도이다.

- [35] 도 10은 리드 프레임과 제2 세라믹기판의 접합 구조에서 제2 세라믹기재의 상면에 형성된 제2 회로패턴을 나타낸 저면도이다.
- [36] 도 11은 리드 프레임과 제2 세라믹기판의 접합 구조에서 제2 세라믹기재의 하면에 형성된 제2 회로패턴을 나타낸 저면도이다.
- [37] 도 12는 본 발명의 실시예에 따른 파워모듈 제조방법을 나타낸 흐름도이다.
- [38] 도 13은 본 발명의 실시예에 따른 파워모듈 제조방법에서 제1 세라믹기판을 준비하는 단계를 나타낸 흐름도이다.
- [39] 도 14는 제1 세라믹기판을 준비하는 단계에서 전극패턴부를 형성하는 단계를 나타낸 흐름도이다.
- [40] 도 15는 제1 회로패턴 상에 포토레지스트를 형성한 상태를 나타낸 단면도이다.
- [41] 도 16은 포토레지스트 상에 마스크를 배치하고 노광하는 상태를 나타낸 단면도이다.
- [42] 도 17은 노광된 포토레지스트를 현상한 상태를 나타낸 단면도이다.
- [43] 도 18은 포토레지스트 패턴이 없는 영역의 제1 회로패턴을 두께 방향으로 하프에칭한 상태를 나타낸 단면도이다.
- [44] 도 19는 잔류한 포토레지스트 패턴을 제거한 상태를 나타낸 단면도이다.

발명의 실시를 위한 형태

- [45] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [46] 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이고, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [47] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다.
- [48] 실시예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여(indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 하는 것을 원칙으로 한다.
- [49] 도면은 본 발명의 사상을 이해할 수 있도록 하기 위한 것일 뿐, 도면에 의해서 본 발명의 범위가 제한되는 것으로 해석되지 않아야 한다. 또한 도면에서 상대적인 두께, 길이나 상대적인 크기는 설명의 편의 및 명확성을 위해 과장될 수 있다.
- [50] 파워모듈은 각종 구성품으로 이루어진 패키지 형태의 전자부품으로서, 다수의 기판 및 다수의 반도체 칩을 포함할 수 있다. 본 발명은 파워모듈에 포함되는 구

성 중 스페이서 일체형 세라믹기판인 제1 세라믹기판과, 리드 프레임 일체형 세라믹기판인 제2 세라믹기판으로 구성된 복층 구조의 파워모듈에 특징이 있으므로 이를 중심으로 설명하기로 한다.

[51] 도 1은 본 발명의 실시예에 따른 파워모듈을 나타낸 저면도이고, 도 2는 도 1의 A-A'선에 따른 단면도이며, 도 3은 본 발명의 실시예에 따른 파워모듈에 반도체 칩이 접합된 상태를 개략적으로 나타낸 측면도이다.

[52] 도 1 내지 도 3에 도시된 바에 의하면, 본 발명의 실시예에 따른 파워모듈(1)은 제1 세라믹기판(100)과 제2 세라믹기판(200)이 일정 간격을 두고 배치된 복층 구조이며, 후술하겠지만 제1 세라믹기판(100)은 스페이서(400)가 접합되므로 스페이서 일체형 세라믹기판이라고 할 수 있고, 제2 세라믹기판(200)은 리드 프레임(300)이 접합되므로 리드 프레임 일체형 세라믹기판이라고 할 수 있다. 반도체 칩(c)은 제1 세라믹기판(100)에 실장되고, 제2 세라믹기판(200)에 접합된 리드 프레임(300)과 마주하도록 배치될 수 있다. 여기서, 반도체 칩(c)은 대전력 스위치, 고속 스위치, 전력 손실 최소화, 소형 칩 사이즈 등의 요구에 대응할 수 있는 SiC 칩, GaN 칩, Si 칩일 수 있다. 이외에도 MOSFET(Metal Oxide Semiconductor Field Effect Transistor), IGBT(Insulated Gate Bipolar Transistor), JFET(Junction Field Effect Transistor), HEMT(High Electric Mobility Transistor), FRD(Fast Recovery Diode) 등의 다양한 소자가 사용될 수도 있다. 이와 같이, 본 발명의 실시예에 따른 파워모듈(1)은 반도체 칩(c)을 사이에 두고 상부에 스페이서 일체형 세라믹기판이 배치되고, 하부에 리드 프레임 일체형 세라믹기판이 배치된 양면 냉각(DSC: Dual-Side Cooling) 방식의 파워모듈이다. 양면 냉각 방식의 파워모듈은 단면 냉각 방식의 파워모듈에 비해 방열 효과를 극대화할 수 있다.

[53] 본 발명의 실시예에 따른 파워모듈(1)은 제2 세라믹기판(200)에 리드 프레임(300)이 일체형으로 접합된 상태로 조립된다는 특징이 있다. 즉, 종래에는 한 쌍의 세라믹기판을 포함한 양면 냉각 파워모듈을 조립한 이후에 별도의 리드 프레임(300)을 추가로 접합하기 때문에 리드 프레임을 포함한 파워모듈의 두께를 파워모듈 조립 단계에서 용이하게 제어하기가 어렵다. 반면, 본 발명의 실시예에 따른 파워모듈(1)은 스페이서 일체형 세라믹기판인 제1 세라믹기판(100)을 준비하고, 리드 프레임 일체형 세라믹기판인 제2 세라믹기판(200)을 준비한 후, 이들을 접합하여 제조하기 때문에 파워모듈의 조립단계에서 리드 프레임(300)의 두께를 용이하게 제어할 수 있고 소형화가 가능하다. 또한, 본 발명의 실시예에 따른 파워모듈(1)은 리드 프레임(300)을 통해 전기적 특성 향상을 도모할 수 있으며, 방열 효과를 높일 수 있다는 장점도 있다.

[54] 제1 세라믹기판(100)과 제2 세라믹기판(200)은 AMB(Active Metal Brazing) 기판, DBC(Direct Bonding Copper) 기판, TPC(Thick Printing Copper) 기판, DBA 기판(Direct Brazed Aluminum) 중 어느 하나일 수 있으며, 이 중에서 AMB 기판은 내구성 및 방열 효율이 우수하므로 제1 세라믹기판(100)과 제2 세라믹기판(200)은 AMB 기판임을 일 예로 한다.

- [55] 일 예로, 제1 세라믹기판(100)은 제1 세라믹기재(110)와, 제1 세라믹기재(110)의 적어도 일면에 형성된 제1 회로패턴(121,122)을 포함할 수 있다. 제1 세라믹기재(110)는 알루미나(Al_2O_3), AlN , SiN , Si_3N_4 중 어느 하나인 것을 일 예로 할 수 있다.
- [56] 제1 회로패턴(121,122)은 제1 세라믹기재(110)의 양면에 형성될 수 있다. 제1 세라믹기재(110)의 양면은 제1 세라믹기재(110)의 상면과 하면을 의미할 수 있다. 제1 회로패턴(121,122)은 Cu , Al , AlSiC , CuMo , CuW , Cu/CuMo/Cu , Cu/Mo/Cu 및 Cu/W/Cu 중 적어도 하나 또는 이들의 복합소재로 이루어질 수 있다. 제1 회로패턴(121,122)은 제1 세라믹기재(110) 상에 Cu , Al , AlSiC , CuMo , CuW , Cu/CuMo/Cu , Cu/Mo/Cu 및 Cu/W/Cu 중 적어도 하나 또는 이들의 복합소재로 이루어진 금속층을 브레이징 접합한 다음 에칭하여 형성한 것일 수 있다. 제1 세라믹기재(110)의 두께는 0.32t이고, 제1 회로패턴(121,122)의 두께는 0.3t일 수 있다. 즉, 제1 세라믹기재(110)의 상면에 형성된 제1 회로패턴(121)의 두께와, 제1 세라믹기재(110)의 하면에 형성된 제1 회로패턴(122)의 두께는 동일할 수 있다.
- [57] 도 4는 본 발명의 실시예에 따른 파워모듈에서 제1 세라믹기판을 나타낸 저면도이고, 도 5는 도 4의 제1 세라믹기판을 나타낸 측면도이며, 도 6은 도 4의 B-B'선에 따른 단면도이다.
- [58] 도 4 및 5에 도시된 바에 의하면, 제1 세라믹기재(110)의 하면에 형성된 제1 회로패턴(122)은, 반도체 칩(c)의 전극(미도시)과 접합되는 전극패턴부(130)를 포함할 수 있다. 구체적으로, 전극패턴부(130)는 제1 전극패턴 부분(131) 및 제2 전극패턴 부분(132)을 포함하여 구성될 수 있다. 제1 전극패턴 부분(131)은 반도체 칩(c)의 소스 전극이 연결될 수 있고, 제2 전극패턴 부분(132)은 반도체 칩(c)의 게이트 전극이 연결될 수 있다. 반도체 칩(c)의 소스 전극은 고전류의 입출력을 담당하는 단자이고, 반도체 칩(c)의 게이트 전극은 낮은 전압을 이용하여 반도체 칩(c)을 온오프시키는 단자이다.
- [59] 전극패턴부(130)는 반도체 칩(c)의 전극과 접합되도록 반도체 칩(c)의 전극 개수 및 위치를 고려하여 복수 개가 형성될 수 있다. 이러한 전극패턴부(130)는 반도체 칩(c)의 전극과 전기적으로 연결되므로 전기적 신호 및 전력 변환을 위한 전력 이동선로 역할을 할 수 있다.
- [60] 스페이서(400)는 제1 회로패턴(122)에서 전극패턴부(130)가 형성된 영역을 제외한 나머지 영역에 접합되어 제1 세라믹기판(100)의 하부에 배치되는 리드 프레임(300)과의 사이를 이격시키고, 방열 효율을 높이는 기능을 수행할 수 있다. 즉, 반도체 칩(c)이 실장되는 제1 회로패턴(122)이, 리드 프레임(300)과 열전도성을 갖는 스페이서(400)로 연결되면, 반도체 칩(c)에서 발생하는 열이 스페이서(400)를 통해서 제1 세라믹기판(100)으로 방출될 뿐만 아니라 리드 프레임(300)과 제2 세라믹기판(200)으로도 방출될 수 있기 때문에 빠른 방열이 가능하다.
- [61] 이와 같이, 스페이서(400)는 제1 회로패턴(122)과 리드 프레임(300)의 사이에 배치되어 제1 회로패턴(122)과 리드 프레임(300)을 이격시키며, 방열 및 지지 기능을 수행하므로 전극패턴부(130)와, 전극패턴부(130)에 실장된 반도체 칩(c)을 합

한 높이 이상의 높이를 가질 수 있다. 일 예로, 전극패턴부(130)의 높이가 0.5mm 이고, 반도체 칩(c)의 높이가 150 μ m 내지 180 μ m라면, 스페이서(400)의 높이는 전극패턴부(130)의 높이와 반도체 칩(c)을 합한 높이보다 높은 0.7mm로 형성될 수 있다. 또한, 스페이서(400)는 사각 블록 형상, 원기둥 형상 등의 다양한 형태로 형성될 수 있다.

- [62] 스페이서(400)는 Cu, CuMo 등의 재료로 형성되거나, Cu, CuMo, Cu가 순차적으로 적층된 CPC 소재로 형성될 수 있다. 스페이서(400)의 소재는 전기전도도와 열팽창 계수가 조건에 맞는 재료가 선택될 수 있다.
- [63] 스페이서(400)는 제1 세라믹기판(100)의 제1 회로패턴(122)에 제1 접합층(410)을 매개로 접합될 수 있다. 제1 접합층(410)은 Ag 소결 접합층일 수 있다. 여기서, 제1 접합층(410)은 Ag 소결 페이스트가 도포되어 형성되거나, Ag 소결 페이스트가 인쇄된 필름을 이용하여 Ag 소결 페이스트를 전사하는 방법 등으로 형성될 수 있다. 이러한 제1 접합층(410)은 제1 회로패턴(122)과 스페이서(400)의 일면 사이에 배치되고, 스페이서(400)는 제1 접합층(410)을 매개로 제1 회로패턴(122)에 소결 접합될 수 있다. 소결 접합 시 가열로의 온도는 접합층의 성분에 따라 달라질 수 있으나, 바람직하게는 200°C 내지 250°C의 온도에서 수행될 수 있고, 이때 10MPa 내지 15MPa의 압력이 가해질 수 있다.
- [64] 스페이서(400)는 일정 크기를 가지므로 와이어 커팅, 단조 등의 기계 가공으로 제작이 가능하다. 전극패턴부(130)는 상대적으로 크기가 작기 때문에 에칭으로 형성될 수 있다. 여기서, 전극패턴부(130) 중 상대적으로 더 작은 크기의 제2 전극패턴 부분(132)은 에칭으로 형성될 경우 상부로 갈수록 단면적이 작아지는 사각뿔대 형상으로 형성될 수 있다.
- [65] 도 6을 참조하면, 전극패턴부(130)는 제1 회로패턴(122)에서 하프 에칭된 일부 영역을 제외한 나머지 영역이 돌출되어 형성될 수 있다. 제1 회로패턴(122)의 일부 영역이 하프 에칭되는 깊이는 제1 회로패턴(122) 두께(t)의 절반일 수 있고, 이때 상기 일부 영역을 제외한 나머지 영역인 전극패턴부(130)의 두께는 제1 회로패턴(122) 두께의 절반(t/2)일 수 있다. 제1 회로패턴(122)에서 일부 영역을 하프 에칭하여 전극패턴부(130)를 형성하는 공정은 도 14 내지 도 19를 참조하여 자세히 후술하기로 한다.
- [66] 제1 회로패턴(122) 중 일부분이 하프 에칭되어 형성된 전극패턴부(130)는, 제1 회로패턴(122)과 분리되지 않은 일체형이기 때문에 전기 전도도가 향상되어 저항 특성이 개선될 수 있다. 또한, 전극패턴부(130) 형성 시 Soldering, Sintering 등으로 접합할 필요가 없기 때문에 접합 시 접합면에서 발생할 수 있는 공극이 최소화될 수 있다. 아울러, 반도체 칩(c)으로부터 발생하는 열이 전극패턴부(130)를 통해 제1 세라믹기판(100), 제1 세라믹기판(100)에 결합되는 히트싱크(미도시) 등으로 용이하게 전달될 수 있기 때문에 방열 효율이 높아질 수 있다.
- [67] 도 7은 도 5의 제1 세라믹기판에 복수의 반도체 칩이 접합된 상태를 나타낸 측면도이다.

- [68] 도 7을 참조하면, 복수의 반도체 칩(c)은 전극패턴부(130) 각각에 본딩층(b)을 매개로 접합될 수 있다. 본딩층(b)은 반도체 칩(c)의 전극과 전극패턴부(130) 각각의 일면을 접합하기 위한 것으로, 솔더(Solder) 또는 은 페이스트(Ag Paste)를 포함할 수 있다.
- [69] 솔더는 접합 강도가 높고 고온 신뢰성이 우수한 SnPb계, SnAg계, SnAgCu계, Cu계 솔더 페이스트로 이루어질 수 있다. 은 페이스트는 솔더에 비해 고온 신뢰성이 더 우수하고 열전도도가 높다. 은 페이스트는 열전도도가 높도록 Ag 분말 90~99 중량%와 바인더 1~10 중량%를 포함할 수 있다. Ag 분말은 나노입자일 수 있다. 나노입자인 Ag 분말은 저온 소결이 가능하고, 높은 열전도율을 가지며, 접합밀도가 높다.
- [70] 비록 자세히 도시되지는 않았으나, 제1 전극패턴 부분(131) 및 제2 전극패턴 부분(132) 각각은, 접합되는 반도체 칩(c)의 전극 면적에 대응되는 면적으로 형성될 수 있다. 제1 전극패턴 부분(131) 및 제2 전극패턴 부분(132) 각각은 크기가 0.5mm 이상일 수 있고, 두께는 0.3mm 이상일 수 있으나, 이에 한정되지는 않는다.
- [71] 이와 같이, 전극패턴부(130)는 반도체 칩(c)의 전극과 접합되도록 형성되어 반도체 칩(c)이 플립칩과 유사한 형태로 제1 세라믹기판(100)에 실장되도록 한다. 즉, 반도체 칩(c)이 제1 세라믹기판(100)의 전극패턴부(130)에 접합되면, 전력 전달 경로가 짧아져 전력 전달 경로 상의 저항에 의한 전기적 손실과 부하를 개선할 수 있다. 또한, 전극패턴부(130)가 종래의 와이어 본딩을 대신하여 전기적 신호 및 전력 변환을 위한 전력 이동선로 역할을 수행할 수 있기 때문에 와이어 본딩을 생략할 수 있다. 와이어 본딩이 생략되면 인덕턴스 값이 감소하기 때문에 방열 성능이 개선되는 효과도 있다. 또한, 와이어 본딩 시 발생할 수 있는 전기적 위험요소를 제거하면서 반도체 칩을 이용한 정격 전압, 전류의 변환이 안정적이고, 고전력에 사용 시 신뢰성 및 효율성을 높일 수 있다.
- [72] 도 8은 본 발명의 실시예에 따른 파워모듈에서 제2 세라믹기판을 나타낸 평면도이다.
- [73] 도 8을 참조하면, 제2 세라믹기판(200)은 제2 세라믹기재(210)와, 제2 세라믹기재(210)의 적어도 일면에 형성된 제2 회로패턴(221,222)을 포함할 수 있다. 제2 세라믹기재(210)는 알루미나(Al_2O_3), AlN, SiN, Si_3N_4 중 어느 하나인 것을 일 예로 할 수 있다.
- [74] 제2 회로패턴(221,222)은 제2 세라믹기재(210)의 양면에 형성될 수 있다. 제2 세라믹기재(210)의 양면은 제2 세라믹기재(210)의 상면과 하면을 의미할 수 있다. 제2 회로패턴(221,222)은 Cu, Al, AlSiC, CuMo, CuW, Cu/CuMo/Cu, Cu/Mo/Cu 및 Cu/W/Cu 중 적어도 하나 또는 이들의 복합소재로 이루어질 수 있다. 제2 회로패턴(221,222)은 제2 세라믹기재(210) 상에 Cu, Al, AlSiC, CuMo, CuW, Cu/CuMo/Cu, Cu/Mo/Cu 및 Cu/W/Cu 중 적어도 하나 또는 이들의 복합소재로 이루어진 금속층을 브레이징 접합한 다음 에칭하여 형성한 것일 수 있다. 제2 세라믹기재

(210)의 두께는 0.32t이고, 제2 회로패턴(221,222)의 두께는 0.3t일 수 있다. 즉, 제2 세라믹기재(210)의 상면에 형성된 제2 회로패턴(221)의 두께와, 제2 세라믹기재(210)의 하면에 형성된 제2 회로패턴(222)의 두께는 동일할 수 있다.

[75] 도 9는 본 발명의 실시예에 따른 파워모듈에서 리드 프레임을 나타낸 저면도이고, 도 10은 리드 프레임과 제2 세라믹기판의 접합 구조에서 제2 세라믹기재의 상면에 형성된 제2 회로패턴을 나타낸 저면도이며, 도 11은 리드 프레임과 제2 세라믹기판의 접합 구조에서 제2 세라믹기재의 하면에 형성된 제2 회로패턴을 나타낸 저면도이다.

[76] 도 9를 참조하면, 리드 프레임(300)은 전자재료의 전기 신호를 연결하도록 내부에 회로가 설치되어 있는 일종의 프레임으로써, 최초에는 도 9에 도시된 바와 같이 일체형으로 제작되지만, 도 1의 리드 프레임(300)과 같이 트리밍될 수 있다. 리드 프레임(300)은 제1 세라믹기판(100)과 제2 세라믹기판(200) 사이에 배치되고, 제2 회로패턴(221)에 접합될 수 있다.

[77] 도 1, 도 9 및 도 10에 도시된 바와 같이, 리드 프레임(300)은 제1 리드부(310a), 제2 리드부(310b) 및 제3 리드부(320)를 포함하도록 구성될 수 있다. 도 10을 참조하면, 제1 리드부(310a) 및 제2 리드부(310b)는 제2 세라믹기판(200)의 상면에 형성된 제2 회로패턴(221)과 접합되는 부분이다. 여기서, 제2 리드부(310b)는 양측에 배치되며 동일 회로패턴에 접합될 수 있고, 제2 리드부(310b)들 사이에 배치된 제1 리드부(310a)는 다른 회로패턴에 접합될 수 있다. 이와 같이 제1 리드부(310a)와 제2 리드부(310b)는 각각 서로 다른 회로패턴과 접합되므로 트리밍 시 회로적으로 분리되도록 제작될 수 있다. 또한, 제3 리드부(320)는 전송핀 형태로 트리밍될 수 있다. 리드 프레임(300)은 Cu, Al 재료로 형성될 수 있고, 높이를 제어하기 위해 금형 가공 등으로 제조될 수 있다. 리드 프레임(300)은 0.5mm 이상의 높이를 갖도록 제조될 수 있다.

[78] 도 11을 참조하면, 제2 세라믹기판(200)에서 리드 프레임(300)에 접합되는 면의 반대면에 형성된 제2 회로패턴(222), 다시 말하면 제2 세라믹기재(210)의 하면에 형성된 제2 회로패턴(222)은, 도 8 및 도 10에 도시된 제2 회로패턴(221)과는 다른 형태로 형성될 수 있다. 도 11에 도시된 제2 회로패턴(222)의 형태는 하나의 실시예를 나타낸 것으로, 이에 한정되지 않으며 다양한 형태로 구현될 수 있다.

[79] 리드 프레임(300)은 제2 세라믹기판(200)에 브레이징, 웰딩, Ag 소결 접합 중 하나의 방법으로 접합될 수 있다. 여기서, 브레이징 방식은 450°C 이상의 모재의 용융점 이하의 온도에서 브레이징 필러층을 녹여 접합시키는 방법이다. 웰딩 방식은 레이저 웰딩, 초음파 웰딩 등이 있으며, 이 중에서 레이저 웰딩이 주로 사용될 수 있다. 레이저 웰딩 방식은 레이저 빔을 이용하는 것으로, 레이저 빔에 의해 발생한 열에 의해 두 부재가 용융 및 접합될 수 있다. 이러한 레이저 웰딩 방식은 비접촉식 용접으로 용접 품질이 우수하며 생산성을 높일 수 있다. Ag 소결 접합은 리드 프레임(300)과 제2 세라믹기판(200) 사이에 Ag 소결 접합층을 배치하여 소결 접합하는 것으로, Ag 소결 접합층은 Ag 소결 페이스트가 도포되어 형성되기

나, Ag 소결 페이스트가 인쇄된 필름을 이용하여 Ag 소결 페이스트를 전사하는 방법 등으로 형성될 수 있다. Ag 소결 접합 시 가열로의 온도는 접합층의 성분에 따라 달라질 수 있으나, 바람직하게는 200°C 내지 250°C의 온도에서 수행될 수 있고, 이때 10MPa 내지 15MPa의 압력이 가해질 수 있다.

- [80] 리드 프레임(300)이 일체형으로 접합된 제2 세라믹기판(200)은 도 3에 도시된 바와 같이 스페이서 일체형 세라믹기판인 제1 세라믹기판(100)과 접합될 수 있다. 이때, 제1 세라믹기판(100)에 접합된 스페이서(400)의 타면은 제2 접합층(420)을 매개로 리드 프레임(300)의 상면에 접합될 수 있다. 제2 접합층(420)은 Ag 소결 접합층일 수 있다. 여기서, 제2 접합층(420)은 Ag 소결 페이스트가 도포되어 형성되거나, Ag 소결 페이스트가 인쇄된 필름을 이용하여 Ag 소결 페이스트를 전사하는 방법 등으로 형성될 수 있다. 이러한 제2 접합층(420)은 스페이서(400)의 타면과 리드 프레임(300) 사이에 배치되고, 스페이서(400)는 제2 접합층(420)을 매개로 리드 프레임(300)에 소결 접합될 수 있다. 소결 접합 시 가열로의 온도는 접합층의 성분에 따라 달라질 수 있으나, 바람직하게는 200°C 내지 250°C의 온도에서 수행될 수 있고, 이때 10MPa 내지 15MPa의 압력이 가해질 수 있다.
- [81] 이하, 도 12 내지 도 19를 참조하여, 본 발명의 실시예에 따른 파워모듈 제조방법에 대해서 설명하기로 한다.
- [82] 도 12는 본 발명의 실시예에 따른 파워모듈 제조방법을 나타낸 흐름도이고, 도 13은 본 발명의 실시예에 따른 파워모듈 제조방법에서 제1 세라믹기판을 준비하는 단계를 나타낸 흐름도이며, 도 14는 제1 세라믹기판을 준비하는 단계에서 전극패턴부를 형성하는 단계를 나타낸 흐름도이고, 도 15는 제1 회로패턴 상에 포토레지스트를 형성한 상태를 나타낸 단면도이고, 도 16은 포토레지스트 상에 마스크를 배치하고 노광하는 상태를 나타낸 단면도이고, 도 17은 노광된 포토레지스트를 현상한 상태를 나타낸 단면도이며, 도 18은 포토레지스트 패턴이 없는 영역의 제1 회로패턴을 두께 방향으로 하프 에칭한 상태를 나타낸 단면도이고, 도 19는 잔류한 포토레지스트 패턴을 제거한 상태를 나타낸 단면도이다.
- [83] 본 발명의 실시예에 따른 파워모듈 제조방법은, 도 12에 도시된 바와 같이 제1 세라믹기재(110)와 제1 세라믹기재(110)의 적어도 일면에 형성된 제1 회로패턴(121,122) 및 제1 회로패턴(122)에 형성된 전극패턴부(130)를 포함하는 제1 세라믹기판(100)을 준비하는 단계(S100)와, 전극패턴부(130)에 반도체 칩(c)의 전극을 접합하는 단계(S200)와, 스페이서(400)의 일면을 제1 회로패턴(122)에 접합시키는 단계(S300)와, 제2 세라믹기재(210)와 제2 세라믹기재(210)의 적어도 일면에 형성된 제2 회로패턴(221,222) 및 제2 회로패턴(221)에 접합된 리드 프레임(300)을 포함하는 제2 세라믹기판(200)을 준비하는 단계(S400)와, 스페이서(400)의 타면을 리드 프레임(300)에 접합시키는 단계(S500)를 포함할 수 있다. 여기서, 각각의 단계는 순차적으로 수행되거나, 서로 순서를 바꾸어 수행될 수 있고, 실질적으로 동시에 수행될 수도 있다.

- [84] 제1 세라믹기판(100)을 준비하는 단계(S100)는, 도 13에 도시된 바와 같이 제1 세라믹기재(110)의 적어도 일면에 금속층을 접합하는 단계(S110)와, 금속층을 에칭하여 제1 회로패턴(121,122)을 형성하는 단계(S120)와, 제1 회로패턴(122)에서 일부 영역을 하프 에칭하여 상기 일부 영역을 제외한 나머지 영역에 돌출된 전극패턴부(130)를 형성하는 단계(S130)를 포함할 수 있다.
- [85] 금속층을 접합하는 단계(S110)는, 제1 세라믹기재(110)의 적어도 일면에 금속으로 이루어진 금속층을 AMB(Active Metal Brazing) 공정에 의해 접합할 수 있다. 제1 세라믹기재(110)는 알루미나(Al_2O_3), ZTA, AlN, Si_3N_4 중 어느 하나인 것을 일례로 할 수 있다. 금속층은 제1 세라믹기재(110)의 상하면에 브레이징 접합될 수 있다.
- [86] 금속층을 접합하는 단계(S110)에서, 금속층은 Cu, Al 등의 기타 전극재료나 금속합금일 수 있다. 일례로, 금속층은 Cu, Al, AlSiC, CuMo, CuW, Cu/CuMo/Cu, Cu/Mo/Cu 및 Cu/W/Cu 중 적어도 하나 또는 이들의 복합소재로 이루어질 수 있다.
- [87] 또한, 금속층은 소둔 열처리되어 열응력이 제거된 상태일 수 있다. 금속층은 후속 에칭 가공으로 전극패턴부(130)를 형성하기 위한 두께만큼 더 두껍게 구비되기 때문에 제1 세라믹기재(110)에 브레이징 접합되는 과정에서 열응력에 의해 휨과 같은 문제가 발생할 수 있다. 따라서, 금속층이 제1 세라믹기재(110)에 브레이징 접합되기 이전에 소둔 열처리를 통해 열응력, 열변형 등이 사전에 제거되면, 브레이징 접합 과정에서 열팽창과 열수축에 의해 생성되는 열응력이 완화될 수 있다. 또한, 금속층의 휨 발생이 최소화되어 접합 부위가 손상되지 않으며, 후속 에칭 가공이 원활하게 수행될 수 있다. 소둔 열처리의 온도, 시간 등은 금속층 재료 등에 따라 적절하게 조절될 수 있다.
- [88] 금속층을 접합하는 단계(S110)는, 페이스트 도포, 포일(foil) 부착, P-filler 중 어느 하나의 방법으로 제1 세라믹기재(110)의 적어도 일면과 금속층 사이에 $5\mu m$ 이상 $100\mu m$ 이하의 두께를 갖는 브레이징 필러층을 배치하는 단계와, 브레이징 필러층을 용융시켜 브레이징 접합하는 단계를 포함할 수 있다.
- [89] 브레이징 필러층을 배치하는 단계에서, 브레이징 필러층은 Ag, Cu, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어질 수 있다. 브레이징 필러층을 용융시켜 브레이징 접합하는 단계는, $450^\circ C$ 이상에서 수행할 수 있다.
- [90] 제1 회로패턴(121,122)을 형성하는 단계(S120)는, 제1 세라믹기재(110)의 적어도 일면에 접합된 금속층을 설계된 패턴에 맞게 에칭하여 제1 회로패턴(121,122)으로 형성할 수 있다.
- [91] 전극패턴부(130)를 형성하는 단계(S130)에서, 전극패턴부(130)는 포토리소그래피 공정에 의해 제1 회로패턴(122)의 일부 영역을 하프 에칭하여 형성할 수 있다. 이러한 전극패턴부(130)는 반도체 칩(c)의 전극과 접합되도록 반도체 칩(c)의 전극 개수 및 위치를 고려하여 복수 개가 형성될 수 있다. 이러한 전극패턴부(130)는 반도체 칩(c)의 전극과 전기적으로 연결되므로 전기적 신호 및 전력 변환을 위한 전력 이동선로 역할을 할 수 있다.

- [92] 도 14에 도시된 바와 같이, 전극패턴부(130)를 형성하는 단계(S130)는, 제1 회로 패턴(122) 상에 포토레지스트(10)를 형성하는 단계(S131)와, 전극패턴부(130)에 대응되는 패턴을 가진 마스크(20)를 포토레지스트(10) 상에 배치한 후 노광 및 현상하여 포토레지스트 패턴(11)을 형성하는 단계(S132)와, 포토레지스트 패턴(11)을 마스크로 하여 제1 회로패턴(122)의 일부 영역을 두께 방향으로 하프 에칭하는 단계(S133)와, 포토레지스트 패턴(11)을 제거하는 단계(S134)를 포함할 수 있다.
- [93] 포토레지스트(10)를 형성하는 단계(S131)에서, 도 15에 도시된 바와 같이 포토레지스트(10)는 제1 회로패턴(122) 상에 소정의 두께로 형성할 수 있다. 여기서, 포토레지스트(10)는 제1 회로패턴(122) 상에 드라이 필름 포토레지스트를 부착하여 형성할 수 있다. 이 단계에서, 전극패턴부(130)가 형성되는 면의 제1 회로패턴(122)의 두께(t)는 $0.6t$ 일 수 있고, 반대면에 형성된 제1 회로패턴(121)의 두께는 $0.3t$ 일 수 있다.
- [94] 포토레지스트 패턴(11)을 형성하는 단계(S132)는, 전극패턴부(130)에 대응되는 패턴을 가지는 마스크(20)를 포토레지스트(10) 상에 배치한 후 UV(Ultra violet) 등의 광원을 조사하는 단계를 포함할 수 있다. 도 16에 도시된 바와 같이, 마스크(20)를 통해 광원을 조사하면, 마스크(20)에 형성된 패턴이 포토레지스트(10)에 전사될 수 있다. 여기서, 광원에 의하여 노광되는 부분만 현상되는 타입이 포지티브(Positive) 방식이고, 노광되지 않는 부분만 현상되는 타입이 네가티브(Negative) 방식이다. 본 발명은 포지티브 방식의 포토레지스트(10)가 사용된 예를 설명하고 있으나, 네가티브 방식도 사용될 수 있다.
- [95] 포토레지스트 패턴(11)을 형성하는 단계(S132)는, 노광된 포토레지스트(10)를 현상하는 단계를 포함할 수 있다. 노광된 포토레지스트(10)를 현상하면, 도 17에 도시된 바와 같이 마스크(20) 패턴에 대응되는 영역의 포토레지스트만 잔류하여 포토레지스트 패턴(11)이 형성될 수 있다.
- [96] 하프 에칭하는 단계(S133)는, 도 18에 도시된 바와 같이 건식 식각(Dry Etching) 또는 습식 식각(Wet Etching) 등의 공정에 의하여 포토레지스트 패턴(11)이 없는 제1 회로패턴(122)의 일부 영역을 두께 방향으로 하프 에칭할 수 있다. 여기서, 하프 에칭의 깊이는 제1 회로패턴(122) 두께의 절반($t/2$)일 수 있다. 이와 같이 포토레지스트 패턴(11)을 마스크로 하여 포토레지스트 패턴(11)이 없는 영역의 제1 회로패턴(122)을 두께의 절반만큼 하프 에칭할 경우, 포토레지스트 패턴(11)이 남아있는 영역의 제1 회로패턴(122)은 하프 에칭된 주변 영역보다 더 돌출될 수 있다. 일례로, 제1 회로패턴(122)의 두께가 $0.6t$ 일 경우, 포토레지스트 패턴(11)이 없는 영역의 제1 회로패턴(122)은 $0.3t$ 만큼 두께 방향으로 하프 에칭될 수 있고, 포토레지스트 패턴(11)이 남아 있는 영역의 제1 회로패턴(122)은 하프 에칭된 영역보다 $0.3t$ 만큼 더 돌출될 수 있다.

- [97] 포토레지스트 패턴(11)을 제거하는 단계(S134)는, 도 19에 도시된 바와 같이 전극패턴부(130) 상에 잔류한 포토레지스트 패턴(11)을 제거하여 최종적으로 전극패턴부(130)를 형성할 수 있다.
- [98] 전극패턴부(130)에 반도체 칩(c)의 전극을 접합하는 단계(S200)는, 반도체 칩(c)의 전극을 전극패턴부(130)에 본딩층(b)을 매개로 접합할 수 있다. 본딩층(b)은 반도체 칩(c)의 전극과 전극패턴부(130)의 일면을 접합하기 위한 것으로, 솔더(Solder) 또는 은 페이스트(Ag Paste)를 포함할 수 있다. 솔더는 접합 강도가 높고 고온 신뢰성이 우수한 SnPb계, SnAg계, SnAgCu계, Cu계 솔더 페이스트로 이루어질 수 있다. 은 페이스트는 솔더에 비해 고온 신뢰성이 더 우수하고 열전도도가 높다. 은 페이스트는 열전도도가 높도록 Ag 분말 90~99 중량%와 바인더 1~10 중량%를 포함할 수 있다. Ag 분말은 나노입자일 수 있다. 나노입자인 Ag 분말은 저온 소결이 가능하고, 높은 열전도율을 가지며, 접합밀도가 높다.
- [99] 스페이서(400)의 일면을 제1 회로패턴(122)에 접합시키는 단계(S300)는, 스페이서(400)의 일면을 제1 접합층(410)을 매개로 제1 세라믹기판(100)의 제1 회로패턴(122)에 접합할 수 있다. 제1 접합층(410)은 Ag 소결 접합층일 수 있다. 여기서, 제1 접합층(410)은 Ag 소결 페이스트를 도포하여 형성하거나, Ag 소결 페이스트가 인쇄된 필름을 이용하여 Ag 소결 페이스트를 전사하는 방법 등으로 형성할 수 있다. 이러한 제1 접합층(410)은 제1 회로패턴(122)과 스페이서(400)의 일면 사이에 배치되고, 스페이서(400)는 제1 접합층(410)을 매개로 제1 회로패턴(122)에 소결 접합될 수 있다.
- [100] 제2 세라믹기재(210)와 제2 세라믹기재(210)의 적어도 일면에 형성된 제2 회로패턴(221,222) 및 제2 회로패턴(221)에 접합된 리드 프레임(300)을 포함하는 제2 세라믹기판(200)을 준비하는 단계(S400)는, 제2 세라믹기재(210)의 적어도 일면에 금속층을 접합하고, 상기 금속층을 에칭하여 제2 회로패턴(221,222)을 형성할 수 있다. 여기서, 제2 세라믹기재(210)는 알루미나(Al_2O_3), AlN, SiN, Si_3N_4 중 어느 하나인 것을 일 예로 할 수 있고, 금속층은 Cu, Al, AlSiC, CuMo, CuW, Cu/CuMo/Cu, Cu/Mo/Cu 및 Cu/W/Cu 중 적어도 하나 또는 이들의 복합소재로 이루어질 수 있다.
- [101] 제2 세라믹기판(200)을 준비하는 단계(S400)에서, 리드 프레임(300)은 제2 세라믹기판(200)에 브레이징, 웰딩, Ag 소결 접합 중 하나의 방법으로 접합될 수 있다. 여기서, 브레이징 방식은 450°C 이상의 모재의 용융점 이하의 온도에서 브레이징 필러층을 녹여 접합시키는 방법이다. 웰딩 방식은 레이저 웰딩, 초음파 웰딩 등이 있으며, 이 중에서 레이저 웰딩이 주로 사용될 수 있다. 레이저 웰딩 방식은 레이저 빔을 이용하는 것으로, 레이저 빔에 의해 발생한 열에 의해 두 부재가 용융 및 접합될 수 있다. 이러한 레이저 웰딩 방식은 비 접촉식 용접으로 용접 품질이 우수하며 생산성을 높일 수 있다. Ag 소결 접합은 리드 프레임(300)과 제2 세라믹기판(200) 사이에 Ag 소결 접합층을 배치하여 소결 접합하는 것으로, Ag 소결 접

합층은 Ag 소결 페이스트가 도포되어 형성되거나, Ag 소결 페이스트가 인쇄된 필름을 이용하여 Ag 소결 페이스트를 전사하는 방법 등으로 형성될 수 있다.

- [102] 스페이서(400)의 타면을 리드 프레임(300)에 접합시키는 단계(S500)는, 스페이서(400)의 타면을 제2 접합층(420)을 매개로 리드 프레임(300)의 상면에 접합할 수 있다. 제2 접합층(420)은 Ag 소결 접합층일 수 있다. 여기서, 제2 접합층(420)은 Ag 소결 페이스트가 도포되어 형성되거나, Ag 소결 페이스트가 인쇄된 필름을 이용하여 Ag 소결 페이스트를 전사하는 방법 등으로 형성될 수 있다. 이러한 제2 접합층(420)은 스페이서(400)의 타면과 리드 프레임(300) 사이에 배치되고, 스페이서(400)는 제2 접합층(420)을 매개로 리드 프레임(300)에 소결 접합될 수 있다.
- [103] 이와 같이, 본 발명의 실시예에 따른 파워모듈(1)은 스페이서 일체형 세라믹기판인 제1 세라믹기판(100)을 준비하고, 리드 프레임 일체형 세라믹기판인 제2 세라믹기판(200)을 준비한 후, 이들을 접합하여 제조하기 때문에 파워모듈의 조립 단계에서 리드 프레임(300)의 두께를 용이하게 제어할 수 있고 소형화가 가능하다. 또한, 본 발명의 실시예에 따른 파워모듈(1)은 리드 프레임(300)을 통해 전기적 특성 향상을 도모할 수 있으며, 방열 효과를 높일 수 있다는 장점도 있다.
- [104] 아울러, 반도체 칩(c)이 실장되는 제1 회로패턴(122)이, 리드 프레임(300)과 열전도성을 갖는 스페이서(400)로 연결되므로, 반도체 칩(c)에서 발생하는 열이 제1 세라믹기판(100)으로 방출될 뿐만 아니라 리드 프레임(300)과 제2 세라믹기판(200)으로도 방출될 수 있기 때문에 빠른 방열이 가능하다.
- [105] 또한, 본 발명의 실시예에 따른 파워모듈은 제1 세라믹기재(110)에 접합된 금속층이 에칭되어 제1 회로패턴(121,122)이 형성되고, 제1 회로패턴(122)의 일부 영역이 또다시 에칭되어 원하는 두께의 전극패턴부(130)가 형성될 수 있다. 이러한 전극패턴부(130)는 제1 회로패턴(122)과 일체형이기 때문에 전기 전도도가 향상되어 저항 특성이 개선될 수 있다. 이와 더불어, 전극패턴부(130) 형성 시 Soldering, Sintering 등으로 접합할 필요가 없기 때문에 접합 시 접합면에서 발생할 수 있는 공극이 최소화될 수 있다.
- [106] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 제1 세라믹기재와 상기 제1 세라믹기재의 적어도 일면에 형성된 제1 회로 패턴을 포함하는 제1 세라믹기판;
상기 제1 회로패턴에 형성되고, 상기 제1 세라믹기판에 실장하는 반도체 칩의 전극과 접합되는 전극패턴부;
상기 제1 세라믹기판의 하부에 이격되게 배치되며, 제2 세라믹기재와 상기 제2 세라믹기재의 적어도 일면에 형성된 제2 회로패턴을 포함하는 제2 세라믹기판;
상기 제1 세라믹기판과 상기 제2 세라믹기판 사이에 배치되고, 상기 제2 회로패턴에 접합되는 리드 프레임; 및
상기 제1 회로패턴과 상기 리드 프레임의 사이에 배치되어 상기 제1 회로 패턴과 상기 리드 프레임을 이격시키는 스페이서;
를 포함하는 파워모듈.
- [청구항 2] 제1항에 있어서,
상기 전극패턴부는,
상기 제1 회로패턴에서 하프 에칭된 일부 영역을 제외한 나머지 영역이 돌출되어 형성된 파워모듈.
- [청구항 3] 제1항에 있어서,
상기 스페이서는 상기 전극패턴부와 상기 반도체 칩을 함한 높이 이상의 높이를 갖는 파워모듈.
- [청구항 4] 제1항에 있어서,
상기 전극패턴부는 상기 반도체 칩의 전극에 대응되는 면적으로 형성된 파워모듈.
- [청구항 5] 제1항에 있어서,
상기 리드 프레임은 상기 제2 세라믹기판에 브레이징, 웰딩, Ag 소결 접합 중 하나의 방법으로 접합되는 파워모듈.
- [청구항 6] 제1항에 있어서,
상기 스페이서는 Cu 또는 CuMo 재료로 형성되거나, Cu, CuMo, Cu가 순차 적으로 적층된 CPC 소재로 형성된 파워모듈.
- [청구항 7] 제1 세라믹기재와 상기 제1 세라믹기재의 적어도 일면에 형성된 제1 회로 패턴 및 상기 제1 회로패턴에 형성된 전극패턴부를 포함하는 제1 세라믹 기판을 준비하는 단계;
상기 전극패턴부에 반도체 칩의 전극을 접합하는 단계;
스페이서의 일면을 상기 제1 회로패턴에 접합시키는 단계;
제2 세라믹기재와 상기 제2 세라믹기재의 적어도 일면에 형성된 제2 회로 패턴 및 상기 제2 회로패턴에 접합된 리드 프레임을 포함하는 제2 세라믹 기판을 준비하는 단계; 및

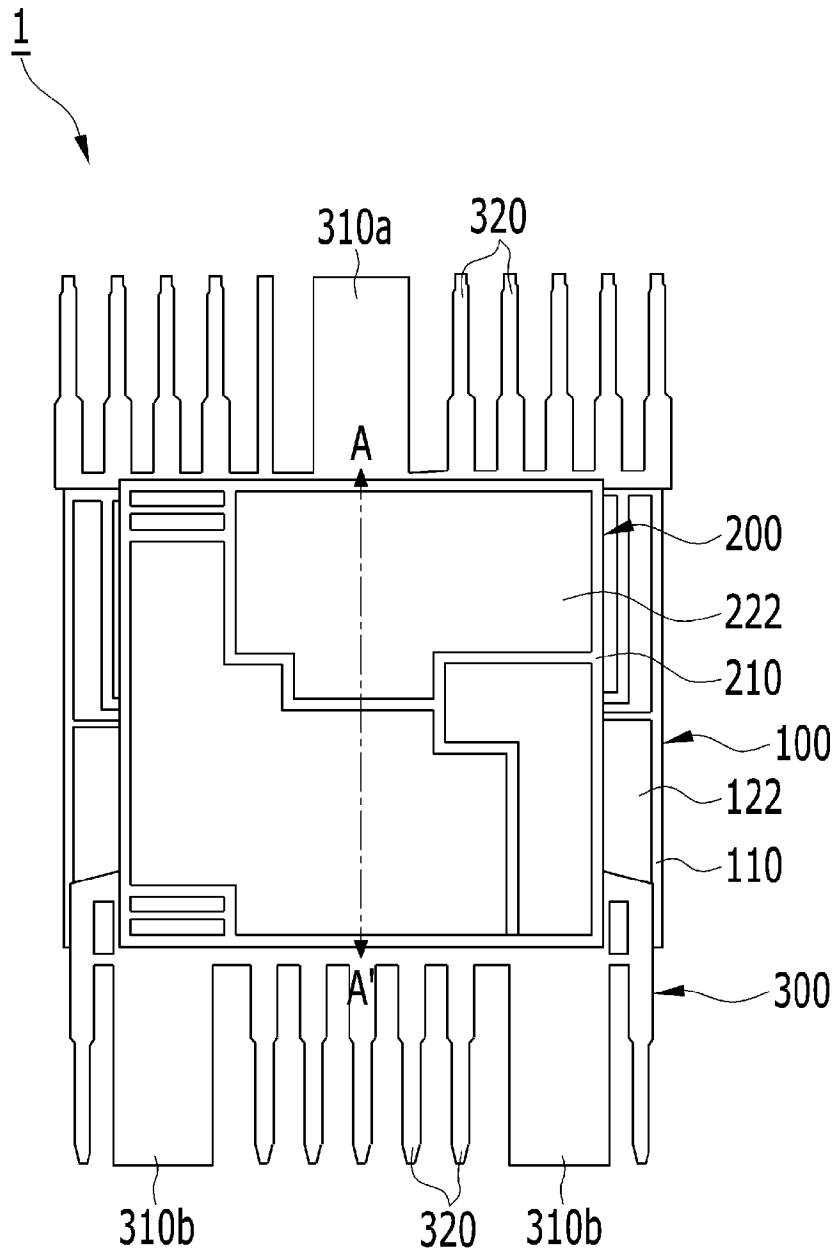
상기 스페이서의 타면을 상기 리드 프레임에 접합시키는 단계;
를 포함하는 파워모듈 제조방법.

- [청구항 8] 제7항에 있어서,
상기 제1 세라믹기판을 준비하는 단계는,
제1 세라믹기재의 적어도 일면에 금속층을 접합하는 단계;
상기 금속층을 에칭하여 제1 회로패턴을 형성하는 단계; 및
상기 제1 회로패턴에서 일부 영역을 하프 에칭하여 상기 일부 영역을 제
외한 나머지 영역에 돌출된 전극패턴부를 형성하는 단계;
를 포함하는 파워모듈 제조방법.
- [청구항 9] 제7항에 있어서,
상기 제2 세라믹기판을 준비하는 단계에서,
상기 리드 프레임은 상기 제2 세라믹기판에 브레이징, 웰딩, Ag 소결 접합
중 하나의 방법으로 접합되는 파워모듈 제조방법.
- [청구항 10] 제8항에 있어서,
상기 전극패턴부를 형성하는 단계는,
상기 제1 회로패턴 상에 포토레지스트를 형성하는 단계;
상기 전극패턴부에 대응되는 패턴을 가진 마스크를 상기 포토레지스트
상에 배치한 후 노광 및 현상하여 포토레지스트 패턴을 형성하는 단계;
상기 포토레지스트 패턴을 마스크로 하여 상기 제1 회로패턴의 일부 영역
을 두께 방향으로 하프 에칭하는 단계; 및
상기 포토레지스트 패턴을 제거하는 단계;
를 포함하는 파워모듈 제조방법.
- [청구항 11] 제10항에 있어서,
상기 하프 에칭하는 단계에서,
하프 에칭의 깊이는 상기 제1 회로패턴 두께의 절반인 파워모듈 제조방
법.
- [청구항 12] 제10항에 있어서,
상기 포토레지스트를 형성하는 단계는,
상기 제1 회로패턴 상에 드라이 필름 포토레지스트를 부착하여 형성하는
파워모듈 제조방법.
- [청구항 13] 제8항에 있어서,
상기 금속층을 접합하는 단계에서,
상기 금속층은 소둔 열처리되어 열 응력이 제거된 파워모듈 제조방법.
- [청구항 14] 제8항에 있어서,
상기 금속층을 접합하는 단계는,
페이스트 도포, 포일(foil) 부착, P-filler 중 어느 하나의 방법으로 상기 제1
세라믹기재의 적어도 일면과 상기 금속층 사이에 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하의
두께를 갖는 브레이징 필러층을 배치하는 단계; 및

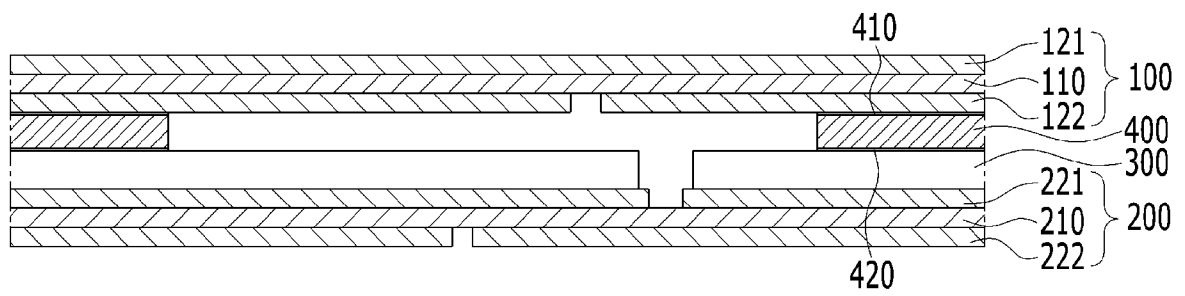
상기 브레이징 필러층을 용융시켜 브레이징 접합하는 단계를 포함하는
파워모듈 제조방법.

- [청구항 15] 제14항에 있어서,
상기 브레이징 필러층을 배치하는 단계에서,
상기 브레이징 필러층은 Ag, Cu, AgCu 및 AgCuTi 중 적어도 하나를 포함
하는 재료로 이루어지는 파워모듈 제조방법.

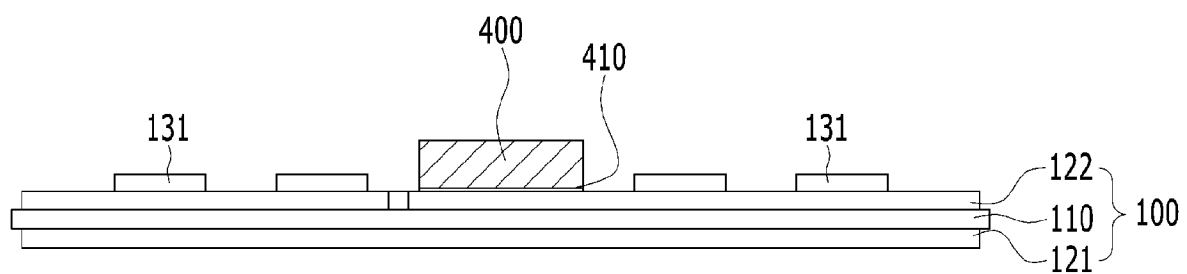
[도1]



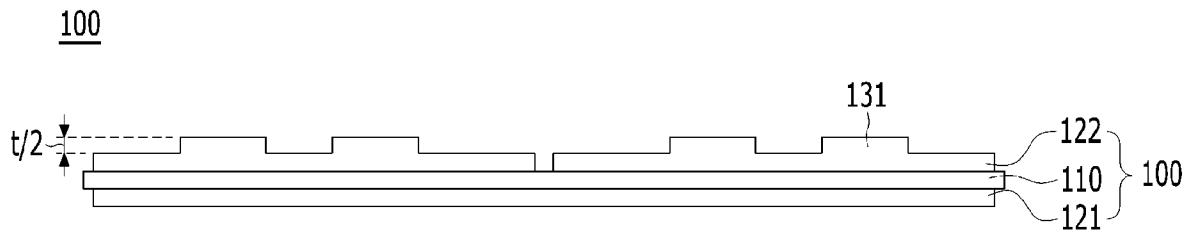
[도2]



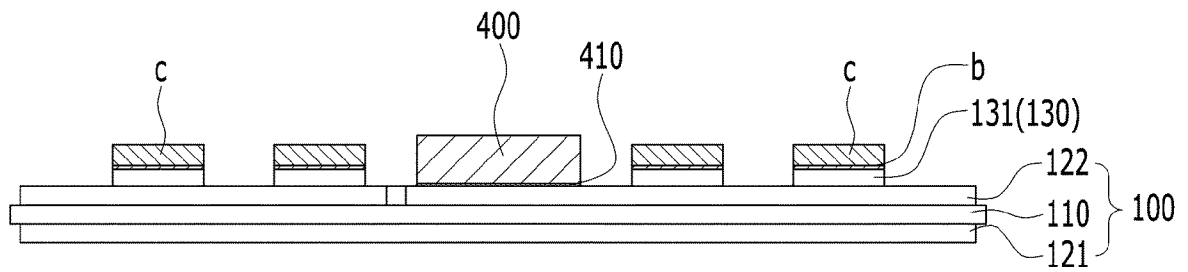
1



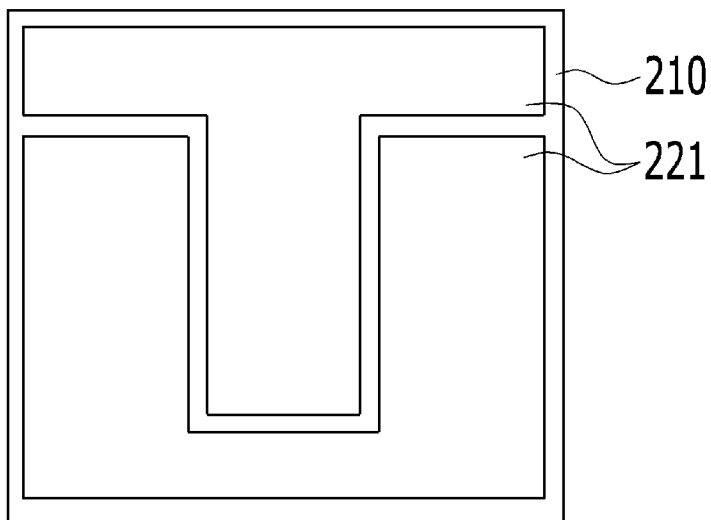
[도6]



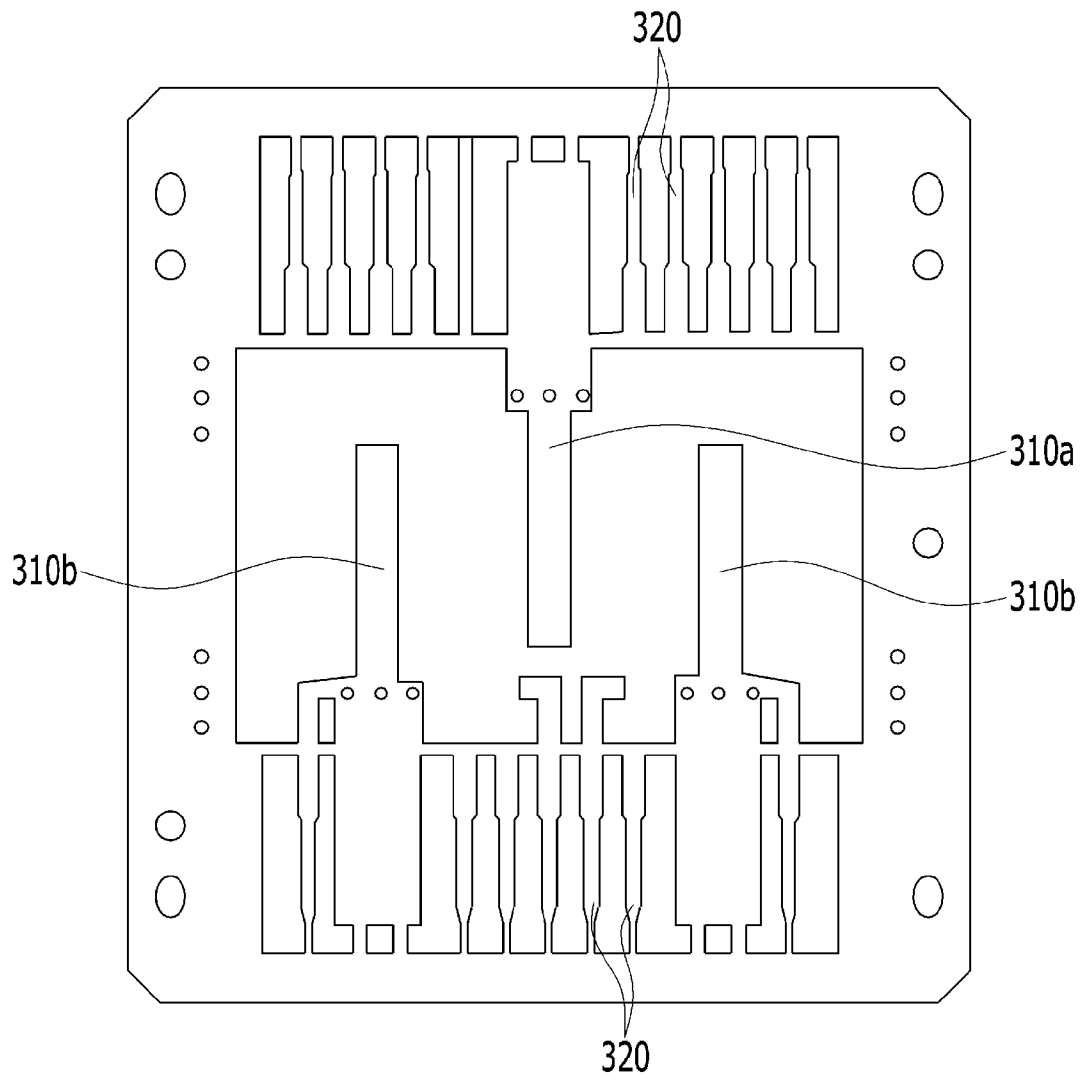
[도7]



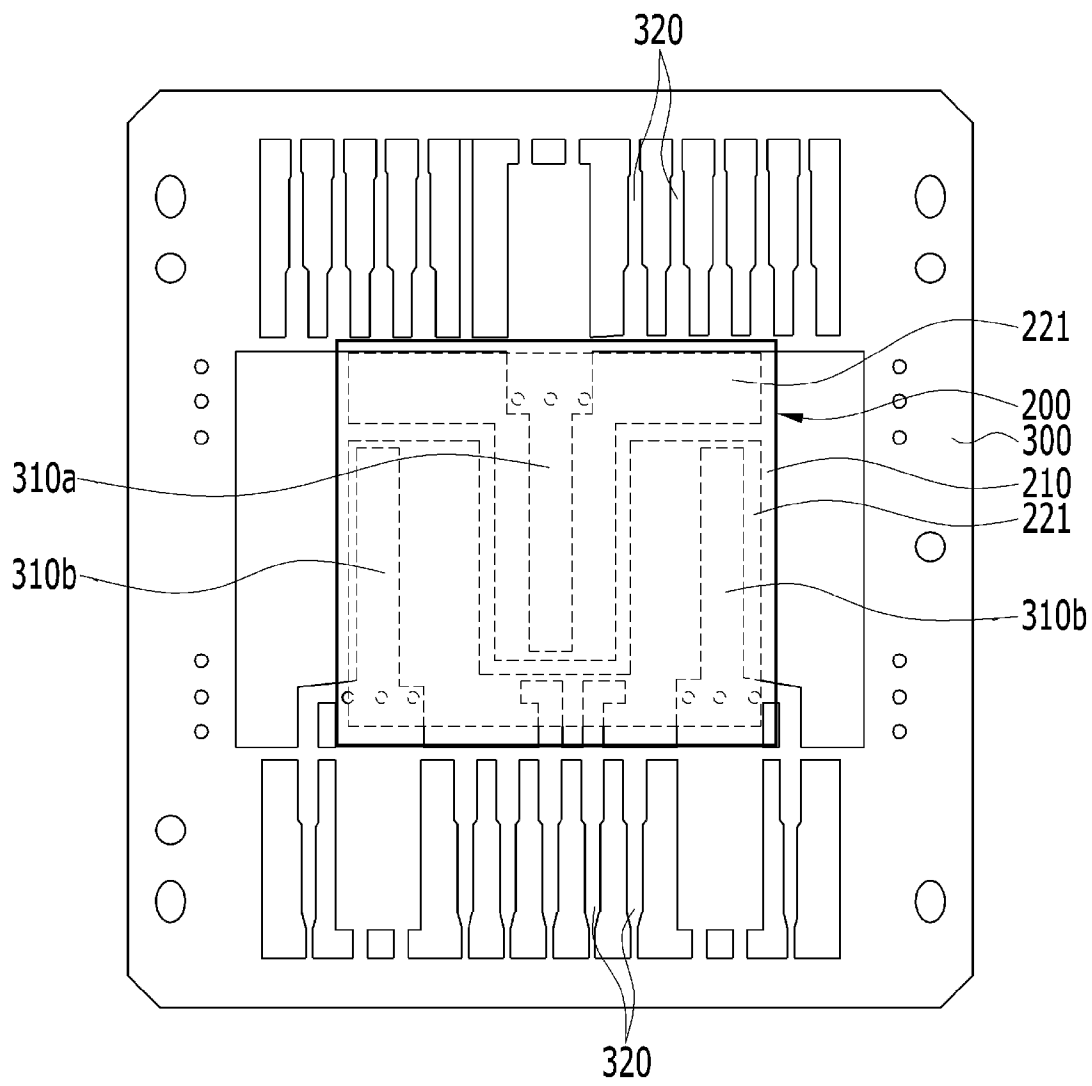
[도8]

200

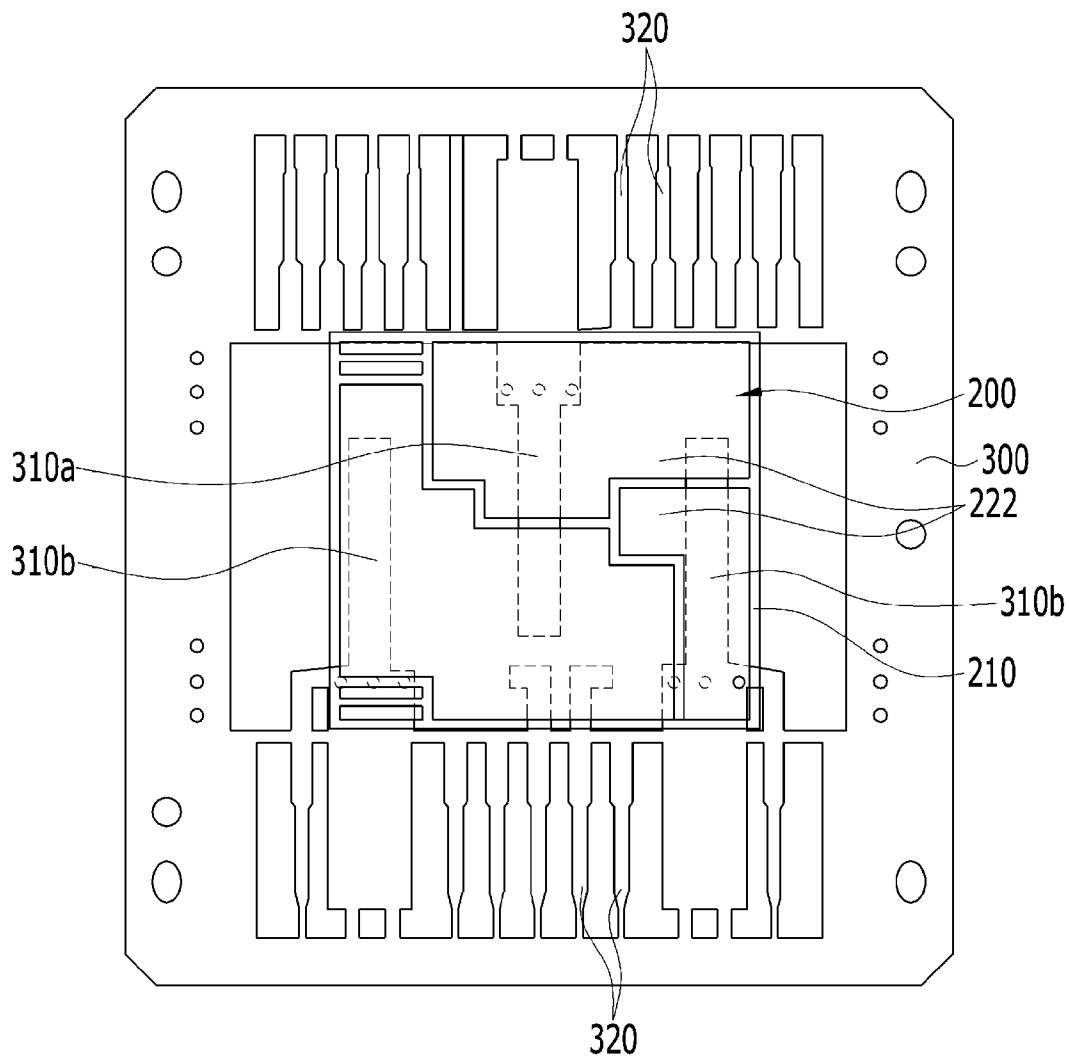
[도9]

300

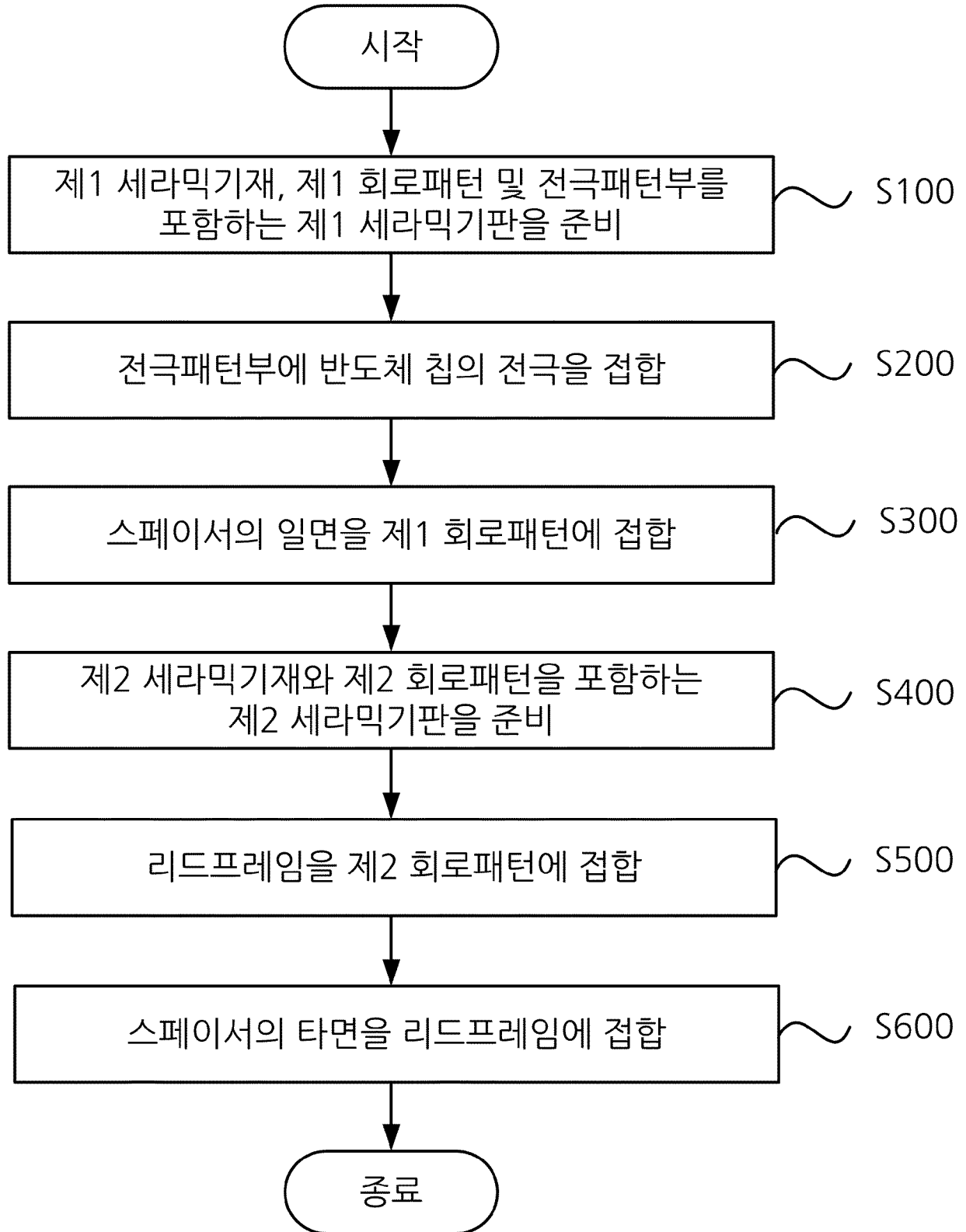
[도 10]

300

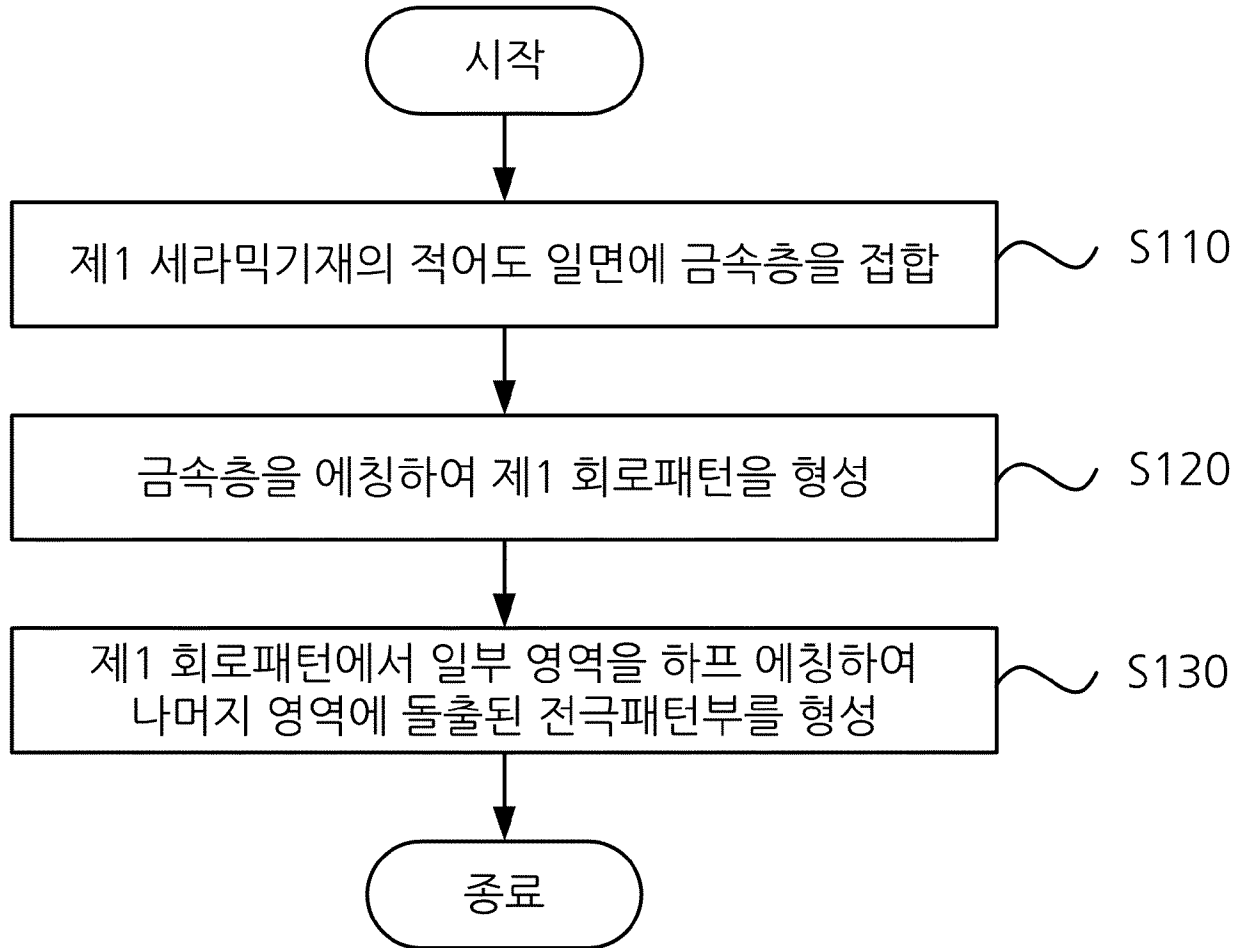
[도11]

300

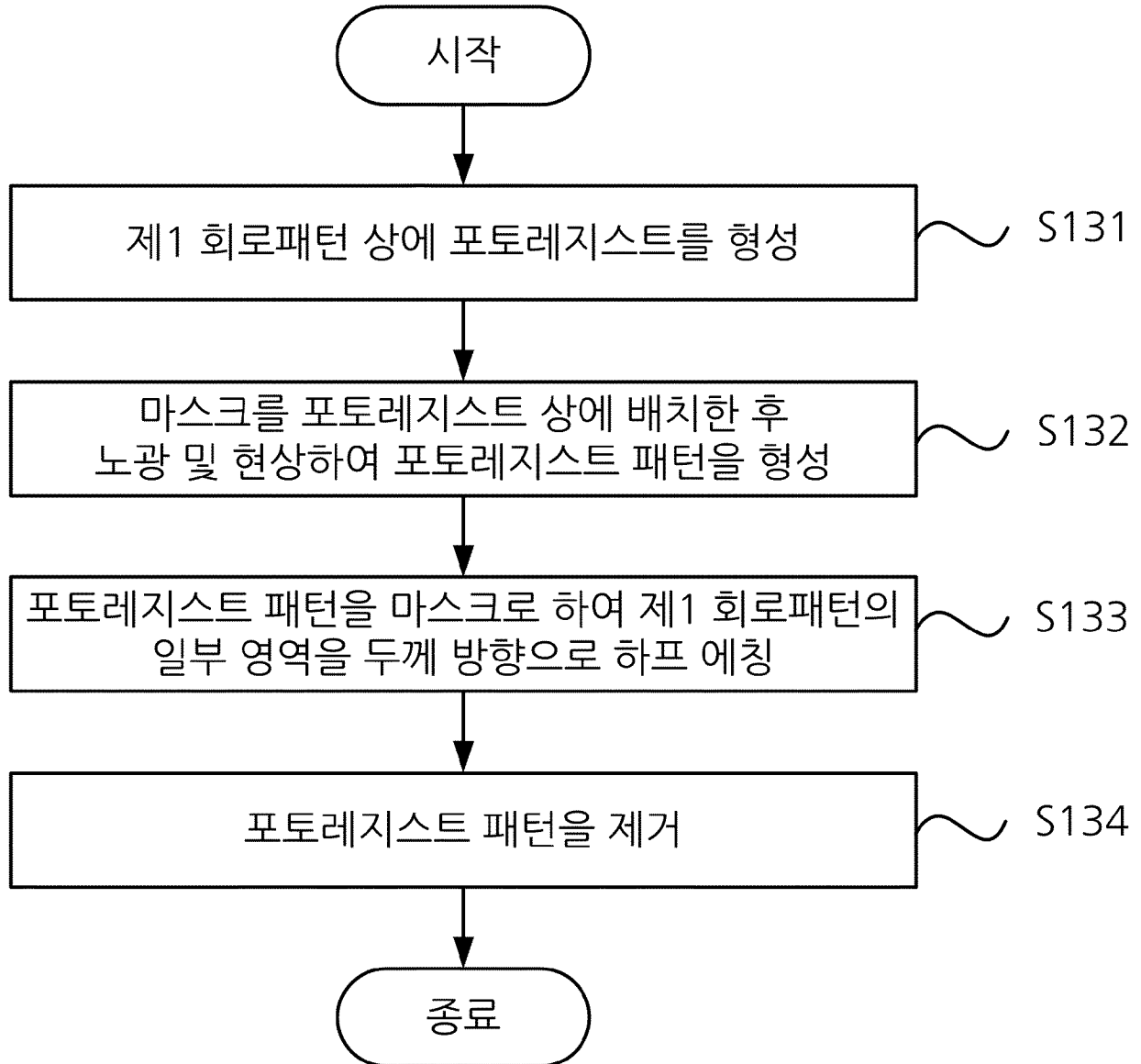
[도12]



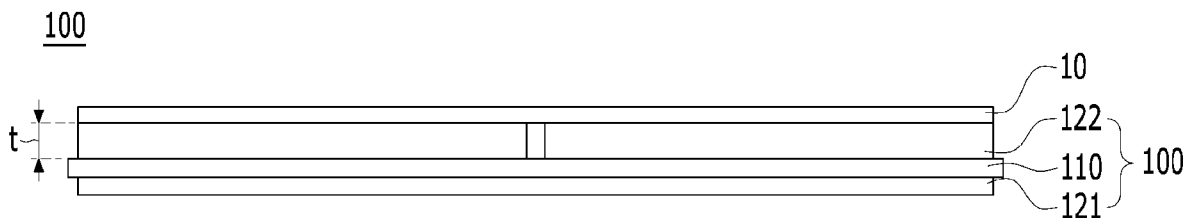
[도13]



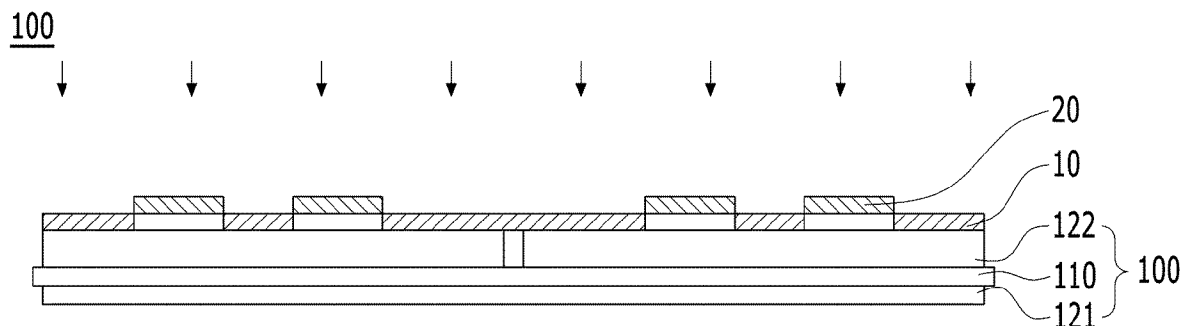
[도14]



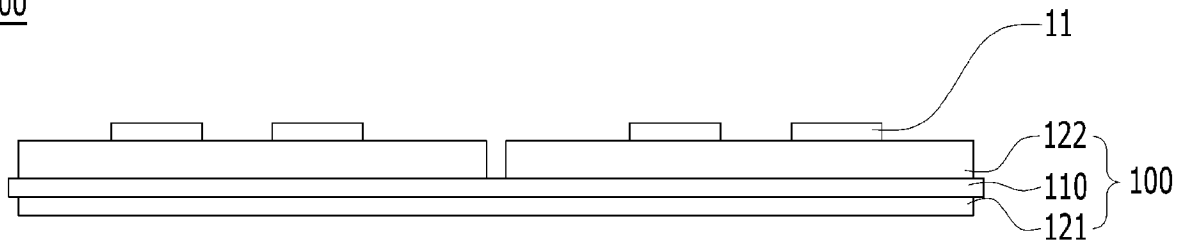
[도15]



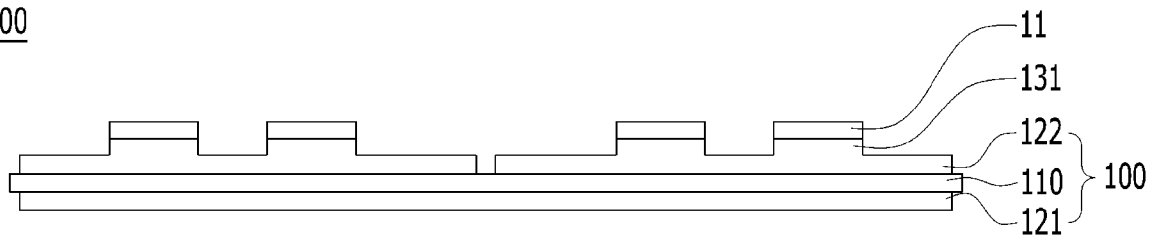
[도16]



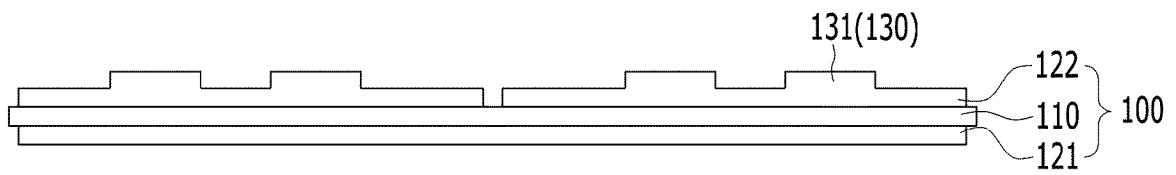
[도17]

100

[도18]

100

[도19]

100

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/008233

A. CLASSIFICATION OF SUBJECT MATTER**H01L 23/498**(2006.01)i; **H01L 23/495**(2006.01)i; **H01L 21/48**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/498(2006.01); H01L 21/324(2006.01); H01L 23/00(2006.01); H01L 23/13(2006.01); H01L 23/48(2006.01);
H01L 23/52(2006.01); H02M 7/00(2006.01); H02M 7/44(2006.01); H05K 1/02(2006.01); H05K 1/18(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 파워모듈(power module), 이격(gap), 리드프레임(lead frame), 스페이서(spacer)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2017-0066852 A (HYUNDAI MOBIS CO., LTD.) 15 June 2017 (2017-06-15) See paragraphs [0010]-[0057] and figures 1-2.	1-15
Y	KR 10-2021-0076862 A (AMOSENSE CO., LTD.) 24 June 2021 (2021-06-24) See paragraphs [0027]-[0054], claims 4 and 10 and figures 5-7.	1-15
Y	KR 10-2021-0103417 A (AMOGREENTECH CO., LTD.) 23 August 2021 (2021-08-23) See paragraphs [0049]-[0050] and figure 5.	3
A	KR 10-2019-0110376 A (LG ELECTRONICS INC.) 30 September 2019 (2019-09-30) See paragraphs [0042]-[0056] and figure 2.	1-15
A	KR 10-2013-0004779 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 14 January 2013 (2013-01-14) See paragraphs [0109]-[0115] and figure 8.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 September 2023

Date of mailing of the international search report

19 September 2023

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/008233

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2017-0066852	A	15 June 2017	CN	106847781	A	13 June 2017
				CN	106847781	B	19 March 2019
				KR	10-2543528	B1	15 June 2023
				US	2017-0162468	A1	08 June 2017
				US	9728484	B2	08 August 2017
KR	10-2021-0076862	A	24 June 2021	CN	114982391	A	30 August 2022
				US	2023-0023610	A1	26 January 2023
				WO	2021-125722	A1	24 June 2021
KR	10-2021-0103417	A	23 August 2021	CN	115136297	A	30 September 2022
				US	2023-0075200	A1	09 March 2023
				WO	2021-162369	A1	19 August 2021
KR	10-2019-0110376	A	30 September 2019	CN	111903049	A	06 November 2020
				EP	3771084	A1	27 January 2021
				JP	2021-516869	A	08 July 2021
				JP	7204770	B2	16 January 2023
				KR	10-2048478	B1	25 November 2019
				US	2021-0057372	A1	25 February 2021
				WO	2019-182216	A1	26 September 2019
KR	10-2013-0004779	A	14 January 2013	CN	102867815	A	09 January 2013
				JP	2013-016769	A	24 January 2013
				JP	2013-254973	A	19 December 2013
				KR	10-1321277	B1	28 October 2013
				US	2013-0009290	A1	10 January 2013
				US	8664755	B2	04 March 2014

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 23/498(2006.01)i; H01L 23/495(2006.01)i; H01L 21/48(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 23/498(2006.01); H01L 21/324(2006.01); H01L 23/00(2006.01); H01L 23/13(2006.01); H01L 23/48(2006.01); H01L 23/52(2006.01); H02M 7/00(2006.01); H02M 7/44(2006.01); H05K 1/02(2006.01); H05K 1/18(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 파워모듈(power module), 이격(gap), 리드프레임(lead frame), 스페이서(spacer)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2017-0066852 A (현대모비스 주식회사) 2017.06.15 단락 [0010]-[0057] 및 도면 1-2 참조.	1-15
Y	KR 10-2021-0076862 A (주식회사 아모센스) 2021.06.24 단락 [0027]-[0054], 청구항 4, 10 및 도면 5-7 참조.	1-15
Y	KR 10-2021-0103417 A (주식회사 아모그린텍) 2021.08.23 단락 [0049]-[0050] 및 도면 5 참조.	3
A	KR 10-2019-0110376 A (엔지전자 주식회사) 2019.09.30 단락 [0042]-[0056] 및 도면 2 참조.	1-15
A	KR 10-2013-0004779 A (삼성전기주식회사) 2013.01.14 단락 [0109]-[0115] 및 도면 8 참조.	1-15
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2023년09월19일(19.09.2023)		국제조사보고서 발송일 2023년09월19일(19.09.2023)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 이강하 전화번호 +82-42-481-5003

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2017-0066852 A	2017/06/15	CN 106847781 A	2017/06/13
		CN 106847781 B	2019/03/19
		KR 10-2543528 B1	2023/06/15
		US 2017-0162468 A1	2017/06/08
		US 9728484 B2	2017/08/08
KR 10-2021-0076862 A	2021/06/24	CN 114982391 A	2022/08/30
		US 2023-0023610 A1	2023/01/26
		WO 2021-125722 A1	2021/06/24
KR 10-2021-0103417 A	2021/08/23	CN 115136297 A	2022/09/30
		US 2023-0075200 A1	2023/03/09
		WO 2021-162369 A1	2021/08/19
KR 10-2019-0110376 A	2019/09/30	CN 111903049 A	2020/11/06
		EP 3771084 A1	2021/01/27
		JP 2021-516869 A	2021/07/08
		JP 7204770 B2	2023/01/16
		KR 10-2048478 B1	2019/11/25
		US 2021-0057372 A1	2021/02/25
KR 10-2013-0004779 A	2013/01/14	WO 2019-182216 A1	2019/09/26
		CN 102867815 A	2013/01/09
		JP 2013-016769 A	2013/01/24
		JP 2013-254973 A	2013/12/19
		KR 10-1321277 B1	2013/10/28
		US 2013-0009290 A1	2013/01/10
		US 8664755 B2	2014/03/04