

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-516929

(P2009-516929A)

(43) 公表日 平成21年4月23日(2009.4.23)

(51) Int.Cl.

H01L 21/02 (2006.01)
H01L 27/12 (2006.01)
H01L 21/336 (2006.01)
H01L 29/786 (2006.01)

F 1

H01L 27/12
H01L 29/78

B

627D

テーマコード(参考)

5 F 1 1 O

審査請求 未請求 予備審査請求 未請求 (全 22 頁)

(21) 出願番号 特願2008-542321 (P2008-542321)
 (86) (22) 出願日 平成18年10月26日 (2006.10.26)
 (85) 翻訳文提出日 平成20年7月11日 (2008.7.11)
 (86) 國際出願番号 PCT/US2006/041660
 (87) 國際公開番号 WO2007/061563
 (87) 國際公開日 平成19年5月31日 (2007.5.31)
 (31) 優先権主張番号 60/739,631
 (32) 優先日 平成17年11月22日 (2005.11.22)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 11/517,908
 (32) 優先日 平成18年9月8日 (2006.9.8)
 (33) 優先権主張国 米国(US)

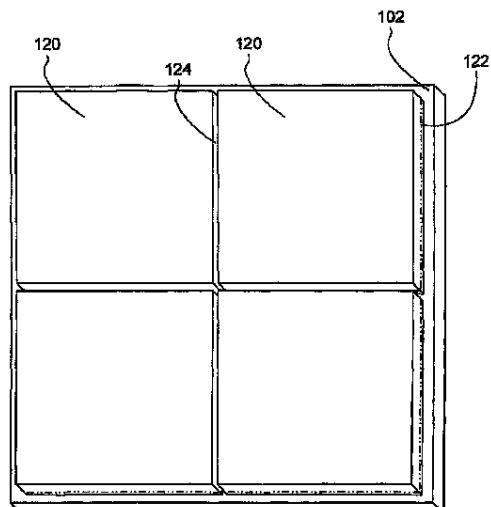
(71) 出願人 397068274
 コーニング インコーポレイテッド
 アメリカ合衆国 ニューヨーク州 148
 31 コーニング リヴァーフロント ブ
 ラザ 1
 (74) 代理人 100073184
 弁理士 柳田 征史
 (74) 代理人 100090468
 弁理士 佐久間 剛
 (72) 発明者 ガドカリー, キシロー ピー
 アメリカ合衆国 ニューヨーク州 148
 14 ビッグ フラツツ オーチャード
 ドライヴ 15

最終頁に続く

(54) 【発明の名称】ガラス絶縁体上の大面积積半導体

(57) 【要約】

複数のドナー半導体ウェハーのそれぞれの第1の表面をガラス基板と接触させ；電解を用いて、複数のドナー半導体ウェハーの第1の表面をガラス基板と結合させ；ガラス基板から複数のドナー半導体ウェハーを分離して、ガラス基板に結合したそれぞれの剥離層を残し；剥離層の露出表面上にさらに別の半導体層を成膜して、剥離層の厚さを増加させる各工程を有してなる方法および装置が提供される。



【特許請求の範囲】**【請求項 1】**

ガラス基板上に半導体を形成する方法であって、
 複数のドナー半導体ウェハーのそれぞれの第1の表面をガラスまたはガラスセラミック基板と接触させる工程、
 前記複数のドナー半導体ウェハーの第1の表面を、電解法を用いて前記ガラス基板に結合する工程、
 前記ガラス基板から前記複数のドナー半導体ウェハーを分離し、該ガラス基板に結合したそれぞれの剥離層を残す工程、および
 前記剥離層の露出表面上にさらに別の半導体層を成膜して、該剥離層の厚さを増す工程
 、
 を有してなり、

前記さらに別の半導体層を成膜する工程により、前記ガラス基板に結合された実質的に均一な単結晶半導体層が得られることを特徴とする方法。

【請求項 2】

前記さらに別の半導体層を成膜する工程が：
 前記剥離層上の少なくとも $1 \mu m$ の半導体材料、
 前記剥離層上の約 1 から $50 \mu m$ の半導体材料、および
 前記剥離層上の約 50 から $100 \mu m$ の半導体材料、
 の内の1つを成膜する工程を含むことを特徴とする請求項1記載の方法。
 20

【請求項 3】

隣接する剥離層の間の少なくともいくつかの空隙を充填する工程、および
 隣接する剥離層の間の少なくともいくつかの空隙を、前記さらに別の半導体層の少なくともある程度に、横方向のエピタキシーによりそのような空隙を少なくとも部分的に充填させることによって、充填する工程、
 の内の少なくとも1つをさらに含むことを特徴とする請求項1記載の方法。

【請求項 4】

イオン注入を行うことにより前記それぞれの剥離層を形成して、前記それぞれのドナー半導体ウェハーの第1の表面の下にそれぞれの弱化区域を形成する工程、
 前記ガラス基板および前記半導体ウェハーの内の少なくとも一方を加熱する工程、
 圧力を印加して、前記ガラス基板を前記ドナー半導体ウェハーと直接的または間接的に接触させる工程、および
 前記ガラス基板および前記ドナー半導体ウェハーに亘り電圧を印加して、前記結合を誘発させる工程、
 をさらに含むことを特徴とする請求項1記載の方法。

【請求項 5】

前記複数のドナー半導体ウェハーの第1の第1の表面を前記ガラス基板に結合させる前に、該複数のドナー半導体ウェハーのそれぞれの第2の表面を導電性支持基板上に結合させる工程をさらに含むことを特徴とする請求項1記載の方法。

【請求項 6】

前記ドナー半導体ウェハーのそれぞれ新たに露出された第1の表面を研磨する工程、
 イオン注入を行うことによりそれぞれの剥離層を形成して、前記それぞれのドナー半導体ウェハーの前記新たに露出された第1の表面の下にそれぞれの弱化区域を形成する工程、
 、
 電解法を用いて、前記複数のドナー半導体ウェハーの第2の表面を別のガラス基板に結合させる工程、
 前記もう一方のガラス基板から前記複数のドナー半導体ウェハーを分離して、該もう一方のガラス基板に結合したそれぞれの剥離層を残す工程、および
 前記剥離層の露出表面上にさらに別の半導体層を成膜して、該剥離層の厚さを増加させる工程、
 50

をさらに含むことを特徴とする請求項 5 記載の方法。

【請求項 7】

絶縁体上半導体（S O I）装置であつて、
ガラス材料およびガラスセラミック材料の少なくとも一方から形成された基板、
電解法により前記基板上に結合した複数の半導体剥離層、および
前記半導体剥離層上に成膜されたさらに別の半導体層、
を備え、

前記さらに別の半導体層が前記半導体剥離層の厚さを増加させることを特徴とする装置。
。

【請求項 8】

前記さらに別の半導体層の厚さが、少なくとも $1 \mu m$ 、約 1 から $50 \mu m$ 、約 50 から $100 \mu m$ の内の 1 つであることを特徴とする請求項 7 記載の装置。

【請求項 9】

前記半導体剥離層が前記基板の実質的に全てに重なっていること、および
前記半導体剥離層が前記基板の一部のみに重なっていること、
の内の方であることを特徴とする請求項 7 記載の装置。

【請求項 10】

前記半導体剥離層の少なくともいくつかが互いにから横方向にずれており、それらの間に 1 つ以上の空隙を画成し、

さらに別のエピタキシャル半導体層が、前記半導体剥離層上に成膜され、隣接する前記半導体剥離層の間の前記空隙の少なくともいくつかを少なくとも部分的に充填する、
ことを特徴とする請求項 7 記載の装置。

【発明の詳細な説明】

【優先権】

【0 0 0 1】

ここに、2005年11月22日に出願された米国仮特許出願第60/739631号、および2006年9月8日に出願された米国特許出願第11/517908号の優先権を主張する。

【技術分野】

【0 0 0 2】

本発明は、ガラスまたはガラスセラミック上半導体などの絶縁体上半導体（S O I）構造、およびその製造方法に関する。

【背景技術】

【0 0 0 3】

今まで、絶縁体上半導体構造に最も一般に用いられる半導体材料はシリコンである。そのような構造は、文字通り絶縁体上半導体構造と称され、そのような構造に省略形の「S O I」が充てがわってきた。絶縁体上半導体技術は、高性能光起電用途（例えば、太陽電池）、薄膜トランジスタ用途、およびアクティブマトリクスディスプレイなどのディスプレイにとって次第に重要になってきた。公知の絶縁体上シリコンは、絶縁材料上の実質的に単結晶のシリコンの薄層（一般に、厚さが $0.1 \sim 0.3$ マイクロメートルであるが、ある場合には、5 マイクロメートルほども厚い）からなる。

【0 0 0 4】

説明を容易にするために、以下の議論では、折に触れて、シリコン・オン・インシュレータ（絶縁体上シリコン）構造に関する。この特定のタイプの絶縁体上半導体構造への言及は、本発明の説明を容易にするために行つたことであつて、本発明の範囲をいかようにも制限することが意図されておらず、そのように解釈すべきではない。省略形の S O I は、一般に、以下に限られないがシリコン・オン・インシュレータ構造を含む絶縁体上半導体構造を称するために用いられる。同様に、省略形の S O G は、一般に、以下に限られないが、シリコン・オン・ガラス構造を含むガラス上半導体構造を称するために用いられる。この S O G の用語法は、以下に限られないが、シリコン・オン・ガラスセラミック構造

10

20

30

40

50

を含むガラスセラミック上半導体構造を含むことが意図されている。

【0005】

SOI構造を得る様々な様式は、格子整合された基板上のSiのエピタキシャル成長を含む。代わりのプロセスは、単結晶シリコンウェハーの、その上に SiO_2 の酸化物層が成長させられた別のシリコンウェハーへの結合を含み、その後、例えば、0.1から0.3マイクロメートル厚の単結晶シリコンの層まで、ウェハーの頂面が研磨またはエッティングされる。さらに別の方法はイオン注入を含み、ここでは、水素イオンまたは酸素イオンのいずれかが注入されて、酸素イオン注入の場合には、Siが頂面に施されるシリコンウェハー中に埋込み酸化物層が形成されるか、または水素イオン注入の場合には、薄いSi層を分離（剥離）して、酸化物層を持つ別のSiウェハーに結合させる。

10

【0006】

先の2つの方法では、コストおよび/または結合強度と耐久性に関して満足な構造が得られていない。水素イオン注入を含む後者の方法は、ある程度注目を集めたが、要求される注入エネルギーが酸素イオン注入のものの50%未満であり、要求される注入量が二桁低いので、前者の方法よりも有利であると考えられている。

【0007】

水素イオン注入法による剥離は一般に、以下の工程からなる。熱酸化物層が単結晶シリコンウェハー上に成長せしめられる。次いで、水素イオンをこのウェハー中に注入して、表面下にひびが生じる。注入エネルギーにより、ひびが形成される深さが決まり、注入量により、ひびの密度が決まる。次いで、このウェハーを、室温で別のシリコンウェハー（支持基板）と接触するように配置して、一時的結合を形成させる。次いで、これらのウェハーを約600℃に熱処理して、Siウェハーからシリコンの薄層を分離するのに使用される表面下のひびを成長させる。次いで、得られたアセンブリを1000℃を超える温度に加熱して、 SiO_2 基層を持つSi膜を支持基板、すなわち、未注入のSiウェハーに完全に結合させる。それゆえこのプロセスにより、間に酸化物絶縁層を有する、別のシリコンウェハーに結合したシリコンの薄膜を有するSOI構造が形成される。

20

【0008】

SOI構造の商業的実用化にとって、費用は重要な検討事項である。これまで、上述した方法と構造の費用の大部分は、Si薄膜に頂面が覆われた酸化物層を支持するシリコンウェハーの費用であった。すなわち、その費用の大部分は支持基板のものであった。支持基板としての石英の使用が様々な特許（特許文献1から6）に述べられてきたが、石英はそれ自体、比較的高価な材料である。支持基板を論じる上で、上述した文献のいくつかに、石英ガラス、ガラス、およびガラスセラミックが述べられている。これらの文献に列記された他の支持基板材料としては、ダイヤモンド、サファイア、炭化ケイ素、窒化ケイ素、セラミック、金属、およびプラスチックが挙げられる。

30

【0009】

特許文献7には、熱プロセスを用いて基板上に単結晶シリコン膜を得るプロセスが開示されている。主面を有する半導体材料ウェハーに、以下の工程が施される：(i)イオンによるウェハーの一面の衝撃による注入で、基板の主要部を構成する下側領域および薄膜を構成する上側領域を画成するガス状超微粒気泡の層を形成する段階；(ii)ウェハーの主面を、少なくとも1つの剛性材料層により構成された補強剤と接触させる段階；および(iii)ウェハーと補強剤のアセンブリを、イオン衝撃が行われる温度より高い温度であって、超微粒気泡における圧力作用および薄膜と基板の主要部との間の分離を生じるのに十分な温度で熱処理する第3段階。高温工程のために、このプロセスは、低価格のガラスまたはガラスセラミックの基板にはうまくいかない。

40

【0010】

特許文献8には、SOG構造を製造するプロセスが開示されている。その工程は、(i)シリコンウェハー表面を水素イオン注入に曝露して、結合表面を形成し；(ii)ウェハーの結合表面をガラス基板と接触させ；(iii)ウェハーおよびガラス基板に圧力、温度および電圧を印加して、それらの間の結合を促進させ；(iv)その構造を通常温度に冷却して、シ

50

リコンウェハーからのシリコンの薄層およびガラス基板の剥離を促進させる各工程を含む。特許文献8に開示されたSOG形成技法では、ガラス基板に結合した比較的薄い半導体層(例えば、約1～5μm)が得られることが示されている。この半導体の厚さは、ほとんどの用途ではないが、いくつかの用途にとって十分であるが、他の用途に満足な層厚は得られないであろう。

【0011】

さらに、大面積の電子または光起電用途について、得られるSOG構造は、約0.17平方メートルより大きい、好ましくは約1平方メートルより大きいべきである。ドナー半導体ウェハーの再利用には、SOG構造、特に、大面積のSOG構造を製造するための費用に、比較的重大な影響がある。現在、プロセスコストに影響を与える支配的かつ限定的な要因である、ドナー半導体の再利用により、SOG構造を製造するための結合プロセス中に、所定のドナー半導体ウェハーが何回使用できるかが規定される。所定のガラス基板上に側面に沿って配置された別個の半導体層構造を用いて大面積SOGが製造されている場合、再利用要因はましてやなおさら重要である。そのようなプロセスについて、所定のドナー半導体ウェハーを、少なくとも数百回、再利用することが望ましい。

10

【特許文献1】米国特許第6140209号明細書

【特許文献2】米国特許第6211041号明細書

【特許文献3】米国特許第6309950号明細書

【特許文献4】米国特許第6323108号明細書

20

【特許文献5】米国特許第6335231号明細書

【特許文献6】米国特許第6391740号明細書

【特許文献7】米国特許第5374564号明細書

【特許文献8】米国特許出願公開第2004/0229444号明細書

【発明の開示】

【課題を解決するための手段】

【0012】

本発明の1つ以上の実施の形態によれば、複数のドナー半導体ウェハーのそれぞれの第1の表面をガラス基板と接触させ；電解を用いて、複数のドナー半導体ウェハーの第1の表面をガラス基板と結合させ；ガラス基板から複数のドナー半導体ウェハーを分離して、ガラス基板に結合したそれぞれの剥離層を残し；剥離層の露出表面上にさらに別の半導体層を成膜して、剥離層の厚さを増加させる各工程を有してなる方法および装置が提供される。

30

【0013】

さらに別の半導体層を成膜する工程は、熱酸化法、化学蒸着法、ゾルゲル法、およびスパッタリング法の内の少なくとも1つを用いて、そのさらに別の半導体層を剥離層上に成膜する工程を含んでもよい。成膜された半導体層は、少なくとも1μm厚、約1から50μm厚、約50から100μm厚、または100μm厚より厚くてもよい。

【0014】

隣接する剥離層の間の少なくともいくつかの空隙が充填されて、ガラス基板に結合した実質的に均一な単結晶半導体層が得られることが好ましい。隣接する剥離層の間の空隙は、そのさらに別の半導体層の少なくともある程度に、横方向エピタキシーにより、そのような空隙を少なくとも部分的に充填させることによって充填されてもよい。

40

【0015】

複数の剥離層により被覆されたガラス基板の面積は、少なくとも1.0平方メートルなどの、少なくとも0.15平方メートル、またはそれより大きくてよい。

【0016】

ドナー半導体ウェハーの少なくとも1つおよびそのさらに別の半導体層は、シリコン(Si)、ゲルマニウムドープシリコン(SiGe)、炭化ケイ素(SiC)、ゲルマニウム(Ge)、ヒ化ガリウム(GaAs)、GaP、およびInPからなる群より選択される。

50

【0017】

ガラス基板はガラスセラミック基板であってもよい。

【0018】

結合工程は、ガラス基板および半導体ウェハーの少なくとも一方を加熱し；圧力を印加して、ガラス基板をドナー半導体ウェハーと直接的または間接的に接触させ；ガラス基板およびドナー半導体ウェハーに亘り電圧を印加して、結合を生じさせる各工程を含んでもよい。

【0019】

本発明の1つ以上のさらに別の実施の形態によれば、複数のドナー半導体ウェハーのそれぞれの第1の表面は、ドナー半導体ウェハーをガラス基板に結合する前に、導電性キャリヤ基板に結合されてもよい。次いで、ドナー半導体ウェハーの新たに露出された第2の表面を研磨し、それぞれの剥離層がイオン注入を行うことにより形成されて、新たな露出された第2の表面の下に弱化したそれぞれの区域を形成してもよい。その後、複数のドナー半導体ウェハーの第2の表面が、電解を用いて別のガラス基板に結合され、分離されて、他のガラス基板に結合したそれぞれの剥離層が残る。次いで、さらに別の半導体層を、剥離層の露出された表面上に配置して、剥離層の厚さを増加させる。

10

【0020】

本発明の1つ以上のさらに別の実施の形態によれば、ガラス構造上に半導体を形成する方法は、種半導体層上にドナー半導体層を成膜する工程であって、ドナー半導体層が約0.1平方メートル以上のものである工程；ドナー半導体層の第1の表面をガラス基板に接触させる工程；電解を用いて、ドナー半導体層の第1の表面をガラス基板に結合させる工程；およびガラス基板からドナー半導体層を分離して、ガラス基板に結合した剥離層を残す工程；の内の少なくとも1つを含む。

20

【0021】

本発明の1つ以上のさらに別の実施の形態によれば、ガラス構造上に半導体を形成する方法は、基板に複数の半導体層を結合させて、基板の約0.1平方メートル以上を被覆する工程；結合した半導体層の露出表面上にドナー半導体層を成膜してその厚さを増加させる工程；ドナー半導体層の第1の表面をガラス基板に接触させる工程；電解を用いて、ドナー半導体層の第1の表面をガラス基板に結合させる工程；およびガラス基板からドナー半導体層を分離して、ガラス基板に結合した剥離層を残す工程；の内の少なくとも1つを含む。

30

【0022】

本発明の1つ以上のさらに別の実施の形態によれば、ガラス構造上に半導体を形成する方法は、基板に複数の半導体層を結合させて、基板の約0.1平方メートル以上を被覆する工程；結合した半導体層の露出表面上にドナー半導体層を成膜してその厚さを増加させる工程；ドナー半導体層の第1の表面をガラス基板に接触させる工程；電解を用いて、ドナー半導体層の第1の表面をガラス基板に結合させる工程；ガラス基板からドナー半導体層を分離して、ガラス基板に結合した剥離層を残す工程；剥離層の露出表面上にさらに別のドナー半導体層を成膜してその厚さを増加させる工程；剥離層の第1の表面をさらに別のガラス基板に接触させる工程；電解を用いて、剥離層の第1の表面をさらに別のガラス基板に結合させる工程；およびさらに別のガラス基板からさらに別の半導体層を分離して、さらに別のガラス基板に結合したさらに別の剥離層を残す工程；の内の少なくとも1つを含む。

40

【0023】

一回の結合工程で均一な単結晶シリコン膜を有する比較的大きなガラス基板を得ることが都合よいであろう。本発明の様々な実施の形態を光起電用途に用いてよい。何故ならば、そのような用途におけるガラス基板のサイズは一般に、1.0平方メートルよりも大きいからである。本発明の様々な実施の形態は、大型SOG製品を得るために経済的なプロセスであって、結合したシリコン層の厚さが、10～100マイクロメートル以上など、比較的大きくなるプロセスを提供する。

50

【0024】

他の態様、特徴、利点などが、本発明の説明を添付の図面とともに解釈したときに、当業者には明らかとなるであろう。

【0025】

本発明の様々な態様を示す目的のために、現在好ましい形態が図面に示されているが、本発明は、図示されたその正確な配置および手段に限定されるものではない。

【発明を実施するための最良の形態】

【0026】

同様の数字が同様の要素を示している図面を参照すると、本発明の1つ以上の実施の形態によるSOG構造100が図1に示されている。SOG構造100は、ガラス基板102および半導体層104を備えることが好ましい。SOG構造100には、薄膜トランジスタデバイス、例えば、光起電デバイス、集積回路の製造に関して、また有機発光ダイオード(OLED)ディスプレイおよび液晶ディスプレイ(LCD)などを含むディスプレイ用途のために、適切な用途がある。

10

【0027】

層104の半導体材料は、実質的に単結晶の材料の形態にあることが好ましい。「実質的に」という単語は、層104を説明する上で、半導体材料が、格子欠陥やいくつかの結晶の境界線などの、固有にまたは意図的に加えられた少なくともいくつかの内部欠陥または表面欠陥を通常含有するという事実を考慮するためである。「実質的に」という用語は、あるドーパントが、バルク半導体の結晶構造を歪めるかまたは別なふうに影響を与えているかもしれないという事実も反映している。

20

【0028】

議論の目的のために、半導体層104はシリコンから形成されていることを前提とする。しかしながら、半導体材料は、シリコン系半導体またはIIIA-V族、IIA-IIV族、IIA-IIV-V族等の半導体などの任意の他のタイプの半導体であってもよいことが理解されよう。これらの材料の例としては、シリコン(Si)、ゲルマニウムドープシリコン(SiGe)、炭化ケイ素(SiC)、ゲルマニウム(Ge)、ヒ化ガリウム(GaAs)、GaP、およびInPが挙げられる。

30

【0029】

ガラス基板102は、酸化物ガラスまたは酸化物ガラスセラミックから形成されていることが好ましい。要求されていないが、ここに記載された実施の形態が、約1000未満の歪み点を示す酸化物ガラスまたはガラスセラミックを含むことが好ましい。ガラス製造業界に慣習的であるように、歪み点は、ガラスまたはガラスセラミックが $10^{14\cdot6}$ ポアズ($10^{13\cdot6}$ Pa·s)の粘度を有する温度である。酸化物ガラスと酸化物ガラスセラミックとでは、ガラスは一般に製造が簡単であり、それゆえ、それらが広く入手でき、かつそれほど高価ではないので、ガラスが現在好ましい。

30

【0030】

一例として、ガラス基板102は、コーニング社(Corning Incorporated)のガラス組成番号1037またはコーニング社のガラス組成番号EAGLE 2000(商標)から製造された基板などの、アルカリ土類イオンを含有するガラス基板から製造されてもよい。これらのガラス材料には、例えば、液晶ディスプレイの製造に特別な用途がある。

40

【0031】

ガラス基板は、好ましくは約0.1mmから約10mmの範囲、最も好ましくは約0.5mmから約3mmの範囲の厚さを有する。あるSOI構造について、例えば、シリコン/二酸化ケイ素/シリコンの構成を有する標準的なSOI構造が高周波数で動作されるときに生じる寄生容量効果を避けるために、約1マイクロメートル以上の厚さを持つ絶縁層が望ましい。これまで、そのような厚さを達成することは難しかった。本発明によれば、約1マイクロメートルより厚い絶縁層を有するSOI構造は、約1マイクロメートル以上の厚さを持つガラス基板102を単に使用することによって容易に達成される。それゆえ、ガラス基板102の厚さへの好ましい下限は、約1マイクロメートルである。

50

【0032】

一般に、ガラス基板102は、本発明のプロセス工程、並びにSOG構造100に行われるその後の加工中ずっと、半導体層104を支持するのに十分な厚さであるべきである。ガラス基板102の厚さには理論的な上限はないが、支持機能に必要な厚さを超えた厚さまたは最終的なSOG構造100に要求される厚さを超えた厚さは、ガラス基板102の厚さが大きいほど、SOG構造100の形成においてプロセス工程の少なくともいくつかを実施するのがより難しくなるので、一般に好ましくない。

【0033】

酸化物ガラスまたは酸化物ガラスセラミック基板102がシリカ系であることが好ましい。それゆえ、酸化物ガラスまたは酸化物ガラスセラミック中の SiO_2 のモルパーセントは、好ましくは30モル%より大きく、最も好ましくは40モル%より大きい。ガラスセラミックの場合には、結晶相は、ムライト、コーディエライト、灰長石、尖晶石、またはガラスセラミックの技術分野で公知の他の結晶相であって差し支えない。本発明の1つ以上の実施の形態の実施に、非シリカ系ガラスおよびガラスセラミックを用いてもよいが、コストが高いおよび/または性能特性が劣っているために、一般にはそれほど好ましくない。同様に、ある用途において、例えば、シリコン系ではない半導体材料を用いたSOI構造について、酸化物系ではない、例えば、非酸化物ガラスであるガラス基板が望ましいかもしれないが、コストが高いために、一般には好ましくない。以下により詳しく論じるように、1つ以上の実施の形態において、ガラスまたはガラスセラミック基板102は、そこに結合される1種類以上の半導体材料（例えば、シリコン、ゲルマニウムなど）の熱膨張係数（CTE）に一致するように設計される。例えば、半導体材料は、ガラス基板102上に直接的または間接的に、CVD成長により成膜してもよい。CTEの一致により、成膜プロセスの加熱サイクル中に望ましい機械的性質が確実になる。

10

20

30

40

【0034】

ある用途、例えば、光起電および/またはディスプレイ用途について、ガラスまたはガラスセラミック基板102は、可視光、近紫外、および/または赤外波長範囲において透明であることが好ましく、例えば、ガラスまたはガラスセラミック基板102は350nmから2マイクロメートルの波長範囲で透明であることが好ましい。1つ以上の実施の形態において、ガラスまたはガラスセラミック基板102は、ガラス基板102が曝される半導体成膜プロセス（特に、その加熱サイクル）中に、所望の波長の光に対して実質的に透明のままである。この特徴は、光起電用途に関して、この説明において後により詳しく論じられる。

【0035】

ガラス基板102は単一のガラスまたはガラスセラミック層から構成されることが好ましいが、所望であれば、積層構造を用いても差し支えない。積層構造を使用する場合、半導体層104に最も近い積層体の層は、単一のガラスまたはガラスセラミックから構成されたガラス基板102についてここに論じた性質を有することが好ましい。半導体層104から遠い層は、それらの性質を有することが好ましいが、半導体層104とは直接作用しないので、緩和された性質を有していてもよい。後者の場合には、ガラス基板102は、ガラス基板102に指定された性質がもはや満足されないとときに、最終部分となると考えられる。

【0036】

ここで、図2～8を参照する。図2～3は、図1のSOG構造100を製造するために行ってよいプロセス工程（および/またはここに開示された他の実施の形態）を示しており、一方で、図4～8は、図2～3のプロセスを実施する際に形成される中間構造を示している。最初に図2および4に戻ると、工程202で、剥離層122が複数のドナー半導体ウェハー120のそれぞれに表面上に形成されている。議論目的のために、ドナー半導体ウェハー120は、実質的に単結晶の Si ウェハーから形成されることが好ましいが、上述したように、任意の他の適切な半導体材料を用いてもよい。ここで議論目的のために、ドナー半導体ウェハー120の半導体材料は、折に触れて、シリコンと称してよい。

50

【0037】

各剥離層122は、関連するドナー半導体ウェハー120（ここで後に論じる）から分離されるであろうシリコンの比較的薄い層であることが好ましい。本発明の実施の形態は、剥離層を形成する任意の特定の方法に限定されないが、適切な方法の1つは、シリコンウェハー120の表面下の弱化された領域を形成するためのイオン注入の使用を含む。一例として、水素イオン注入を用いてもよいが、ホウ素+水素、ヘリウム+水素、または剥離に関する文献において公知の他のイオンなどの他のイオンまたはその複数のイオンを用いてもよい。再度、剥離層122を形成するのに適した任意の他の公知技法または今後開発される技法も、本発明の精神および範囲から逸脱せずに用いてもよい。

【0038】

剥離層122を形成するのにたとえどのような技法を用いようと、半導体ウェハー120は、その表面の（例えば、水素）イオン濃度を減少させるために処理されることが好ましい。例えば、工程204で、半導体ウェハー120を洗浄し、浄化することが好ましく、剥離層122に穏やかな酸化を施すことが好ましい。穏やかな酸化処理としては、酸素プラズマ中の処理、オゾン処理、過酸化水素、過酸化水素とアンモニア、過酸化水素と酸による処理、またはこれらのプロセスの組合せが挙げられる。これらの処理中に、水素末端表面基がヒドロキシル基に酸化し、これが転じて、半導体ウェハー120の表面を親水性にする。この処理は、酸素プラズマについては室温で、アンモニアまたは酸の処理については、25～150の間の温度で行うことが好ましい。

【0039】

図2および5を参照すると、工程206で、剥離層122の表面がガラス基板102に接触するように、複数の半導体ウェハー120をガラス基板102上に配置する。この技法は、ここでは「タイル張り(tiling)」と称することもある。本発明の様々な実施の形態は、特定の形状とサイズの半導体ウェハー120の使用に限られず、タイル張りプロセスは、ガラス基板102の全てというよりもむしろ一部のみを被覆する単一の半導体ウェハー120の場合を含むことが当業者には認識されるであろう。タイル張りの使用により、実質的に単結晶の半導体層104がそこに結合した比較的大型のガラスまたはガラスセラミック基板102を製造することへの低コストの解決法が可能になる。ディスプレイまたは光起電用途について、必要とされるガラス基板102のサイズは、典型的に300mmの直径(0.07069平方メートル)の市販の半導体ウェハーよりも著しく大きいことが多い。実際に、ガラス基板102のサイズは、0.07069平方メートルを超えてよく、1.0平方メートルを超えてよい。

【0040】

多数の半導体ウェハー120を1枚のガラスまたはガラスセラミック基板102上にタイル張りする場合、隣接するウェハー120の間の空隙、チャンネル、間隙など(124)は、半導体ウェハー120を微細機械加工して互いに密接に取り付けられるようにすることによって、制御されるであろう。一例として、隣接する半導体ウェハー120のそれぞれの縁を機械加工して、それらの間の間隙または空洞を最小にしてもよい。半導体ウェハー120の縁を、仮の突合せ接合のために機械加工しても(図5に示すように)、または、たとえ縁は互いに接触していてもよいが、隣接する半導体ウェハー120の縁が互いに重なるように面取りしてもよい。

【0041】

図2および6を参照すると、工程208で、それぞれの半導体ウェハー120、特にその剥離層122を、電解プロセスを用いてガラス基板102に結合させることが好ましい。好ましい電解結合プロセスが、ここにその全てを引用する特許文献8に記載されている。このプロセスの一部を以下に論じる。

【0042】

機械的に発生させた圧力を用いて、それぞれの剥離層122およびガラス基板102の表面間の接触を確実に良好にしてもよい。接触の前または後に、半導体ウェハー120およびガラス基板102を差温度勾配下で加熱する。ガラス基板102を、半導体ウェハー

10

20

30

40

50

120よりも高い温度に加熱することが好ましい。一例として、ガラス基板102と半導体ウェハー120との間の温度差は、少なくとも1であるが、その差は、約100から約150ほど高くてもよい。この温度差は、半導体材料(例えば、シリコン)のものに一致させた熱膨張係数(CTE)を有するガラスにとって望ましい。何故ならば、これにより、熱応力のために、半導体ウェハー120からの剥離層122の後の分離が促進されるからである。ガラス基板102および半導体ウェハー120を、ガラス基板102の歪み点の約±150以内の温度にすることが好ましい。

【0043】

ガラス基板102および半導体ウェハー120を、それらの間の接触の前に加熱する場合、機械的圧力を中間体アセンブリに印加して、ガラス基板102および半導体ウェハー120のそれぞれの高温を安定化させた後の接触を確実に良好にする。好ましい圧力範囲は約1から約50psi(約6.90から約345kPa)である。より高い圧力、例えば、約100psi(約690kPa)より高い圧力を適用すると、ガラスウェハーが破壊されるかもしれない。

10

【0044】

次に、好ましくは正極を半導体ウェハー120に、負極をガラス基板102にして、中間体アセンブリに亘り電圧を印加する。電圧の印加により、ガラス基板102中のアルカリイオンまたはアルカリ土類イオンが半導体/ガラスの界面から離れてガラス基板102中に移動する。これは、2つの機能を果たす:(i)アルカリイオンまたはアルカリ土類イオンのない界面が形成される;および(ii)ガラス基板102が非常に活性になり、比較的低い温度での熱の印加により、半導体層104に強力に結合する。

20

【0045】

図2および7を参照すると、工程210で、中間体アセンブリを、ある時間に亘り(例えば、約1時間以内)前記温度、電圧および圧力条件下に保持した後、電圧を除去し、中間体アセンブリを室温まで冷ます。次いで、半導体ウェハー120およびガラス基板102を分離し(実質的に剥離層122で)、薄い剥離層122がそこに結合したガラス基板102を得るが、それには、すでに完全には遊離していない場合には、ある程度のピーリングが行われるであろう。この分離は、熱応力のために剥離層122の破損により行われることが好ましい。あるいは、またはそれに加え、ウォータージェット切断などの機械的応力または化学エッティングを用いて、この分離を促進してもよい。

30

【0046】

図7に示すように、分離後、得られた構造体は、ガラス基板102およびそこに結合した剥離層122を含み、ここで、剥離層122はそれらの間にいくつかの空隙124を含むであろう。図3を参照すると、工程212で、必要に応じて、結合の前または後に、空隙124に半導体材料を充填してもよい。空隙124の充填は、CVD法または他の成膜法を用いて行ってもよい。空隙124を十分に高い温度で成膜法により充填する場合、空隙124を充填するアモルファス半導体が結晶化して、いかなる空隙もなく、ガラスまたはガラスセラミック基板102上に実質的に単結晶の半導体膜を生成してもよい。

【0047】

工程214で、研磨技法により、例えば、CMPまたは当該技術分野において公知の他の技法により、剥離層122からどのような望ましくない半導体材料を除去してもよい。その後、図3および8を参照して、工程216で、さらに別の半導体層126を剥離層122の露出表面上に配置して、結合した半導体層104の厚さを増加させる。

40

【0048】

このさらに別の半導体層126は、化学蒸着(プラズマ支援プロセスであってもよい)、スパッタリング、電子ビーム蒸発、熱蒸発、または他の適切なプロセスにより作製することが好ましい。さらに別の半導体層126の厚さは約1μmと約100μmの間であつてよいが、構造100の特定の用途に応じて、それより厚い厚さを含む他の厚さを用いてよい。例えば、さらに別の半導体層126の厚さは約1μmと約50μmの間、約50μmから100μm、または100μmより大きくてもよい。

50

【 0 0 4 9 】

図 8 に示したように、半導体層 104 の厚さは、それぞれの剥離層 122 およびさらには別の半導体層 126 により増える。再び図 3 に戻ると、隣接する剥離層 122 の間の空隙 124 の充填は、工程 216（工程 212 の別個の充填工程は省く）で、さらに別の半導体層 126 の少なくともある程度に、横方向のエピタキシーによりそのような空隙 124 を少なくとも部分的に充填させることにより行ってもよい。

【 0 0 5 0 】

図 9 に示したように、得られた SOG 構造 100 はガラス基板 102 を含み、その上には、実質的に均一な単結晶半導体層 104 が結合している。さらに別の半導体層 126 の充填および／または成膜の前の、別個の剥離層 122 が配置されていた場所を表すために、点線が示されている。

10

【 0 0 5 1 】

半導体ウェハー 120 を再利用して、他の SOI 構造 100 の製造を続けてよいことに留意する。

【 0 0 5 2 】

図 10～12 を参照し、本発明の 1 つ以上にさらに別の態様によれば、タイル張りプロセスにおいて導電性支持体を用いることにより、再利用プロセスの効率が改善される。図 10 に示したように、複数のドナー半導体ウェハー 120 が所望のパターンで配置されており、導電性支持体 128 に結合されている。この結合は、半田付け、蝋付け、または耐火性導電性接着剤の使用により行うことができる。導電性支持体 128 は、プロセス温度に耐えられる限り、金属ホイルまたは他の導電性基板から形成されていてもよい。結合後、剥離層 122 が、例えば、水素イオン注入により、複数の半導体ウェハー 120 のそれぞれの表面上に形成される。図 10 を参照すると、剥離層 122 は、それらの構造を機械的に一緒にまとめるのを補助するために導電性支持体 128 を用いてガラス基板 102 と接触させてもよい。

20

【 0 0 5 3 】

図 11 に示したように、イオン注入後、導電性支持体 128 の補助により、電解技法（上述したような）を用いて、剥離層 122 をガラス基板 102 に結合してもよい。

【 0 0 5 4 】

図 12 に示したように、ガラス基板 102 からの半導体ウェハー 120 の分離後、得られた構造は、ガラス基板 102 およびそこに結合した複数の剥離層 122 を含み、ここで、この剥離層 122 はそれらの間にいくつかの空隙 124 を含んでいる。導電性支持体 128 上の半導体ウェハー 120 の露出表面を研磨して表面粗さを除き、再度注入してよく、その際に、別のガラスまたはガラスセラミック基板 102 に関する結合プロセスを繰り返すことができる。このようにして、半導体ウェハー 120 は、SOG 構造 100 を製造する度に、タイル張りプロセス中に、さらに別のガラス基板上に別々に再度配置し、別々に再度集積する必要がない。

30

【 0 0 5 5 】

図 13 を参照し、本発明の 1 つ以上にさらに別の態様によれば、タイル張りプロセスにおいて、導電性支持体 128 の代わりに、ガラス支持体 129 を用いてよい。複数のドナー半導体ウェハー 120 を所望のパターンで配置し、ガラス支持体 129 に結合させる。図 10 の構造と同様に、半導体ウェハー 120 のガラス支持体 129 への結合は、耐火性導電性接着剤などを含む従来の技法を用いて行うことができる。あるいは、これらの結合部位で剥離層 122 が好ましくないことを除いて、複数のドナー半導体ウェハー 120 を、図 6 に関して先に記載した電解技法を用いて、ガラス支持体 129 に結合させてもよい。ガラス支持体 129 への結合後、剥離層 122 が、例えば、水素イオン注入（図 10 に示したものと同様の）により、複数の半導体ウェハー 120 のそれぞれの表面（ガラス支持体に結合した表面と反対の）に形成される。次いで、剥離層 122 をガラス基板 102（図 11 に示したものと同様の）と結合させ、ドナー半導体ウェハー 120（図 12 に示したものと同様の）から分離してもよい。各工程は、ガラス支持体 129 を用いて行わ

40

50

れる。

【0056】

タイル張りの原理および本発明の他の態様を実証するために、直径100mmのシリコンのドナー半導体ウェハーにホウ素をドープした。このウェハーは $1 \sim 10 \text{ cm}^2$ の抵抗率を示した。ドナーシリコンウェハーに、 8×10^{16} イオン/ cm^2 の注入量および100KeVのエネルギーで、水素イオン注入した。次いで、100mmの直径のアルミニウムケイ酸塩ガラス基板（コーニング社から得た、コード7740）を洗浄した。ドナーシリコンウェハーを墨書き、2つの小片に割った。次いで、それぞれの小片を、蒸留水、アンモニアおよび過酸化水素の溶液中で洗浄し、乾燥させ、次いで、2つのシリコン片の間の間隙を最小にするようにガラス基板上で集成した。次いで、このアセンブリをボンダ装置内に配置し、これを排気した。ガラス基板を450℃に加熱し、一方で、シリコン片を400℃に加熱した。ガラス基板をボンダ装置の負極に接続し、一方で、シリコン片をボンダ装置の正極に接続した。所望の温度に到達した後、10psi（約69kPa）の圧力を印加して、構造間の接触を確実に良好にした。次いで、750ボルトの電圧を1分間、ガラス基板と半導体片（実質的にその中央に）に亘り印加して、結合プロセスを開始した。その後、電圧を除き、より低い500ボルトの電圧を15分間、ガラス基板と半導体片のそれぞれの表面に亘り印加した。その後、電圧を除き、アセンブリを室温まで冷却した。シリコン片はアセンブリから容易に除去されて、ガラス基板の実質的に全体にそれぞれの薄い剥離シリコン膜が残った。剥離シリコン膜の間の距離は約 $10 \mu\text{m}$ であった。ドナーシリコンウェハーを5つの小片に分割し、100mmのガラス基板上に集成したこととを除いて、上述した実験を繰り返した。シリコンの薄層がガラス基板にうまく結合した。

10

20

30

40

【0057】

図14を参照して、SOG構造100を用いて光起電装置140を製造する。特に、ガラス基板102に最も近いシリコン層130にはn+不純物をドープしてよく、次のシリコン層132にはp+不純物をドープしてよい。一例として、シリコン層132には徐々にホウ素をドープしてよい。当業者には、光起電構造が、異なるタイプの不純物および異なるタイプの半導体材料を用いて得られ、その全てがここが考えられることが認識されよう。例えば、光起電接合部は、ガラス基板102に最も近いシリコン層130にp+不純物をドープし、次のシリコン層132にはn+不純物をドープするようなものであってよい。シリコン層130は約300nm厚（またはそれ未満）程度であることが好ましく、一方で、シリコン層132は約 $50 \mu\text{m}$ 厚（またはそれより大きい）程度であることが好ましい。層132の厚さは、光起電構造140により生成可能な電流に影響を与える。層132の厚さは約5から $100 \mu\text{m}$ 程度であることが好ましい。それぞれの電気接点（図示せず）がシリコン層130、132に結合されて、光起電構造140の反対の電圧ノードとして働く。層130、132の面積は、光起電構造140により生成可能な末端電圧に影響を与える。光起電構造140が0.07069平方メートルを超える表面積を有することが望ましく、約1平方メートルの面積が好ましい。比較的厚い層132および比較的大きな面積の層130、132の組合せにより、より薄い層厚および/または小さい表面積を有するデバイスとは反対に、装置140から著しい電流および電圧（出力）が生じる。

30

【0058】

1つ以上の実施の形態において、0.07069平方メートルを超える、たとえば、0.1平方メートル、好ましくは1平方メートル以上の光起電表面積を、上述したタイル張り技法を用いて形成して、約1平方メートル以上のガラス基板102上に約300nm厚のシリコン層130を製造してもよい。その後、約 $50 \mu\text{m}$ 厚のシリコン層132を、化学蒸着法、スパッタリング法、電子ビーム蒸発法、熱蒸発法、または他の適切なプロセスにより、シリコン層130上に成膜してもよい。

【0059】

特に、1つ以上の実施の形態において、ガラス基板102は、層132の成膜プロセス

50

(特に、加熱サイクル)中、所望の波長の光に対して実質的に透明のままである。それゆえ、ガラス基板102は、光起電構造140の他の層130, 132のための「上層」として働く。それに加え、1つ以上の実施の形態において、ガラスまたはガラスセラミック基板102は、層132を製造するためのCDV成長法の加熱サイクルが、ガラス基板102への層130, 132の結合の機械的性質に悪影響を与えないように、層130および/または層132(例えば、シリコン、ゲルマニウムなど)の熱膨張係数(CTE)を一致させるように設計されている。ガラス基板と層130, 132との間でCTEが一致することにより、屋外動作で経験する熱サイクル中の光起電構造140の耐久性も改善される。さらに、ガラス基板102は、屋外要素(雨、酸性、雪などの)に対する抵抗性および機械的強度を提供する。それゆえ、層130, 132のn-p(またはp-n)接合部は、光起電構造140の使用中に保護される。

10

【0060】

図15を参照し、1つ以上にさらに別の実施の形態において、0.07069平方メートルを超える、たとえば、0.1平方メートル、好ましくは1平方メートル以上の光起電表面積が、上述したタイル張りおよび成膜技法を用いて、中間体または「母体(mother)」構造150を製造することにより形成されて、例えば、相当な厚さの(例えば、シリコン層130の300nm厚の数倍)および相当な面積の(例えば、約1平方メートル)のn+ドープトシリコン層126を剥離層122上に生成してもよい。当業者には明白なよう²⁰に、層126を製造するために用いられる特定のドープ材料および半導体材料は、所望の特定の光起電構造に応じて異なるであろう。母体構造150は、各々がドープトシリコン層126と同じ四角の面積である、多数の「下位(daughter)」構造152A, 152B, ..., 152Nを製造するためのドナーとして用いられる。特に、下位構造152A, 152Bなどは、SOG構造100について先に論じたように、シリコン層126に剥離層を形成する(例えば、イオン注入技法または他の技法を使用する)ことにより形成してよい。剥離層が、上述した電解技法を用いてそれぞれのガラス基板102に結合されている。それゆえ、剥離層は、下位構造152A, 152Bなどのガラス基板102上のそれぞれのシリコン層130となる。このプロセスは、多数の下位構造152A, 152B, ..., 152Nを製造するためのドナー層としてn+ドープトシリコン層126を再利用する工程を含むことが好ましい。次に、約50μm厚のp+ドープトシリコン層132を、例えば、化学蒸着法または他の適切なプロセス(図14)により、各下位構造152のシリコン層130上に成膜してもよい。当業者には明らかなように、層126はp+ドープされていてよく、層132はn+ドープされていてよく、これは全て設計の仕様による。これにより、その内の1つが図14に示された、多数の光起電構造140が形成される。

20

【0061】

図16を参照すると、n+ドープトシリコン層126のそれぞれの使用が示されている。そのような各使用により、下位構造152のそれぞれのガラス基板102に結合したそれぞれのn+ドープトシリコン層130が生成される。n+ドープトシリコン層126の各使用により、層126の厚さが対応して減少する。何回か使用した時点で、層126の厚さが、層126のドナーとしての使用を続けるのに十分ではなくなる。しかしながら、母体構造150を廃棄する代わりに、1つ以上の実施の形態によれば、例えば、n+ドープトシリコンを化学蒸着法または他の適切なプロセスにより層126の残りの上に成膜するさらに別の工程を行ってよい。これにより、先に論じたプロセスにしたがって、さらに別の下位構造152を製造するためのさらに別の再利用できる母体構造150が得られる。n+ドープトシリコン層126は、層126の残りにn+ドープトシリコンを成膜することにより、何回でも再生してもよい。

30

【0062】

図17に示したように、1つ以上の実施の形態によれば、下位構造152Aは、さらに別の下位構造(図示せず)のためのそれぞれの層130(例えば、n+ドープトシリコンの)を製造するためのドナーとして用いてよい。特に、上述した成膜技法を用いて、既存の下位構造152A(すなわち、図16の母体構造150から製造された構造152A

40

50

) の層 130 上に厚い厚さおよび大きな面積の層 126 (例えば、n + ドープトシリコン) を生成して、下位ドナー構造 152A を製造してもよい。この点に関して、既存の下位構造 152A の層 130 は、成膜される層 126 を受け取るための「種(seed)」層である。再度、当業者に明白なように、層 126 を製造するのに用いられる特定のドープ材料および半導体材料は、所望の特定の光起電構造により異なってよい。下位ドナー構造 152A が、多数のさらに別の「下位」構造 (図示せず) を製造するためのドナーとして用いられる。再度、このさらに別の下位構造は、SOG 構造 100 について先に論じたように、シリコン層 126 内に剥離層を形成することにより (例えば、イオン注入技法または他の技法を用いて) 形成してもよい。剥離層は、上述した電解技法を用いてそれぞれのガラス基板 102 に結合され、分離されて、層 130 (例えば、n + ドープトシリコンの) を生成する。

10

【 0063 】

下位ドナー構造 152A の n + ドープトシリコン層 126 の各使用により、層 126 の厚さが対応して減少する。再度、層 126 の厚さは、何回かの使用で、ドナーとして層 126 を使用し続けるのに十分ではなくなるが、層 126 は、層 126 の残りの上にさらに別の材料 (例えば、n + ドープトシリコン) を成膜することにより、何回も再生してもよい。

【 0064 】

1 つ以上のさらに別の実施の形態において、母体構造 150 または下位ドナー構造 152A のガラス基板 102 を、セラミック、不透明ガラスまたはガラスセラミック、半導体材料などの不透明基板材料と置き換えるてもよい。しかしながら、基板の望ましい特徴は、層 126 を生成するための CVD 成長法の熱サイクルが基板の結合の機械的性質に悪影響を与えないように剥離層 122 (母体構造 150 の) および / または層 130 (下位ドナー構造 152A の) の熱膨張係数 (CTE) を一致させるように設計されていることである。

20

【 0065 】

本発明をここに特定の実施の形態を参照して記載してきたが、これらの実施の形態は、本発明の原理および用途を単に示すものであることが理解されよう。したがって、様々な改変を例示の実施の形態に行ってよく、添付の特許請求の範囲に定義された本発明の精神および範囲から逸脱せずに、他の配置も考えられることが理解されよう。

30

【 図面の簡単な説明 】

【 0066 】

【 図 1 】本発明の 1 つ以上の実施の形態による SOI デバイスの構造を示すブロック図
【 図 2 】本発明の 1 つ以上の態様による SOI 構造を製造するために実施してもよい少なくとも 1 つのプロセス工程を示す流れ図

【 図 3 】本発明の 1 つ以上の態様による SOI 構造を製造するために実施してもよい少なくとも 1 つのプロセス工程を示す流れ図

【 図 4 】本発明の 1 つ以上の態様による SOI 構造の形成に用いてよい中間構造の概略図

【 図 5 】本発明の 1 つ以上の態様による SOI 構造の形成に用いてよいさらに別の中間構造の概略図

40

【 図 6 】本発明の 1 つ以上の態様による SOI 構造の形成に用いてよいまたさらに別の中間構造の概略図

【 図 7 】本発明の 1 つ以上の態様による SOI 構造の形成に用いてよいまたさらに別の中間構造の概略図

【 図 8 】本発明の 1 つ以上の態様による SOI 構造の形成に用いてよいまたさらに別の中間構造の概略図

【 図 9 】図 2 のプロセスの流れによる SOI 構造の斜視図

【 図 10 】本発明の 1 つ以上のさらに別の態様による SOI 構造の形成に用いてよいさらに別の中間構造の概略図

50

【図11】本発明の1つ以上のさらに別の態様によるS O I構造の形成に用いてもよいさら
に別の中間構造の概略図

【図12】本発明の1つ以上のさらに別の態様によるS O I構造の形成に用いてもよいさら
に別の中間構造の概略図

【図13】本発明の1つ以上のさらに別の態様によるS O I構造の形成に用いてもよいさら
に別の中間構造の概略図

【図14】本発明の1つ以上のさらに別の態様による光起電用途に用いてもよいO S G構
造の概略図

【図15】本発明の1つ以上の態様による複数のS O I構造の形成に用いてもよいまたさ
らに別の中間構造の概略図

【図16】本発明の1つ以上の態様による複数のS O I構造の形成に用いてもよいまたさ
らに別の中間構造の概略図

【図17】本発明の1つ以上の態様による複数のS O I構造の形成に用いてもよいまたさ
らに別の中間構造の概略図

【符号の説明】

【0 0 6 7】

| | |
|-------|------------|
| 1 0 0 | S O G 構造 |
| 1 0 2 | ガラス基板 |
| 1 0 4 | 半導体層 |
| 1 2 0 | ドナー半導体ウェハー |
| 1 2 2 | 剥離層 |

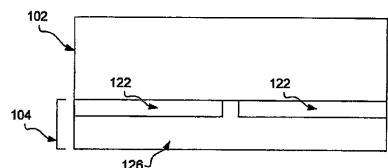
10

20

【図1】

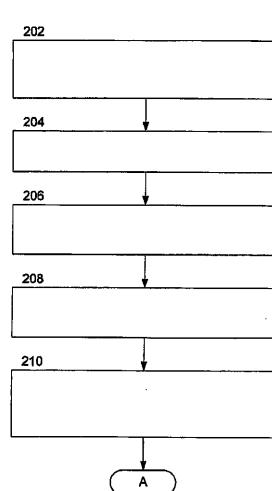
FIG. 1

100



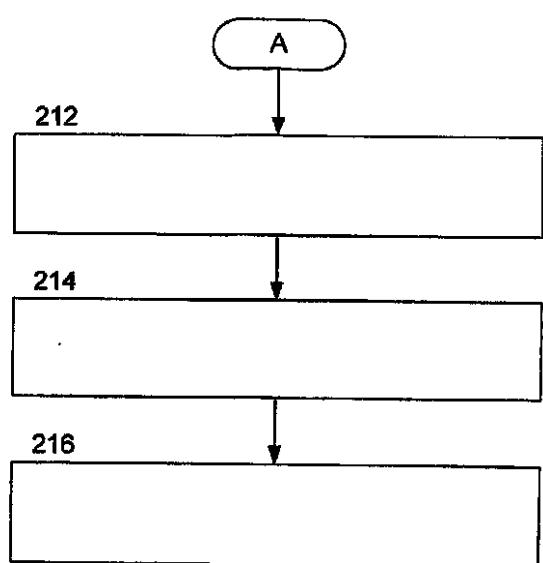
【図2】

FIG. 2



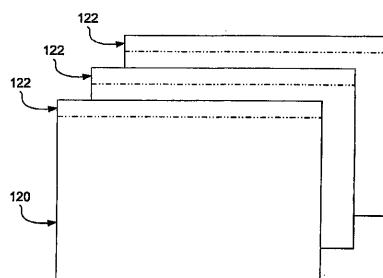
【図 3】

FIG. 3



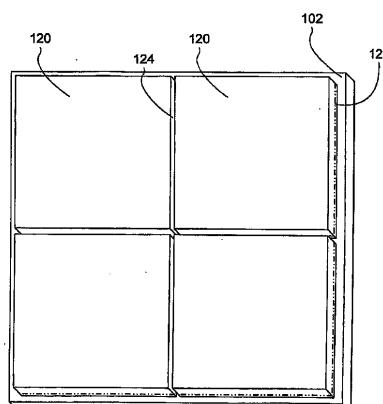
【図 4】

FIG. 4



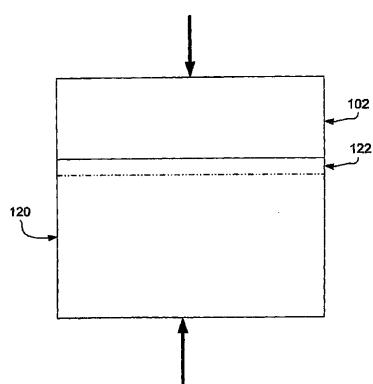
【図 5】

FIG. 5



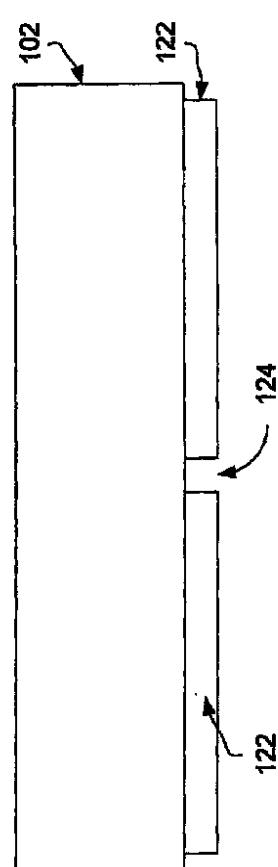
【図 6】

FIG. 6



【図 7】

FIG. 7



【図 8】

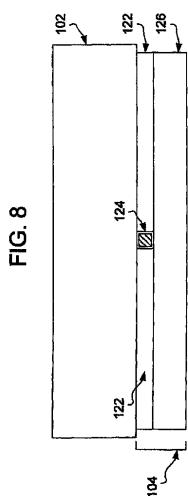
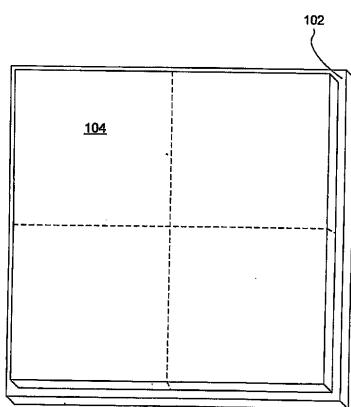


FIG. 8

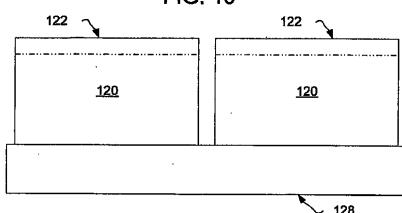
【図 9】

FIG. 9



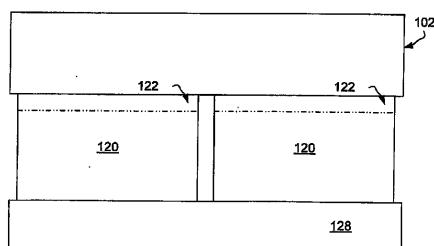
【図 10】

FIG. 10



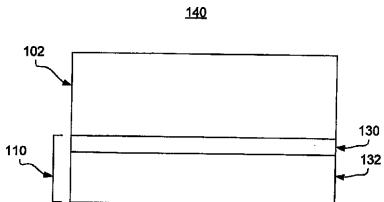
【図 11】

FIG. 11



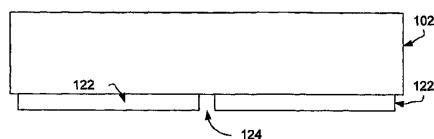
【図 14】

FIG. 14



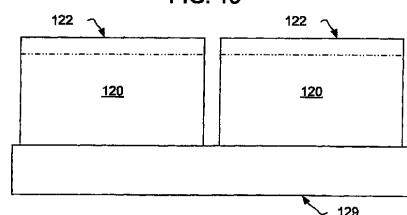
【図 12】

FIG. 12



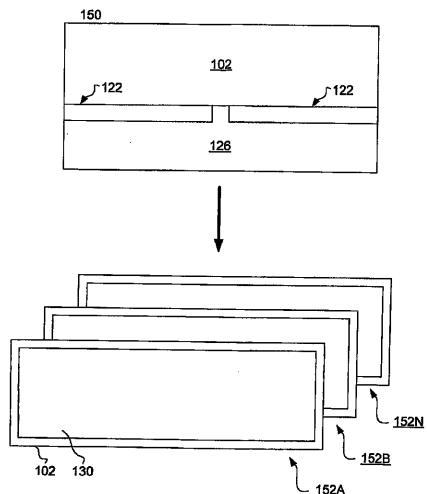
【図 13】

FIG. 13



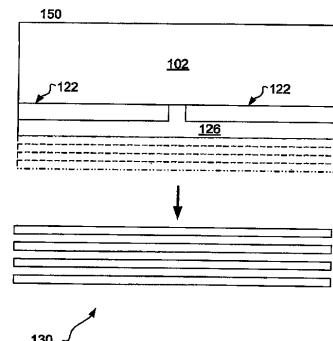
【図 15】

FIG. 15



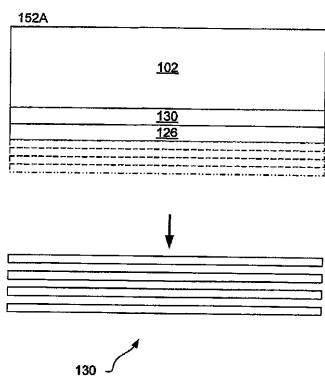
【図 16】

FIG. 16



【図 17】

FIG. 17



【国際調査報告】

| INTERNATIONAL SEARCH REPORT | | International application No PCT/US2006/041660 |
|---|---|--|
| A. CLASSIFICATION OF SUBJECT MATTER INV. H01L21/762 | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) H01L | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | WO 2005/029576 A2 (CORNING INC [US]; COUILLARD JAMES G [US]; MACH JOSEPH F [US]; GADKAREE) 31 March 2005 (2005-03-31) | 1-7, 9-15, 17-19, 21-33, 42-52 |
| Y | page 36, line 24 - line 32; figures 3,16; tables 1-5 | 16,20, 34-41 |
| A | page 18, line 23 - page 22, line 16 page 4, line 2 - page 13, line 16 | 8 |
| X | WO 92/05575 A (NAT RES DEV [GB]) 2 April 1992 (1992-04-02) | 1-5, 10-19, 21-30, 34,42, 49,51 |
| | page 1, line 4 - page 2, line 26 page 3, line 27 - page 4, line 14; claim 1 | -/- |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. | | <input checked="" type="checkbox"/> See patent family annex. |
| <p>* Special categories of cited documents :</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p> | | |
| Date of the actual completion of the International search 24 January 2007 | Date of mailing of the international search report 30/01/2007 | |
| Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax. (+31-70) 340-3016 | Authorized officer Hedouin, Mathias | |

INTERNATIONAL SEARCH REPORT

| |
|---|
| International application No PCT/US2006/041660 |
|---|

| C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT | | |
|--|--|-----------------------|
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| Y | EP 1 398 825 A (CANON KK [JP]) 17 March 2004 (2004-03-17) column 4, paragraph 21 – column 7, paragraph 35; figures 1a-2 _____ | 16,20, 34-41 |
| P,X | US 2006/234477 A1 (GADKAREE KISHOR P [US]) 19 October 2006 (2006-10-19) page 3, paragraph 36 – page 6, paragraph 75; figures 1-7 _____ | 1-54 |

INTERNATIONAL SEARCH REPORT

Information on patent family members

| |
|------------------------------|
| International application No |
| PCT/US2006/041660 |

| Patent document cited in search report | | Publication date | | Patent family member(s) | | Publication date |
|--|----|------------------|----------------------|--|--|--|
| WO 2005029576 | A2 | 31-03-2005 | CN EP JP KR | 1765014 A 1599901 A2 2006518116 T 20060056272 A | | 26-04-2006 30-11-2005 03-08-2006 24-05-2006 |
| WO 9205575 | A | 02-04-1992 | EP JP | 0551323 A1 6504877 T | | 21-07-1993 02-06-1994 |
| EP 1398825 | A | 17-03-2004 | JP US | 2004103946 A 2004048091 A1 | | 02-04-2004 11-03-2004 |
| US 2006234477 | A1 | 19-10-2006 | WO | 2006112995 A2 | | 26-10-2006 |

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,L,A,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 マイオール,アレクサンドル エム

フランス国 F - 2 8 7 0 0 オノー リュ パストゥール 5 7

F ターム(参考) 5F110 AA28 BB01 DD01 DD02 DD05 DD07 DD08 DD13 GG01 GG02
GG03 GG04 GG12 GG24 GG32 GG42 GG43 GG45 QQ17 QQ19