



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년08월05일

(11) 등록번호 10-2007258

(24) 등록일자 2019년07월30일

(51) 국제특허분류(Int. Cl.)

H01L 27/12 (2006.01) H01L 21/84 (2006.01)

(21) 출원번호 10-2012-0132607

(22) 출원일자 2012년11월21일

심사청구일자 2017년11월20일

(65) 공개번호 10-2014-0065285

(43) 공개일자 2014년05월29일

(56) 선행기술조사문현

JP2008516443 A*

(뒷면에 계속)

전체 청구항 수 : 총 9 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

조성호

경기 과천시 관문로 143, 1102동 303호 (중앙동,
래미안에코밸리스)

(74) 대리인

리앤목특허법인

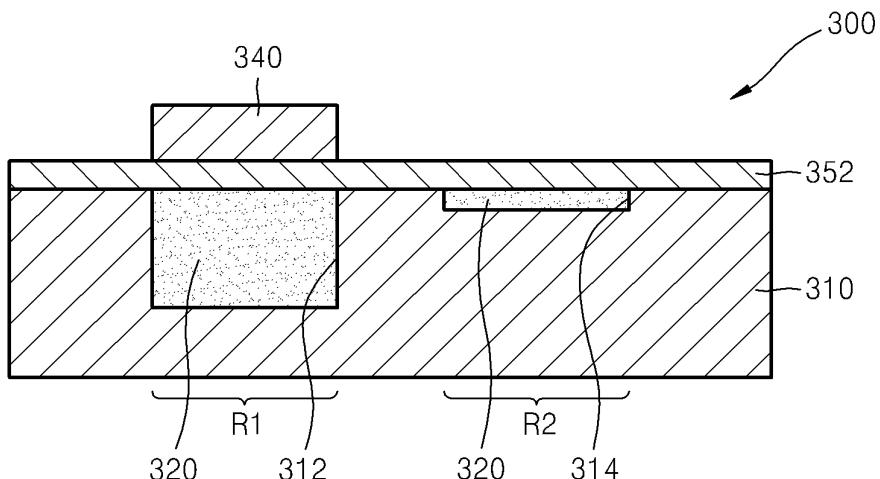
심사관 : 고연화

(54) 발명의 명칭 광전 접적회로 기판의 제조방법

(57) 요 약

광전 접적회로 기판의 제조방법이 개시된다. 개시된 광전 접적회로 기판의 제조방법은, 제1 기판 상에 광학소자 및 전자 소자를 형성할 광학 소자 영역 및 전자 소자 영역을 한정하는 단계와, 상기 제1 기판 상면에 상기 광학 소자 영역에서 제1 깊이의 제1 트렌치와, 상기 전자 소자 영역에 제2 깊이의 제2 트렌치를 각각 형성하는 단계와, 상기 제1 트렌치 및 상기 제2 트렌치에 각각 유전체를 채우는 단계와, 상기 제1 기판의 상기 상면 상으로 제2 기판을 본딩하는 단계와, 상기 제2 기판을 씌우하여 제1 두께를 가진 제2 기판을 만드는 단계와, 상기 제2 기판에서 상기 광학 소자 영역 및 상기 전자 소자 영역을 각각 제2 두께 및 제3 두께로 형성하는 단계를 포함한다.

대 표 도 - 도3f



(56) 선행기술조사문현
KR1020050070116 A*
KR1020110098007 A*
US20100119190 A1
US20060105479 A1
JP2009026929 A
US20120098122 A1
US20100140708 A1
KR100877252 B1

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제1 기판 상에 광학소자 및 전자 소자를 형성할 광학 소자 영역 및 전자 소자 영역을 한정하는 단계;

상기 제1 기판 상면에 상기 광학 소자 영역에서 제1 깊이의 제1 트렌치와, 상기 전자 소자 영역에 제2 깊이의 제2 트렌치를 각각 형성하는 단계;

상기 제1 트렌치 및 상기 제2 트렌치에 각각 유전체를 채우는 단계;

상기 제1 기판의 상기 상면 상으로 제2 기판을 본딩하는 단계;

상기 제2 기판을 씨닝하여 제1 두께를 가진 제2 기판을 만드는 단계; 및

상기 제2 기판에서 상기 광학 소자 영역 및 상기 전자 소자 영역을 각각 제2 두께 및 제3 두께로 형성하는 단계;를 포함하며,

상기 제1 깊이와 상기 제2 깊이는 각각 $0.5\mu\text{m}$ ~ $3\mu\text{m}$, 1~200nm 인 광전 집적회로 기판의 제조방법.

청구항 7

삭제

청구항 8

제 6 항에 있어서,

상기 유전체는 공기, 산화물, 질화물 중 하나인 광전 집적회로 기판의 제조방법.

청구항 9

제 6 항에 있어서,

상기 제2 두께 및 상기 제3 두께를 형성하는 단계는:

상기 제2 기판의 상기 광학 소자 영역을 노출시키는 단계; 및

상기 노출된 상기 광학 소자 영역 상으로 상기 제2 기판과 동일 물질로 된 물질을 형성하여 상기 광학 소자 영역의 상기 제2 기판의 두께를 상기 제2 두께로 만드는 단계이며,

상기 제3 두께는 상기 제1 두께인 광전 집적회로 기판의 제조방법.

청구항 10

삭제

청구항 11

제 6 항에 있어서,

상기 제2 두께 및 상기 제3 두께를 형성하는 단계는:

상기 제2 기판의 상기 전자 소자 영역을 노출시키는 단계; 및

상기 노출된 상기 전자 소자 영역을 선택적으로 식각하여 상기 전자 소자 영역의 두께를 상기 제3 두께로 만드는 단계이며,

상기 제2 두께는 상기 제1 두께인 광전 집적회로 기판의 제조방법.

청구항 12

삭제

청구항 13

제1 기판 상에 광학소자 및 전자 소자를 형성할 광학 소자 영역 및 전자 소자 영역을 한정하는 단계;

상기 제1 기판 상면에 상기 광학 소자 영역에서 제1 깊이의 제1 트렌치와, 상기 전자 소자 영역에 제2 깊이의 제2 트렌치를 각각 형성하는 단계;

상기 제1 트렌치 및 상기 제2 트렌치를 유전체로 채우는 단계;

상기 상면으로부터 제1 두께의 상기 광학 소자 영역을 선택적으로 식각하여 오목부를 형성하는 단계;

제2 기판에서 상기 광학 소자 영역을 제외한 영역을 상기 제1 두께 식각하여 볼록부를 형성하는 단계;

상기 제2 기판을 상기 제1 기판의 상기 상면 상으로 본딩하여 상기 볼록부를 상기 오목부에 결합하는 단계; 및

상기 제2 기판의 상면으로부터 상기 광학 소자 영역의 유전체 상면 까지 제2 두께와 상기 전자 소자 영역의 상기 유전체의 상면 까지 제3 두께를 가지도록 상기 제2 기판을 씌우는 단계;를 포함하는 광전 집적회로 기판의 제조방법.

청구항 14

제 13 항에 있어서,

상기 제1 깊이와 상기 제2 깊이는 각각 $0.6 \sim 3.5\mu\text{m}$, $1\sim200\text{nm}$ 인 광전 집적회로 기판의 제조방법.

청구항 15

제 13 항에 있어서,

상기 유전체는 공기, 산화물, 질화물 중 하나인 광전 집적회로 기판의 제조방법.

청구항 16

제 13 항에 있어서,

상기 제1 두께는 $100\sim500\text{nm}$ 인 광전 집적회로 기판의 제조방법.

청구항 17

삭제

청구항 18

제 13 항에 있어서,

상기 유전체를 채우는 단계는:

상기 상기 제1 트렌치 및 상기 제2 트렌치를 각각 제4 두께의 유전체를 채우는 단계; 및

상기 제1 기판 상면 상으로 상기 제2 트렌치를 채운 상기 유전체를 제거하는 단계를 포함하며,

상기 제4 두께는 상기 제1 깊이 보다 상기 제1 두께만큼 작은 광전 집적회로 기판의 제조방법.

청구항 19

삭제

발명의 설명

기술 분야

[0001] 광학 소자 및 전자 소자와 멤스 구조를 함께 구현하는 데 적합한 광전 집적회로 기판의 제조방법에 관한 것이다.

배경 기술

[0002] 반도체 집적회로들은 데이터를 전기적으로 송수신하는 전기적 통신을 이용하여 왔다. 반도체 집적회로들은 인쇄 회로기판에 집적되며, 배선들을 통해서 서로 전기적 통신을 수행한다. 반도체 집적회로들 사이의 전기적 저항을 감소시키는 데 한계가 있다. 또한, 전기적 통신은 외부 전자파동에 의해 영향을 받을 수 있다. 이러한 이유로 반도체 집적회로들 간의 통신속도를 증가시키기가 어렵다.

[0003] 최근에 반도체 집적회로들 간의 통신속도를 향상시키기 위해 광배선(optical interconnect) 또는 광통신(optical communication)이 채용되고 있다. 광통신은 정보를 저장한 광신호를 송신 및/또는 수신한다. 광통신은 전기적 통신과 비교하여 외부 전자파에 의한 간섭이 적으며, 고속 통신이 가능하게 한다.

[0004] 반도체 집적회로들 간의 광통신을 위해서는 광학 소자를 반도체 집적회로에 함께 구현하여야 한다. 또한, 광통신을 위한 광파이버를 배치할 영역과 멤스 구조를 형성할 멤스 영역도 필요할 수 있다.

[0005] 광학소자와 전자 소자를 함께 기판 상에 구현하기 위해서, 소이(silicon on insulator: SOI) 기판을 사용할 수 있다. 소이(SOI) 기판은 기판의 표면으로부터 소정 깊이에 소정 두께를 가진 매립 옥사이드층과 그 위의 에피층을 가진다.

[0006] 그러나, 전자소자 및 광학소자에 적합한 에피층의 두께와, 매립 옥사이드층의 두께가 다르며, 또한, 멤스구조를 필요로 하는 영역에서는 매립 옥사이드층이 없는 영역인 것이 바람직하다. 이러한 광전 집적회로를 구현하는 데 적합한 기판이 요구된다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예에 따른 광전 집적회로 기판의 제조방법은 서로 다른 깊이에서 서로 다른 두께의 유전체층이 형성된 영역을 가진 기판을 제조하는 방법을 제공한다.

과제의 해결 수단

[0008] 본 발명의 일 실시예에 따른 광전 집적회로 기판의 제조방법은:

[0009] 제1 기판 상에 광학소자를 형성할 광학 소자 영역을 한정하는 단계;

[0010] 상기 제1 기판 상면으로 상기 광학 소자 영역에서 제1 깊이의 트렌치를 형성하는 단계;

[0011] 상기 트렌치에 유전체를 채우는 단계;

[0012] 상기 제1 기판 상으로 상기 트렌치를 덮도록 제2 기판을 본딩하는 단계; 및

- [0013] 상기 제2 기판을 제1 두께로 만드는 씨닝 단계;를 포함한다.
- [0014] 상기 제1 깊이는 $0.5\mu\text{m}$ - $3\mu\text{m}$ 일 수 있다.
- [0015] 상기 유전체는 공기, 산화물, 질화물 중 선택된 어느 하나일 수 있다.
- [0016] 상기 씨닝 단계는 상기 제2 기판의 두께를 100nm - 500nm 범위로 만드는 단계일 수 있다.
- [0017] 상기 제1 기판은 반도체, 유전체, 폴리머 중 어느 하나로 이루어질 수 있다.
- [0018] 본 발명의 다른 실시예에 따른 광전 접적회로 기판의 제조방법은:
- [0019] 제1 기판 상에 광학소자 및 전자 소자를 형성할 광학 소자 영역 및 전자 소자 영역을 한정하는 단계;
- [0020] 상기 제1 기판 상면에 상기 광학 소자 영역에서 제1 깊이의 제1 트렌치와, 상기 전자 소자 영역에 제2 깊이의 제2 트렌치를 각각 형성하는 단계;
- [0021] 상기 제1 트렌치 및 상기 제2 트렌치에 각각 유전체를 채우는 단계;
- [0022] 상기 제1 기판의 상기 상면 상으로 제2 기판을 본딩하는 단계;
- [0023] 상기 제2 기판을 씨닝하여 제1 두께를 가진 제2 기판을 만드는 단계; 및
- [0024] 상기 제2 기판에서 상기 광학 소자 영역 및 상기 전자 소자 영역을 각각 제2 두께 및 제3 두께로 형성하는 단계;를 포함한다.
- [0025] 일 국면에 따르면, 상기 제2 두께 및 상기 제3 두께를 형성하는 단계는:
- [0026] 상기 제2 기판의 상기 광학 소자 영역을 노출시키는 단계; 및
- [0027] 상기 노출된 상기 광학 소자 영역 상으로 상기 제2 기판과 동일 물질로 된 물질을 형성하여 상기 광학 소자 영역의 상기 제2 기판의 두께를 상기 제2 두께로 만드는 단계이며,
- [0028] 상기 제3 두께는 상기 제1 두께이다.
- [0029] 다른 국면에 따르면, 상기 제2 두께 및 상기 제3 두께를 형성하는 단계는:
- [0030] 상기 제2 기판의 상기 전자 소자 영역을 노출시키는 단계; 및
- [0031] 상기 노출된 상기 전자 소자 영역을 선택적으로 식각하여 상기 전자 소자 영역의 두께를 상기 제3 두께로 만드는 단계이며,
- [0032] 상기 제2 두께는 상기 제1 두께이다.
- [0033] 본 발명의 또 다른 실시예에 따른 광전 접적회로 기판의 제조방법은:
- [0034] 제1 기판 상에 광학소자 및 전자 소자를 형성할 광학 소자 영역 및 전자 소자 영역을 한정하는 단계;
- [0035] 상기 제1 기판 상면에 상기 광학 소자 영역에서 제1 깊이의 제1 트렌치와, 상기 전자 소자 영역에 제2 깊이의 제2 트렌치를 각각 형성하는 단계;
- [0036] 상기 제1 트렌치 및 상기 제2 트렌치를 유전체로 채우는 단계;
- [0037] 상기 상면으로부터 제1 두께의 상기 광학 소자 영역을 선택적으로 식각하여 오목부를 형성하는 단계;
- [0038] 제2 기판에서 상기 광학 소자 영역을 제외한 영역을 상기 제1 두께 식각하여 볼록부를 형성하는 단계;
- [0039] 상기 제2 기판을 상기 제1 기판의 상기 상면 상으로 본딩하여 상기 볼록부를 상기 오목부에 결합하는 단계; 및
- [0040] 상기 제2 기판의 상면으로부터 상기 광학 소자 영역의 유전체 상면 까지 제2 두께와 상기 전자 소자 영역의 상기 유전체의 상면 까지 제3 두께를 가지도록 상기 제2 기판을 씨닝하는 단계;를 포함한다.
- [0041] 상기 유전체를 채우는 단계는:
- [0042] 상기 상기 제1 트렌치 및 상기 제2 트렌치를 각각 제4 두께의 유전체를 채우는 단계; 및
- [0043] 상기 제1 기판 상면 상으로 상기 제2 트렌치를 채운 상기 유전체를 제거하는 단계를 포함하며,

[0044] 상기 제4 두께는 상기 제1 깊이 보다 상기 제1 두께만큼 작을 수 있다.

발명의 효과

[0045] 본 발명의 실시예에 따르면, 광학 소자와 전자 소자의 제조에 각각 최적의 기판 영역을 제공할 수 있으며, 아울러 멤스 영역에는 유전체층을 형성하지 않음으로써 멤스 소자 형성이 용이해진다.

도면의 간단한 설명

[0046] 도 1은 본 발명의 실시예에 따라 제조된 광전 집적회로 기판의 구조를 개괄적으로 보여주는 단면도이다.

도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 광전 집적회로 기판의 제조방법을 단계별로 설명하는 도면이다.

도 3a 내지 도 3f는 본 발명의 다른 실시예에 따른 광전 집적회로 기판의 제조방법을 단계별로 설명하는 도면이다.

도 4a 내지 도 4c는 본 발명의 또 다른 실시예에 따른 광전 집적회로 기판의 제조방법을 단계별로 설명하는 도면이다.

도 5a 내지 도 5f는 본 발명의 다른 실시예에 따른 광전 집적회로 기판의 제조방법을 단계별로 설명하는 도면이다.

도 6은 본 발명의 또 다른 실시예에 따른 광전 집적 회로 기판의 제조방법을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0047] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다. 명세서를 통하여 실질적으로 동일한 구성요소에는 동일한 참조번호를 사용하고 상세한 설명은 생략한다.

[0048] 도 1은 본 발명의 실시예에 따라 제조된 광전 집적회로 기판(100)의 구조를 개괄적으로 보여주는 단면도이다.

[0049] 도 1을 참조하면, 광전 집적회로 기판(100)은 광학 소자(photonic device) 영역(R1), 전자 소자(electronic device) 영역(R2) 및 멤스(micro-electromechanical systems: MEMS) 영역(R3)을 포함한다. 도 1에 도시된 광전 집적회로 기판(100)은 웨이퍼 상에서 다이싱된 하나의 칩 영역의 기판일 수 있다.

[0050] 광전 집적회로 기판(100)은 실리콘, 갈륨 비소, 인듐 포스파이드(indium phosphide: InP와 같은 반도체, 유전체 또는 폴리머로 이루어질 수 있다. 이하에서는 실리콘으로 이루어진 광전 집적회로 기판을 가지고 설명한다.

[0051] 광학 소자 영역(R1)에는 광학 소자가 형성되며, 전자 소자 영역(R2) 상에는 전자 소자가 형성되며, 멤스 영역(R3) 상에는 멤스 구조가 형성된다. 광학 소자, 전자 소자 및 멤스 구조는 각각 기판(100) 상에 반도체 공정을 이용하여 형성되거나, 별도의 회로칩을 기판(100) 상에 배치하여 형성될 수도 있다.

[0052] 광학 소자 영역(R1) 및 전자 소자 영역(R2)에는 각각 유전체층이 형성되어 있으며, 멤스 영역(R3)에는 유전체층이 형성되어 있지 않다. 광학 소자 영역(R1)과 전자 소자 영역(R2)에서의 유전체층의 깊이 및 두께는 서로 다르게 형성될 수 있다.

[0053] 광학 소자 영역(R1)에는 기판(100)의 표면으로부터 제1두께(T1)의 제1 실리콘 에피층(122)이 형성되어 있으며, 제1 실리콘 에피층(122) 하부에는 제2두께(T2)의 제1 유전체층(124)이 형성되어 있다. 제1 유전체층(124)은 공기층이거나 또는 실리콘 옥사이드, 실리콘 나이트라이드로 형성될 수 있다. 제1두께(T1)는 대략 100nm ~ 500nm 이다. 제1두께(T1)가 100nm 보다 작으면 광가이드를 한정(confine)하기가 어렵고, 광 리크가 발생할 수 있다. 제1두께(T1)가 500nm 보다 크면 광가이드 부피가 커져서 광학 소자의 크기가 커진다. 광학 소자는 레이저, 빌광다이오드, 광변조기(optical modulator), 광파장분할/중첩기(multiplexer/demultiplexer), 포토 다이오드, 광도파로(waveguide) 등을 포함할 수 있다.

[0054] 제2두께(T2)는 대략 $0.5\mu\text{m}$ ~ $3\mu\text{m}$ 일 수 있다. 제2두께(T2)가 $0.5\mu\text{m}$ 보다 작으면 광 리크가 생겨 광이 한정(confine)되지 않아 전송 손실(propagation loss)이 커질 수 있다. 제2두께(T2)가 $3\mu\text{m}$ 보다 크면 방열이 어렵고, 광학소자가 커질 수 있다.

[0055] 전자 소자 영역(R2)에는 기판(100)의 표면으로부터 제3두께(T3)의 제2 실리콘 에피층(132)이 형성되어 있으며,

제2 실리콘 에피층(132) 하부에는 제4두께(T4)의 제2 유전체층(134)이 형성되어 있다. 제2 유전체층(134)은 공기층이거나, 또는 실리콘 옥사이드 또는 실리콘 나이트라이드로 형성될 수 있다. 제3두께(T3)는 대략 1nm ~ 100nm 두께로 형성될 수 있다. 이 두께는 전자소자의 디자인이나 트랜지스터의 채널 길이에 따라 달라질 수 있다. 제3 두께(T3)가 1nm 보다 작으면 전자의 채널통로 형성이 어려울 수 있다. 제3 두께(T3)가 100nm 보다 크면 기생 커패시턴스가 증가하여 전자 소자의 고속동작이 어려울 수 있다. 전자 소자는 트랜지스터, 다이오드 등을 포함할 수 있다.

[0056] 제4두께(T4)는 대략 1nm ~ 200nm 일 수 있다. 제4두께(T4)가 1nm 보다 작으면 전하 리크가 발생할 수 있으며, 따라서 전자회로의 고속동작이 어려울 수 있다. 제4두께(T4)가 200nm 보다 크면 전자회로로부터의 열방출 효율이 감소하고, 기생 커패시턴스가 증가할 수 있으며, 이에 따라 전자소자의 고속 동작이 어려울 수 있다.

[0057] 멤스 영역(R3)에는 유전체층이 형성되지 않을 수 있다. 멤스 영역(R3)은 부분적으로 식각이 되고, 식각된 영역에 예를 들어 광파이버가 배치될 수 있다. 또한, 멤스 영역(R3)은 캔티레버 구조, 가속센서 등이 형성될 수 있는 영역으로 식각 공정이 행해질 수 있다. 따라서, 식각공정에 유리하도록 유전체층이 형성되지 않는 것이 바람직하다.

[0058] 본 발명의 실시예에 따른 광전 접적회로 기판(100)은 광학 소자와 전자 소자에 각각 최적의 유전체층을 제공할 수 있으며, 아울러 멤스 영역(R3)에는 유전체층을 형성하지 않음으로써 멤스 소자의 형성이 용이해진다.

[0059] 도 1에서는 전자소자 영역에 제2 유전체층을 형성하였으나, 본 발명은 이에 한정되지 않는다. 전자 소자 영역에는 제2 유전체층을 형성하지 않을 수 있다. 즉, 200GHz 이상의 초고속 구동 전자소자 영역에는 제2 유전체층을 형성할 수 있으며, 40 GHz 이하의 고속 전자소자 영역에는 제2 유전체층을 형성하지 않을 수 있다.

[0060] 도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 광전 접적회로 기판(200)의 제조방법을 단계별로 설명하는 도면이다.

[0061] 도 2a를 참조하면, 웨이퍼를 준비한다. 웨이퍼는 복수의 칩 영역을 포함한다. 도 2a 내지 도 2d에서는 하나의 칩 영역에 포함되는 영역을 개괄적으로 도시하였으며, 이하에서는 제1 기판(210)으로 칭한다.

[0062] 제1 기판(210)은 실리콘, 갈륨 비소, InP 또는 도전성 폴리미로 이루어질 수 있다. 이하에서는 실리콘 기판을 가지고 설명한다.

[0063] 먼저, 제1 기판(210)에서 광학 소자가 형성될 영역인 광학 소자 영역(R1)을 한정한다. 나머지 영역은 전자 소자 영역 및 멤스 구조가 형성될 멤스 영역이다.

[0064] 이어서, 제1 기판(210) 상에서 광학 소자 영역(R1)에 트렌치(212)를 형성한다. 트렌치(212)의 깊이(D1)는 대략 0.5~3 μ m 깊이로 형성한다. 트렌치(212)의 형성은 통상의 포토리소그래피 공정을 사용하여 상세한 설명은 생략한다.

[0065] 도 2b를 참조하면, 제1 기판(210) 상으로 유전체를 도포하여 트렌치(212)를 채운다. 유전체로는 산화물 또는 질화물을 사용할 수 있다. 예컨대 실리콘 옥사이드 또는 실리콘 나이트라이드를 사용한다.

[0066] 이어서, 평탄화 공정을 수행하여 제1 기판(210) 상의 유전체를 제거한다. 트렌치(212)에는 유전체(220)로 채워진다.

[0067] 유전체로 공기를 사용하는 경우, 유전체 도포 공정 및 평탄화 공정은 생략할 수 있다.

[0068] 도 2c를 참조하면, 제1 기판(210) 상에 제2 기판(250)을 본딩한다. 제2 기판(250)은 제1 기판(210)과 동일한 물질로 형성될 수 있다. 제2 기판(250)이 트렌치(212)를 덮도록 본딩한다. 본딩은 플라즈마 본딩을 사용할 수 있다.

[0069] 도 2d를 참조하면, 제2 기판(250)을 씨닝(thinning)하여 100~500nm 두께(T1)를 가진 제2 기판(252)을 형성한다. 씨닝은 1차적으로 기계적 그라인딩 또는 wet chemical etching을 한 후, CMP(chemical mechanical polishing)를 수행할 수 있다.

[0070] 광전 접적회로 기판(200)이 완성된다. 제2 기판(252)에서 광학소자 영역(R1)에 광학 소자가 형성된다.

[0071] 도 3a 내지 도 3f는 본 발명의 다른 실시예에 따른 광전 접적회로 기판(300)의 제조방법을 단계별로 설명하는 도면이다.

[0072] 도 3a를 참조하면, 웨이퍼를 준비한다. 웨이퍼는 복수의 칩 영역을 포함한다. 도 3a 내지 도 3f에서는 하나의

칩 영역에 포함되는 영역을 개괄적으로 도시하였으며, 이하에서는 제1 기판(310)으로 칭한다.

[0073] 제1 기판(310)은 실리콘, 갈륨 비소, InP 또는 도전성 폴리미로 이루어질 수 있다. 이하에서는 실리콘 기판을 가지고 설명한다.

[0074] 제1 기판(310)에서 광학 소자가 형성될 영역인 광학 소자 영역(R1)과 전자 소자가 형성될 전자 소자 영역(R2)을 한정한다. 나머지 영역은 멤스가 형성될 영역 또는 다른 전자 소자가 형성될 영역이다.

[0075] 이어서, 제1 기판(310) 상에서 광학 소자 영역(R1)에 제1 트렌치(312)를 형성한다. 제1 트렌치(312)의 깊이(D1)는 대략 0.5~3 μm 깊이로 형성한다. 제1 트렌치(312)의 형성은 통상의 포토리소그래피 공정을 사용하며 상세한 설명은 생략한다.

[0076] 제1 기판(310) 상에서 전자 소자 영역(R2)에 제2 트렌치(314)를 형성한다. 제2 트렌치(314)의 깊이(D2)는 대략 1~200nm 깊이로 형성한다. 제2 트렌치(314)의 형성은 통상의 포토리소그래피 공정을 사용하며 상세한 설명은 생략한다.

[0077] 도 3b를 참조하면, 이어서, 제1 기판(310) 상으로 유전체를 도포하여 제1 트렌치(312) 및 제2 트렌치(314)를 채운다. 유전체로는 산화물 또는 질화물을 사용할 수 있다. 예컨대 실리콘 옥사이드 또는 실리콘 나이트라이드를 사용한다.

[0078] 이어서, 평탄화 공정을 수행하여 제1 기판(310) 상의 유전체를 제거한다. 제1 트렌치(312) 및 제2 트렌치(314)에는 유전체(320)로 채워진다.

[0079] 유전체로 공기를 사용하는 경우, 유전체 도포 공정 및 평탄화 공정은 생략할 수 있다.

[0080] 도 3c를 참조하면, 제1 기판(310) 상에 제2 기판(350)을 본딩한다. 제2 기판(350)은 제1 기판(310)과 동일한 물질로 형성될 수 있다. 제2 기판(350)이 제1 트렌치(312) 및 제2 트렌치(314)를 덮도록 본딩한다. 본딩은 플라즈마 본딩을 사용할 수 있다.

[0081] 도 3d를 참조하면, 제2 기판(350)을 씨닝하여 1~100 nm 두께(T1)를 가진 제2 기판(352)을 형성한다. 씨닝은 1차적으로 기계적 그라인딩 또는 wet chemical etching 을 한 후, CMP를 수행할 수 있다.

[0082] 제2 기판(350)의 두께(T1)는 전자 소자 특성에 맞게 형성된다.

[0083] 도 3e를 참조하면, 광학 소자 영역(R1)을 제외한 영역에 마스크(330)를 형성한다. 노출된 광학 소자 영역(R1) 상으로 실리콘을 에피성장시켜서 에피층(340)을 형성한다. 에피층(340)의 두께(T2)는 제2 기판(350)의 두께(T1)와 합하여 100~500nm 두께로 만든다. 제2 기판(350)이 반도체 이외의 물질로 형성되는 경우에는 마스크(330)에 노출된 영역 상으로 해당 물질을 도포할 수 있다.

[0084] 도 3f를 참조하면, 마스크(330)를 제거하면, 광전 집적회로 기판(300)이 완성된다. 광학 소자 영역(R1) 및 전자 소자 영역(R2)에는 각각 광학 소자 및 전자 소자 형성에 맞는 유전체 두께와 제2 기판의 두께가 형성된다.

[0085] 도 4a 내지 도 4c는 본 발명의 또 다른 실시예에 따른 광전 집적회로 기판(400)의 제조방법을 단계별로 설명하는 도면이다.

[0086] 도 3a 내지 도 3c의 공정은 동일하므로 생략한다.

[0087] 도 4a를 참조하면, 제2 기판(350)을 씨닝하여 100~500 nm 두께(T3)를 가진 제2 기판(452)을 형성한다. 씨닝은 1차적으로 기계적 그라인딩 또는 wet chemical etching 을 한 후, CMP를 수행할 수 있다.

[0088] 제2 기판(452)의 두께(T3)는 광학 소자 특성에 맞게 형성된다.

[0089] 도 4b를 참조하면, 광학 소자 영역(R1) 상에 포토레지스트(430)를 형성한다. 포토레지스트(430)에 노출된 제2 기판(452)을 선택적으로 식각하여 제2 기판(452)의 두께(T4)를 1~100nm 로 만든다.

[0090] 도 4c를 참조하면, 포토레지스트(430)를 제거하면, 광전 집적회로 기판(400)이 완성된다. 광학 소자 영역(R1) 및 전자 소자 영역(R2)에는 각각 광학 소자 및 전자 소자 형성에 맞는 유전체 두께와 제2 기판의 두께가 형성된다.

[0091] 도 5a 내지 도 5f는 본 발명의 다른 실시예에 따른 광전 집적회로 기판(500)의 제조방법을 단계별로 설명하는 도면이다.

- [0092] 도 5a를 참조하면, 웨이퍼를 준비한다. 웨이퍼는 복수의 칩 영역을 포함한다. 도 5a 내지 도 5f에서는 하나의 칩 영역에 포함되는 영역을 개괄적으로 도시하였으며, 이하에서는 제1 기판(510)으로 칭한다.
- [0093] 제1 기판(510)은 실리콘, 갈륨 비소, InP 또는 도전성 폴리머로 이루어질 수 있다. 이하에서는 실리콘 기판을 가지고 설명한다.
- [0094] 제1 기판(510)에서 광학 소자가 형성될 영역인 광학 소자 영역(R1)과 전자 소자가 형성될 전자 소자 영역(R2)을 한정한다. 나머지 영역은 멤스가 형성될 영역 또는 다른 전자 소자가 형성될 영역이다.
- [0095] 이어서, 제1 기판(510) 상에서 광학 소자 영역(R1)에 제1 트렌치(512)를 형성한다. 제1 트렌치(512)의 깊이(D1)는 대략 0.6~3.5 μm 깊이로 형성한다. 제1 트렌치(512)의 형성은 통상의 포토리소그래피 공정을 사용하며 상세한 설명은 생략한다.
- [0096] 제1 기판(510) 상에서 전자 소자 영역(R2)에 제2 트렌치(514)를 형성한다. 제2 트렌치(514)의 깊이(D2)는 대략 1~200nm 깊이로 형성한다. 제2 트렌치(514)의 형성은 통상의 포토리소그래피 공정을 사용하며 상세한 설명은 생략한다.
- [0097] 도 5b를 참조하면, 제1 기판(510) 상으로 유전체를 도포하여 제1 트렌치(512) 및 제2 트렌치(514)를 채운다. 유전체로는 산화물 또는 질화물을 사용할 수 있다. 예컨대 실리콘 옥사이드 또는 실리콘 나이트라이드를 사용한다.
- [0098] 이어서, 평탄화 공정을 수행하여 제1 기판(510) 상의 유전체를 제거한다. 제1 트렌치(512) 및 제2 트렌치(514)에는 유전체(520)로 채워진다.
- [0099] 유전체로 공기를 사용하는 경우, 유전체 도포 공정 및 평탄화 공정은 생략할 수 있다.
- [0100] 도 5c를 참조하면, 제1 기판(510)의 상면(510a)에서 광학 소자 영역(R1)을 선택적으로 식각하여 광학 소자 영역(R1)의 유전체(520)의 두께(T1)를 0.5~3 μm 범위로 만든다. 이에 따라, 제1 기판(510)에는 오목부(515)가 형성되며, 오목부의 깊이(D3)는 대략 100~500nm 가 된다.
- [0101] 도 5d를 참조하면, 제2 기판(550)을 준비한다. 제2 기판(550)은 제1 기판(510)과 동일한 물질로 형성될 수 있다.
- [0102] 제2 기판(550)의 일면에서 제1 기판(510)의 광전 소자 영역(R1)에 대응되는 영역을 제외한 영역을 대략 1~100nm 깊이(D4)로 식각한다. 이에 따라, 제2 기판(550)에는 볼록부(555)가 형성된다. 제2 기판(550)의 깊이(D4)는 대략 100~500nm 일 수 있다. 깊이(D4)는 제1 기판(510)의 깊이(D3)와 동일할 수 있다.
- [0103] 도 5e를 참조하면, 제1 기판(510)의 오목부(515)에 제2 기판(550)의 볼록부(555)가 결합하도록 제1 기판(510) 및 제2 기판(550)을 본딩한다. 제2 기판(550)의 볼록부(555)가 형성된 면이 제1 트렌치(512) 및 제2 트렌치(514)를 덮도록 본딩한다. 본딩은 플라즈마 본딩을 사용할 수 있다. 이에 따라, 결과물의 상면은 대략 평면이 된다.
- [0104] 도 5f를 참조하면, 제2 기판(550)을 씨닝하여 두께(T2)가 1~100 nm 이며, 볼록부(555)를 포함한 두께(T3)가 100~500nm 인 제2 기판(552)을 형성한다. 씨닝은 1차적으로 기계적 그라인딩 또는 wet chemical etching 을 한 후, CMP를 수행할 수 있다. 결과물로서 광전 집적회로 기판(500)이 완성된다.
- [0105] 제2 기판(550)의 두께(T2, T3)는 각각 전자 소자 및 광학 소자 특성에 맞게 형성된다.
- [0106] 도 6은 본 발명의 또 다른 실시예에 따른 광전 집적 회로 기판의 제조방법을 설명하는 도면이다. 본 실시예는 상기 실시예의 도 5b의 결과물에서 도 5c를 만드는 다른 방법을 설명하는 도면이다
- [0107] 도 6을 참조하면, 도 5a의 결과물에서, 제1 트렌치(512) 및 제2 트렌치(514)를 제외한 영역에 포토레지스트(630)를 형성한 다음 제1 기판(510) 상으로 제4 두께(T4)로 유전체(640)를 형성한다. 제4 두께(T4)는 도 5a의 제1 깊이(D1)에서 도 5c의 제3 깊이(D3)를 뺀 값과 같다. 제4 두께(T4)는 0.5~3 μm 일 수 있다.
- [0108] 이어서, 포토레지스트(630)를 제거하고, 평탄화를 하여 제1 기판(510)의 상면 상의 유전체를 제거한다.
- [0109] 이어서, 광전 소자 영역(R1)의 유전체 상의 기판 물질을 선택적으로 제거하면, 도 5c의 결과물이 만들어진다. 이후의 공정은 도 5d ~ 도 5f의 공정과 실질적으로 동일하므로 상세한 설명은 생략한다.
- [0110] 본 발명의 실시예에 따르면, 유전체층의 두께 및 위치를 조절할 수 있으며, 유전체층으로 공기, 산화물, 질화물

등을 선택적으로 사용할 수 있으므로, 광학 소자 및 전기 소자에 각각 최적의 영역을 제공하는 기판을 제조할 수 있다.

[0111]

이상에서 첨부된 도면을 참조하여 설명된 본 발명의 실시예들은 예시적인 것에 불과하며, 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능함을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호범위는 첨부된 특허청구범위에 의해서만 정해져야 할 것이다.

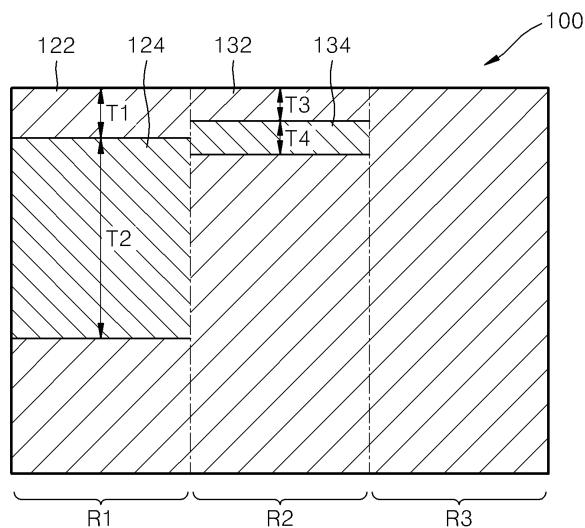
부호의 설명

[0112]

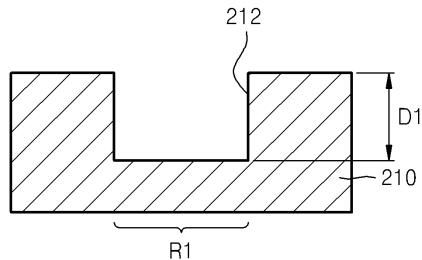
300: 광전 집적회로 기판	310: 제1 기판
312: 제1 트렌치	314: 제2 트렌치
320: 유전체	340: 에피층
352: 제2 기판	R1: 광학소자 영역
R2: 전자 소자 영역	

도면

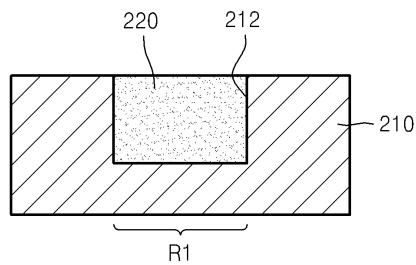
도면1



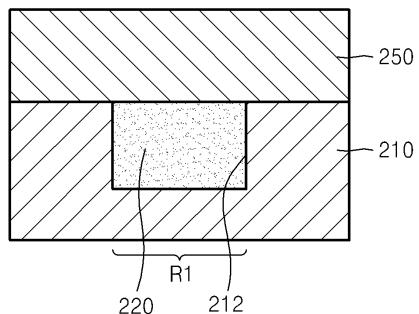
도면2a



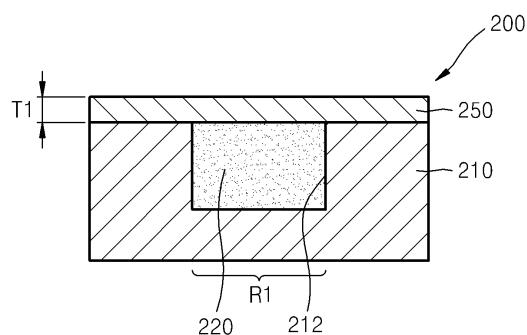
도면2b



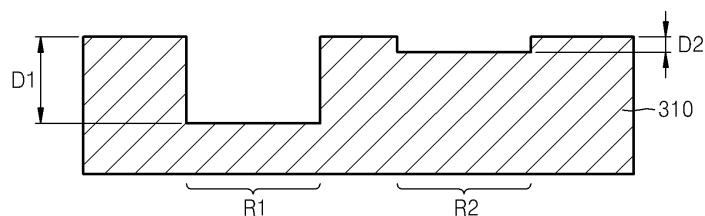
도면2c



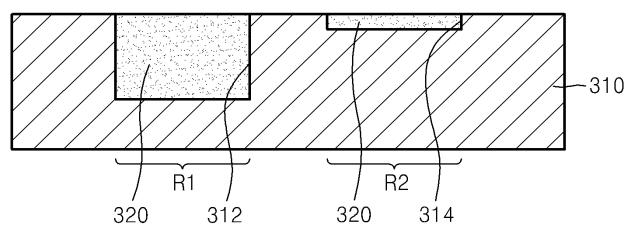
도면2d



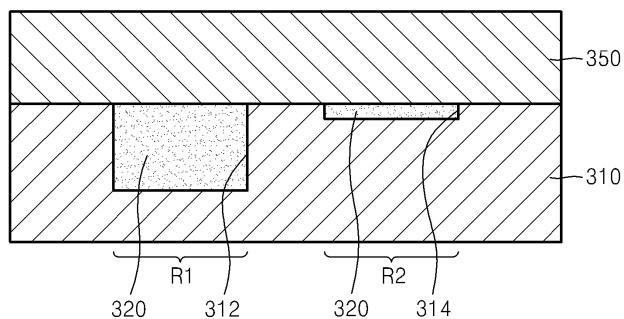
도면3a



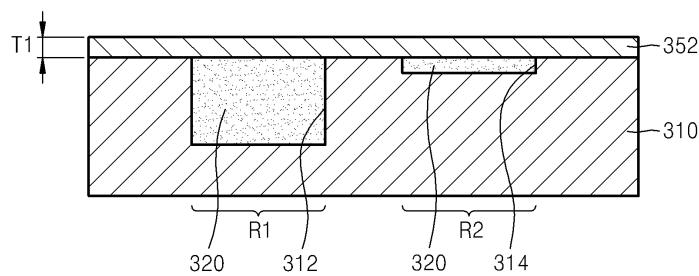
도면3b



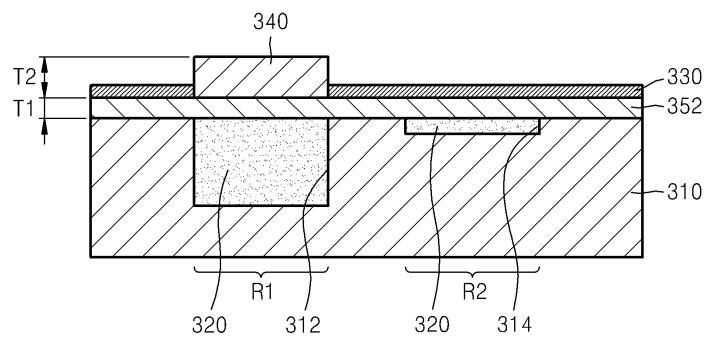
도면3c



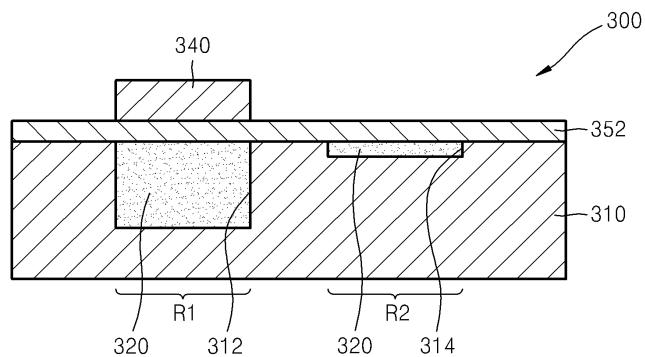
도면3d



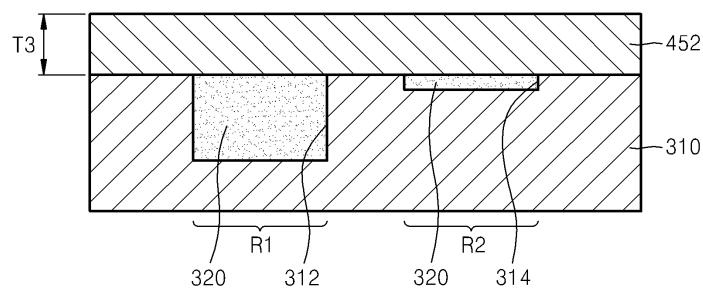
도면3e



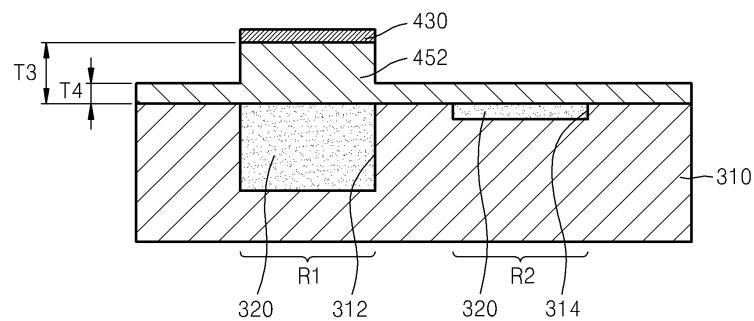
도면3f



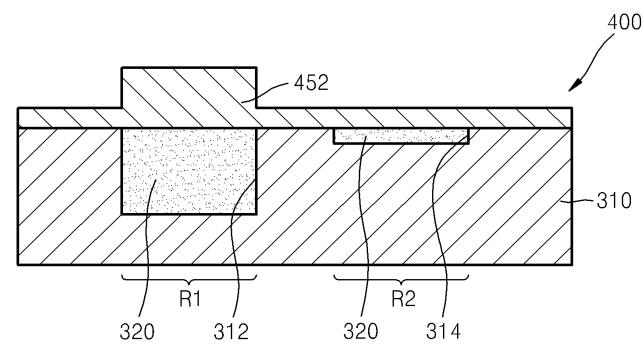
도면4a



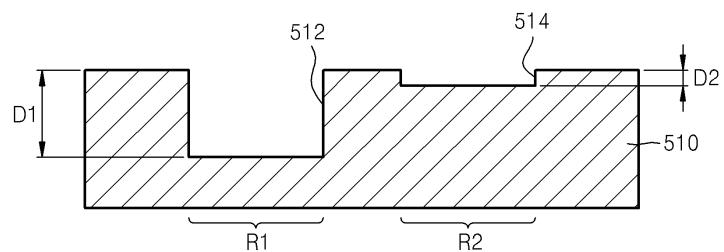
도면4b



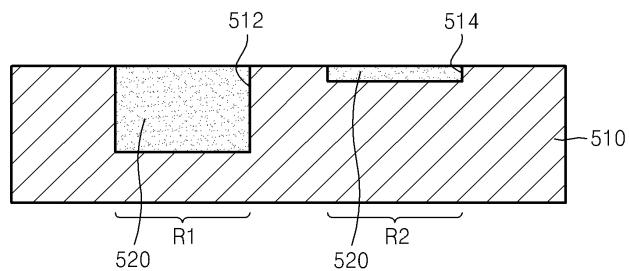
도면4c



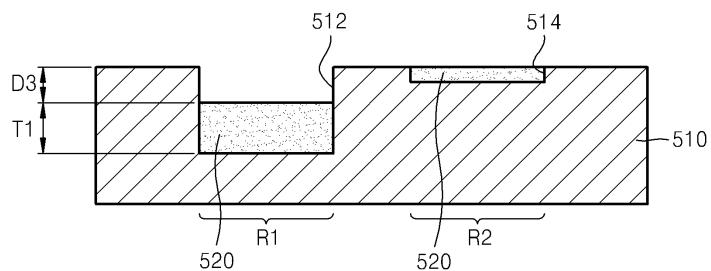
도면5a



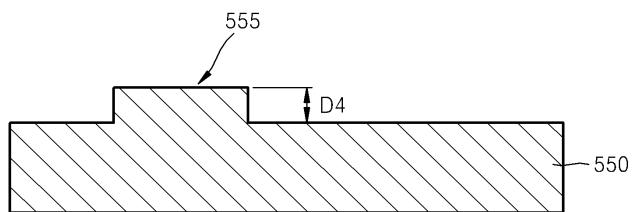
도면5b



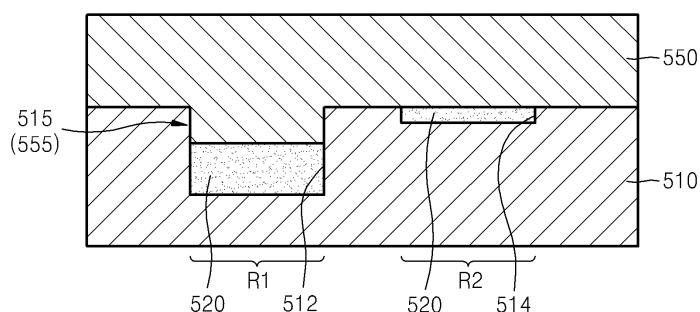
도면5c



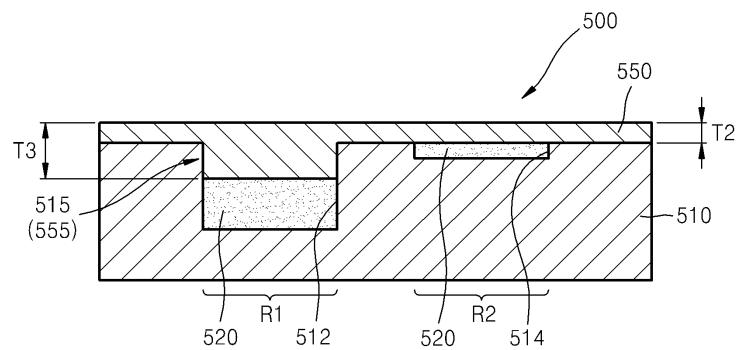
도면5d



도면5e



도면5f



도면6

