(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년05월30일
(11) 등록번호 10-2815552
(24) 등록일자 2025년05월27일

(51) 국제특허분류(Int. Cl.)
*H10D 48/00* (2025.01) *H10D 30/67* (2025.01)
*H10D 62/10* (2025.01) *H10K 99/00* (2023.01)
(52) CPC특허분류
*H10D 30/01* (2025.01)
*H10D 30/6757* (2025.01)
(21) 출원번호 10-2022-0086706
(22) 출원일자 2022년07월14일
심사청구일자 2022년07월14일
(65) 공개번호 10-2023-0105631
(43) 공개일자 2023년07월11일
(30) 우선권주장
1020220000953 2022년01월04일 대한민국(KR)
(56) 선행기술조사문헌
KR101402989 B1*
*(뒷면에 계속)*
전체 청구항 수 : 총 7 항

(73) 특허권자
**국민대학교산학협력단**
서울특별시 성북구 정릉로 77 (정릉동, 국민대학교)
(72) 발명자
**최성진**
서울특별시 영등포구 당산로42길 16, 501동 2001호(당산동4가, 당산현대5차아파트)
**이용우**
경기도 구리시 동구릉로148번길 15, 201동 703호 (인창동, 원일가대라곡아파트)
*(뒷면에 계속)*
(74) 대리인
**특허법인지평**

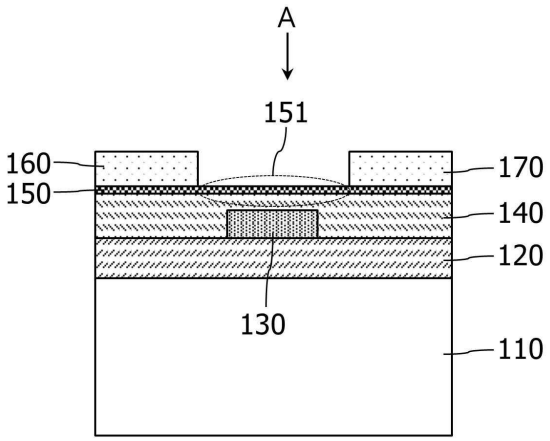
심사관 : 권철순

(54) 발명의 명칭 **스트라이프 탄소나노튜브 네트워크 트랜지스터 및 그 제조 방법**

## (57) 요 약

본 발명은 스트라이프 탄소나노튜브 네트워크 트랜지스터 및 그 제조 방법에 관한 것이다. 본 발명의 일 실시예에 따른 트랜지스터의 제조 방법은, 일면에 웨이퍼 산화층이 형성된 웨이퍼 기판의 일면에 게이트 전극을 형성하는 단계; 상기 게이트 전극 및 상기 웨이퍼 산화층의 일면에 게이트 절연층을 형성하는 단계; 탄소나노튜브 용액 속에 상기 웨이퍼 기판을 담금 처리하여, 상기 게이트 절연층의 일면에 탄소나노튜브를 포함하는 채널 물질층을 형성하는 단계; 상기 채널 물질층의 일면에 서로 이격된 소스 전극 및 드레인 전극을 형성하는 단계; 및 상기 채널 물질층의 일면 중에 소스 전극 및 드레인 전극의 사이 영역에 대해 식각 공정을 수행하여 스트라이프 형태를 가지는 서로 이격된 다수의 탄소나노튜브 채널을 형성하는 단계;를 포함한다.

*대 표 도* - 도1




100

(52) CPC특허분류
*H10D 62/119* (2025.01)
*H10K 85/221* (2023.02)

(72) 발명자
**전주원**
경기도 의정부시 호암로 256, 103동 1301호(호원동, 신일유토빌아파트)
**김대환**
서울특별시 강남구 도곡로28길 8, 103동 902호(도곡동, 도곡1차 I PARK)
**김동명**
서울특별시 강남구 삼성로 150, 101동 1012호(대치동, 한보미도팬션)

(56) 선행기술조사문헌
KR1020210134616 A*
KR1020160080674 A
KR1020150111395 A
KR1020210153376 A
KR1020190105428 A
*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업
과제고유번호 1711147685
과제번호 2019R1A2B5B01069988
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)(R&D)
연구과제명 웨이퍼 기반의 소멸, 분해가 가능한 탄소나노튜브 전자소자, 회로 상용화 연구 및 나노 시스템 개발
기 여 율 1/2
과제수행기관명 국민대학교
연구기간 2021.03.01 ~ 2022.02.28
이 발명을 지원한 국가연구개발사업
과제고유번호 1711168727
과제번호 2016R1A5A1012966
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 이공학분야(S/ERC)
연구과제명 하이브리드 디바이스를 이용한 일주기 ICT 연구센터
기 여 율 1/2
과제수행기관명 국민대학교
연구기간 2022.01.01 ~ 2022.12.31

# 명 세 서

## 청구범위

### 청구항 1

일면에 웨이퍼 산화층이 형성된 웨이퍼 기판의 일면에 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 상기 웨이퍼 산화층의 일면에 게이트 절연층을 형성하는 단계;

반도체성 탄소나노튜브 용액을 포함하는 탄소나노튜브 용액 속에 상기 웨이퍼 기판을 담금 처리하여, 상기 게이트 절연층의 일면에 탄소나노튜브를 포함하는 채널 물질층을 형성하는 단계;

상기 채널 물질층의 일면에 서로 이격된 소스 전극 및 드레인 전극을 형성하는 단계; 및

상기 채널 물질층의 일면 중 소스 전극 및 드레인 전극의 사이 영역에서 노출되는 영역에 대해 식각 공정을 수행하여 스트라이프 형태를 가지는 서로 이격된 다수의 탄소나노튜브 채널을 해당 노출되는 영역에 형성하는 단계;

를 포함하며,

상기 반도체성 탄소나노튜브 용액은 전체 중량부 100 중에서 95 이하의 중량부의 반도체성 탄소노노튜브를 포함하고,

상기 소스 전극 및 드레인 전극은 제1 길이 방향을 따라 서로 이격 배치되고,

상기 다수의 탄소나노튜브 채널은 각각 일단이 소스 전극에 전기적으로 연결되고 타단이 드레인 전극에 전기적으로 연결되되, 제1 길이 방향에 대해 일정 각도를 가지는 제2 길이 방향을 따라 서로 이격 배치되는 트랜지스터의 제조 방법.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

제1항에 있어서,

상기 게이트 절연층을 형성하는 단계와 상기 채널 물질층을 형성하는 단계의 사이에, 상기 게이트 절연층의 일면에 대해 탄소나노튜브의 고정을 위한 표면 기능화 처리(surface functionalization)를 수행하는 단계를 더 포함하는 트랜지스터의 제조 방법.

### 청구항 7

제6항에 있어서,

상기 표면 기능화 처리를 수행하는 단계는 상기 게이트 절연층의 일면에 아민 말단 접착 단층(amine-terminated adhesion monolayer)을 형성하는 단계를 포함하는 트랜지스터의 제조 방법.

**청구항 8**

제6항에 있어서

상기 표면 기능화 처리를 수행하는 단계 전에, 상기 게이트 절연층의 일면이 친수성이 되도록 산소 플라즈마(Oxygen plasma) 처리를 수행하는 단계를 더 포함하는 트랜지스터의 제조 방법.

**청구항 9**

제1항에 있어서,

상기 탄소나노튜브 용액은 용기에 담겨 다수의 웨이퍼 기판의 담금 처리에 재사용되는 트랜지스터의 제조 방법.

**청구항 10**

제1항에 있어서,

상기 다수의 탄소나노튜브 채널을 형성하는 단계의 이후에, 상기 웨이퍼 기판을 탈이온수(deionized water) 및 IPA(isopropyl alcohol)를 이용하여 세척하는 단계를 더 포함하는 트랜지스터의 제조 방법.

**청구항 11**

제1항, 제6항 내지 제10항 중 어느 한 항에 따른 제조 방법을 이용하여 제조된 트랜지스터.

**청구항 12**

삭제

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명은 탄소나노튜브 네트워크 트랜지스터 기술에 관한 것으로서, 더욱 상세하게는 고순도의 반도체성 탄소나노튜브(semiconducting CNT; s-CNT)를 사용하지 않고도 스트라이프 구조의 채널(stripe-structured channel)을 구비함으로써 우수한 전기적 성능을 가지되 그 제조 비용을 줄일 수 있는 스트라이프 탄소나노튜브 네트워크 트랜지스터(striped carbon nanotube network transistor) 기술에 관한 것이다.

### *배 경 기 술*

[0003] 1차원 재료(One-dimensional materials) 중 탄소나노튜브(carbon nanotube; CNT)는 실리콘(Si) 기반의 소자를 대체할 재료로 주목받고 있다. 이러한 CNT는 높은 캐리어 이동도, 큰 표면-체적 비율, 높은 기계적 유연성으로 인해, 전계 효과 트랜지스터(FET), 박막 트랜지스터(TFT), 전극 재료, 다양한 센서 등을 위한 소재로 연구되고 있다.

[0004] 특히, 단일벽(single-walled) 탄소나노튜브(carbon nanotube; CNT)는 지난 수십 년 동안 상당한 관심을 받아 왔으며, 독특한 유사 1차원 구조(unique quasi-one-dimensional structure)와 높은 전기적, 기계적 및 광학적 특성으로 인해 실리콘 전자 장치를 대체할 후보로 각광받고 있다. 종래에 DGU(Density Gradient Ultracentrifugation) 방법으로 얻은 고순도의 반도체성 탄소나노튜브(semiconducting CNT; s-CNT)는 용액 기반 처리에 의해 생성될 수 있다. 이러한 장점으로 인해, 반도체 순도가 99.99% 이상인 CNT 네트워크 트랜지스터를 기반으로 하는 기가헤르츠 회로(gigahertz circuits) 및 마이크로프로세서 등의 장치가 제안되기도 하였다.

[0005] 하지만, 상용화를 위한 조건과 관련하여, 이러한 장치는 집적도와 전기적 성능 면에서 충분히 만족하고 있지만, 제조 비용적인 면에서는 문제점이 있다. 즉, 100%에 가까운 고순도의 sCNT 네트워크를 얻기 위해서는 상당한 노력과 매우 긴 초원심 분리 시간이 필요하지만, 해당 공정을 통해 획득되는 s-CNT의 양이 매우 적어 상당히 높은 제조 비용이 소요된다. 따라서, CNT의 우수한 전기적 성능을 유지하면서 동시에 그 제조 비용을 효과적으로 줄일 수 있는 새로운 기술이 필요한 실정이다.

[0006] 다만, 상술한 내용은 단순히 본 발명에 대한 배경 정보를 제공할 뿐 기 공개된 기술에 해당하는 것은 아니다.

## 선행기술문헌

### 특허문헌

[0008] (특허문헌 0001) KR10- 10-2013-0035571 A

## 발명의 내용

### 해결하려는 과제

[0009] 상기한 바와 같은 종래 기술의 문제점을 해결하기 위하여, 본 발명은 탄소나노튜브의 우수한 전기적 성능을 가지면서도 동시에 제조 비용을 줄일 수 있는 탄소나노튜브 네트워크 트랜지스터 기술을 제공하는데 그 목적이 있다.

[0010] 다만, 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

[0012] 상기와 같은 과제를 해결하기 위한 본 발명의 일 실시예에 따른 트랜지스터의 제조 방법은, 일면에 웨이퍼 산화층이 형성된 웨이퍼 기판의 일면에 게이트 전극을 형성하는 단계; 상기 게이트 전극 및 상기 웨이퍼 산화층의 일면에 게이트 절연층을 형성하는 단계; 탄소나노튜브 용액 속에 상기 웨이퍼 기판을 담금 처리하여, 상기 게이트 절연층의 일면에 탄소나노튜브를 포함하는 채널 물질층을 형성하는 단계; 상기 채널 물질층의 일면에 서로 이격된 소스 전극 및 드레인 전극을 형성하는 단계; 및 상기 채널 물질층의 일면 중에 소스 전극 및 드레인 전극의 사이 영역에 대해 식각 공정을 수행하여 스트라이프 형태를 가지는 서로 이격된 다수의 탄소나노튜브 채널을 형성하는 단계;를 포함한다.

[0013] 상기 탄소나노튜브 용액은 반도체성 탄소나노튜브 용액을 포함할 수 있다.

[0014] 상기 반도체성 탄소나노튜브 용액은 전체 중량부 100 중에서 95 이하의 중량부의 반도체성 탄소노노튜브를 포함할 수 있다.

[0015] 상기 다수의 탄소나노튜브 채널은 각각 일단이 소스 전극에 전기적으로 연결되고 타단이 드레인 전극에 전기적으로 연결될 수 있다.

[0016] 상기 소스 전극 및 드레인 전극은 제1 길이 방향을 따라 서로 이격 배치되며, 상기 다수의 탄소나노튜브 채널은 제1 길이 방향에 대해 일정 각도를 가지는 제2 길이 방향을 따라 서로 이격 배치될 수 있다.

[0017] 본 발명의 일 실시예에 따른 트랜지스터의 제조 방법은, 상기 게이트 절연층을 형성하는 단계와 상기 채널 물질층을 형성하는 단계의 사이에, 상기 게이트 절연층의 일면에 대해 탄소나노튜브의 고정을 위한 표면 기능화 처리(surface functionalization)를 수행하는 단계를 더 포함할 수 있다.

[0018] 상기 표면 기능화 처리를 수행하는 단계는 상기 게이트 절연층의 일면에 아민 말단 접착 단층(amine-terminated adhesion monolayer)을 형성하는 단계를 포함할 수 있다.

[0019] 본 발명의 일 실시예에 따른 트랜지스터의 제조 방법은, 상기 표면 기능화 처리를 수행하는 단계 전에, 상기 게이트 절연층의 일면이 친수성이 되도록 산소 플라즈마(Oxygen plasma) 처리를 수행하는 단계를 더 포함할 수 있다.

[0020] 상기 탄소나노튜브 용액은 용기에 담겨 다수의 웨이퍼 기판의 담금 처리에 재사용될 수 있다.

[0021] 본 발명의 일 실시예에 따른 트랜지스터의 제조 방법은, 상기 다수의 탄소나노튜브 채널을 형성하는 단계의 이후에, 상기 웨이퍼 기판을 탈이온수(deionized water) 및 IPA(isopropyl alcohol)를 이용하여 세척하는 단계를 더 포함할 수 있다.

[0022] 본 발명의 일 실시예에 따른 트랜지스터는, 웨이퍼 산화층이 형성된 웨이퍼 기판의 일면에 마련된 게이트 전극; 상기 게이트 전극 및 상기 웨이퍼 산화층의 일면에 마련된 게이트 절연층; 탄소나노튜브를 포함하며 상기 게이트 절연층의 일면에 마련된 채널 물질층; 상기 채널 물질층의 일면에 서로 이격된 소스 전극 및 드레인 전극; 및 상기 채널 물질층의 일면 중에 소스 전극 및 드레인 전극의 사이 영역에서 스트라이프 형태를 가지는 서로 이격된 다수의 탄소나노튜브 채널;을 포함한다.

## *발명의 효과*

[0024] 상기와 같이 구성되는 본 발명은 100%에 가까운 고농도의 반도체성 탄소나노튜브 용액을 사용하는 대신에 비교적 저농도의 반도체성 탄소나노튜브 용액을 사용하여 스트라이프 구조의 탄소나노튜브 채널을 구현함에 따라, 탄소나노튜브의 우수한 전기적 성능을 가지고, 다수의 기판 구조체 간의 전기적 성능이 균일하며, 동시에 제조 비용을 줄일 수 있어 생산성이 높은 이점이 있다.

[0025] 또한, 본 발명은 탄소나노튜브 용액을 이용한 담금 처리를 통해 탄소나노튜브를 형성할 수 있어 열처리 공정이 불필요하므로, 제조 공정이 간단한 이점이 있다.

[0026] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

## *도면의 간단한 설명*

[0028] 도 1은 본 발명의 일 실시예에 따른 트랜지스터(100)의 일측 단면도를 나타낸다.

도 2는 도 1의 A에서 바라본 본 발명의 일 실시예에 따른 트랜지스터(100)의 평면도를 나타낸다.

도 3은 본 발명의 일 실시예에 따른 트랜지스터(100)의 제조 방법의 순서도를 나타낸다.

도 4 내지 도 9는 본 발명의 일 실시예에 따른 트랜지스터(100)의 제조 방법의 수행에 따라 차례로 형성되는 트랜지스터(100)의 구성에 대한 일 측면도(상측 도면) 및 사시도(하측 도면)를 나타낸다.

도 10은 실험을 위해, 99%, 95% 및 90% 농도의 s-CNT 용액을 사용하여 8인치 웨이퍼에서 수행된 CNT 네트워크 트랜지스터의 제조 공정에 관련된 도면을 나타낸다.

도 11은 실험에서 사용된 99%, 95% 및 90% 농도의 단일벽 s-CNT 용액을 이용하여 증착된 CNT 네트워크에 대한 AFM(Atomic Force Microscopy) 이미지 및 특성을 나타낸다.

도 12는 하나의 CNT 채널을 가진 종래 기술의 CNT 네트워크 트랜지스터와, 스트라이프 구조의 CNT 채널을 가진 CNT 네트워크 트랜지스터에 대한 개략도를 나타낸다.

도 13은 도 12의 트랜지스터에 대한 $N_{st}$ 및 $W_{st}$의 그래프와 전하 수송(charge transport)의 개략도를 나타낸다.

도 14는 99% 95%, 및 90% 농도의 s-CNT 용액에서 각각 제작된 종래 기술의 트랜지스터(즉, 제2 트랜지스터, $N_{st}$ = 1)에 대한 전기적 특성을 나타낸다.

도 15는 99% 95%, 및 90% 농도의 s-CNT 용액에서 각각 제작된 스트라이프 구조의 CNT 네트워크를 구비한 트랜지스터에 대한 전기적 특성을 나타낸다.

도 16은 대표적인 제1 트랜지스터에 대한 전기적인 출력 특성 커브(output curve)를 나타낸다.

도 17은 3개의 서로 다른 8인치 웨이퍼에서 측정된 99% CNT 채널($N_{st}$ = 1)을 가지는 제2 트랜지스터와, 95% 및 90% CNT 채널($N_{st}$ = 40)을 가지는 제1 트랜지스터에 대한 전기적 특성 및 주요 성능 매개변수를 나타낸다.

## *발명을 실시하기 위한 구체적인 내용*

[0029] 본 발명의 상기 목적과 수단 및 그에 따른 효과는 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해질 것이며, 그에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다.

[0030] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며, 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 경우에 따라 복수형도 포함한다. 본 명세서에서, "포함하다", "구비하다", "마련하다" 또는 "가지다" 등의 용어는 언급된 구성요소 외의 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.

[0031] 본 명세서에서, "또는", "적어도 하나" 등의 용어는 함께 나열된 단어들 중 하나를 나타내거나, 또는 둘 이상의 조합을 나타낼 수 있다. 예를 들어, "A 또는 B", "A 및 B 중 적어도 하나"는 A 또는 B 중 하나만을 포함할 수 있고, A와 B를 모두 포함할 수도 있다.

[0032] 본 명세서에서, "예를 들어" 등에 따르는 설명은 인용된 특성, 변수, 또는 값과 같이 제시한 정보들이 정확하게 일치하지 않을 수 있고, 허용 오차, 측정 오차, 측정 정확도의 한계와 통상적으로 알려진 기타 요인을 비롯한 변형과 같은 효과로 본 발명의 다양한 실시 예에 따른 발명의 실시 형태를 한정하지 않아야 할 것이다.

[0033] 본 명세서에서, 어떤 구성요소가 다른 구성요소에 '연결되어' 있다거나 '접속되어' 있다고 기재된 경우, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성 요소에 '직접 연결되어' 있다거나 '직접 접속되어' 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해될 수 있어야 할 것이다.

[0034] 본 명세서에서, 어떤 구성요소가 다른 구성요소의 '상에' 있다거나 '접하여' 있다고 기재된 경우, 다른 구성요소에 상에 직접 맞닿아 있거나 또는 연결되어 있을 수 있지만, 중간에 또 다른 구성요소가 존재할 수 있다고 이해되어야 할 것이다. 반면, 어떤 구성요소가 다른 구성요소의 '바로 위에' 있다거나 '직접 접하여' 있다고 기재된 경우에는, 중간에 또 다른 구성요소가 존재하지 않은 것으로 이해될 수 있다. 구성요소 간의 관계를 설명하는 다른 표현들, 예를 들면, '~사이에'와 '직접 ~사이에' 등도 마찬가지로 해석될 수 있다.

[0035] 본 명세서에서, '제1', '제2' 등의 용어는 다양한 구성요소를 설명하는데 사용될 수 있지만, 해당 구성요소는 위 용어에 의해 한정되어서는 안 된다. 또한, 위 용어는 각 구성요소의 순서를 한정하기 위한 것으로 해석되어서는 안되며, 하나의 구성요소와 다른 구성요소를 구별하는 목적으로 사용될 수 있다. 예를 들어, '제1구성요소'는 '제2구성요소'로 명명될 수 있고, 유사하게 '제2구성요소'도 '제1구성요소'로 명명될 수 있다.

[0036] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또한, 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0038] 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 상세히 설명하도록 한다.

[0039] 도 1은 본 발명의 일 실시예에 따른 트랜지스터(100)의 일측 단면도를 나타내며, 도 2는 도 1의 A에서 바라본 본 발명의 일 실시예에 따른 트랜지스터(100)의 평면도를 나타낸다.

[0040] 종래에 100%에 가까운 고순도의 sCNT 네트워크를 얻기 위해서는 상당한 노력과 매우 긴 초원심 분리 시간이 필요하다. 하지만, 해당 공정을 통해 획득되는 s-CNT의 양이 매우 적어 상당히 높은 제조 비용이 소요된다.

[0041] 이를 해결하기 위해, 본 발명의 일 실시예에 따른 트랜지스터(100)는 100%에 가까운 고순도의 s-CNT를 사용하지 않으며, 그 대신 스트라이프 구조의 채널(stripe-structured channel)을 구비함으로써, 우수한 전기적 성능을 가지면서도 그 제조 비용을 효과적으로 줄일 수 있다.

[0042] 이러한 본 발명의 일 실시예에 따른 트랜지스터(100)는 게이트 전극(130), 소스 전극(160) 및 드레인 전극(170)을 포함하는 3극 트랜지스터로서, 이들 전극 외에, 도 1 및 도 2에 도시된 바와 같이, 웨이퍼 기판(110), 웨이퍼 산화층(120), 게이트 절연층(gate insulator)(140) 및 채널 물질층(150)를 더 포함한다.

[0043] 웨이퍼 기판(110)은 트랜지스터(100)를 지지하는 기판(substrate)으로서, 웨이퍼(wafer)로 구현된다. 특히, 웨이퍼 기판(110)은 그 일면(즉, 상면)에 산화된 층인 웨이퍼 산화층(120)을 포함한다. 즉, 웨이퍼 기판(110)은 웨이퍼 산화층(120)을 기본적으로 포함하는 웨이퍼를 사용하거나, 그 일면에 대한 산화 공정을 통해 웨이퍼 산

화층(120)이 형성된 웨이퍼를 사용할 수도 있다. 예를 들어, 웨이퍼 기판(110)은 고농도의 P형 웨이퍼($P^+$ Si)일 수 있으며, 웨이퍼 산화층(120)은 실리콘 산화물($SiO_2$)일 수 있으나, 이에 한정되는 것은 아니다.

[0044] 게이트 전극(130)은 전도성 재질을 포함하며, 웨이퍼 기판(110) 일면의 일부에 마련될 수 있다. 이때, 게이트 전극(130)은 평면 상에서(즉, 도 1의 A에서 바라봤을 때) 드레인 전극(170) 및 소스 전극(150)의 사이에 배치되되, 드레인 전극(170) 및 소스 전극(150)과 오버랩 되지 않도록 형성될 수 있으나, 이에 한정되지 않고 적어도 일부가 오버랩 되도록 형성될 수도 있다. 예를 들어, 게이트 전극(130)은 Cu, Ni, Ti, Hf, Zr, ZN, W, Co, V, Al, Ag, C, Pd, Pt, ITO 등에서 선택되는 적어도 하나의 전도성 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다. 또한, 게이트 전극(130)은 Ti/TiN의 구조를 포함할 수도 있다.

[0045] 게이트 절연층(140)은 비전도성 재질을 포함하며, 게이트 전극(130)을 보호하도록 게이트 전극(130)의 일면에 마련되어, 소스 및 드레인 전극(160, 170) 사이의 계면에서 일종의 터널 장벽(tunnel barrier)으로 작용할 수 있다. 즉, 게이트 절연층(140)은 게이트 전극(130)을 다른 전극들, 즉 소스 전극(160) 및 드레인 전극(170)과 전기적으로 분리하기 위한 층일 수 있다. 물론, 게이트 절연층(140)은 게이트 전극(130)이 위치하지 않아 노출된 웨이퍼 산화층(120)의 일면 영역에도 마련될 수 있다. 물론, 게이트 절연층(140)은 웨이퍼 산화층(120) 보다 두껍게 형성될 수도 있다.

[0046] 게이트 절연층(140)은 미리 결정된 유전율을 가지는 물질을 이용하여 미리 결정된 두께만큼 형성될 수 있다. 이때, 게이트 절연층(140)에 의해 커패시턴스가 형성될 수 있으며, 형성되는 커패시턴스는 게이트 절연층(140)의 물리적인 구조를 이용하여 획득될 수 있다. 즉, 게이트 절연층(140)에 의해 형성되는 커패시턴스는 게이트 절연층(140)에 사용되는 물질의 유전율과 두께를 이용하여 획득될 수 있다. 예를 들어, 커패시턴스는 해당 물질의 유전율과 두께의 비율에 의해 획득될 수 있다.

[0047] 물론, 게이트 절연층(140)은 알루미늄 산화물($Al_2O_3$)과 실리콘 산화물($SiO_2$)의 적층된 구조($Al_2O_3/SiO_2$) 등과 같이 복수개의 서로 다른 절연층이 적층된 구조를 가질 수도 있다. 이 경우, 게이트 절연층(140)에 의해 형성되는 커패시턴스는 제1 절연층에 사용되는 물질의 유전율 및 두께와, 제2 절연층에 사용되는 물질의 유전율 및 두께를 이용하여 획득할 수 있다.

[0048] 채널 물질층(150)은 CNT를 포함하는 층으로서, 게이트 절연층(130)의 일면에 마련될 수 있다. 즉, 채널 물질층(150)은 특정 전원 인가 시에 소스 전극(160)과 드레인 전극(170)의 사이 영역에서 캐리어를 전달하는 채널(channel)(151)을 형성하는 층으로서, 이러한 채널(151)은 "CNT 채널"이라고도 지칭될 수 있다. 이러한 CNT 채널(151)은 게이트 전압에 따라 변화될 수 있다.

[0049] 또한, 채널 물질층(150)은 CNT 채널(151)을 포함함에 따라 "CNT 네트워크" 또는 "CNT 네트워크 채널"이라 지칭될 수도 있으며, 이에 따라 본 발명의 일 실시예에 따른 트랜지스터(100)는 "CNT 네트워크 트랜지스터"라 지칭될 수도 있다.

[0050] 특히, 우수한 전기적 성능을 가지기 위해, 채널 물질층(150)은 스트라이프 구조의 채널(stripe-structured channel), 즉 스트라이프 구조의 CNT 채널(151)들을 포함하는 것이 바람직하다. 또한, 제조 비용의 절감을 위해, 채널 물질층(150)의 CNT 채널(151)은 고순도의 s-CNT로 구현되지 않는 것이 바람직하다.

[0051] 이때, 스트라이프 구조(즉, CNT 네트워크의 스트라이프 구조)는 서로 이격된 다수의 스트라이프 형태의 CNT 채널(151)을 포함하는 구조를 지칭한다. 이러한 스트라이프 구조인 다수의 CNT 채널(151)은 소스 전극(160) 및 드레인 전극(170)의 사이에 배치되며, 복잡한 공정 없이 포토리소그래피 장비를 활용하여 쉽게 구현 가능한 이점이 있다.

[0052] 구체적으로, 평면 상에서, D1 및 D2의 제1 길이 방향을 장축 방향으로 가지는 소스 전극(160) 및 드레인 전극(170)은 D3 및 D4의 제2 길이 방향을 따라 서로 이격 배치된다. 또한, 평면 상에서, 제2 길이 방향을 장축 방향으로 가지는 다수의 CNT 채널(151)은 제1 길이 방향을 따라 서로 이격 배치된다. 이때, 다수의 CNT 채널(151)의 장축 방향에서의 일단(D3에 가까이 위치한 부위)은 소스 전극(160)에 전기적으로 연결되고, 다수의 CNT 채널(151)의 장축 방향에서의 타단(D4에 가까이 위치한 부위)은 드레인 전극(170)에 전기적으로 연결된다. 이때, 제1 길이 방향과 제2 길이 방향은 수직하거나, 수직하지 않는 각도를 가질 수 있다.

[0053] 스트라이프 형태의 각 CNT 채널(151)은 s-CNT와 금속성 CNT(metallic CNT; m-CNT)를 모두 포함하는 채널일 수 있다. 이때, s_CNT와 m-CNT의 함량에 따라 해당 CNT 채널(151)의 전기적 특성이 달라질 수 있다.

[0054] 일례로, 각 CNT 채널(151)에서, s_CNT와 m-CNT의 중량비는 a : b로 나타낼 수 있다. 이때, a는 65 내지 95이고 b는 5 내지 35이거나, a는 80 내지 95이고 b는 5 내지 20이거나, a는 85 내지 95이고 b는 5 내지 15일 수 있으나, 이에 한정되는 것은 아니다.

[0055] 소스 전극(160) 및 드레인 전극(170)은 전도성 재질을 포함하며, 채널 물질층(150)은의 일면에 마련될 수 있다. 이때, 소스 전극(160)과 드레인 전극(170)은 일정 간격만큼 이격되게 형성될 수 있다. 예를 들어, 소스 전극(160)과 드레인 전극(170)은 Cu, Ni, Ti, Hf, Zr, ZN, W, Co, V, Al, Ag, C, Pd, Pt, ITO 등에서 선택되는 적어도 하나의 전도성 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다.

[0056] 또한, 도 1에 도시하진 않았지만, 소스 전극(160)과 드레인 전극(170) 사이에 노출된 CNT 채널(151)의 일면에 CNT 채널(151)을 보호하기 위한 채널 보호층이 마련될 수도 있다. 이 경우, 채널 보호층은 ES층(etch stopper layer)일 수 있다.

[0057] 이하, 본 발명의 일 실시예에 따른 트랜지스터(100)의 제조 방법에 대한 동작 흐름도를 나타낸다.

[0058] 도 3은 본 발명의 일 실시예에 따른 트랜지스터(100)의 제조 방법의 순서도를 나타낸다. 또한, 도 4 내지 도 9는 본 발명의 일 실시예에 따른 트랜지스터(100)의 제조 방법의 수행에 따라 차례로 형성되는 트랜지스터(100)의 구성에 대한 일 측면도(상측 도면) 및 사시도(하측 도면)를 나타낸다.

[0059] 본 발명의 일 실시예에 따른 트랜지스터(100)의 제조 방법은 고순도의 s-CNT를 사용하지 않고도 스트라이프 구조의 다수 CNT 채널(151)을 형성함으로써, 우수한 전기적 성능을 가지되 그 제조 비용을 줄일 수 있는 스트라이프 탄소나노튜브 네트워크 트랜지스터(striped carbon nanotube network)를 제조하기 위한 방법이다. 도 3을 참조하면, 이러한 제조 방법은 S201 내지 S206을 포함한다.

[0060] S201은, 도 4에 도시된 바와 같이, 일면에 웨이퍼 산화층(120)이 형성된 웨이퍼 기판(110)을 준비한 후, 도 5에 도시된 바와 같이, 웨이퍼 기판(110)의 일면, 즉 웨이퍼 산화층(120)의 일면에 게이트 전극(130)을 형성하는 단계이다.

[0061] 예를 들어, S201에서 Cu, Ni, Ti, Hf, Zr, ZN, W, Co, V, Al, Ag, C, Pd, Pt, ITO 등에서 선택되는 적어도 하나의 전도성 재질에 대한 증착 공정(deposition)을 수행함으로써, 게이트 전극(130)을 형성할 수 있으나, 이에 한정되는 것은 아니다. 특히, S201에서 Ti/TiN의 증착 공정(deposition)을 수행함으로써, Ti/TiN 게이트 전극(130)을 형성할 수도 있다.

[0062] S202은, 도 6에 도시된 바와 같이, 게이트 전극(130)의 일면에 게이트 절연층(140)을 형성하는 단계이다. 물론, 게이트 절연층(140)은 게이트 전극(130)이 위치하지 않아 노출된 웨이퍼 산화층(120)의 일면 영역에도 형성될 수 있다. 예를 들어, S202에서 알루미늄 산화물($Al_2O_3$)과 실리콘 산화물($SiO_2$)의 증착 공정을 수행함으로써, $Al_2O_3/SiO_2$의 게이트 절연층(140)을 형성할 수 있으나, 이에 한정되는 것은 아니다.

[0063] 한편, S202과 S203의 사이에, 게이트 절연층(140)의 일면이 친수성(hydrophilic)이 되도록 산소 플라즈마(Oxygen plasma) 처리를 수행하는 단계를 더 포함할 수 있다.

[0064] S203은 게이트 절연층(140)의 일면에 대해 CNT의 고정(접착)을 위한 표면 기능화 처리(surface functionalization)를 수행하는 단계이다. 이때, 표면 기능화 처리는 게이트 절연층(140)의 일면에 아민 말단 접착 단층(amine-terminated adhesion monolayer)을 형성하는 처리일 수 있다. 아민 말단 접착 단층은 후술할 채널 물질층(150)의 CNT에 대한 높은 효율의 고정(접착)력을 가지며, 이에 따라 채널 물질층(150)의 균일한 형성(증착)에 이바지할 수 있다

[0065] S204는, 도 7에 도시된 바와 같이, 제1 기판 구조체(즉, 웨이퍼 기판(110), 웨이퍼 산화층(120), 게이트 전극(130) 및 게이트 절연층(140)을 포함한 구조체)를 99% 이상의 고농도가 아닌 특정 농도의 CNT 용액 속에 담금 처리하여, 게이트 절연층(140)의 일면에 CNT 네트워크의 채널 물질층(150)을 형성하는 단계이다.

[0066] 이때, CNT 용액은 s-CNT와 금속성 CNT(metallic CNT; m-CNT)를 각각 포함하는 용액일 수 있다. 즉, D%(단, D는 0 초과 내지 100 미만의 숫자)의 농도인 CNT 용액(또는, D%의 농도인 s-CNT 용액)은 해당 용액에 포함된 전체 CNT(즉, s-CNT 및 m-CNT의 합)의 중량부 100 중에서 D 중량만큼의 s-CNT와 100-D 중량만큼의 m-CNT를 포함하는 농도인 것을 의미한다. 가령, 99% s-CNT 용액은 해당 용액에 포함된 전체 CNT의 중량부가 100이되, 99의 중량부인 s-CNT와 1의 중량부인 m-CNT를 포함하는 농도의 s-CNT 용액일 수 있다. 즉, S204에서, CNT 용액이 s-CNT 및 m-CNT를 포함함에 따라, s-CNT 네트워크와 m-CNT 네트워크를 모두 포함하는 채널 물질층(150)이 형성될 수

있다.

[0067] 또한, x% 이상 내지 y% 이하(단, x 및 y는 0 초과 내지 100 미만의 숫자이며, x가 y보다 작음)인 농도의 s-CNT 용액은 해당 용액에 포함된 전체 CNT의 중량부가 100이되, x 내지 y의 중량부인 s-CNT와 (100-y) 내지 (100-x)의 중량부인 m-CNT를 포함하는 농도의 CNT 용액일 수 있다.

[0068] 일례로, S204에서의 CNT 용액의 해당 특정 농도는 95% 이하의 농도 또는 90% 이하의 농도일 수 있으며, 더욱 상세하게는 65% 이상 내지 95% 이하의 농도이거나, 80% 이상 내지 95% 이하의 농도이거나, 85% 이상 내지 95% 이하의 농도일 수 있으나, 이에 한정되는 것은 아니다.

[0069] 한편, CNT 용액을 이용하여 CNT 채널을 형성하는 종래 제조 기술의 경우, 하나의 제1 기판 구조체에 대해 CNT 용액을 사용한 후, 해당 용액을 버리고 다른 제1 기판 구조체에 대해 새로운 CNT 용액을 사용하는 것이 일반적이었다. 하지만, CNT 용액을 상당히 고가인 관계로, 이러한 종래 제조 기술은 그 제조 비용이 상당히 소요되는 문제점이 발생한다.

[0070] 이를 해결하기 위해, 본 발명은 S204에서 CNT 용액을 재사용할 수 있다. 즉, S204에서, CNT 용액이 담긴 용기 속에 다수의 제1 기판 구조체를 차례로 담금 처리함으로써, CNT 용액을 재사용할 수 있다. 예를 들어, 용기는 유리 페트리 접시(glass petri dish)일 수 있으나, 이에 한정되는 것은 아니다.

[0071] 이러한 CNT 용액의 재사용에도 불구하고, 동일 CNT 용액으로 담금 처리되어 형성된 다수의 웨이퍼 기판(110)의 스트라이프 구조의 CNT 채널(151)은 CNT의 우수한 전기적 성능을 유지하되 서로 균일한 전기적 성능을 가질 수 있다.

[0072] 한편, S204와 S205의 사이에, 제2 기판 구조체(즉, 웨이퍼 기판(110), 웨이퍼 산화층(120), 게이트 전극(130), 게이트 절연층(140) 및 채널 물질층(150)을 포함한 구조체)를 탈이온수(deionized water) 및 IPA(isopropyl alcohol)를 이용하여 세척하는 단계를 더 포함할 수 있다.

[0073] S205는, 도 8에 도시된 바와 같이, 채널 물질층(150)의 일면에 서로 이격 배치된 소스 전극(160) 및 드레인 전극(170)을 형성하는 단계이다.

[0074] 즉, 채널 물질층(150)의 일면에서 드레인 전극 영역 및 소스 전극 영역에 대해, Cu, Ni, Ti, Hf, Zr, ZN, W, Co, V, Al, Ag, C, Pd, Pt, ITO 등에서 선택되는 적어도 하나의 전도성 재질의 증착 공정을 수행함으로써, 서로 이격된 소스 전극(160) 및 드레인 전극(170)을 형성한다.

[0075] 이후, S206는, 도 9에 도시된 바와 같이, 채널 물질층(150)의 영역 중에 소스 전극(160) 및 드레인 전극(170)의 사이 영역에 대해 식각(etching) 공정을 수행하여 스트라이프 구조의 CNT 채널(151)을 형성한다. 즉, 소스 전극(160) 및 드레인 전극(170)의 사이 영역에 있는 채널 물질층(150)의 영역 중에서 스트라이프 형태인 다수의 이격된 CNT 채널(151)의 영역은 남기고 나머지는 제거되도록 식각 공정을 수행할 수 있다.

[0076] 상술한 과정을 통해 제작된 제3 기판 구조체(즉, 웨이퍼 기판(110), 웨이퍼 산화층(120), 게이트 전극(130), 게이트 절연층(140), 채널 물질층(150), 소스 전극(160) 및 드레인 전극(170)을 포함한 구조체)는 스트라이프 구조의 CNT 채널(151)을 구비한 CNT 네트워크 트랜지스터(100)를 포함한다. 이후, 제3 기판 구조체에 대해 싱귤레이션(singulation) 공정을 수행한다. 즉, 제3 기판 구조체에 대해 절삭(sawing)을 수행하여, 각 CNT 네트워크 트랜지스터(100)의 다이(die)를 분리한다.

[0077] <트랜지스터의 제작>

[0078] 1) 제1 제작 공정

[0079] 실험을 위해, 도 3에 따라 상술한 제조 방법을 이용하여 CNT 네트워크 트랜지스터를 제작하였다.

[0080] 도 10은 실험을 위해, 99%, 95% 및 90% 농도의 s-CNT 용액을 사용하여 8인치 웨이퍼에서 수행된 CNT 네트워크 트랜지스터의 제조 공정에 관련된 도면을 나타낸다.

[0081] 즉, 도 10(a)는 99%, 95% 및 90% sCNT 용액을 이용하여 제조한 CNT 네트워크 트랜지스터에 대한 개략도이고, 도 10(b)는 페트리 접시에 미리 분리된 sCNT 용액과 8인치 웨이퍼를 sCNT 용액에 담그는 과정의 이미지이다. 또한, 도 10(c)는 제작된 CNT 네트워크 트랜지스터가 있는 8인치 웨이퍼의 이미지이며, 도 10(d)는 제작된 CNT 네트워크 트랜지스터의 스트라이프 구조에 대한 SEM(Scanning Electron Microscope) 이미지이다.

[0082] 먼저, S201에 따라, 두께가 300nm인 열적으로 성장된 $SiO_2$의 웨이퍼 산화층을 포함하는 200mm의 p형 8인치 Si

웨이퍼 기판을 준비한 후, 스퍼터링 시스템(sputtering system)(Endura-5500, AMAT)을 이용하여 두께가 각각 5nm 및 20nm인 Ti/TiN의 게이트 전극을 증착하였다(I). 이때, TiN은 Ti와 $SiO_2$ 사이의 보호층으로 증착되어 게이트 전극으로 주요 작용하는 Ti의 산화를 방지한다.

[0083] 다음으로, S202에 따라, ALD 시스템(Atomic Layer Deposition system)(Nano-ALD2000, IPS)을 이용하여 30nm 두께의 $Al_2O_3$을 350℃에서 성장시킨 후, 400°C에서 플라즈마 강화 화학 기상 증착 시스템(PECVD system)(TELIA200, TES)을 이용하여 10nm 두께의 $SiO_2$층을 형성하였으며, 그 결과 $Al_2O_3/SiO_2$의 게이트 절연층을 형성하였다(II).

[0084] 이후, 게이트 절연층의 표면(일면)을 친수성(hydrophilic)으로 만들기 위해, 고주파(radiofrequency; RF) 산소 플라즈마 처리(oxygen plasma treatment)를 수행하여 제1 기판 구조체를 세척하였다(III).

[0085] 다음으로, S203에 따라, 폴리-L-라이신(poly-L-lysine; PLL) 용액(0.1% w/v in H20; Sigma Aldrich)을 세척된 제1 기판 구조체의 표면에 드롭 방식(dropwise)으로 증착하여, 아민 말단 접착 단층(amine-terminated adhesion monolayer)을 형성하였다(IV). 이때, 해당 단층은 s-CNT 네트워크를 고정하는데 매우 효과적인 접착층 역할을 한다. 이러한 아민 기능화 후, 제1 기판 구조체를 탈이온수(DI water)로 세척하였다(V). 다만, (I) 내지 (V) 공정에 따라 처리된 제1 기판 구조체는 3개가 준비되었다.

[0086] 다음으로, S204에 따라, s-CNT를 포함하는 CNT 네트워크(채널 물질층)를 형성하기 위해, 시판되는 99%, 95% 및 90% 농도의 단일벽 s-CNT 용액(semiconducting single-walled CNT solution)(0.01mg/mL, NanoIntegris Inc.)을 3개의 유리 페트리 접시에 각각 담아(즉, 제1 접시에는 99% 농도의 s-CNT 용액, 제2 접시에는 95% 농도의 s-CNT 용액, 제3 접시에는 90% 농도의 s-CNT 용액을 각각 담음) 준비하고, 각 제1 기판 구조체를 각 농도의 용액(즉, 각 접시)에 15분 동안 담금 처리한다(VI). 즉, 첫번째 제1 기판 구조체는 제1 접시에, 두번째 제1 기판 구조체는 제2 접시에, 세번째 제1 기판 구조체는 제3 접시에 각각 담근 처리한다. 이에 따라, 서로 다른 농도의 s-CNT 용액에 따라 증착된 CNT 네트워크를 구비한 각 제2 기판 구조체가 마련된다.

[0087] 도 11은 실험에서 사용된 99%, 95% 및 90% 농도의 단일벽 s-CNT 용액을 이용하여 증착된 CNT 네트워크에 대한 AFM(Atomic Force Microscopy) 이미지 및 특성을 나타낸다.

[0088] 도 11을 참조하면, 각 제2 기판 구조체에 증착된 세 가지 유형의 CNT 네트워크의 밀도를 측정한 결과는 각각 다음과 같았다.

[0089] - 99% sCNT 용액을 이용한 경우: 78 tubes/$\mu m^2$ ± 5 tubes/$\mu m^2$

[0090] - 95% sCNT 용액을 이용한 경우: 80 tubes/$\mu m^2$ ± 3 tubes/$\mu m^2$

[0091] - 90% sCNT 용액을 이용한 경우: 79 tubes/$\mu m^2$ ± 3 tubes/$\mu m^2$

[0092] 즉, 각 제2 기판 구조체에 증착된 세 가지 유형의 CNT 네트워크의 밀도는 서로 매우 유사하고 균일 하였다.

[0093] 이후, CNT 네트워크가 형성된 각 제2 기판 구조체에 대해 탈이온수와 IPA(이소프로필 알코올)를 이용하여 세척한 후, 질소 가스($N_2$)를 이용하여 건조시켰다(VII).

[0094] 다음으로, S205에 따라, CNT 네트워크(채널 물질층) 상에 서로 이격된 소스 및 드레인 전극을 형성하기 위해, 전자빔 증착 시스템(e-beam evaporation system)(KVET-C500200, 한국진공기술)을 이용하여 각 제2 기판 구조체 상에 각각 5 nm 및 30 nm 두께의 Ti 및 Pd 층을 증착한 후에 리프트 오프 처리(lift-off process)를 수행하였다(VIII). 그 결과, 소스 및 드레인 전극을 추가로 구비한 각 제3 기판 구조체가 마련되었다.

[0095] 다음으로, S206에 따라, 채널 물질층의 영역 중에 소스 전극 및 드레인 전극의 사이 영역에서 스트라이프 구조의 CNT 채널을 형성하였다(IX). 즉, 제3 구조체에서, 원치 않는 전기적인 경로를 제거하면서 스트라이프 구조를 형성하도록, 산소 산소 플라즈마 에칭(oxygen plasma etching)을 수행하였다.

[0096] 마지막으로, 게이트 전극을 노출시키기 위해, PR 코팅 및 포토리소그래피 패터닝(photolithography patterning)을 수행한 후 제3 기판 구조체를 희석된 HF 용액(HF:$H_2O$ = 1:4)에 침지하여 게이트 절연체($Al_2O_3/SiO_2$)를 습식 식각하였으며, 아세톤을 이용하여 PR을 제거함으로써 공정을 완료하였다(X). 즉, 도 10(d)를 참조하면, 제작된 제3 기판 구조체의 트랜지스터에서 스트라이프 구조의 CNT 네트워크 채널이 형성되었음을 확인하였다.

[0097] 2) 제2 제작 공정

[0098] 한편, 스트라이프 구조를 가지지 않고 하나의 CNT 채널을 구비한 종래 기술의 CNT 네트워크 트랜지스터를 추가 제작하였다. 이때, 상술한 (I) 내지 (X)의 공정을 동일하게 수행하되, 다만, 상술한 (IX)에서 스트라이프 구조가 아닌 하나의 CNT 채널을 형성하였다.

[0099] <제작된 트랜지스터를 이용한 실험>

[0100] 도 12는 하나의 CNT 채널을 가진 종래 기술의 CNT 네트워크 트랜지스터와, 스트라이프 구조의 CNT 채널을 가진 CNT 네트워크 트랜지스터에 대한 개략도를 나타낸다. 즉, 도 12(a)는 제2 제작 공정에 따라 제작된 종래 기술의 CNT 네트워크 트랜지스터(이하, "제2 트랜지스터"라 지칭함)를 나타내고, 도 12(b)는 제1 제작 공정에 따라 제작된 스트라이프 구조의 CNT 채널을 가진 CNT 네트워크 트랜지스터(이하, "제1 트랜지스터"라 지칭함)를 나타낸다.

[0101] 도 13은 도 12의 트랜지스터에 대한 스트라이프 수($N_{st}$) 및 스트라이프 너비 ($W_{st}$)의 그래프와 전하 수송(charge transport)의 개략도를 나타낸다.

[0102] 이때, 제2 제작 공정에 따라 제작된 제2 트랜지스터의 CNT의 $N_{st}$는 1이고, 제1 제작 공정에 따라 제작된 제1 트랜지스터의 CNT $N_{st}$는 2개 이상이다. 이때, $L_{ch}$는 CNT 채널의 길이를 나타내고, $W_{st}$는 CNT 채널의 너비를 나타낸다. 또한, $W_{eff}$는 CNT 채널의 유효 채널 폭으로서, $N_{st}$와 $W_{st}$의 곱이다.

[0103] 제작된 전체 CNT 네트워크 트랜지스터 중에서 측정된 $W_{eff}$은 40㎛이고, $L_{ch}$는 10㎛이다. 이와 같이 제작된 제1 및 제2 트랜지스터의 CNT 채널의 치수는 동일하지만, 그 네트워크 채널 구조는, 도 12에 도시된 바와 같이, 기존 CNT 네트워크(즉, 제2 트랜지스터의 CNT 채널)와, 스트라이프 CNT 네트워크(즉, 제1 트랜지스터의 CNT 채널)로 구분된다. 이때, CNT $N_{st}$가 1이면 기존 CNT 네트워크이고, $N_{st}$가 1을 초과하면 스트라이프 CNT 네트워크로 정의된다.

[0104] 제1 트랜지스터에서, $W_{eff}$는 여러 $W_{st}$의 합으로 정의될 수 있다. 제1 및 제2 트랜지스터에서, CNT 채널에 대한 $N_{st}$ 및 $W_{st}$ 조성은 도 13(a)와 같이 나타낼 수 있다. 스트라이프 CNT 네트워크 채널의 $W_{eff}$는 $N_{st}$와 $W_{st}$의 곱으로 정의된다(즉, $N_{st} \times W_{st} = W_{eff}$). 또한, 제1 트랜지스터의 제작 시, 최소 $W_{st}$인 임계 치수(critical dimension; CD)가 1㎛인 i-라인 스테퍼 포토리소그래피(i-line stepper photolithography)를 사용하였다.

[0105] 다른 반도체 채널 재료와 달리, CNT 네트워크는 상용화를 위해 금속 오염 문제를 우회해야 한다. 물론, 이 문제를 해결하기 위해 정제 기술이 발전했으며, DGU를 통해 순도 99.99% 이상의 s-CNT를 얻을 수 있다. 하지만, 반도체의 순도가 높아짐에 따라 비용 부담이 급격히 증가하여 대량 생산을 위한 제조 가능성 요구 사항을 충족하기 어렵다. 따라서, 비용 효율적이고 일부 금속 성분을 포함하는 CNT에 대해 우수한 전기적 성능을 가질 수 있는 스트라이프 CNT 네트워크 채널에 대한 연구가 필요하다.

[0106] 도 13(b)는 기존 CNT 네트워크 및 스트라이프 CNT 네트워크에서의 전하 수송의 개략도를 나타낸다. 여기서, 흰색 실선과 검정색 실선은 각각 금속 및 차단된 금속 경로를 나타낸다. 제1 트랜지스터에 따른 스트라이프 CNT 네트워크 채널은 S(소스)/D(드레인) 사이의 금속 침투 경로를 효과적으로 차단하지만(도 13(b)의 검은색 실선), 감소된 채널 영역으로 인해 CNT 네트워크의 전도도가 감소할 것으로 예상된다. 따라서, 제1 트랜지스터의 온(on) 상태 전류($I_{ON}$)는 필연적으로 저하되지만, 하위 임계값 기울기와 오프(off) 상태 전류($I_{OFF}$)가 크게 개선되어 $I_{ON}/I_{OFF}$가 크게 향상되는 이점이 있다.

[0107] 다음으로, CNT 채널의 스트라이프 구조에 따른 효과를 확인하기 위해, 제1 트랜지스터에 대해 다양한 전기적 성능의 실험을 수행하였다.

[0108] 도 14는 99% 95%, 및 90% 농도의 s-CNT 용액에서 각각 제작된 종래 기술의 트랜지스터(즉, 제2 트랜지스터, $N_{st}$ = 1)에 대한 전기적 특성을 나타낸다. 즉, 도 14(a)는 $V_{DS}$ = -0.5V에서 제2 트랜지스터의 전달 특성($-I_{DS}$-$V_{GS}$)을 나타내고, 도 14(b) $V_{DS}$ = -0.5V에서 제2 트랜지스터의 주요 성능 매개변수($I_{ON}$, $I_{OFF}$ 및 $\log(I_{ON}/I_{OFF})$)를 나타낸다. 각 조건에 대해, 총 63개의 제2 트랜지스터가 측정되었다.

[0109] 먼저, 99%, 95% 및 90% 농도의 s-CNT 용액에서 제작된 CNT 채널을 가지는 3개의 서로 다른 8인치 웨이퍼에 제작

된 제2 트랜지스터($N_{st}$ = 1)에 대한 드레인 전류($I_{DS}$)-게이트 전압($V_{GS}$)의 전달 특성을 측정하였다. 이때, 해당 전달 특성은 -0.5V의 드레인 전압($V_{DS}$)에서 측정되었으며, 각 웨이퍼에 대해 총 63개의 제2 트랜지스터에 대해 측정하였다. 각 제2 트랜지스터에 대한 측정은 반도체 매개변수 분석기(semiconductor parameter analyzer)(Keysight, B1500A)를 사용하여 수행되었다. 또한, 각 트랜지스터에 대한 주요 성능 매개변수, 즉 $I_{ON}$($I_{ON}$은 $V_{GS}$ = -10V 및 $V_{DS}$ = -0.5V에서 정의됨), $IO_{FF}$($I_{OFF}$는 $V_{GS}$ = 10V 및 $V_{DS}$ = -0.5V에서 정의됨) 및 $I_{ON}/I_{OFF}$에 대해 측정하였으며, 그 결과는 도 14(b)에 도시하였다.

[0110] 제2 트랜지스터에 대한 측정 결과, 동일한 CNT 채널 치수($W_{eff}$ = 40㎛ 및 $L_{ch}$ = 10㎛)와 동일한 CNT 채널 증착 조건에서, 금속 성분 함량이 높은 CNT 네트워크 트랜지스터는 초기에 더 높은 $I_{ON}$, 더 높은 $I_{OF}$F 및 더 낮은 $I_{ON}/I_{OFF}$를 나타낸다. 또한, 이러한 제2 트랜지스터의 경우, S/D 전극 사이의 금속 상호 연결 가능성이 증가하여, 성능 매개변수의 균일성이 불량합니다(즉, 불균일함). 이러한 특성은 디지털 응용 분야에서 낮은 순도의 s-CNT로 인해 발생하는 일반적인 문제에 해당하며, 대량 생산 가능성 측면에서 상당히 한계가 있다.

[0111] 따라서, 이러한 한계를 극복하기 위해, 8인치 웨이퍼에 다양한 반도체 순도를 갖는 스트라이프 형태의 CNT 네트워크 채널을 형성한 제1 트랜지스터를 제조하였다. 이하, 제1 트랜지스터에 대한 전기적 성능의 실험을 통해, 이러한 제2 트랜지스터가 가지는 한계에 대한 극복 가능성(즉, 우수한 전기적 성능을 가지면서 낮은 제조 비용으로 인한 대량 생산이 가능함)에 대해 살펴보았다.

[0112] 도 15는 99% 95%, 및 90% 농도의 s-CNT 용액에서 각각 제작된 스트라이프 구조의 CNT 네트워크를 구비한 트랜지스터에 대한 전기적 특성을 나타낸다. 즉, 도 15(a)는 $V_{DS}$ = -0.5V에서 제1 트랜지스터의 전달 특성($-I_{DS}$-$V_{GS}$)을 나타내고, 도 15(b) $V_{DS}$ = -0.5V에서 제1 트랜지스터의 주요 성능 매개변수($I_{ON}$, $I_{OFF}$ 및 $\log(I_{ON}/I_{OFF})$)를 나타낸다. 또한, 도 16은 대표적인 제1 트랜지스터에 대한 전기적인 출력 특성 커브(output curve)를 나타낸다.

[0113] $N_{st}$가 1인 99% CNT 네트워크의 트랜지스터는 스트라이프 CNT 네트워크 채널의 이점이 없는 것으로 나타났다. 이는 mCNT의 비율이 매우 적기 때문에 이미 우수한 스위칭 특성이 얻어졌기 때문이다. 따라서, $N_{st}$가 증가하더라도 $I_{OFF}$는 거의 변하지 않는다. 반면에 $I_{ON}$은 많은 양의 전류 경로가 차단되기 때문에 오히려 감소한다. 따라서, 99% CNT 네트워크의 트랜지스터에서 스트라이프 CNT 네트워크 채널을 사용하는 것이 적절하지 않다고 결론지었다.

[0114] 특히, 99% s-CNT 용액을 제조하기 위해서는 높은 제조 비용이 요구되며, 이는 대량 생산을 위해서는 반드시 해결해야 하는 문제이다. 하지만, 90% 및 95% s-CNT 용액에서 제작된 제1 트랜지스터의 경우, $N_{st}$가 1(적색선)에서 40개(청색선)로 증가함에 따라 스위칭 특성이 크게 향상되는 것으로 나타났다. 즉, 95% 및 90% CNT 채널의 모든 제1 트랜지스터들은 $W_{eff}$ 40㎛ 및 $L_{ch}$ 10㎛를 유지하면서 $N_{st}$가 증가함에 따라 금속 침투 경로가 효과적으로 제거되어 $I_{OFF}$를 크게 줄이고 $I_{ON}/I_{OFF}$를 크게 개선할 수 있는 것으로 나타났다.

[0115] 특히, 스트라이프형 90% CNT 채널의 제1 트랜지스터를 사용하는 것은 대량 생산을 위해 더욱 바람직한 것으로 파악되었다. 이는 해당 트랜지스터의 제작 시에 웨이퍼 스케일링이 가능하고 최소한의 비용으로 높은 생산량이 가능하기 때문이다. 다만, 8인치 웨이퍼에 집적된 CNT 네트워크 트랜지스터의 전기적 성능의 균일성은 양산의 또 다른 중요한 요소이므로 이를 고려해야 한다.

[0116] 도 17은 3개의 서로 다른 8인치 웨이퍼에서 측정된 99% CNT 채널($N_{st}$ = 1)을 가지는 제2 트랜지스터와, 95% 및 90% CNT 채널($N_{st}$ = 40)을 가지는 제1 트랜지스터에 대한 전기적 특성 및 주요 성능 매개변수를 나타낸다. 즉, 도 17(a)는 $I_{ON}$, 도 17(b)는 $I_{OFF}$, 도 17(c)는 $\log(I_{ON}/I_{OFF})$, 도 17(d)는 트랜스컨덕턴스(transconductance)($g_m$) 도 17(e)는 전계 효과 이동도(field-effect mobility)($\mu_{FE}$)를 각각 나타낸다. 이때, 모든 트랜지스터에서 $W_{eff}$와 $L_{ch}$는 각각 40㎛와 10㎛로 고정되었다. 이러한 도 17의 그래프는 도 15의 측정 결과를 포함한다.

[0117] 즉, CNT 네트워크 트랜지스터의 균일성을 특성화하기 위해, 99%, 95% 및 90% s-CNT 용액을 사용하여 제작된 3개의 8인치 웨이퍼에서 9개의 다이에 걸쳐 분포된 트랜지스터 간의 매개변수를 비교하였다. 해당 비교는 $N_{st}$가 1인 99% CNT 채널을 가지는 제2 트랜지스터와, 95% 및 90% CNT 채널($N_{st}$ = 40)을 제1 트랜지스터에서 수행되었다.

[0118] 먼저, 99% CNT 채널을 가지는 제2 트랜지스터의 평균 $I_{ON}$, $I_{OFF}$, $\log(I_{ON}/I_{OFF})$, $g_m$ 및 $\mu_{FE}$는 각각 3.19 μA ±

1.26 μA, 26.32 pA ± 20.08 pA, 5.25 ± 0.46, 0.89 μS ± 0.49 μS, and 3.07 $cm^2/V \cdot sec$ ± 1.58$cm^2/V \cdot sec$이었다. 이때, $\mu_{FE}$를 추출하기 위해, 병렬 플레이트 모델을 사용하여, 게이트 커패시턴스를 계산하였다.

[0119] 또한, 90% CNT 채널($N_{st}$ = 40)을 가지는 제1 트랜지스터는 8인치 웨이퍼 전체에서 전기적 성능의 균일성이 현저히 낮았다. 즉, 평균 $I_{ON}$은 15.48μA ± 12.89μA, 평균 $I_{OFF}$는 3.49μA ± 11.04μA, 평균 $\log(I_{ON}/I_{OFF})$는 1.91 ± 1.27, 평균 $g_m$은 2.63μS ± 2.99μS, 평균 $\mu_{FE}$는 6.2 $cm^2/V \cdot sec$ ± 4.6 $cm^2/V \cdot sec$이었다.

[0120] 90% CNT 채널($N_{st}$ = 40)을 가지는 제1 트랜지스터의 분포는 다소 높은 $I_{OFF}$ 및 낮은 $\log(I_{ON}/I_{OFF})$ 값을 나타내어, 각 장치 간 성능 변동성이 큰 것을 나타낸다. 이는 $N_{st}$가 40이지만 측정된 대부분의 장치에서 금속 침투 경로가 완전히 제거되지 않았기 때문인 것으로 파악된다.

[0121] 하지만, 95% CNT 채널($N_{st}$ = 40)을 가지는 제1 트랜지스터의 경우, 평균 $I_{ON}$, $I_{OFF}$, $\log(I_{ON}/I_{OFF})$, $g_m$ 및 $\mu_{FE}$는 각각 7.55 μA ± 2.84 μA, 214.31 pA ± 255.81 pA, 4.64 ± 0.41, 1.96 μS ± 0.58 μS 및 5.89 $cm^2/V \cdot sec$ ± 1.31 $cm^2/V \cdot sec$이었다. 즉, 99% CNT 채널을 가지는 제2 트랜지스터와 비교하여, 95% CNT 채널을 가지는 제1 트랜지스터는 $I_{ON}$ 및 $\mu_{FE}$가 높고 분포가 좁으며, 이에 따라 높은 전기적 성능과 균일성을 가진다.

[0122] 따라서, 95% CNT 채널을 가지는 제1 트랜지스터는 우수한 전기적 성능을 가지되 99% CNT 채널을 가지는 제2 트랜지스터에 비해 그 제조 비용을 줄일 수 있으며, 이는 제조 측면에서 매우 높은 이점을 가진다. 특히, 최첨단 포토리소그래피 설비를 이용하여 $N_{st}$를 더 높이고 $W_{st}$를 더 낮추면 mCNT의 함량이 높은 CNT(> 10%)에서도 스프라이프 CNT 네트워크 채널을 상용화에 충분히 적용할 수 있을 것으로 기대된다.

[0123] 상술한 실험으로 알 수 있는 바와 같이, 스트라이프 구조의 CNT 채널을 구비할 경우, $I_{OFF}$를 크게 줄이고 $\log(I_{ON}/I_{OFF})$를 크게 향상시킬 수 있다. 다만, 99% CNT 채널과 같이 금속성 CNT 함량이 거의 없는 트랜지스터의 경우, 오히려 전기적 성능을 악화시킬 수 있다. 따라서, 이러한 스트라이프 구조는 금속 성분을 일부 포함하는 CNT 채널에 적용되는 것이 바람직하다. 이는 금속 성분의 함량이 높을수록, $N_{st}$의 증가와 $W_{st}$의 감소가 필요하지만, 해당 트랜지스터는 우수한 전기적 성능과 균일성을 유지할 수 있고 제조 비용이 효율적이다.

[0124] 한편, CVD(Chemical Vapor Deposition)를 이용하여 스트라이프 구조의 CNT를 형성하는 종래 기술을 이용할 수도 있다. 하지만, 이러한 종래 기술은 고온 공정으로서 매우 고도화된 공정 제어 기술이 필요하다. 특히, 상용화를 위해서는 스트라이프 구조의 CNT를 웨이퍼 상에서 구현해야 한다. 하지만, 해당 종래 기술은 웨이퍼 상에서 해당 공정이 수행되지 않았고, 제조원가를 낮추고 생산성을 높이기 위한 체계적인 분석이 이루어지지 않았으며, 이에 따라 상용화에 한계가 있을 수밖에 없다.

[0125] 반면, 본 발명은 100%에 가까운 고농도의 s-CNT 용액을 사용하는 대신에 비교적 저농도의 s-CNT 용액을 사용하여 스트라이프 구조의 CNT 채널을 구현함에 따라, CNT의 우수한 전기적 성능을 가지고 다수의 기판 구조체 간의 전기적 성능이 균일하며, 동시에 제조 비용을 줄일 수 있어 생산성이 높은 스트라이프 CNT 네트워크 트랜지스터를 제안하므로, 해당 종래 기술의 한계를 극복할 수 있다. 또한, 본 발명은 CNT 용액을 이용한 담금 처리를 통해 CNT를 형성할 수 있어 열처리 공정이 불필요하므로, 제조 공정이 간단한 이점이 있다.

[0127] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시 예에 국한되지 않으며, 후술되는 청구범위 및 이 청구범위와 균등한 것들에 의해 정해져야 한다.

## *부호의 설명*

[0129] 100: 트랜지스터 110: 웨이퍼 기판

120: 웨이퍼 산화층 130: 게이트 전극

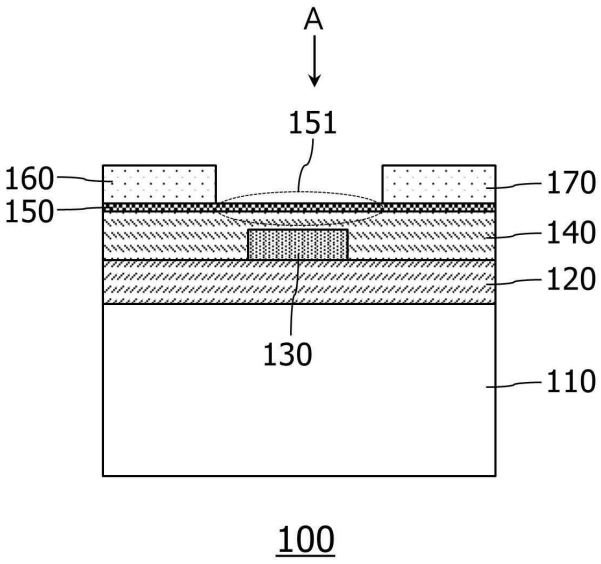
140: 게이트 절연층 150: 채널 물질층

151: CNT 채널 160: 소스 전극

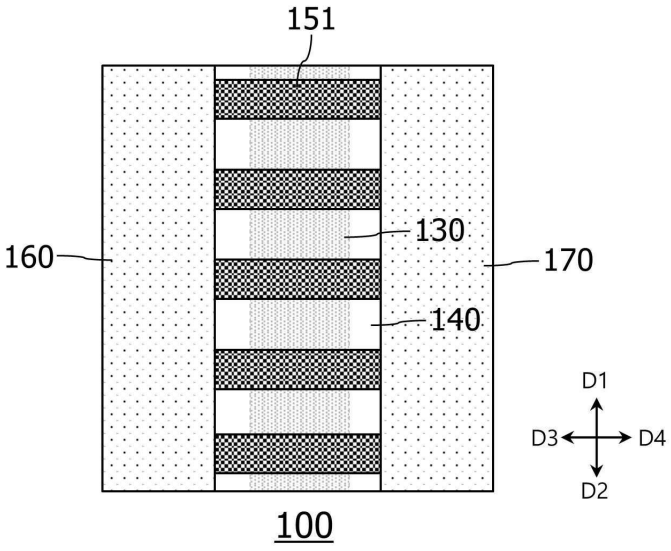
170: 드레인 전극

도면

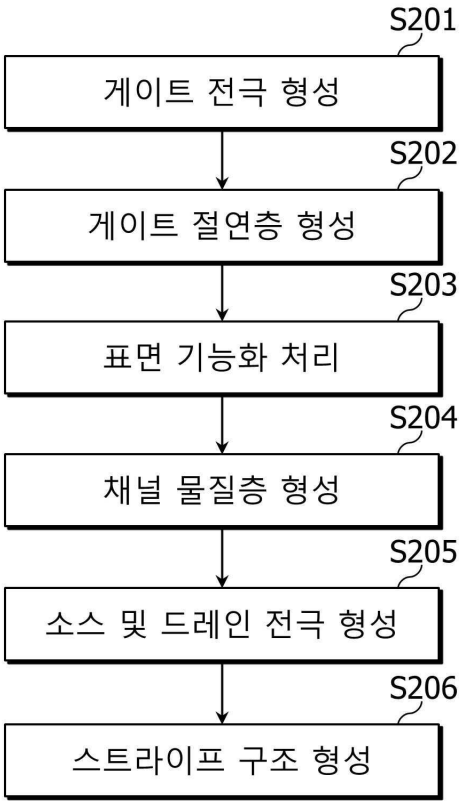
도면1


A
151
160
150
170
140
120
130
110
100

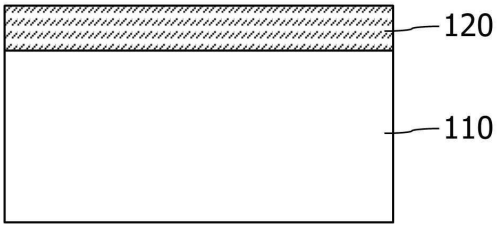
도면2

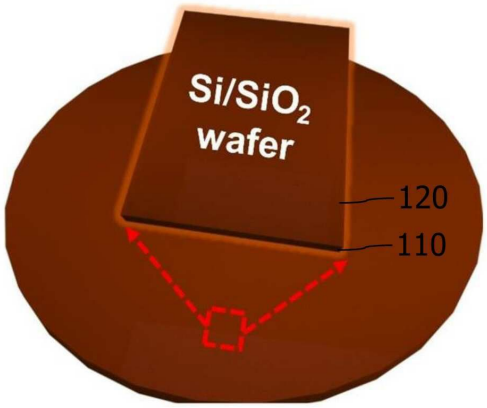

151
160
130
170
140
D1
D3
D4
D2
100

도면3

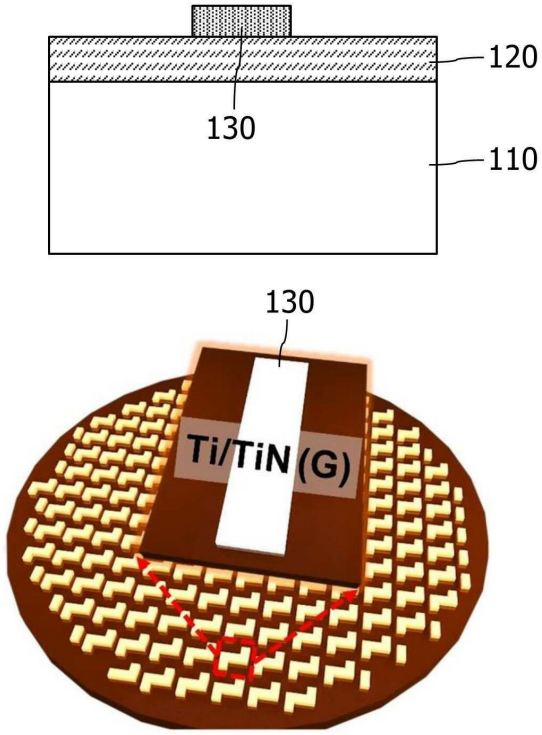

S201
게이트 전극 형성
S202
게이트 절연층 형성
S203
표면 기능화 처리
S204
채널 물질층 형성
S205
소스 및 드레인 전극 형성
S206
스트라이프 구조 형성

도면4

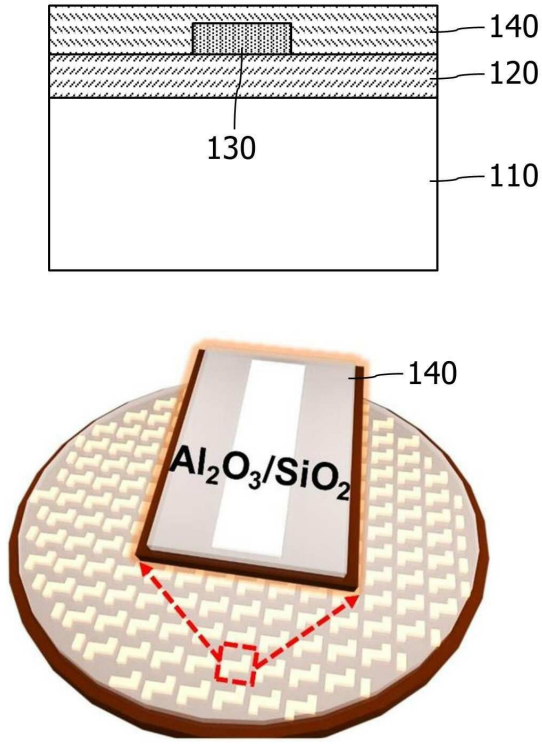

120
110


Si/SiO2
wafer
120
110

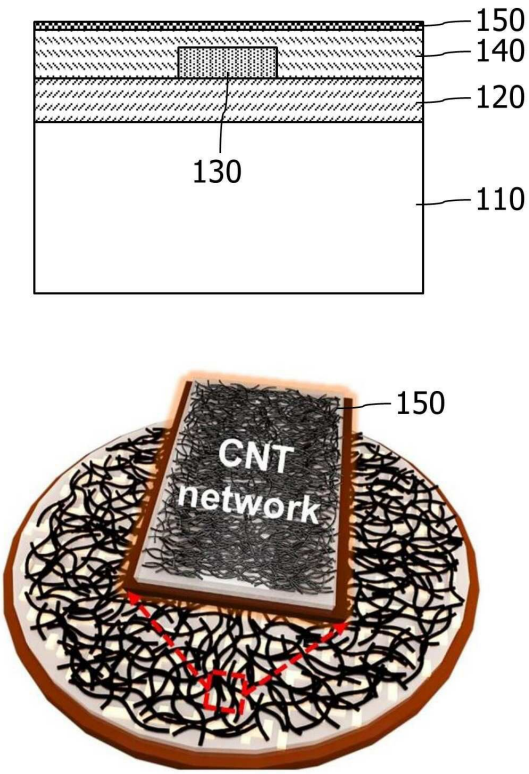
도면5



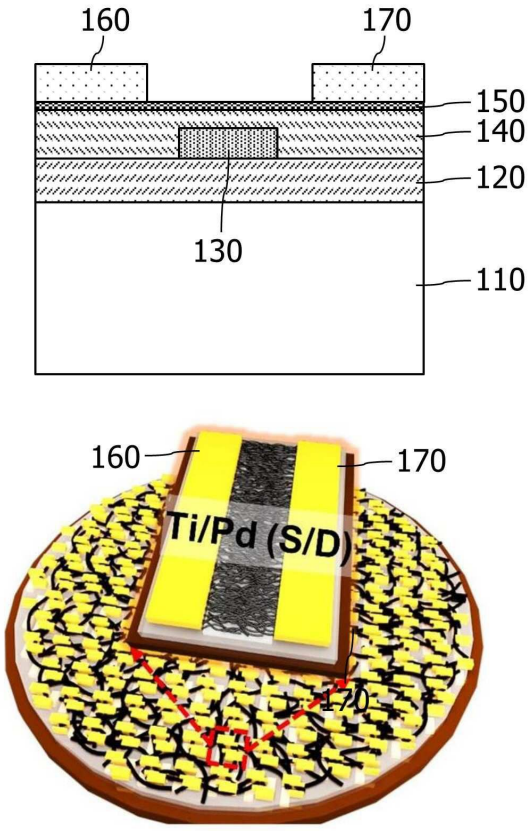

도면6



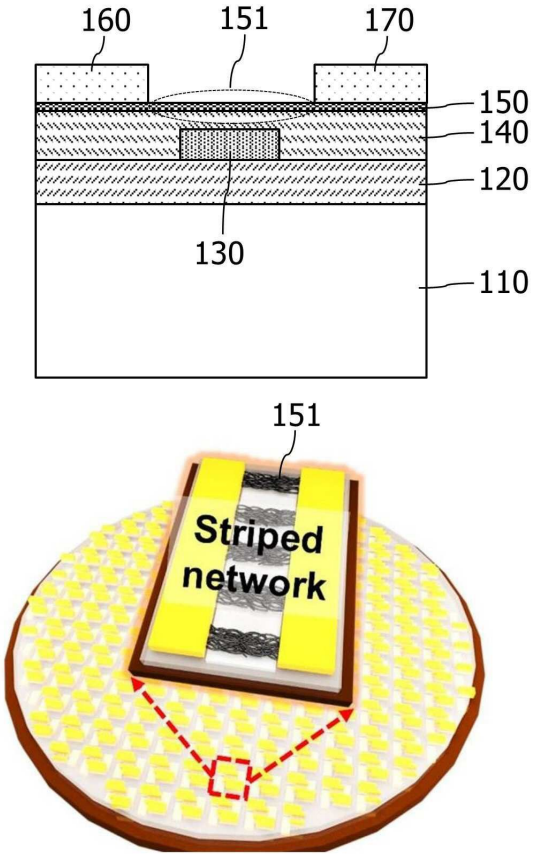
도면7


150
140
120
130
110
150
CNT
network

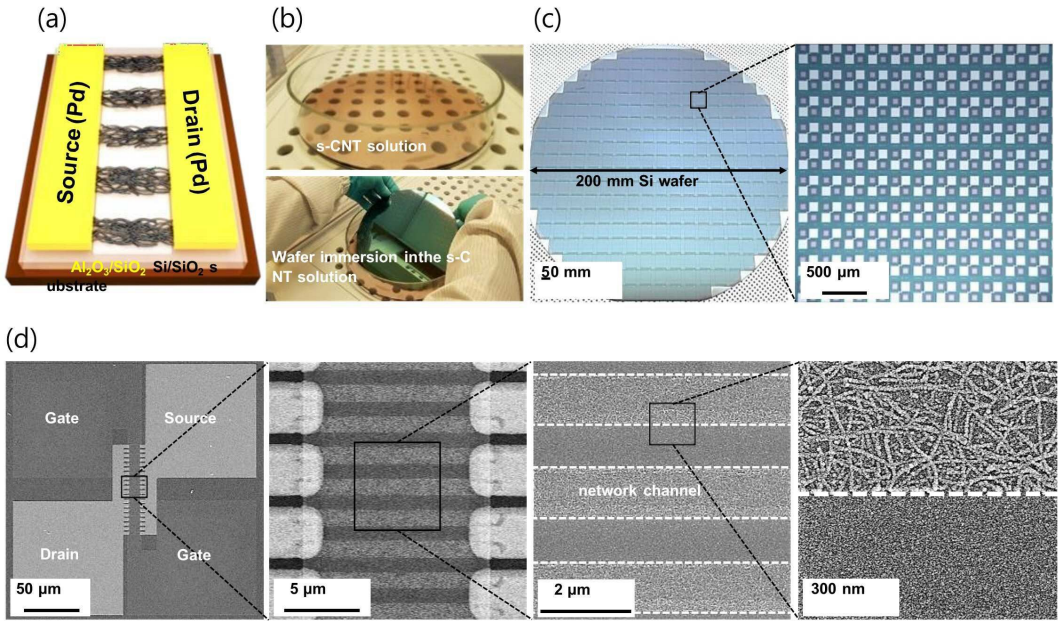
도면8


160
170
150
140
120
130
110
160
170
Ti/Pd (S/D)

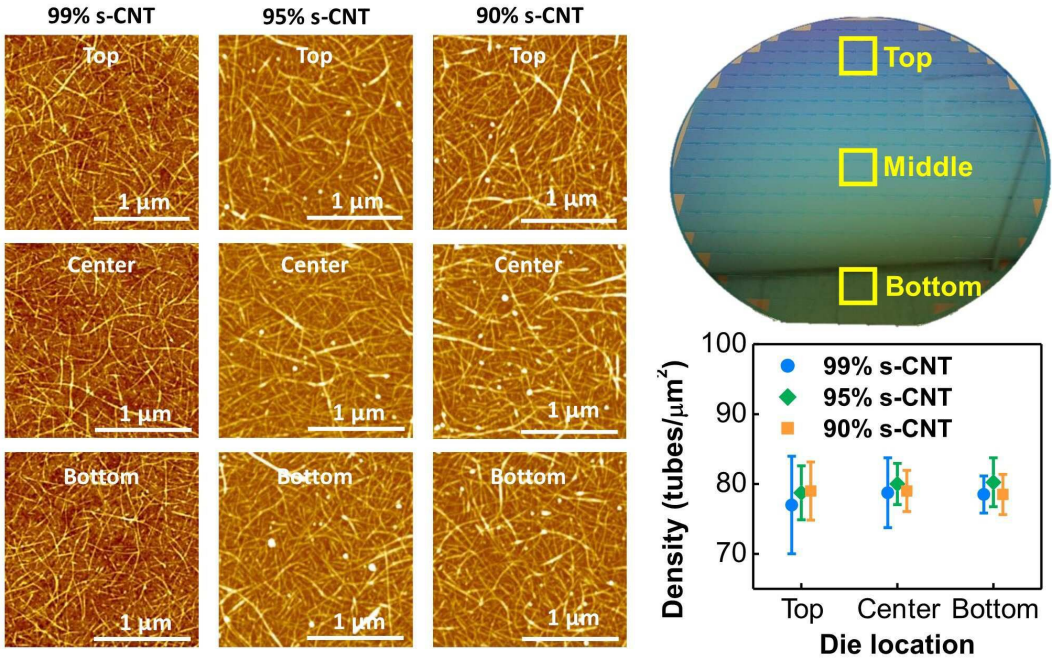
도면9


160
151
170
150
140
120
130
110
151
Striped network

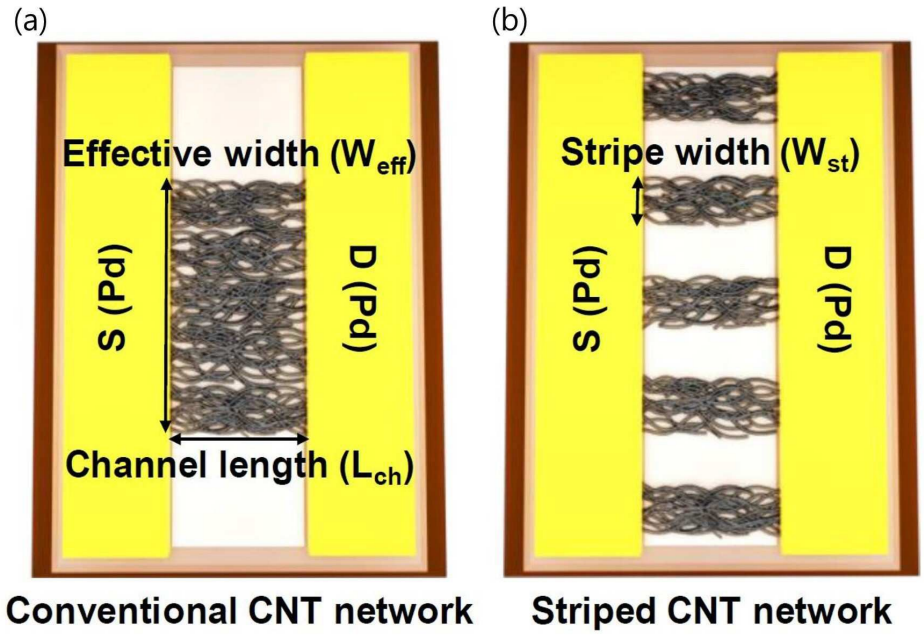
도면10


(a)
(b)
(c)
Source (Pd)
Drain (Pd)
$Al_2O_3/SiO_2$ $Si/SiO_2$ substrate
s-CNT solution
Wafer immersion inthe s-CNT solution
200 mm Si wafer
50 mm
500 μm
(d)
Gate
Source
Drain
Gate
50 μm
5 μm
network channel
2 μm
300 nm

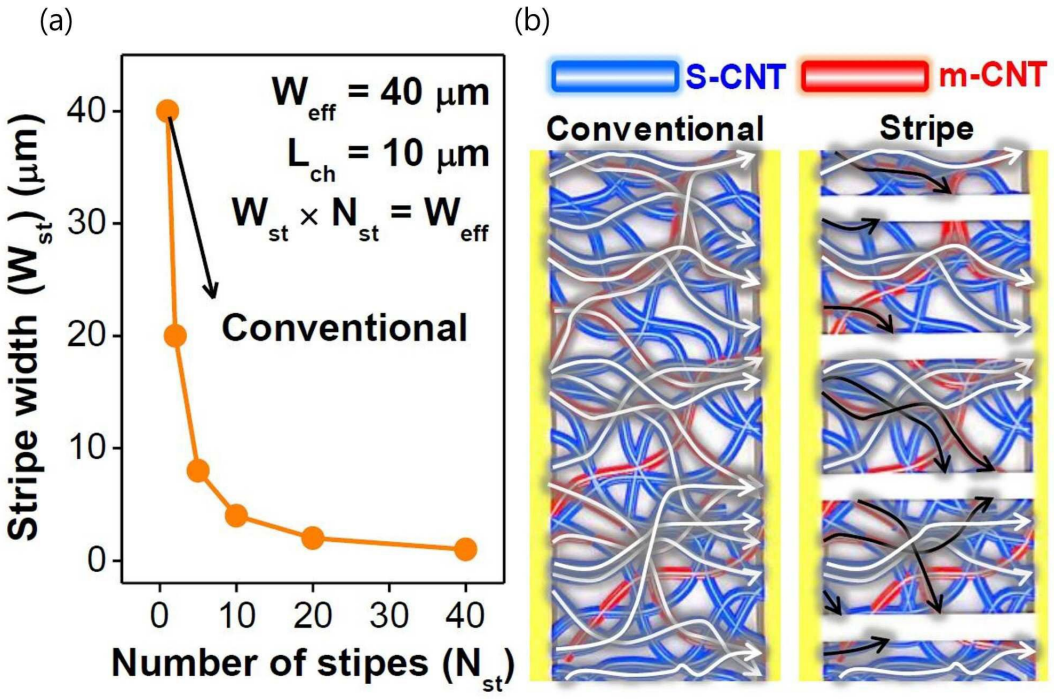
도면11


99% s-CNT
95% s-CNT
90% s-CNT
Top
Center
Bottom
1 μm
Top
Middle
Bottom
Density (tubes/μm²)
100
90
80
70
99% s-CNT
95% s-CNT
90% s-CNT
Top
Center
Bottom
Die location

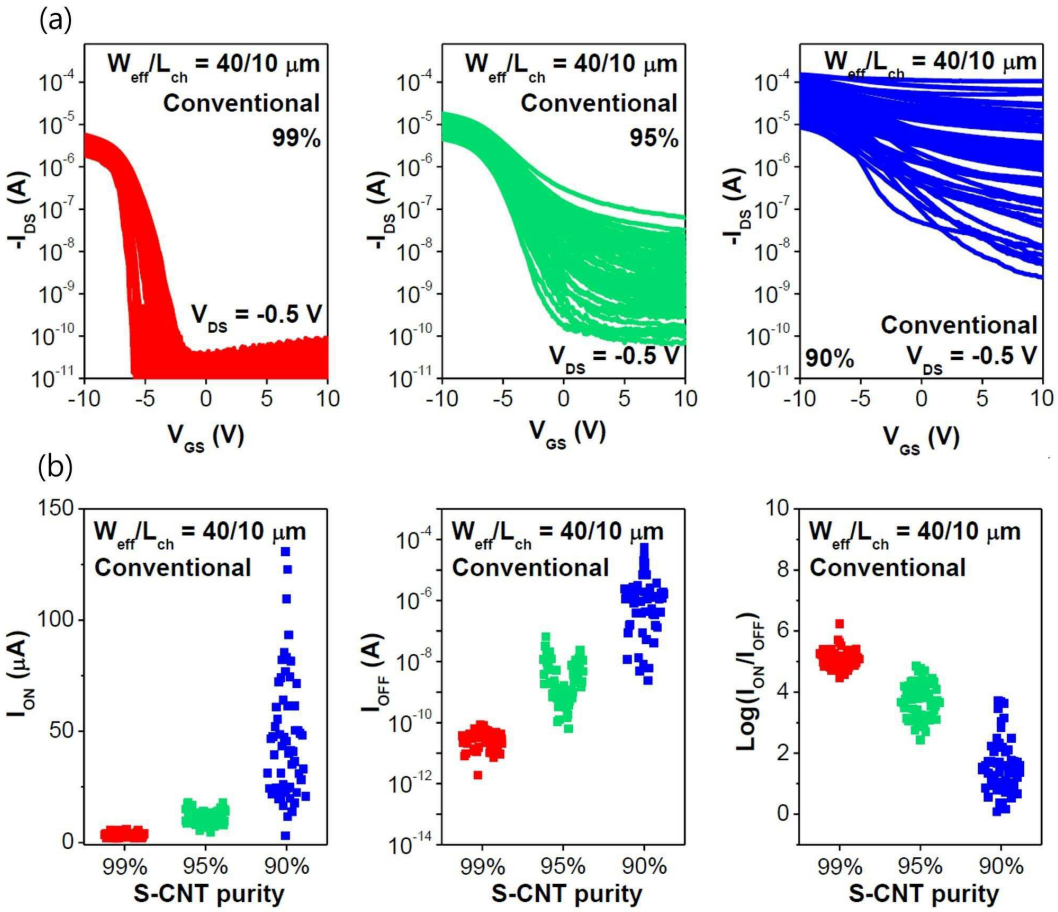
도면12


(a)
(b)
Effective width (W_eff)
S (Pd)
D (Pd)
Channel length (L_ch)
Stripe width (W_st)
S (Pd)
D (Pd)
Conventional CNT network
Striped CNT network

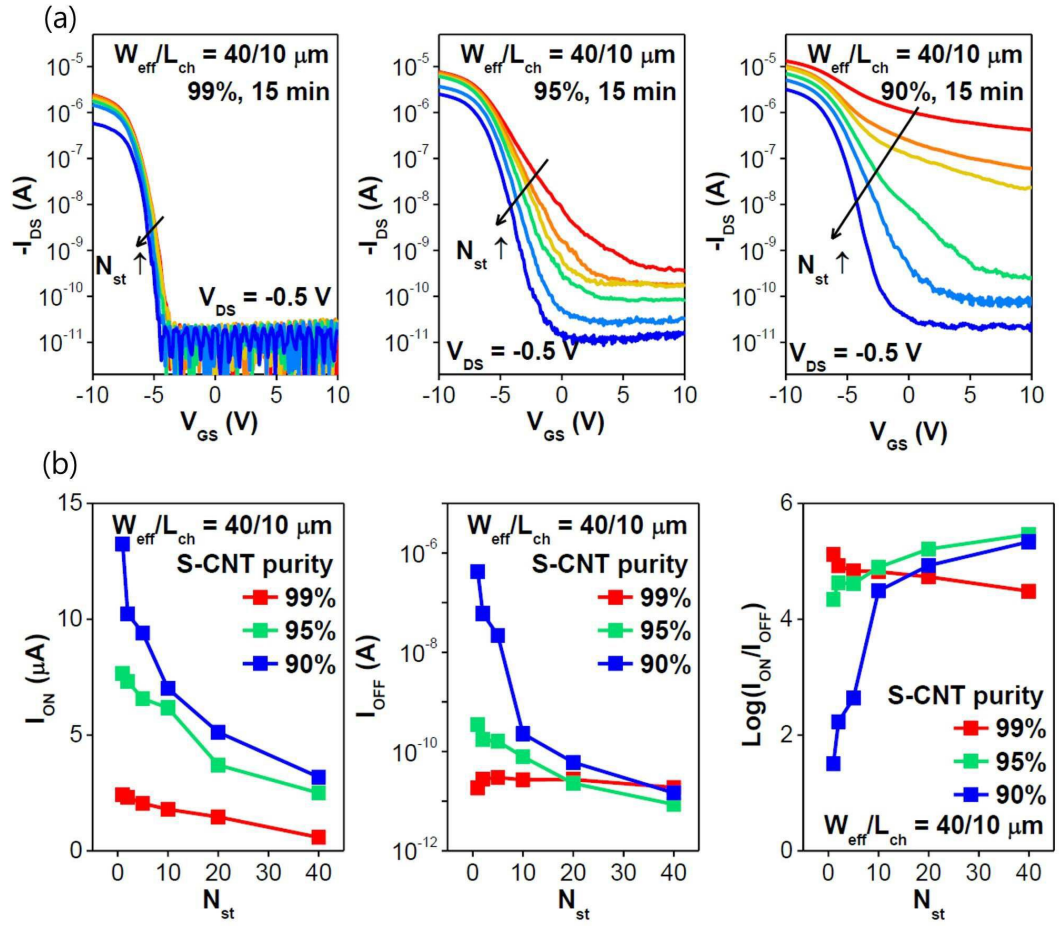
도면13


(a)
(b)
$W_{eff}$ = 40 μm
$L_{ch}$ = 10 μm
$W_{st} \times N_{st} = W_{eff}$
Conventional
Stripe width ($W_{st}$) (μm)
Number of stipes ($N_{st}$)
S-CNT
m-CNT
Conventional
Stripe

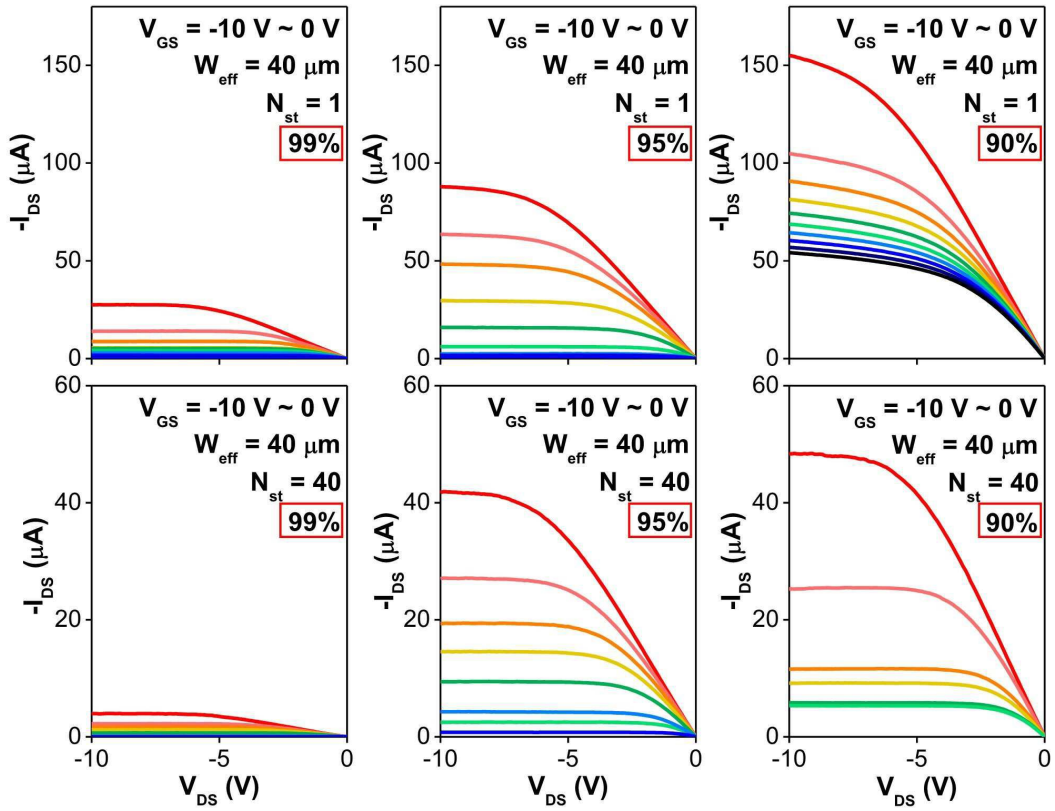
도면14


(a)
$W_{eff}/L_{ch}$ = 40/10 μm
Conventional
99%
95%
90%
$V_{DS}$ = -0.5 V
$-I_{DS}$ (A)
$V_{GS}$ (V)
(b)
$I_{ON}$ (μA)
$I_{OFF}$ (A)
$Log(I_{ON}/I_{OFF})$
S-CNT purity

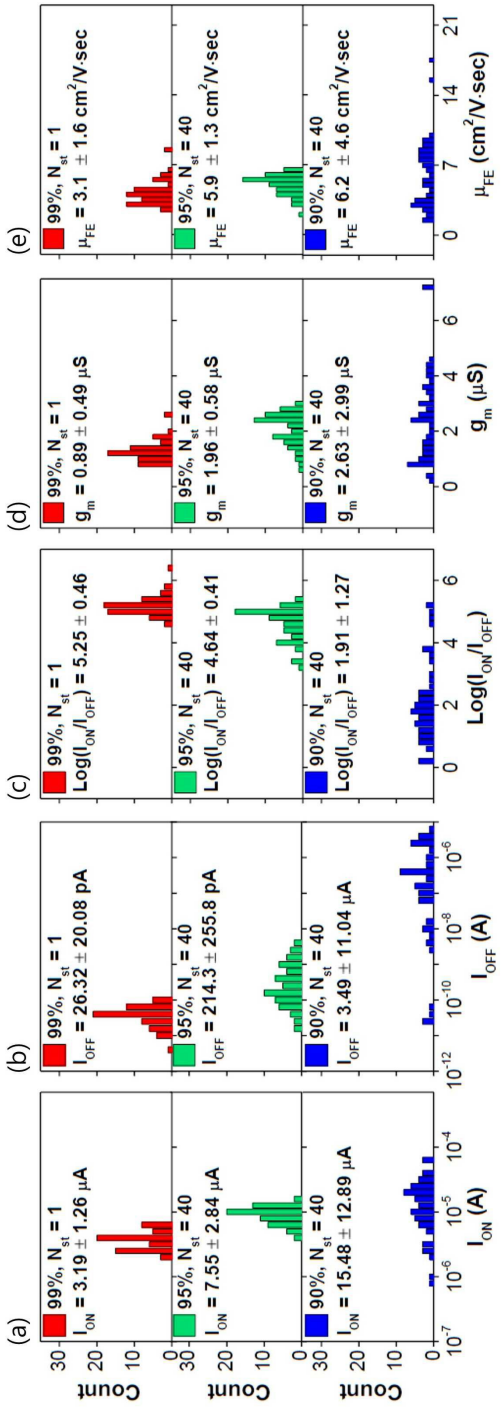
도면15


(a)
W_eff/L_ch = 40/10 μm
99%, 15 min
95%, 15 min
90%, 15 min
N_st
V_DS = -0.5 V
-I_DS (A)
V_GS (V)
(b)
S-CNT purity
99%
95%
90%
I_ON (μA)
I_OFF (A)
Log(I_ON/I_OFF)
N_st

도면16



도면17




【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

일면에 웨이퍼 산화층이 형성된 웨이퍼 기판의 일면에 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 상기 웨이퍼 산화층의 일면에 게이트 절연층을 형성하는 단계;

반도체성 탄소나노튜브 용액을 포함하는 탄소나노튜브 용액 속에 상기 웨이퍼 기판을 담금 처리하여, 상기 게이트 절연층의 일면에 탄소나노튜브를 포함하는 채널 물질층을 형성하는 단계;

상기 채널 물질층의 일면에 서로 이격된 소스 전극 및 드레인 전극을 형성하는 단계; 및

상기 채널 물질층의 일면 중 소스 전극 및 드레인 전극의 사이 영역에서 노출되는 영역에 대해 식각 공정을 수행하여 스트라이프 형태를 가지는 서로 이격된 다수의 탄소나노튜브 채널을 해당 노출되는 영역에 형성하는 단계;

를 포함하며,

상기 반도체성 탄소나노튜브 용액은 전체 중량부 100 중에서 95 이하의 중량부의 반도체성 탄소노노튜브를 포함하고,

상기 소스 전극 및 드레인 전극은 제1 길이 방향을 따라 서로 이격 배치되고,

상기 다수의 탄소나노튜브 채널은 상기 다수의 탄소나노튜브 채널은 각각 일단이 소스 전극에 전기적으로 연결되고 타단이 드레인 전극에 전기적으로 연결되되, 제1 길이 방향에 대해 일정 각도를 가지는 제2 길이 방향을 따라 서로 이격 배치되는 트랜지스터의 제조 방법.

【변경후】

일면에 웨이퍼 산화층이 형성된 웨이퍼 기판의 일면에 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 상기 웨이퍼 산화층의 일면에 게이트 절연층을 형성하는 단계;

반도체성 탄소나노튜브 용액을 포함하는 탄소나노튜브 용액 속에 상기 웨이퍼 기판을 담금 처리하여, 상기 게이트 절연층의 일면에 탄소나노튜브를 포함하는 채널 물질층을 형성하는 단계;

상기 채널 물질층의 일면에 서로 이격된 소스 전극 및 드레인 전극을 형성하는 단계; 및

상기 채널 물질층의 일면 중 소스 전극 및 드레인 전극의 사이 영역에서 노출되는 영역에 대해 식각 공정을 수행하여 스트라이프 형태를 가지는 서로 이격된 다수의 탄소나노튜브 채널을 해당 노출되는 영역에 형성하는 단계;

를 포함하며,

상기 반도체성 탄소나노튜브 용액은 전체 중량부 100 중에서 95 이하의 중량부의 반도체성 탄소노노튜브를 포함하고,

상기 소스 전극 및 드레인 전극은 제1 길이 방향을 따라 서로 이격 배치되고,

상기 다수의 탄소나노튜브 채널은 각각 일단이 소스 전극에 전기적으로 연결되고 타단이 드레인 전극에 전기적으로 연결되되, 제1 길이 방향에 대해 일정 각도를 가지는 제2 길이 방향을 따라 서로 이격 배치되는 트랜지스터의 제조 방법.