(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3597303号
(P3597303)
(45)発行日　平成16年12月8日(2004.12.8)　(24)登録日　平成16年9月17日(2004.9.17)

(51)Int.Cl.[7]	F I		
H03M 1/10	H03M	1/10	C
H03M 1/14	H03M	1/14	A
H03M 1/38	H03M	1/38	

請求項の数 12　(全 41 頁)

(21)出願番号　特願平8-101461
(22)出願日　平成8年4月23日(1996.4.23)
(65)公開番号　特開平9-289449
(43)公開日　平成9年11月4日(1997.11.4)
審査請求日　平成14年9月2日(2002.9.2)

特許法第３０条第１項適用　１９９５年１０月２５日ＩＥＥＥ Ｃｏｍｐｕｔｅｒ Ｓｏｃｉｅｔｙ Ｔｅｓｔ Ｔｅｃｈｎｏｌｏｇｙ Ｔｅｃｈｎｉｃａｌ Ｃｏｍｍｉｔｔｅｅ発行の「ＩＥＥＥ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｗｏｒｋｓｈｏｐ ｏｎ ＩＤＤＱ Ｔｅｓｔｉｎｇ，１９９５（ＩＤＤＱ９５）」に発表

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　野田　寛
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　柳下　勝幸

最終頁に続く

(54)【発明の名称】Ａ／Ｄコンバータのテスト方法及びテスト装置

(57)【特許請求の範囲】
【請求項１】
複数の上位基準電圧と、複数の下位基準電圧からなる複数の下位基準電圧群が設定され、各々が、負荷をカレントミラーとした差動対による、複数のコンパレータを含む第１のコンパレータアレイを有し、
前記複数の上位基準電圧とアナログ入力との前記複数のコンパレータにおける比較に基づいて前記ディジタル出力の上位ビットが決定され、
前記上位ビットに基づいて一つの前記複数の下位基準電圧群が選択され、前記一の前記複数の下位基準電圧群に属する前記複数の下位基準電圧と前記アナログ入力との比較がなされて下位ビットが決定され、
前記アナログ入力をある分解能で前記上位ビット及び前記下位ビットからなるディジタル出力へとＡ／Ｄ変換を行う、サブレンジング型Ａ／Ｄコンバータのテスト方法であって、
（ａ）前記アナログ入力として、前記分解能よりも小さな変化量で変化するアナログ信号を与える工程と、
（ｂ）前記アナログ信号と、前記アナログ入力を前記複数の下位基準電圧と比較する際に少なくとも前記第１のコンパレータアレイに流れる電流との関係を測定し、電流波形を求める工程と、
（ｃ）前記電流波形において極値を採る点の個数を求める工程と、
（ｄ）前記個数が所定数であるか否かに基づいて前記Ａ／Ｄコンバータの良否を判断する工程と

を備える、Ａ／Ｄコンバータのテスト方法。
【請求項２】
（ｅ）前記極値の内、最も小さい前記アナログ信号に対応するものを除く極大値と、前記極大値と隣接して対をなす極小値とを求める工程と、
（ｆ）前記対毎に前記極大値と前記極小値の差である第１の電流差を求め、前記対の間で比較して前記第１の電流差の最大値を求める工程と、
（ｇ）前記第１の電流差の前記最大値を２の前記下位ビット乗よりも１だけ小さい値で除して第２の電流差を求める工程と、
（ｈ）全ての前記極大値同士の差の絶対値及び全ての極小値同士の差の絶対値が前記第２の電流差に収まるか否かに基づいて前記Ａ／Ｄコンバータの良否を判断する工程と
を更に備える、請求項１記載のＡ／Ｄコンバータのテスト方法。
【請求項３】
前記サブレンジング型Ａ／Ｄコンバータは、複数のコンパレータを含む第２のコンパレータアレイを更に有し、
前記工程（ｂ）では前記アナログ信号と、前記アナログ入力を前記複数の下位基準電圧と比較する際に前記第１のコンパレータアレイ及び前記第２のコンパレータアレイに流れる電流の和との関係を測定し、前記電流波形を求める、請求項１記載のＡ／Ｄコンバータのテスト方法。
【請求項４】
（ｅ）前記極値の内、最も小さい前記アナログ信号に対応するものを除く極大値と、前記極大値と隣接して対をなす極小値とを求める工程と、
（ｆ）前記対毎に前記極大値と前記極小値の差である第１の電流差を求め、前記対の間で比較して前記第１の電流差の最大値を求める工程と、
（ｇ）前記第１の電流差の前記最大値を２の前記下位ビット乗よりも１だけ小さい値で除して第２の電流差を求める工程と、
（ｈ）第１及び第２の条件を満足するか否かに基づいて前記Ａ／Ｄコンバータの良否を判断する工程と
を更に備え、
前記第１の条件は、隣接する前記極大値の内、前記アナログ信号の大きい方に対応するものから前記アナログ信号の小さい方に対応するものを引いた値に前記第２の電流差を加えた値の絶対値が、前記第２の電流差に収まることであり、
前記第２の条件は、隣接する前記極小値の内、前記アナログ信号の大きい方に対応するものから前記アナログ信号の小さい方に対応するものを引いた値に前記第２の電流差を加えた値の絶対値が、前記第２の電流差に収まることである、請求項３記載のＡ／Ｄコンバータのテスト方法。
【請求項５】
複数の上位基準電圧と、複数の下位基準電圧からなる複数の下位基準電圧群が設定され、
各々が、負荷をカレントミラーとした差動対による、複数のコンパレータを含む第１のコンパレータアレイを有し、
前記複数の上位基準電圧とアナログ入力との前記複数のコンパレータにおける比較に基づいてＷビット（Ｗは自然数）からなる上位ビットが決定され、
前記上位ビットに基づいて一つの前記複数の下位基準電圧群が選択され、前記一の前記複数の下位基準電圧群に属する前記複数の下位基準電圧と前記アナログ入力との比較がなされてＷビットからなる下位ビットが決定され、
前記アナログ入力を前記上位ビット及び前記下位ビットからなる２Ｗビットのディジタル出力へとＡ／Ｄ変換を行う、サブレンジング型Ａ／Ｄコンバータのテスト方法であって、
（ａ）前記Ａ／Ｄコンバータが、量子化誤差を含まないと仮定した場合に得られる線形の理想Ａ／Ｄ変換特性と、前記ディジタル出力の変化の最小単位に対応する前記アナログ入力の電圧である第１の分解能とを求める工程と、
（ｂ）前記理想Ａ／Ｄ変換特性を規定する前記アナログ入力の電圧の、最小値に対応する

第１の初期電圧と、最大値に対応する第１の終期電圧との間を、前記第１の分解能の（２^{W}＋１）倍である第２の分解能ごとに区分し、前記第１の初期電圧と、前記第１の終期電圧とを含む２^{W}個のアナログ信号を前記アナログ入力として与える工程と、
（ｃ）前記アナログ入力と、前記アナログ入力を前記複数の下位基準電圧と比較する際に少なくとも前記第１のコンパレータアレイに流れる２^{W}個の電源電流を測定する工程と、
（ｄ）前記第１の初期電圧及びこれに対応する前記電源電流と、前記第１の終期電圧及びこれに対応する前記電源電流とから前記理想Ａ／Ｄ変換特性に対応した電流波形を求め、前記電源電流の全てが前記電流波形に対して所定の範囲内に収まっているか否かに基づいて前記Ａ／Ｄコンバータの良否を判断する工程とを備える、Ａ／Ｄコンバータのテスト方法。

【請求項６】
前記工程（ａ）は
（ａ－１）前記ディジタル出力の値が最小値となるかそれよりも１単位だけ大きな値となるかの境界に対応する前記アナログ入力の値である第２の初期電圧を求める工程と、
（ａ－２）前記ディジタル出力がフルスケールとなるかオーバフローとなるかの境界に対応する前記アナログ入力の値である第２の終期電圧を求める工程と、
（ａ－３）前記第２の終期電圧から前記第２の初期電圧を引いた値を、（２^{2W}－１）で除して前記第１の分解能を求める工程と、
（ａ－４）前記第２の初期電圧から前記第１の分解能を引いて前記第１の初期電圧を求め、前記第２の終期電圧から前記第１の分解能を引いて前記第１の終期電圧を求める工程とを有する、請求項５記載のＡ／Ｄコンバータのテスト方法。

【請求項７】
前記サブレンジング型Ａ／Ｄコンバータは、複数のコンパレータを含む第２のコンパレータアレイを更に有し、
前記工程（ｃ）では前記アナログ入力と、前記アナログ入力を前記複数の下位基準電圧と比較する際に前記第１のコンパレータアレイ及び前記第２のコンパレータアレイに流れる電流の和との関係を測定し、前記電源電流を求める、請求項６記載のＡ／Ｄコンバータのテスト方法。

【請求項８】
複数の基準電圧とアナログ入力とを比較する複数のコンパレータを含み、前記複数のコンパレータにおける比較に基づいて２Ｗビット（Ｗは自然数）からなるディジタル出力を出力するコンパレータアレイを備え、前記アナログ入力を前記ディジタル出力へとＡ／Ｄ変換を行う、Ａ／Ｄコンバータのテスト方法であって、
前記複数のコンパレータの各々が、負荷をカレントミラーとした差動対によるコンパレータであり、
（ａ）前記アナログ入力と、前記アナログ入力を前記基準電圧と比較する際に前記コンパレータアレイに実際に流れる電源電流との関係を測定し、実測電流波形を求める工程と、
（ｂ）前記ディジタル出力の値が最小値となるかそれよりも１単位だけ大きな値となるかの境界に対応する前記アナログ入力の値である初期電圧を求める工程と、
（ｃ）前記ディジタル出力がフルスケールとなるかオーバフローとなるかの境界に対応する前記アナログ入力の値である終期電圧を求める工程と、
（ｄ）前記終期電圧から前記初期電圧を引いた値を、（２^{2W}－１）で除して分解能を求める工程と、
（ｅ）前記初期電圧から前記終期電圧の範囲内であって、前記アナログ入力の値が増加するに伴って前記電源電流が単調に増加する基本領域において、前記Ａ／Ｄコンバータが理想的に前記Ａ／Ｄ変換を行う場合に、前記電源電流が変化し得る値を前記アナログ入力の値が変化し得る値で除し、これに前記分解能を乗じた値を電流増分として求める工程と、
（ｆ）前記基本領域において、前記Ａ／Ｄコンバータが理想的に前記Ａ／Ｄ変換を行う場合に、前記アナログ入力の値が前記分解能だけ増加する度に前記増分ずつ増加する前記電源電流を示す理想電流波形を求める工程と、

（ｇ）前記実測電流波形と前記理想電流波形とを比較して、両者間の差異が所定の範囲内に収まっているか否かに基づいて前記Ａ／Ｄコンバータの良否を判断する工程と
を備える、Ａ／Ｄコンバータのテスト方法。
【請求項９】
前記複数の基準電圧は、複数の上位基準電圧と、複数の下位基準電圧からなる複数の下位基準電圧群を有し、
前記複数の上位基準電圧と前記アナログ入力との前記複数のコンパレータにおける比較に基づいてＷビットからなる上位ビットが決定され、
前記上位ビットに基づいて一つの前記複数の下位基準電圧群が選択され、前記一の前記複数の下位基準電圧群に属する前記複数の下位基準電圧と前記アナログ入力との比較がなされてＷビットからなる下位ビットが決定され、
前記Ａ／Ｄコンバータは、前記アナログ入力を前記上位ビット及び前記下位ビットからなる２Ｗビットのディジタル出力へとＡ／Ｄ変換を行う、サブレンジング型Ａ／Ｄコンバータであって、
前記電源電流は、前記アナログ入力と、前記アナログ入力を前記複数の下位基準電圧とを比較する際に前記コンパレータアレイに流れる電流である、請求項８記載のＡ／Ｄコンバータのテスト方法。
【請求項１０】
前記サブレンジング型Ａ／Ｄコンバータは、複数のコンパレータを含む第２のコンパレータアレイを更に有し、
前記電源電流は、前記アナログ入力と、前記アナログ入力を前記複数の下位基準電圧と比較する際に前記コンパレータアレイ及び前記第２のコンパレータアレイに流れる電流の和である、請求項９記載のＡ／Ｄコンバータのテスト方法。
【請求項１１】
（ａ）アナログ入力を複数の上位基準電圧と比較し、更に複数の下位基準電圧と比較する複数のコンパレータからなるコンパレータアレイを有し、前記複数のコンパレータの各々が、負荷をカレントミラーとした差動対によるコンパレータであり、前記アナログ入力をある分解能でディジタル出力へとＡ／Ｄ変換するサブレンジング型Ａ／Ｄコンバータと、
（ｂ）前記分解能よりも小さな変化量ずつステップ状に変化するアナログ信号を前記アナログ入力として与えるアナログ信号源と、
（ｃ）前記コンパレータアレイに電圧を供給する電源と、
（ｄ）前記アナログ入力を前記複数の下位基準電圧と比較する際に、前記電源から流れる電流を測定する電流測定器と、
（ｅ）前記アナログ信号と前記電流との関係を解析する解析手段と
を備えるＡ／Ｄコンバータのテスト装置。
【請求項１２】
（ａ）アナログ入力を複数の基準電圧と比較する複数のコンパレータからなるコンパレータアレイを有し、前記複数のコンパレータの各々が、負荷をカレントミラーとした差動対によるコンパレータであり、前記アナログ入力をディジタル出力へとＡ／Ｄ変換するＡ／Ｄコンバータと、
（ｂ）前記コンパレータアレイに電圧を供給する電源と、
（ｃ）前記アナログ入力を前記下位基準電圧と比較する際に、前記電源から流れる電源電流を測定する電流測定器と、
（ｄ）前記Ａ／Ｄコンバータがオーバフローとなっているか否かと、前記ディジタル出力が最小値となっているか否かを検出する検出手段と、
（ｅ）前記工程（ｄ）の結果に基づいて前記電源電流の理想的な波形を求め、これと前記電源電流との関係を解析する解析手段と
を備えるＡ／Ｄコンバータのテスト装置。
【発明の詳細な説明】
【０００１】

【発明の属する技術分野】
本発明は、コンパレータを有するＡ／Ｄコンバータのテスト方法に関するものである。
【０００２】
【従来の技術】
図３７は、アナログ／ディジタル混在ＬＳＩの内蔵するＡ／Ｄコンバータセルのファンクションテストを行う従来の技術を説明するブロック図であり、図３８は上記ファンクションテストの方法を説明したフローチャートである。
【０００３】
図３７において、アナログ／ディジタル混在ＬＳＩ１２はＡ／Ｄコンバータセル１０と、ロジック回路１１とを内蔵している。Ａ／Ｄコンバータセル１０のアナログ回路には、アナログ電源端子１を介して第１の電源１３から電位ＡＶｄｄが供給される。また、Ａ／Ｄコンバータセル１０のディジタル回路及びロジック回路１１には、ディジタル電源端子を介して第２の電源１４から電位ＤＶｄｄが供給される。
【０００４】
Ａ／Ｄコンバータセル１０内のラダー抵抗の内、最高の電位が与えられる点には、上部基準電源端子３を介して第３の電源１５から電位ＶＲＴが、最低の電位が与えられる点には、下部基準電源端子４を介して第４の電源１６から電位ＶＲＢが、それぞれ与えられる。
【０００５】
Ａ／Ｄコンバータセル１０にはアナログ電圧入力端子５を介してアナログソース源１７からアナログ入力電圧Ｖｉｎが供給される。Ａ／Ｄコンバータセル１０から得られるディジタル出力はロジック回路１１に与えられるが、ファンクションテストを実施するための外部テスト端子７を介してデータアナライザ１９にも与えられる。コンピュータ２０は、データアナライザ１９のメモリに取り込まれたディジタル出力信号を読み出し、Ｎビットのバイナルコード信号線２１を介して演算処理をする。ここでは、説明の便宜のためＡ／Ｄコンバータセル１０は１０ビットの信号を出力するとし、Ｎ＝１０となる。従って、外部テスト端子７は７ａ，７ｂ，７ｃ，７ｄ，７ｅ，７ｆ，７ｇ，７ｈ，７ｉ，７ｊの１０本である。
【０００６】
ロジック回路１１はＡ／Ｄコンバータセル１０から得られるディジタル出力に所定の処理をしてディジタル入出力端子９に与える。
【０００７】
また、Ａ／Ｄコンバータセル１０は接地８に接続され、更にクロック入力端子６を介してクロック源１８から、Ａ／Ｄコンバータセル１０のサンプリングクロックやロジック回路１１に供給されるべきクロックが供給される。
【０００８】
図３８に示されるように、ステップＳＰ１においては第１乃至第４の電源をＯＮし、アナログ電源端子１、ディジタル電源端子２、上部基準電源端子３、下部基準電源端子４に、それぞれ電位ＡＶｄｄ，ＤＶｄｄ，ＶＲＴ，ＶＲＢを印加する。
【０００９】
ステップＳＰ２において、クロック源１８からのサンプリングクロック等をクロック入力端子６に印加する。また、別途ステップＳＰ３において、アナログソース源１７から出力されるアナログ入力電圧Ｖｉｎの分解能を設定する。
【００１０】
ステップＳＰ４では、ステップＳＰ３で設定された分解能ずつ増加させて、アナログ入力電圧端子５にアナログ入力電圧をステップ状に供給する。
【００１１】
ステップＳＰ５では外部テスト端子７から得られた、Ａ／Ｄコンバータセル１０のディジタル出力（バイナルデータ）をデータアナライザ１９のメモリに格納する。
【００１２】
ステップＳＰ６ではデータアナライザ１９のメモリからバイナルデータをコンピュータ２

０で１０進数へ変換する。そしてその変換した結果からステップＳＰ７で良否の判定が行われる。

【００１３】

【発明が解決しようとする課題】

図３９は、バイナルコードから１０進化コードへの変換の対応を示す。ここでは外部テスト端子７ａに与えられるビットがＬＳＢであり、外部テスト端子７ｊに与えられるビットがＭＳＢであるとしている。１０進化コードの値は、$７ａ\times２^{0}$　$＋７ｂ\times２^{1}$　$＋７ｃ\times２^{2}$　$＋７ｄ\times２^{3}$　$＋７ｅ\times２^{4}$　$＋７ｆ\times２^{5}$　$＋７ｇ\times２^{6}$　$＋７ｈ\times２^{7}$　$＋７ｉ\times２^{8}$　$＋７ｊ\times２^{9}$　で求められる。

【００１４】

図４０は、Ａ／Ｄコンバータセル１０が正常な場合の、アナログ入力電圧Ｖｉｎと１０進化コードとの関係を示すグラフである。１０進化コードに対応するアナログ入力電圧Ｖｉｎの幅は、１０進化コードの値によらずに一定であり（１０進化コードが“０”，“１０２３”の場合を除く）、アナログ入力電圧Ｖｉｎが増大するにつれ、ステップ状に１０進化コードが増大する。このような場合にはステップＳＰ７において良品と判断される。

【００１５】

図４１乃至図４３はミッシングコードが存在する場合のアナログ入力電圧Ｖｉｎと１０進化コードとの関係を示すグラフである。これらの図では何れも１０進化コード“５”が欠落し、“０”～“１０２３”のコードが全て存在している状態にはない。このような場合にはステップＳＰ７において不良品と判断される。

【００１６】

従来の技術は以上のように、１０進化コードの所定値が全て存在するか否かを判断するので、外部テスト端子７からバイナルコードを得る必要があった。外部テスト端子７を設ける必要があるので半導体装置のチップ面積が増加し、パッケージサイズが増加した。これにより半導体装置のコストの増加を招来するという問題点があった。

【００１７】

本発明は以上のような不具合を解消するもので、外部テスト端子の数を著しく低減し、Ａ／Ｄコンバータセルのアナログ部の電源電流を測定することによって、Ａ／Ｄコンバータセルのファンクションテストやスタティックリニアリティを可能にする方法を提供する。

【００１８】

【課題を解決するための手段】

この発明のうち請求項１にかかるものは、複数の上位基準電圧と、複数の下位基準電圧からなる複数の下位基準電圧群が設定され、各々が、負荷をカレントミラーとした差動対による、複数のコンパレータを含む第１のコンパレータアレイを有し、前記複数の上位基準電圧とアナログ入力との前記複数のコンパレータにおける比較に基づいて前記ディジタル出力の上位ビットが決定され、前記上位ビットに基づいて一つの前記複数の下位基準電圧群が選択され、前記一の前記複数の下位基準電圧群に属する前記複数の下位基準電圧と前記アナログ入力との比較がなされて下位ビットが決定され、前記アナログ入力をある分解能で前記上位ビット及び前記下位ビットからなるディジタル出力へとＡ／Ｄ変換を行う、サブレンジング型Ａ／Ｄコンバータのテスト方法である。そして、（ａ）前記アナログ入力として、前記分解能よりも小さな変化量で変化するアナログ信号を与える工程と、（ｂ）前記アナログ信号と、前記アナログ入力を前記複数の下位基準電圧と比較する際に少なくとも前記第１のコンパレータアレイに流れる電流との関係を測定し、電流波形を求める工程と、（ｃ）前記電流波形において極値を採る点の個数を求める工程と、（ｄ）前記個数が所定数であるか否かに基づいて前記Ａ／Ｄコンバータの良否を判断する工程とを備える。

【００１９】

この発明のうち請求項２にかかるものは、請求項１記載のＡ／Ｄコンバータのテスト方法であって、（ｅ）前記極値の内、最も小さい前記アナログ信号に対応するものを除く極大値と、前記極大値と隣接して対をなす極小値とを求める工程と、（ｆ）前記対毎に前記極

大値と前記極小値の差である第１の電流差を求め、前記対の間で比較して前記第１の電流差の最大値を求める工程と、（ｇ）前記第１の電流差の前記最大値を２の前記下位ビット乗よりも１だけ小さい値で除して第２の電流差を求める工程と、（ｈ）全ての前記極大値同士の差の絶対値及び全ての極小値同士の差の絶対値が前記第２の電流差に収まるか否かに基づいて前記Ａ／Ｄコンバータの良否を判断する工程とを更に備える。

【００２０】

この発明のうち請求項３にかかるものは、請求項１記載のＡ／Ｄコンバータのテスト方法であって、前記サブレンジング型Ａ／Ｄコンバータは、複数のコンパレータを含む第２のコンパレータアレイを更に有し、前記工程（ｂ）では前記アナログ信号と、前記アナログ入力を前記複数の下位基準電圧と比較する際に前記第１のコンパレータアレイ及び前記第２のコンパレータアレイに流れる電流の和との関係を測定し、前記電流波形を求める。

【００２１】

この発明のうち請求項４にかかるものは、請求項３記載のＡ／Ｄコンバータのテスト方法であって、（ｅ）前記極値の内、最も小さい前記アナログ信号に対応するものを除く極大値と、前記極大値と隣接して対をなす極小値とを求める工程と、（ｆ）前記対毎に前記極大値と前記極小値の差である第１の電流差を求め、前記対の間で比較して前記第１の電流差の最大値を求める工程と、（ｇ）前記第１の電流差の前記最大値を２の前記下位ビット乗よりも１だけ小さい値で除して第２の電流差を求める工程と、（ｈ）第１及び第２の条件を満足するか否かに基づいて前記Ａ／Ｄコンバータの良否を判断する工程とを更に備える。そして、前記第１の条件は、隣接する前記極大値の内、前記アナログ信号の大きい方に対応するものから前記アナログ信号の小さい方に対応するものを引いた値に前記第２の電流差を加えた値の絶対値が、前記第２の電流差に収まることであり、前記第２の条件は、隣接する前記極小値の内、前記アナログ信号の大きい方に対応するものから前記アナログ信号の小さい方に対応するものを引いた値に前記第２の電流差を加えた値の絶対値が、前記第２の電流差に収まることである。

【００２２】

この発明のうち請求項５にかかるものは、複数の上位基準電圧と、複数の下位基準電圧からなる複数の下位基準電圧群が設定され、各々が、負荷をカレントミラーとした差動対による、複数のコンパレータを含む第１のコンパレータアレイを有し、前記複数の上位基準電圧とアナログ入力との前記複数のコンパレータにおける比較に基づいてＷビット（Ｗは自然数）からなる上位ビットが決定され、前記上位ビットに基づいて一つの前記複数の下位基準電圧群が選択され、前記一の前記複数の下位基準電圧群に属する前記複数の下位基準電圧と前記アナログ入力との比較がなされてＷビットからなる下位ビットが決定され、前記アナログ入力を前記上位ビット及び前記下位ビットからなる２Ｗビットのディジタル出力へとＡ／Ｄ変換を行う、サブレンジング型Ａ／Ｄコンバータのテスト方法である。そして、（ａ）前記Ａ／Ｄコンバータが、量子化誤差を含まないと仮定した場合に得られる線形の理想Ａ／Ｄ変換特性と、前記ディジタル出力の変化の最小単位に対応する前記アナログ入力の電圧である第１の分解能とを求める工程と、（ｂ）前記理想Ａ／Ｄ変換特性を規定する前記アナログ入力の電圧の、最小値に対応する第１の初期電圧と、最大値に対応する第１の終期電圧との間を、前記第１の分解能の（2^{W}＋１）倍である第２の分解能ごとに区分し、前記第１の初期電圧と、前記第１の終期電圧とを含む2^{W}個のアナログ信号を前記アナログ入力として与える工程と、（ｃ）前記アナログ入力と、前記アナログ入力を前記複数の下位基準電圧と比較する際に少なくとも前記第１のコンパレータアレイに流れる2^{W}個の電源電流を測定する工程と、（ｄ）前記第１の初期電圧及びこれに対応する前記電源電流と、前記第１の終期電圧及びこれに対応する前記電源電流とから前記理想Ａ／Ｄ変換特性に対応した電流波形を求め、前記電源電流の全てが前記電流波形に対して所定の範囲内に収まっているか否かに基づいて前記Ａ／Ｄコンバータの良否を判断する工程とを備える。

【００２３】

この発明のうち請求項６にかかるものは、請求項５記載のＡ／Ｄコンバータのテスト方法

であって、前記工程（ａ）は（ａ－１）前記ディジタル出力の値が最小値となるかそれよりも１単位だけ大きな値となるかの境界に対応する前記アナログ入力の値である第２の初期電圧を求める工程と、（ａ－２）前記ディジタル出力がフルスケールとなるかオーバフローとなるかの境界に対応する前記アナログ入力の値である第２の終期電圧を求める工程と、（ａ－３）前記第２の終期電圧から前記第２の初期電圧を引いた値を、（$2^{2W}-1$）で除して前記第１の分解能を求める工程と、（ａ－４）前記第２の初期電圧から前記第１の分解能を引いて前記第１の初期電圧を求め、前記第２の終期電圧から前記第１の分解能を引いて前記第１の終期電圧を求める工程とを有する。

【００２４】

この発明のうち請求項７にかかるものは、請求項６記載のＡ／Ｄコンバータのテスト方法であって、前記サブレンジング型Ａ／Ｄコンバータは、複数のコンパレータを含む第２のコンパレータアレイを更に有し、前記工程（ｃ）では前記アナログ入力と、前記アナログ入力を前記複数の下位基準電圧と比較する際に前記第１のコンパレータアレイ及び前記第２のコンパレータアレイに流れる電流の和との関係を測定し、前記電源電流を求める。

【００２５】

この発明のうち請求項８にかかるものは、複数の基準電圧とアナログ入力とを比較する複数のコンパレータを含み、前記複数のコンパレータにおける比較に基づいて２Ｗビット（Ｗは自然数）からなるディジタル出力を出力するコンパレータアレイを備え、前記アナログ入力を前記ディジタル出力へとＡ／Ｄ変換を行う、Ａ／Ｄコンバータのテスト方法である。前記複数のコンパレータの各々が、負荷をカレントミラーとした差動対によるコンパレータである。そして、（ａ）前記アナログ入力と、前記アナログ入力を前記基準電圧と比較する際に前記コンパレータアレイに実際に流れる電源電流との関係を測定し、実測電流波形を求める工程と、（ｂ）前記ディジタル出力の値が最小値となるかそれよりも１単位だけ大きな値となるかの境界に対応する前記アナログ入力の値である初期電圧を求める工程と、（ｃ）前記ディジタル出力がフルスケールとなるかオーバフローとなるかの境界に対応する前記アナログ入力の値である終期電圧を求める工程と、（ｄ）前記終期電圧から前記初期電圧を引いた値を、（$2^{2W}-1$）で除して分解能を求める工程と、（ｅ）前記初期電圧から前記終期電圧の範囲内であって、前記アナログ入力の値が増加するに伴って前記電源電流が単調に増加する基本領域において、前記Ａ／Ｄコンバータが理想的に前記Ａ／Ｄ変換を行う場合に、前記電源電流が変化し得る値を前記アナログ入力の値が変化し得る値で除し、これに前記分解能を乗じた値を電流増分として求める工程と、（ｆ）前記基本領域において、前記Ａ／Ｄコンバータが理想的に前記Ａ／Ｄ変換を行う場合に、前記アナログ入力の値が前記分解能だけ増加する度に前記増分ずつ増加する前記電源電流を示す理想電流波形を求める工程と、（ｇ）前記実測電流波形と前記理想電流波形とを比較して、両者間の差異が所定の範囲内に収まっているか否かに基づいて前記Ａ／Ｄコンバータの良否を判断する工程とを備える。

【００２６】

この発明のうち請求項９にかかるものは、請求項８記載のＡ／Ｄコンバータのテスト方法であって、前記複数の基準電圧は、複数の上位基準電圧と、複数の下位基準電圧からなる複数の下位基準電圧群を有し、前記複数の上位基準電圧と前記アナログ入力との前記複数のコンパレータにおける比較に基づいてＷビットからなる上位ビットが決定され、前記上位ビットに基づいて一つの前記複数の下位基準電圧群が選択され、前記一の前記複数の下位基準電圧群に属する前記複数の下位基準電圧と前記アナログ入力との比較がなされてＷビットからなる下位ビットが決定され、前記Ａ／Ｄコンバータは、前記アナログ入力を前記上位ビット及び前記下位ビットからなる２Ｗビットのディジタル出力へとＡ／Ｄ変換を行う、サブレンジング型Ａ／Ｄコンバータであって、前記電源電流は、前記アナログ入力と、前記アナログ入力を前記複数の下位基準電圧とを比較する際に前記コンパレータアレイに流れる電流である。

【００２７】

この発明のうち請求項１０にかかるものは、請求項９記載のＡ／Ｄコンバータのテスト方

法であって、前記サブレンジング型Ａ／Ｄコンバータは、複数のコンパレータを含む第２のコンパレータアレイを更に有し、前記電源電流は、前記アナログ入力と、前記アナログ入力を前記複数の下位基準電圧と比較する際に前記コンパレータアレイ及び前記第２のコンパレータアレイに流れる電流の和である。

【００２８】

この発明のうち請求項１１にかかるものは、（ａ）アナログ入力を複数の上位基準電圧と比較し、更に複数の下位基準電圧と比較する複数のコンパレータからなるコンパレータアレイを有し、前記複数のコンパレータの各々が、負荷をカレントミラーとした差動対によるコンパレータであり、前記アナログ入力をある分解能でディジタル出力へとＡ／Ｄ変換するサブレンジング型Ａ／Ｄコンバータと、（ｂ）前記分解能よりも小さな変化量ずつステップ状に変化するアナログ信号を前記アナログ入力として与えるアナログ信号源と、（ｃ）前記コンパレータアレイに電圧を供給する電源と、（ｄ）前記アナログ入力を前記複数の下位基準電圧と比較する際に、前記電源から流れる電流を測定する電流測定器と、（ｅ）前記アナログ信号と前記電流との関係を解析する解析手段とを備えるＡ／Ｄコンバータのテスト装置である。

【００２９】

この発明のうち請求項１２にかかるものは、（ａ）アナログ入力を複数の基準電圧と比較する複数のコンパレータからなるコンパレータアレイを有し、前記複数のコンパレータの各々が、負荷をカレントミラーとした差動対によるコンパレータであり、前記アナログ入力をディジタル出力へとＡ／Ｄ変換するＡ／Ｄコンバータと、（ｂ）前記コンパレータアレイに電圧を供給する電源と、（ｃ）前記アナログ入力を前記下位基準電圧と比較する際に、前記電源から流れる電源電流を測定する電流測定器と、（ｄ）前記Ａ／Ｄコンバータがオーバフローとなっているか否かと、前記ディジタル出力が最小値となっているか否かを検出する検出手段と、（ｅ）前記工程（ｄ）の結果に基づいて前記電源電流の理想的な波形を求め、これと前記電源電流との関係を解析する解析手段とを備えるＡ／Ｄコンバータのテスト装置である。

【００３０】

【発明の実施の形態】

実施の形態１．

図１はアナログ／ディジタル混在ＬＳＩ１２の内蔵するＡ／Ｄコンバータセル１０１のファンクションテストを行う、本実施の形態の技術を説明するブロック図である。Ａ／Ｄコンバータセル１０１は直並列（サブレンジング）型であり、本実施の形態では１０ビットのコンバータである場合を説明するが、他のビット数に対しても適用できるのは当然である。

【００３１】

アナログ／ディジタル混在ＬＳＩ１２はＡ／Ｄコンバータセル１０１と、ロジック回路１１とを内蔵している。Ａ／Ｄコンバータセル１０１のアナログ回路には、アナログ電源端子１を介して第１の電源１３から電位ＡＶｄｄが供給される。また、Ａ／Ｄコンバータセル１０１のディジタル回路及びロジック回路１１には、ディジタル電源端子２を介して第２の電源１４から電位ＤＶｄｄが供給される。

【００３２】

アナログ電源端子１と第１の電源１３との間には電流測定器２２が設けられ、両者の間に流れる電流（以下「アナログ電源電流」という）を測定する。電流測定器２２のデータはコンピュータ２０に与えられ、後述のような解析が行われる。

【００３３】

Ａ／Ｄコンバータセル１０１は後述するラダー抵抗を備え、その内で最高の電位が与えられる点には、上部基準電源端子３を介して第３の電源１５から電位ＶＲＴが、最低の電位が与えられる点には、下部基準電源端子４を介して第４の電源１６から電位ＶＲＢが、それぞれ与えられる。電位ＶＲＴ，ＶＲＢとしては例えばそれぞれ１Ｖ，０Ｖが設定される。

【００３４】
Ａ／Ｄコンバータセル１０１にはアナログ電圧入力端子５を介してアナログソース源１７からアナログ入力電圧Ｖｉｎが供給される。ロジック回路１１はＡ／Ｄコンバータセル１０１から得られるディジタル出力に所定の処理をしてディジタル入出力端子９に与える。
【００３５】
また、Ａ／Ｄコンバータセル１０１は接地８に接続される。以下で用いられる用語「電位」は接地８を基準とするので、用語「電圧」と混用して説明することもある。
【００３６】
更にクロック入力端子６を介してクロック源１８から、Ａ／Ｄコンバータセル１０１のサンプリングクロックやロジック回路１１に供給されるべきクロックが供給される。
【００３７】
図２は本実施の形態にかかるＡ／Ｄコンバータセル１０１の構成を示すブロック図である。この１０－ｂｉｔサブレンジングＡ／Ｄコンバータセルは、１０２４個の抵抗からなるラダー抵抗２３、スイッチマトリックス２４、３１個のコンパレータＣｍｐ１～Ｃｍｐ３１が集合したコンパレータアレイ２５、コンパレータアレイ２５からのデジタルデータの演算とスイッチマトリックス２４の制御とを行うＡ／Ｄコンバータのロジック回路２６を備える。
【００３８】
電位ＶＲＴ，ＶＲＢの間の電位差はラダー抵抗２３によって分圧され、１０２４個の基準電圧が得られるが、ラダー抵抗２３は３２個の抵抗ブロックｂ１～ｂ３２から構成されているので、１０２４個の基準電圧も３２個のブロックに分割される。
【００３９】
このＡ／Ｄコンバータセル１０１は、上位（ｃｏａｒｓｅ）５ビットと下位（ｆｉｎｅ）５ビットのデータに分けてＡ／Ｄ変換を行う。上位５ビットに対応する上位基準電圧線２７は３１本からなり、隣接する抵抗ブロックｂｉ，ｂ（ｉ＋１）（ｉ＝１～３１）の境界に接続される。これらには３１個のｃｏａｒｓｅ基準電圧Ｖｒｃが与えられる。下位５ビットに対応する下位基準電圧線２８は３１本からなり、これらにはラダー抵抗ブロックｂ１～ｂ３２のうちスイッチマトリックス２４によって一つ選択されたものが出力する３１個のｆｉｎｅ基準電圧Ｖｒｆが与えられる。ｆｉｎｅ基準電圧Ｖｒｆはその低いものから高いものへと順に、コンパレータアレイ２５の３１個のコンパレータＣｍｐ１～Ｃｍｐ３１に供給される。
【００４０】
下部基準電源配線４２には下部基準電源端子４を介して電位ＶＲＢが与えられ、これは第１の分配端子３１を介してコンパレータアレイ２５の３１個のコンパレータＣｍｐ１～Ｃｍｐ３１に供給される。
【００４１】
アナログ入力電圧Ｖｉｎはアナログ入力電圧線４３に伝達され、これはアナログ分配端子３０を介してコンパレータアレイ２５の３１個のコンパレータＣｍｐ１～Ｃｍｐ３１に供給される。
【００４２】
コンパレータアレイ２５にはその動作のためにアナログ電源線４０を介してアナログ電源端子１から電位ＡＶｄｄが供給される。コンパレータアレイ２５の３１個の出力はコンパレータアレイ出力線４１を介してロジック回路２６に伝達される。
【００４３】
ロジック回路２６は、３２本からなるフィードバック線２９を用いて、スイッチマトリックス２４を制御するフィードバック信号を出力する。またロジック回路２６は出力コードＢ１～Ｂ１０を出力し、出力コードＢ１～Ｂ１０はそれぞれ順次ＬＳＢ～ＭＳＢを示す。
【００４４】
図３はコンパレータアレイ２４を構成するコンパレータＣｍｐｉ（ｉ＝１～３１）の一つの構成を例示するブロック図である。このコンパレータは、３個の差動アンプ３４～３６

、４個のキャパシタＣ１～Ｃ４、１０個のスイッチＳ１～Ｓ１０で構成されている。なお、点線で示すように更に２個のキャパシタＣ５，Ｃ６が設けられても良い。

【００４５】

入力端３０，３１，３２，３３には、それぞれアナログ入力電圧Ｖｉｎ、電位ＶＲＢ、ｃｏａｒｓｅ基準電圧Ｖｒｃ、ｆｉｎｅ基準電圧Ｖｒｆがそれぞれ与えられる。スイッチＳ１～Ｓ４、Ｓ５とＳ６、Ｓ７とＳ８、Ｓ９とＳ１０は夫々連動して開閉動作をする。

【００４６】

入力端子３０，３２，３３はそれぞれスイッチＳ５，Ｓ７，Ｓ９を介してキャパシタＣ１の一端に接続される。キャパシタＣ１の他端には差動アンプ３４の一方の入力端が接続される。入力端子３１は、互いに並列に接続された３個のスイッチＳ６，Ｓ８，Ｓ１０を介してキャパシタＣ２の一端に接続される。キャパシタＣ２の他端には差動アンプ３４の他方の入力端が接続される。

【００４７】

差動アンプ３４の一対の入力端は、それぞれスイッチＳ１，Ｓ２を介して、自身の一対の出力端と接続される。差動アンプ３４の一対の出力端は、それぞれキャパシタＣ３，Ｃ４を介して、差動アンプ３５の一対の入力端と接続される。差動アンプ３５の一対の入力端は、それぞれスイッチＳ３，Ｓ４を介して、自身の一対の出力端と接続される。差動アンプ３５の一対の出力端は、直接に、あるいはそれぞれキャパシタＣ５，Ｃ６を介して、差動アンプ３６の一対の入力端と接続される。差動アンプ３６は出力端が１つのｓｉｎｇｌｅ－ｅｎｄｅｄ－ｓｔｙｌｅであり、これはコンパレータ出力端子３７に接続される。

【００４８】

簡単にこのＡ／Ｄコンバータセル１０１の動作について説明する。まず、コンパレータアレイ２５は３１個のｃｏａｒｓｅ基準電圧ＶｒｃとＡ／Ｄ変換の対象となるアナログ入力電圧Ｖｉｎとを比較する。Ａ／Ｄコンバータセルのロジック回路２６は、上位（ｃｏａｒｓｅ）の５ビットのコードＢ６～Ｂ１０を出力し、ｆｉｎｅ基準電圧Ｖｒｆと比較するためのラダー抵抗ブロックの一つが選択される。

【００４９】

次にスイッチマトリックス２４はフィードバック信号によって制御され、選択されたラダー抵抗ブロックのｆｉｎｅ基準電圧Ｖｒｆは、コンパレータアレイ２５へ伝達される。コンパレータアレイ２５は、３１個のｆｉｎｅ基準電圧Ｖｒｆとサンプリングされるアナログ入力電圧Ｖｉｎとを比較する。ロジック回路２６は、保持していた上位（ｃｏａｒｓｅ）５ビットのコードＢ６～Ｂ１０と共に下位（ｆｉｎｅ）５ビットのコードＢ１～Ｂ５を出力する。

【００５０】

図４は差動アンプ３６の構成を示す回路図である。非反転入力端子３８、反転入力端子３９は、それぞれｎチャネルトランジスタＱ３，Ｑ４のゲートに接続されている。ｐチャネルトランジスタＱ１，Ｑ２のソースにはアナログ電源端子１を介して電位ＡＶｄｄが与えられており、ｎチャネルトランジスタＱ５のソースには接地８が接続されている。ｐチャネルトランジスタＱ１のゲート及びドレイン、並びにｐチャネルトランジスタＱ２のゲートは共通に接続されており、ｐチャネルトランジスタＱ２のドレインはコンパレータ出力端子３７に接続されている。またｎチャネルトランジスタＱ５のドレインと、ｎチャネルトランジスタＱ３，Ｑ４のソースとは共通に接続されている。ｎチャネルトランジスタＱ５のゲートにはバイアス電位が与えられている。

【００５１】

図５はｎチャネルトランジスタＱ５の特性を示すグラフである。ここでｎチャネルトランジスタＱ５のソースドレイン間電圧をＶｄｓ、ドレイン電流をＩｄとする。

【００５２】

非反転入力端子３８に“Ｈ”、反転入力端子３９に“Ｌ”が入力された時、コンパレータ出力端子３７に“Ｈ”が出力される。その時のＶｄｓ，Ｉｄの値をそれぞれＶＨ，ＩＨとする。逆に非反転入力端子３８に“Ｌ”、反転入力端子３９に“Ｈ”が入力された時、コ

ンパレータ出力端子３７に“Ｌ”が出力される。その時のＶｄｓ，Ｉｄの値をそれぞれＶＬ，ＩＬとする。

【００５３】

コンパレータ出力端子３７に表れる出力が“Ｌ”の時と“Ｈ”の時とでは、差動アンプ３４，３５，３６に流れる電流は、それぞれ電流差ΔＩ１，ΔＩ２，ΔＩ３だけ異なり、３個の差動アンプ３４～３６で構成された１個のコンパレータＣｍｐｊの電流差ΔＩは、ΔＩ＝ΔＩ１＋ΔＩ２＋ΔＩ３となる。

【００５４】

しかし、差動アンプ３６がｓｉｎｇｌｅ－ｅｎｄｅｄ－ｓｔｙｌｅのために、Ｖｄｓ＝ＶＬの時にはｎチャネルトランジスタＱ５は不飽和領域（三極管領域）で動作し、Ｖｄｓ＝ＶＨの時には飽和領域（ピンチ領域）で動作する。よってΔＩ３＝ＩＨ－ＩＬとなる。一方、１段目の増幅器３４と２段目の増幅器３５はいずれも飽和領域で動作するため、ΔＩ１とΔＩ２はΔＩ３と比較して小さな値になる。従って、１個のコンパレータの電流差ΔＩは近似的にΔＩ＝ΔＩ３＝ＩＨ－ＩＬになる。コンパレータの出力レベルが“Ｌ”から“Ｈ”に変化したとき、１個のコンパレータの電源電流は、例えば２０μＡから２００μＡに変化する。

【００５５】

本実施の形態は、この電流値の差を利用して、コンパレータアレイ２５の電源電流を測定し、ファンクションテストを行うものである。電源電流を測定して回路の良否を判定する手法はディジタル回路においてはＩＤＤＱテスト法（Ｖｄｄ　ｓｕｐｐｌｙ　ｃｕｒｒｅｎｔ　Ｑｕｉｅｓｃｅｎｔ）が知られているが、本実施の形態ではこれをアナログ回路に適用する（アナログＩＤＤＱテスト）。

【００５６】

図６はアナログ入力電圧Ｖｉｎの時間変化を示すグラフである。このように時間とともに階段状に変化するアナログ入力電圧Ｖｉｎを受ければ、コンパレータの出力レベルが変動することによってドレイン電流Ｉｄが変動し、これはアナログ電源端子１を介して電流測定器２２によって測定される。

【００５７】

アナログ入力電圧Ｖｉｎの分解能をＬＳＢに対応する電圧V_{LSB}の１／Ｒに設定した場合には、2^{10}×Ｒ個のステップで時間とともに順次上昇するようにアナログ入力電圧Ｖｉｎがアナログソース源１７からアナログ電圧入力端子５に与えられる。（１／Ｒ）V_{LSB}＝（ＶＲＴ－ＶＲＢ）／（2^{10}－１）／Ｒが成立する。例えばＲ＝５と設定すれば、５×１０２４ステップの微小な入力ステップ電圧として、アナログ電圧入力端子５に印加される。

【００５８】

アナログＩＤＤＱは、図６に示したようなアナログ入力電圧Ｖｉｎの増加に伴って、後述するようなのこぎり形状（Ｊａｇｇｅｄ　Ｗａｖｅｆｏｒｍ）を呈してアナログの電源ＡＶｄｄに現れる電流を電流測定器２２において測定する方法である。そして測定された電源電流波形は、理論的に算出された理想的（正常状態）な電源電流と比較される。

【００５９】

図７は本実施の形態にかかるファンクションテストの方法を説明したフローチャートである。まずステップＳＰ１において第１乃至第４の電源をＯＮし、アナログ電源端子１、ディジタル電源端子２、上部基準電源端子３、下部基準電源端子４に、それぞれ電位ＡＶｄｄ，ＤＶｄｄ，ＶＲＴ，ＶＲＢを印加する。そしてステップＳＰ２において、クロック源１８からのサンプリングクロック等をクロック入力端子６に印加する。一方、別途ステップＳＰ３において、アナログソース源１７から出力されるアナログ入力電圧Ｖｉｎの分解能（つまり（１／Ｒ）V_{LSB}）を設定する。そしてステップＳＰ８では、ステップＳＰ３で設定された分解能ずつ増加させて、アナログ入力電圧端子５にアナログ入力電圧Ｖｉｎを図６に示されるようにステップ状に（ランプ波形で）供給しつつ、マルチメータ等の電流測定器２２で、アナログ入力電圧Ｖｉｎの各々のステップに対してアナログ電源端

子１において流れるアナログ電源電流Ｉｄｄを測定する。アナログ電源電流Ｉｄｄはコンパレータアレイ２５に流れる電流である。

【００６０】

図８は、Ａ／Ｄコンバータセル１０１が正常な場合のアナログ入力電圧Ｖｉｎに対するアナログ電源電流Ｉｄｄの電流波形を示すグラフである。サブレンジング型のＡ／Ｄコンバータでは、まず上位（ｃｏａｒｓｅ）５ビットを求め、これに対応する抵抗ブロックｂｊ（ｊ＝１～３２）から得られる３１個のｆｉｎｅ基準電圧Ｖｒｆとアナログ入力電圧Ｖｉｎとを比較して下位（ｆｉｎｅ）５ビットを求める。ここではアナログ電源電流Ｉｄｄの測定は、上位（ｃｏａｒｓｅ）５ビットを求める際ではなく、下位（ｆｉｎｅ）ビットを求める際に測定する。

【００６１】

Ｖｉｎ＜Ｖｒｅｆ（Ｖｒｃ　ｏｒ　Ｖｒｆ）の時、コンパレータ出力は“Ｌ”となる。逆にＶｉｎ＞Ｖｒｅｆの時、コンパレータ出力は“Ｈ”となる。

【００６２】

アナログ入力電圧Ｖｉｎがあるラダー抵抗ブロックｂｊでの全てのｆｉｎｅ基準電圧Ｖｒｆよりも小さいとき、３１個のコンパレータＣｍｐ１～Ｃｍｐ３１の出力が全て“Ｌ”となる。そしてＶｉｎが増加することによって３１個のコンパレータＣｍｐ１～Ｃｍｐ３１の出力は順々に“Ｈ”に変化する。その結果、アナログ電源電流Ｉｄｄは増加する。この様子は例えばｊ＝３の場合には図８の　ｐｏｓｉｔｉｖｅ　ｓｌｏｐｅ　Ａ１に示される。既述のように、アナログ電源電流Ｉｄｄの測定は、下位（ｆｉｎｅ）ビットを求める際に測定するので、アナログ入力電圧Ｖｉｎが増加して上位（ｃｏａｒｓｅ）ビットを求める際に流れる電流はグラフに現れない。

【００６３】

電位ＶＲＢ（例えば０Ｖ）から順次増大して行く場合、あるオフセット電圧までの範囲がコンパレータにとっての不感帯として存在し、アナログ電源電流Ｉｄｄは単調に増加する。アナログ入力電圧Ｖｉｎがこのオフセット電圧以上になって初めてラダー抵抗ブロックｂ１に接続されたコンパレータＣｍｐ１が“Ｈ”を出力する。

【００６４】

スイッチマトリックス２４によってラダー抵抗ブロックｂ１に接続された、コンパレータＣｍｐ１～Ｃｍｐ３１の出力が全て“Ｈ”になった後、ロジック回路２６はフィードバック信号によってスイッチマトリックス２４を制御する。つまりコンパレータＣｍｐ１～Ｃｍｐ３１はＶｉｎの増加によってラダー抵抗ブロックｂ２に接続される。その時、３１個のコンパレータＣｍｐ１～Ｃｍｐ３１の出力は“Ｌ”になる。従って、それまで増加していたアナログ電源電流Ｉｄｄは、急激に低下することになる。

【００６５】

更にアナログ入力電圧Ｖｉｎの増加によってコンパレータＣｍｐ１～Ｃｍｐ３１の出力は、順々に“Ｈ”に変化する。このようにして、コンパレータＣｍｐ１～Ｃｍｐ３１は、順次更新されるラダー抵抗ブロックに接続されて動作する。これらのコンパレータの動作に依り電源電流波形は図８に示す３２個のＪａｇｇｅｄ　Ｗａｖｅｆｏｒｍ　（のこぎり状の波形）となる。

【００６６】

このアナログＩＤＤＱテストによって、スイッチマトリックス２４のスイッチ接続不良（ｓｗｉｔｃｈ　ｃｏｎｎｅｃｔｉｏｎ　ｆａｕｌｔ　）やコンパレータＣｍｐ１～Ｃｍｐ３１のファンクション不良（ｃｏｍｐａｒａｔｏｒ’ｓ　ｆｕｎｃｔｉｏｎａｌ　ｆａｕｌｔ　）が検出可能となる。ステップＳＰ９～ＳＰ１４は得られた電源電流波形を解析することで良否を判断する具体的処理を行う。上記解析はコンピュータ２０において行われる。

【００６７】

まずステップＳＰ９においては図８で示された電源電流波形の各々の上部の頂点の電流値Ｉｄｈｍ（ｍ＝１～３２）をサーチする。アナログ入力電圧Ｖｉｎの低い方（電位ＶＲＢ

）からサーチを開始し、アナログ電源電流Ｉｄｄの増加が停止するか減少に向かう点の電流値を求めるのである。スイッチマトリックス２４の動作により、コンパレータアレイ２５に接続されるラダー抵抗ブロックがｂｉからｂ（ｉ＋１）（ｉ＝１～３１）に代わったことに起因してアナログ電源電流Ｉｄｄの増加が急激な減少に向かう。このようなサーチをアナログ入力電圧Ｖｉｎが電位ＶＲＴになるまで行うことによって電流値Ｉｄｈｍが求められる。但し、アナログ入力電圧ＶｉｎがＡ／Ｄコンバータセル１０１のフルスケールを越えると電位ＶＲＴに到るまでアナログ電源電流Ｉｄｄは増加を止めるか、低下するので、これも上部の頂点として認識される（電流値Ｉｄｈ３２）。

【００６８】

ステップＳＰ１０は上部の頂点の個数を判定する。Ａ／Ｄコンバータセル１０１が正常であれば、この個数はラダー抵抗ブロックの個数３２（これは上位５ビットに対応する）と一致するはずである。従って、３２個以外であれば不良品と判定され、３２個であれば良品の可能性が残っているので更に他のテストを行うべくステップＳＰ１１へ進む。

【００６９】

ステップＳＰ１１においては図８で示された電源電流波形の各々の下部の頂点の電流値Ｉｄｌｋ（ｋ＝１～３１）をサーチする。即ち、アナログ入力電圧Ｖｉｎの高い方（電位ＶＲＴ）からサーチを開始し、このサーチの方向に沿って見たときにアナログ電源電流Ｉｄｄの単調な減少が急激な増加に向かった変化点の電流値を求める。このようなサーチをアナログ入力電圧Ｖｉｎが電位ＶＲＢになるまで行うことによって電流値Ｉｄｌｋが求められる。

【００７０】

ステップＳＰ１２は下部の頂点の個数を判定する。既述のように、コンパレータにとっての不感帯が存在するので、Ａ／Ｄコンバータセル１０１が正常であれば、この個数はラダー抵抗ブロックの個数３２よりも１だけ少ない３１個となるはずである。従って、３１個以外であれば不良品と判定され、３１個であれば良品の可能性が残っているので更に他のテストを行うべくステップＳＰ１３へ進む。

【００７１】

以上のようにしてステップＳＰ１０，ＳＰ１２は上位（ｃｏａｒｓｅ）ビットに関する動作不良を検出する。図９は不良となる２種のパターンが存在する電源電流波形を示すグラフである。もしもｃｏａｒｓｅ基準電圧Ｖｒｃが伝達される上位基準電圧線２７の一つが開放していれば、この開放した上位基準電圧線２７に対応するコンパレータは常に一定の電圧“Ｌ”を出力する。その結果、抵抗ブロックとして適切なものよりも電圧の低い方で隣接するものが選択され、下位（ｆｉｎｅ）ビットを求める際にはコンパレータの出力が全て“Ｈ”になる。つまりアナログ入力電圧Ｖｉｎの値に依存せずに３１個のコンパレータが全て“Ｈ”のままの状態となり、領域Ｂ１のようにアナログ電源電流Ｉｄｄの大きな平坦部分が生じるので、これに起因して下部の頂点の数は一つ減る。

【００７２】

一方、もしもコンパレータのキャパシタＣ１が短絡していれば、この不良のコンパレータは常に一定の電圧“Ｈ”を出力する。その結果、抵抗ブロックとして適切なものよりも電圧の高い方で隣接するものが選択され、下位（ｆｉｎｅ）ビットを求める際にはコンパレータの出力が全て“Ｌ”になる。つまりアナログ入力電圧Ｖｉｎの値に依存せずに３１個のコンパレータが全て”Ｌ”のままの状態となり、領域Ｂ２のようにアナログ電源電流Ｉｄｄの小さな平坦部分が生じるので、これに起因して上部の頂点の数は一つ減る。

【００７３】

ステップＳＰ１３では更に、下位（ｆｉｎｅ）ビットに関する動作不良を検出するために電流差δＩを求める。まず、隣接する上部の頂点と、下部の頂点との電流値の差Ｉｘｉ（ｉ＝１，２，…，３１）を求める。即ち、Ｉｘｉ＝Ｉｄｈ（ｉ＋１）－Ｉｄｌｉであり、これは同一のラダー抵抗ブロックｂ（ｉ＋１）に接続されている場合のアナログ電源電流Ｉｄｄの増加量に相当する。

【００７４】

図８、図９ではアナログ電源電流Ｉｄｄの増加が　ｐｏｓｉｔｉｖｅ　ｓｌｏｐｅ　Ａ１のように直線で示されていたが、より詳細にはステップ状に増加する。つまり一つのラダー抵抗ブロックが担当する（2^5　－１）個のｆｉｎｅ基準電圧Ｖｒｆに対応して、アナログ電源電流Ｉｄｄの増加は３１段のステップ状のランプ波形を示す。

【００７５】

このため、差Ｉｘｉの最大値をＩｘｍａｘとすると、これは下位（ｆｉｎｅ）ビットに関する動作が正常である場合に生じる電流差である。そしてＩｘｍａｘ／（2^5　－１）で求められる電流差δＩは、下位（ｆｉｎｅ）ビットに関する動作が正常である場合に許される誤差の範囲を示すことになる。換言すれば電流差δＩはディジタル出力の変化量の最小単位である１コード分の電流量に設定される。

【００７６】

ステップＳＰ１４は判別式Ｄｅｃを以て下位（ｆｉｎｅ）ビットに関する動作不良を判定する。電流差δＩは正常である場合に許される誤差の範囲を示すので、全てのＩｄｈｍ同士の差、及び全てのＩｄｌｋ同士の差（ｍ＝１～３２，ｋ＝１～３１）の絶対値がδＩに収まる場合のみ、正常な動作が行われていると判断される。従って、判別式Ｄｅｃとしては、

Ｄｅｃ１：－δＩ＜（Ｉｄｈｐ－Ｉｄｈｍ）＜δＩ、かつ

－δＩ＜（Ｉｄｌｑ－Ｉｄｌｋ）＜δＩ

（但し、ｐは１，２，…，３２のいずれかであり、

ｍはｐ以外の１，２，…，３２のすべてであり、

ｑは１，２，…，３１のいずれかであり、

ｋはｑ以外の１，２，…，３１のすべてである）

が採用され、判別式Ｄｅｃ１を満足した場合にのみ、ＡＤＣ１０はステップＳＰ１４において良品と判断され、そうでない場合には不良品であると判断される。図７ではｐ＝ｑ＝１の場合が示されている。

【００７７】

図１０は不良となる２種のパターンが存在する電源電流波形を示すグラフである。区間Ｃでは常にコンパレータＣｍｐ５の出力が常に“Ｌ”となっており、そのために最も低い電流値から数えて５番目のステップに到るアナログ入力電圧Ｖｉｎが正常な場合よりも大きい。その結果、電源電流が増加しても正常な場合よりもδＩだけ低い値にまでしか到らない。区間Ｄ１では常にコンパレータＣｍｐ５の出力が常に“Ｈ”となっており、そのために最も低い電流値から数えて５番目のステップに到るまでのアナログ電源電流Ｉｄｄの値は正常な場合よりも小さい。その結果、区間Ｄ１におけるアナログ電源電流Ｉｄｄの最低値は正常な場合よりもδＩだけ高い値となる。

【００７８】

本実施の形態によれば、以上のようにしてＡ／Ｄコンバータセルのファンクションテストが行われ、上位（ｃｏａｒｓｅ）ビットに関する動作不良を掲出することができる。また更には下位（ｆｉｎｅ）ビットに関する動作不良を検出することもできる。しかもその検出はアナログ電源端子１に流れる電流を電流測定器２２で測定し、これをコンピュータ２０によって解析することによって行われる。

【００７９】

従って、動作不良の検出のための外部テスト端子を特に設ける必要がなく、半導体装置のチップやパッケージサイズが減少し、製造コストを低減することができる。

【００８０】

実施の形態２.

図１１は、本実施の形態にかかるＡ／Ｄコンバータセル１０２の構成を示すブロック図である。Ａ／Ｄコンバータセル１０２は図１のＡ／Ｄコンバータセル１０１と置換して用いられる。この１０－ｂｉｔサブレンジングＡ／Ｄコンバータセルは、インタリーブされたスキームで動作する２つの１０ビットのＡ／Ｄコンバータサブセル４４及びＡ／Ｄコンバータサブセル４５を備えている。

【００８１】
Ａ／Ｄコンバータサブセル４４は実施の形態１で示されたＡ／Ｄコンバータセル１０１と同じ構造を有しており、実施の形態１においてスイッチマトリックス２４として示されたものは便宜上、実施の形態２においては第１のスイッチマトリックス２４として示されている。
【００８２】
Ａ／Ｄコンバータサブセル４５は実施の形態１で示されたＡ／Ｄコンバータセル１０１と対応する構成要素から構成されている。即ち、第２のスイッチマトリックス５４、及び３１個のコンパレータＳｃｍｐ１～Ｓｃｍｐ３１が集合したコンパレータアレイ４６を備える。コンパレータアレイ４６からのデジタルデータの演算と第２のスイッチマトリックス２４の制御とを行うＡ／Ｄコンバータのロジック回路２６はＡ／Ｄコンバータセル１０１と共有される。ロジック回路２６は、３２本からなるフィードバック線５２を用いて、第２のスイッチマトリックス５４を制御するフィードバック信号を出力する。また、ラダー抵抗２３もＡ／Ｄコンバータサブセル４４，４５で共有される。
【００８３】
このＡ／Ｄコンバータサブセル４５もＡ／Ｄコンバータサブセル４４と同様に、上位（ｃｏａｒｓｅ）５ビットと下位（ｆｉｎｅ）５ビットにわけてＡ／Ｄ変換を行う。上位５ビットに対応する上位基準電圧線４９は３１本からなり、隣接する抵抗ブロックｂｉ，ｂ（ｉ＋１）（ｉ＝１～３１）の境界に接続される。これらには３１個のｃｏａｒｓｅ基準電圧Ｖｒｃが与えられる。下位５ビットに対応する下位基準電圧線５０は３１本からなり、これらにはスイッチマトリックス２４によってラダー抵抗ブロックｂ１～ｂ３２のうちから一つ選択されたものが出力する、３１個のｆｉｎｅ基準電圧Ｖｒｆが与えられる。ｆｉｎｅ基準電圧Ｖｒｆはその低いものから高いものへと順に、コンパレータアレイ４６の３１個のコンパレータＳｃｍｐ１～Ｓｃｍｐ３１に供給される。コンパレータＳｃｍｐ１～Ｓｃｍｐ３１はコンパレータＣｍｐ１～Ｃｍｐ３１と同じ構成となっている。
【００８４】
下部基準電源配線５１には下部基準電源端子４を介して電位ＶＲＢが与えられ、これは第２の分配端子６０を介してコンパレータアレイ４６の３１個のコンパレータＳｃｍｐ１～Ｓｃｍｐ３１に供給される。
【００８５】
アナログ入力電圧Ｖｉｎはアナログ入力電圧線４８に伝達され、これはアナログ分配端子６１を介してコンパレータアレイ４６の３１個のコンパレータＳｃｍｐ１～Ｓｃｍｐ３１に供給される。
【００８６】
コンパレータアレイ４６にはその動作のためにアナログ電源線４７を介してアナログ電源端子１から電位ＡＶｄｄが供給される。コンパレータアレイ４６の３１個の出力はコンパレータアレイ出力線５３を介してロジック回路２６に伝達される。
【００８７】
Ａ／Ｄコンバータサブセル４４，４５はインタリーブ構成で動作する。具体的には、Ａ／Ｄコンバータサブセル４４が上位（ｃｏａｒｓｅ）ビットを得る為の動作を行う時にはＡ／Ｄコンバータサブセル４５が下位（ｆｉｎｅ）ビットを得る為の動作を行う。逆にＡ／Ｄコンバータサブセル４５が上位（ｃｏａｒｓｅ）ビットを得る為の動作を行う時にはＡ／Ｄコンバータサブセル４４が下位（ｆｉｎｅ）ビットを得る為の動作を行う。従って、Ａ／Ｄコンバータサブセル４４，４５の常に一方が上位（ｃｏａｒｓｅ）ビットを得る為の動作を、他方が下位（ｆｉｎｅ）ビットを得る為の動作をそれぞれ行っている。
【００８８】
Ａ／Ｄコンバータサブセル４４，４５のいずれもが、アナログ電源端子１を介して第１の電源１３に接続されているため、アナログ部のアナログ電源電流ＩｄｄはＡ／Ｄコンバータサブセル４４，４５のコンパレータアレイ２５，４６に供給される電流を加算した値になる。

【００８９】
このようなインタリーブ構成のＡ／Ｄコンバータセル１０２に関しても、実施の形態１と同様にして、図７に示された処理に従って、動作の良否を判定することができる。
【００９０】
図１２はＡ／Ｄコンバータサブセル４４，４５のいずれもが、正常な動作を行う場合に、アナログの入力電圧Ｖｉｎに対するアナログ電源電流Ｉｄｄを示したグラフである。実施の形態１において説明された図８に示された電源電流波形は、Ａ／Ｄコンバータサブセル４４のコンパレータアレイ２５の動作に従ってＪａｇｇｅｄ　Ｗａｖｅｆｏｒｍ（のこぎり状の波形）となる。しかし、図１２に示された電源電流波形は、常に一方が上位（ｃｏａｒｓｅ）ビットを得る為の動作を、他方が下位（ｆｉｎｅ）ビットを得る為の動作をおこなっているため、図８に示された電源電流波形が右上がりに歪められた形となる。例えばｐｏｓｉｔｉｖｅ　ｓｌｏｐｅ　Ａ２の傾きはｐｏｓｉｔｉｖｅ　ｓｌｏｐｅ　Ａ１の傾きの２倍となる。
【００９１】
この歪みは上位（ｃｏａｒｓｅ）ビットを得る為の動作、つまりアナログ入力電圧Ｖｉｎが増大することによって抵抗ブロックｂ１～ｂ３２が上位のものへと切り替わる必要が生じる場合、上位（ｃｏａｒｓｅ）ビットを得る為の動作を行うＡ／Ｄコンバータセルのコンパレータアレイにおいて、新たに一つのコンパレータが“Ｈ”を出力する動作、に起因する。Ｉｄｈ（ｓ＋１）－Ｉｄｈｓ、及びＩｄｌ（ｔ＋１）－Ｉｄｌｔ（但し、ｓ＝１～３１、ｔ＝１～３０）の値は、両方のＡ／Ｄコンバータサブセル４４，４５が正常に動作する限り、コンパレータ（Ｓｃｍｐ１～Ｓｃｍｐ３１，Ｃｍｐ１～Ｃｍｐ３１）の一つが“Ｌ”から“Ｈ”へと出力を変化させる際に増加する電流量に等しい。そしてこの電流量だけ図８の電流波形に加算されて図１２に示された電流波形が得られるのである。
【００９２】
従って、インタリーブ構成されたＡ／Ｄコンバータサブセル４４，４５についても、そのアナログ電源電流Ｉｄｄの上部の頂点、下部の頂点の位置を実施の形態１のステップＳＰ９，Ｐ１１と同様にして検出することができ、その個数をステップＳＰ１０，ＳＰ１２と同様にして調べることができ、これによって上位（ｃｏａｒｓｅ）ビットに関する動作の良否を判定することができる。
【００９３】
また上部の頂点、下部の頂点の個数が正常な動作を行っている場合と同数であっても、実施の形態１のステップＳＰ１３と同様にして電流差δＩを求め、実施の形態１の判別式Ｄｅｃとは異なる判別式を以て判断することにより、下位（ｆｉｎｅ）ビットに関する動作不良を検出することもできる。
【００９４】
図１３はアナログ入力電圧Ｖｉｎの増加に伴ってアナログ電源電流Ｉｄｄが増加する様子を示すグラフである。図１０とは異なり上位（ｃｏａｒｓｅ）ビットに関する動作も行われているために、正常動作が行われていても上部の頂点及び下部の頂点はアナログ入力電圧Ｖｉｎの増加に伴ってδＩだけ増加する。例えば区間Ｄ２はアナログ入力電圧Ｖｉｎの値に依存せずに３１個のコンパレータが全て“Ｈ”のままの状態となった場合であって図９の領域Ｂ１に対応し、区間Ｄ３はアナログ入力電圧Ｖｉｎの値に依存せずに３１個のコンパレータが全て“Ｌ”のままの状態となった場合であって図９の領域Ｂ２に対応する。
【００９５】
従って、判別式Ｄｅｃとしては
Ｄｅｃ２：－δＩ＜Ｉｄｈ（ｓ＋１）－Ｉｄｈｓ－δＩ＜δＩ、かつ
－δＩ＜Ｉｄｌ（ｔ＋１）－Ｉｄｌｔ－δＩ＜δＩ
（但し、ｓ＝１～３１，ｔ＝１～３０）
が採用される。
【００９６】
なお、実施の形態１とは異なり、ステップＳＰ９～ＳＰ１２によって上位（ｃｏａｒｓｅ

）ビットに関する動作の異常が必ず検出できるとは限らず、ステップＳＰ１３，ＳＰ１４を以て検出できる場合がある。

【００９７】

図１４はそのような動作異常が存在する場合を示した電源電流波形を示すグラフである。正常動作であれば、アナログ入力電圧Ｖｉｎが増加することにより、同一のｆｉｎｅ基準電圧Ｖｒｆに対して“Ｈ”を出力するコンパレータが順次増大し、下位（ｆｉｎｅ）ビットに関する比較動作を行う３１個のコンパレータの全てが“Ｈ”を出力した後、更にアナログ入力電圧Ｖｉｎが増加すれば、上位ビットが１ビットだけ増加して更新されて３１個のコンパレータの全てが“Ｌ”を出力するはずである。区間Ｄ４はアナログ入力電圧Ｖｉｎの増加に対して上位ビットが誤って正しい値よりも小さな値に更新され、下位（ｆｉｎｅ）ビットに関する比較動作を行う３１個のコンパレータの全てが“Ｈ”の状態を維持してしまっている場合を示す。また、区間Ｄ５はアナログ入力電圧Ｖｉｎの増加に対して上位ビットが誤って正しい値よりも大きな値に更新され、３１個のコンパレータの全てが“Ｌ”の状態を維持してしまっている場合を示す。

【００９８】

このように、一方のＡ／Ｄコンバータセルにおいて上位（ｃｏａｒｓｅ）ビットに関する動作の異常が生じても、インタリーブ構成を採っているので、他方のＡ／Ｄコンバータセルにおいて同時に行われる（一つ前の）アナログ入力電圧Ｖｉｎの下位（ｆｉｎｅ）ビットに関する動作が正常であれば、その比較動作に起因してアナログ電源電流Ｉｄｄが順次増大する。従って区間Ｄ４及び区間Ｄ５でものこぎり状の波形が現れる場合もある。

【００９９】

このような場合には上部の頂点及び下部の頂点が存在するために、それらの個数は正常な場合と異ならない。しかし、隣接する上部の頂点の２つの電流値の差、隣接する下部の頂点の２つの電流値の差は、正常動作におけるそれらとは異なるので、判別式Ｄｅｃ２を用いて異常を検出することができる。

【０１００】

図１５は故障の具体的な箇所を示すブロック図であり、Ａ／Ｄコンバータサブセル４４の一部、即ちラダー抵抗２３、第１のスイッチマトリックス２４、コンパレータアレイ２５、フィードバック線２９の近辺の構成を示している。ここではフィードバック線２９は、抵抗ブロックｂ（ｎ－１），ｂｎ，ｂ（ｎ＋１）に対応して１ビット毎に分割して描かれている。また、コンパレータＣｍｐｉにおいて示されるキャパシタＣｃは図３に示されたキャパシタＣ１に相当する。

【０１０１】

図１６に示されたアナログ電源電流波形は、動作が正常である場合に対応し、３２個のＪａｇｇｅｄ　Ｗａｖｅｆｏｒｍ　になる。ｐｏｒｔｉｏｎ　Ｈはこの Ａ／Ｄコンバータセルのオフセット電圧で、ｐｏｉｎｔ　Ｊは、フルスケールにおけるアナログの電源電流である。

【０１０２】

図１７は、コンパレータのファンクション不良、特に図１５に示された故障箇所ＮｏｄｅＥにおいて開放が生じた場合、即ちＡ／Ｄコンバータサブセル４４のｃｏａｒｓｅ基準電圧Ｖｒｃが伝達されない場合の結果評価を示す。この不良のコンパレータは常に一定の電圧“Ｌ”を出力する。その結果、抵抗ブロックは、適切なものよりも電圧の低い方で隣接するものが選択される。従って、コンパレータの出力は全て“Ｈ”になり、Ａ／Ｄコンバータサブセル４４のアナログ電源電流Ｉｄｄは大きな電流値を採る。一方、Ａ／Ｄコンバータサブセル４５は正常に動作するので、この場合においてもアナログ電源電流Ｉｄｄは、Ｊａｇｇｅｄ　Ｗａｖｅｆｏｒｍ　を呈することになる。

【０１０３】

図１８は、コンパレータのファンクション不良、特に図１５に示された故障箇所ＮｏｄｅＦにおいて短絡が生じた場合、即ちＡ／Ｄコンバータサブセル４４のキャパシタＣがショートの時の結果評価を示す。この不良のコンパレータは常に一定の電圧“Ｈ”を出力する

。そしてｆｉｅｌｄ　Ｍの部分でＡ／Ｄコンバータセルのロジック回路２６は異常な信号を第１のスイッチマトリックス２４にフィードバックする。その結果、抵抗ブロックは、適切なものよりも電圧の高い方で隣接するものが選択される。従って、コンパレータの出力は全て“Ｌ”になり、Ａ／Ｄコンバータサブセル４４のアナログ電源電流は小さな電流値を採る。一方、Ａ／Ｄコンバータサブセル４５は正常に動作するので、この場合においてもアナログ電源電流Ｉｄｄは、Ｊａｇｇｅｄ　Ｗａｖｅｆｏｒｍ　を呈することになる。

【０１０４】

図１９は、図１５に示された故障箇所ＮｏｄｅＧにおいて開放が生じた場合、即ちＡ／Ｄコンバータサブセル４４のフィードバック線２９がオープンの時の結果評価を示す。これはスイッチマトリックスのスイッチの接続不良の場合である。フィードバック信号によって、ノードＧの電圧が“Ｌ”となり、ノードＧに対応する抵抗ブロックは常に選択される。一方、正しい上位（ｃｏａｒｓｅ）ビットに対応する抵抗ブロックも選択されるので、３１個のコンパレータがｆｉｎｅ基準電圧Ｖｒｆとアナログ入力電圧Ｖｉｎとを比較する際には、２個の抵抗ブロック間がショートされる。その結果、ｆｉｎｅ基準電圧Ｖｒｆ、ｃｏａｒｓｅ基準電圧Ｖｒｃのいずれもが歪み、Ａ／Ｄコンバータサブセル４４，４５は共に正常に動作できない。このような故障も、アナログ電源電流Ｉｄｄの規則性がないことから判断することができる。

【０１０５】

上述のように、インタリーブ構成されたＡ／Ｄコンバータサブセル４４，４５においては常に一方のＡ／Ｄコンバータセルが下位（ｆｉｎｅ）ビットに関する比較動作を行っているので、実施の形態１のように、アナログ電源電流Ｉｄｄの測定を下位（ｆｉｎｅ）ビットを求めるのに同期させて測定する必要はない。

【０１０６】

実施の形態３．

図２０は、アナログ／ディジタル混在ＬＳＩ１１２の内蔵するＡ／Ｄコンバータセル１０３のファンクションテストを行う、本実施の形態の技術を説明するブロック図である。Ａ／Ｄコンバータセル１０３は直並列（サブレンジング）型であり、これを以て図１で示されたＬＳＩ１１２の内蔵するＡ／Ｄコンバータセル１０１を置換することができる。本実施の形態でも１０ビットのコンバータである場合を説明するが、他のビット数に対しても適用できるのは当然である。

【０１０７】

Ａ／Ｄコンバータセル１０３は、Ａ／Ｄコンバータセル１０１と比較して、アナログ入力電圧ＶｉｎがＡ／Ｄ変換のフルスケールを越えた場合にオーバフローＯＦＷを出力する点が異なる。図２０に示された測定系は、図１に示されたものと比較して、スイッチＳ１１，Ｓ１２、電圧測定器５５、最下位ビット出力端子５６、及びオーバフロー端子５７が追加して設けられている。

【０１０８】

オーバフローＯＦＷはオーバフロー端子５７に与えられ、最下位ビット出力端子５６にはＡ／Ｄコンバータセル１０３の最下位ビットＢ１が与えられる。スイッチＳ１１，Ｓ１２はそれぞれ最下位ビット出力端子５６及びオーバフロー端子５７と電圧測定器５５との間に介在している。

【０１０９】

図２１はＡ／Ｄコンバータセル１０３の構成を示すブロック図である。図２に示されたＡ／Ｄコンバータセル１０１との相違は、ロジック回路２６に電位ＶＲＴ及びアナログ入力電圧Ｖｉｎが更に与えられること、ロジック回路２６がオーバフローＯＦＷをも出力してオーバフロー端子５７に与えること、ＬＳＢたる出力コードＢ１を最下位ビット出力端子５６に与えることである。

【０１１０】

ラダー抵抗２３は、電位ＶＲＴ以上、電位ＶＲＴ未満の１０２３個の基準電圧（３２×３

１＝９９２個のｆｉｎｅ基準電圧Ｖｒｆとｆｉｎｅ基準電圧Ｖｒｆの範囲内にある３１個のｃｏａｒｓｅ基準電圧Ｖｒｃ）を出力するが、電位ＶＲＴは出力しない。従ってオーバフローが生じるか否かを判定するにはロジック回路２６に電位ＶＲＴ及びアナログ入力電圧Ｖｉｎを与えることが望ましい。

【０１１１】

図２２は本実施の形態にかかるファンクションテストの方法を説明したフローチャートである。まずステップＳＰ１は実施の形態１で説明された通り、第１乃至第４の電源をＯＮし、アナログ電源端子１、ディジタル電源端子２、上部基準電源端子３、下部基準電源端子４に、それぞれ電位ＡＶｄｄ，ＤＶｄｄ，ＶＲＴ，ＶＲＢを印加する。ステップＳＰ２も実施の形態１で説明された通り、クロック源１８からのサンプリングクロック等をクロック入力端子６に印加する。ステップＳＰ２が実行された後、ステップＳＰ１５，ＳＰ１６に進む。

【０１１２】

ステップＳＰ１５においては、アナログ入力電圧Ｖｉｎを増加させて、Ａ／Ｄコンバータセル１０３の出力コードが“０”から“１”に増加する時点の電圧Ｖｓを測定する。

【０１１３】

図２３は電圧Ｖｓの測定を説明するグラフである。まずスイッチＳ１１を閉じ、スイッチＳ１２を開いておき、電圧測定器５５を最下位ビット出力端子５６に接続しておく。アナログ電圧入力Ｖｉｎとして電位ＶＲＢから、ＬＳＢに対応する電圧よりも十分小さな微小ステップで増加させた階段波形を設定し、最下位ビット出力端子５６を電圧測定器５５でモニタする。最下位ビット出力端子５６の電圧ＶＢ１が“Ｌ”から“Ｈ”へ遷移した際のアナログ入力電圧Ｖｉが電圧Ｖｓとして測定される。

【０１１４】

ステップＳＰ１６においては、Ａ／Ｄコンバータセルがオーバフローとなる状態と、出力コードがフルスケール（ここでは$2^{10}-1=1023$）となる状態との境界に対応するアナログ入力電圧Ｖｉｎを電圧Ｖｅとして測定する。つまりロジック回路２６はアナログ入力電圧Ｖｉｎがそれを越えた場合にオーバフローＯＦＷを活性化（“Ｌ”から“Ｈ”へ遷移）させる電圧を測定する。

【０１１５】

図２４は電圧Ｖｅの測定を説明するグラフである。まずスイッチＳ１１を開き、スイッチＳ１２を閉じておき、電圧測定器５５をオーバフロー端子５７に接続しておく。アナログ入力電圧Ｖｉｎとして電位ＶＲＴから、ＬＳＢに対応する電圧よりも十分小さな微小ステップで減少させた階段波形を設定し、オーバフロー端子５７を電圧測定器５５でモニタする。オーバフロー端子５７の電圧ＶＯＦＷが“Ｈ”から“Ｌ”へ変化した際のアナログ入力電圧Ｖｅを測定する。電圧Ｖｓ，Ｖｅの測定はアナログソース源１７の出力するアナログ入力電圧Ｖｉｎと電圧測定器５５の測定結果をコンピュータ２０でモニタすることで実現できる（図２０）。

【０１１６】

ステップＳＰ１５，ＳＰ１６が実行された後、ステップＳＰ１７においてＡ／Ｄコンバータセルの理想的な最小分解能$1V_{LSB}$が正確に演算される。即ち、ステップＳＰ１５，ＳＰ１６で得られた電圧Ｖｓ，Ｖｅを用いて、

$$1V_{LSB}=(Ve-Vs)/(2^{10}-1)\cdots(1)$$

として求める。かかる計算はコンピュータ２０において実行することができる。

【０１１７】

ステップＳＰ１８，ＳＰ１９においてはそれぞれ電圧Ｖｓｉ，Ｖｅｉが算出される。図２５は電圧Ｖｓｉ，Ｖｅｉの算出を説明するグラフである。電圧Ｖｓｉは、Ａ／Ｄコンバータセル１０３が量子化誤差を全く含まないと仮定した場合に得られるＡ／Ｄ変換特性を示す、理想的な直線（以下「理想Ａ／Ｄ変換直線」とする）の起点となるアナログ入力電圧Ｖｉｎの値である。また、電圧Ｖｅｉは、理想Ａ／Ｄ変換直線の終点となるアナログ入力電圧Ｖｉｎの値である。

【０１１８】
電圧Ｖｓｉ，Ｖｅｉは、
$Vsi=Vs-1/2V_{LSB}$ 、$Vei=Ve-1/2V_{LSB}$ …（２）
として求められる。
【０１１９】
ステップＳＰ１８，ＳＰ１９ではそれぞれ電流Ｉｓ，Ｉｅの測定もされる。電流Ｉｓ，Ｉｅはそれぞれ、アナログ電圧入力端子５にアナログ入力電圧Ｖｉｎとして電圧Ｖｓｉ，Ｖｅｉを入力し、電流測定器２２で測定されるアナログ電源電流Ｉｄｄの値である。
【０１２０】
図２６は、図８で示された正常動作に対応する電源電流波形に、理想Ａ／Ｄ変換直線に対応する理想電流直線を重ねて描いたグラフである。正常動作に対応する電源電流波形と理想電流直線との交点を決定するアナログ電圧Ｖｉｎの値及びアナログ電源電流Ｉｄｄの値を予め計算しておき、良否の判断の対象となる電源電流波形が、その交点近傍を通るか否かで良否の判断を行うことができる。
【０１２１】
本実施の形態では各上位ビットに対して１つの交点を選定する。図２６において黒点で示されるように、この交点はアナログ電圧Ｖｉｎに関してある値の分解能をもって等電圧で選択される。つまり、アナログソース源１７が発生するアナログ入力電圧Ｖｉｎがステップ状に増加する際の増分をこの分解能に設定する。
【０１２２】
ステップＳＰ１８，ＳＰ１９が実行された後、ステップＳＰ２０においてアナログ入力電圧Ｖｉｎの分解能が設定される。式（１），（２）から、
$Vei=Vsi+1023V_{LSB}$ …（３）
の関係が得られる。上位（ｃｏａｒｓｅ）ビットの値が“０”である場合にはＶｓｉが、“３１”である場合にはＶｅｉが、それぞれアナログ入力電圧Ｖｉｎの値として採用される。従って、$1023V_{LSB}$ の電圧を、上位（ｃｏａｒｓｅ）ビットが取り得る値の数よりも１小さな値“３１”で除した値、つまり$(2^{10}-1)/(2^5-1)V_{LSB}=(2^5+1)V_{LSB}=33V_{LSB}$ がアナログ入力電圧Ｖｉｎの分解能として採用される。
【０１２３】
図２７は、上記分解能でステップ状に増加するアナログ入力電圧Ｖｉｎの値と、上位（ｃｏａｒｓｅ）ビットの値及び下位（ｆｉｎｅ）ビットの値との関係を示す対応図である。上位（ｃｏａｒｓｅ）ビットの採る値ｉには、アナログ入力電圧Ｖｉｎが最低値（これは電圧Ｖｓｉに等しい）から数えて第（ｉ－１）番目に採る値が対応し、$Vin=Vsi+(i\times m+j)V_{LSB}$ となる。ｍはラダー抵抗の分割ブロック数、即ち上位（ｃｏａｒｓｅ）ビットが取り得る値の数である。ここではｍ＝３２に設定される。また、下位（ｆｉｎｅ）ビットの値ｊを値ｉと等しく採ることにより、上記分解能を実現することができる。換言すれば、上記分解能として$33V_{LSB}$ を採用することにより、上位（ｃｏａｒｓｅ）ビットが取り得る値、下位（ｆｉｎｅ）ビットが採り得る値のそれぞれの全てに対してアナログ電源電流Ｉｄｄの測定を行うことになる。
【０１２４】
そしてステップＳＰ２１では実施の形態１のステップＳＰ８と同様に、アナログ入力電圧Ｖｉｎの値を順次増加させつつアナログ電源電流Ｉｄｄを測定する。但し、ステップＳＰ２０で設定された分解能を以てアナログ入力電圧Ｖｉｎの値が増大する。即ち図２７に示すように$Vsi+33V_{LSB}$ から$Vsi+990V_{LSB}$ まで$33V_{LSB}$ ステップで、アナログ入力電圧Ｖｉｎとして電圧Ｖ２～Ｖ３１を印加し、それぞれに対応するアナログ電源電流Ｉｄｄとして電流値Ｉｄ２～Ｉｄ３１を測定する。但し$V1=Vsi+0V_{LSB}$ ，$V32=Vsi+1023V_{LSB}$ の値でアナログ入力電圧Ｖｉｎを印加する必要はない。ステップＳＰ１８，ＳＰ１９でこれらのアナログ入力電圧Ｖｉｎに対応するアナログ電源電流Ｉｄ１＝Ｉｓ，Ｉｄ３２＝Ｉｅの測定は完了しているためである

。
【０１２５】
ステップＳＰ２２では、ステップＳＰ１８，ＳＰ１９で求められたＶｅｉ，Ｖｓｉ，Ｉｅ，Ｉｓを用いて、理想電流直線におけるアナログ電源電流Ｉｄｄの値たる理想電流ＩＤ１を、
ＩＤ１＝（Ｉｅ－Ｉｓ）／（Ｖｅｉ－Ｖｓｉ）×（Ｖｉｎ－Ｖｓｉ）＋Ｉｓ
として求める。かかる理想電流ＩＤ１はコンピュータ２０において計算して求められる。
【０１２６】
ステップＳＰ２１，ＳＰ２２が終了するとステップＳＰ２３へ進み、ステップＳＰ２１で測定されたアナログ電源電流Ｉｄｒ（ｒ＝２～３１）と理想電流ＩＤ１との誤差が所定の範囲内にあるか否かを以て動作の良否が判断される。かかる判断もコンピュータ２０において実現することが可能である。
【０１２７】
図２８はステップＳＰ２３の動作を説明するグラフである。実施の形態１と類似して、誤差の大きさはディジタル出力の変化の単位である１コード分（ＬＳＢ）の電流量に設定することが望ましい。つまり、誤差の大きさはεＩ＝（Ｖｅｉ－Ｖｓｉ）／３１で設定される。もちろん、これよりも小さく、例えばεＩ＝（Ｖｅｉ－Ｖｓｉ）／３１／２に設定することもできる。
【０１２８】
ここで規格値Ｉｍａｘ，Ｉｍｉｎが、
Ｉｍａｘ＝（Ｉｅ－Ｉｓ）／（Ｖｅｉ－Ｖｓｉ）×（Ｖｉｎ－Ｖｓｉ）＋Ｉｓ＋εＩ，
Ｉｍｉｎ＝（Ｉｅ－Ｉｓ）／（Ｖｅｉ－Ｖｓｉ）×（Ｖｉｎ－Ｖｓｉ）＋Ｉｓ－εＩ
として導入される。
【０１２９】
そしてアナログ電圧Ｖｉｎとして電圧Ｖｒ（但しｒ＝２，３，…，３１）が採用された場合に規格値Ｉｍａｘ，Ｉｍｉｎのとる値ＩＭｒ，Ｉｍｒに対して、アナログ電源電流Ｉｄｒが全てのｒについてＩｍｒ≦Ｉｄｒ≦ＩＭｒを満足していれば動作が正常であると判断され、そうでなければ不良であると判断される。
【０１３０】
尚、実施の形態１と同様にＳＰ１８，ＳＰ１９，ＳＰ２１の電流測定は、下位（ｆｉｎｅ）ビット比較時と同期させて行う必要がある。
【０１３１】
以上の方法によれば、最下位ビット出力端子５６、及びオーバフロー端子５７の２つという少ない外部テスト端子を設けるのみでＡ／Ｄコンバータセルのファンクションテストが可能になり、半導体装置の外部テスト端子が削減されることでチップやパッケージサイズが減少し、製造コストが低減する。
【０１３２】
更に、アナログ入力電圧Ｖｉｎの分解能を$33V_{LSB}$に設定したので、Ａ／Ｄコンバータセルの上位ビットが取り得る値の全て、及び下位ビットの取り得る値の全てを効率的にチェックすることができる。このため、上位（ｃｏａｒｓｅ）５ビットと下位（ｆｉｎｅ）５ビットからなる１０－ｂｉｔＡ／Ｄコンバータセルの場合では、実施の形態１の場合と比較しておよそ（１０２４×Ｒ）／３２倍だけ高速に（短時間に）ファンクションテストを実行できるという効果がある。
【０１３３】
実施の形態４．
図２９は、本実施の形態にかかるＡ／Ｄコンバータセル１０４の構成を示すブロック図である。Ａ／Ｄコンバータセル１０４は図２０のＡ／Ｄコンバータセル１０3と置換して用いられる。Ａ／Ｄコンバータセル１０４はＡ／Ｄコンバータセル１０２とは、アナログ入力電圧ＶｉｎがＡ／Ｄ変換のフルスケールを越えた場合にオーバフローＯＦＷを出力する点が異なる。つまり、ロジック回路２６に電位ＶＲＴ及びアナログ入力電圧Ｖｉｎが更に

与えられること、ロジック回路２６がオーバフローＯＦＷをも出力してオーバフロー端子５７に与えること、ＬＳＢたる出力コードＢ１を最下位ビット出力端子５６に与えることが相違している。

【０１３４】

このように、インタリーブされたスキームで動作する１０ビットのＡ／Ｄコンバータサブセル４４及びＡ／Ｄコンバータサブセル４５を有するＡ／Ｄコンバータセル１０４においても、実施の形態３と同様にして、図２２に示された処理に従って、動作の良否を判定することができる。

【０１３５】

図３０は図２６に対応しており、図１２で示され、正常動作に対応する電源電流波形に、理想Ａ／Ｄ変換直線に対応する理想電流直線を重ねて描いたグラフである。Ａ／Ｄコンバータサブセル４４，４５がインタリーブ構成を採っているので、実施の形態２と同様にしてアナログ電源電流Ｉｄｄはコンパレータアレイ２５，４６に供給する電流を加算した値になる。下位（ｆｉｎｅ）ビット比較時と同期させてこの電流を測定する必要はない。

【０１３６】

図２６に示された理想Ａ／Ｄ変換直線に対応する理想電流直線と比較すると、図３０に示された理想Ａ／Ｄ変換直線に対応する理想電流直線の傾きは２倍となっているが、実施の形態３で示された処理と同様にして、正常動作に対応する電源電流波形と理想電流直線との交点を決定するアナログ電圧Ｖｉｎの値及びアナログ電源電流Ｉｄｄの値を予め計算しておき、良否の判断の対象となる電源電流波形が、その交点近傍を通るか否かで良否の判断を行うことができる。

【０１３７】

図３１は図２８に対応しており、ステップＳＰ２３の動作を説明するグラフである。アナログ電圧Ｖｉｎとして電圧Ｖｒ（但しｒ＝２，３，…，３１）が採用された場合に、アナログ電源電流Ｉｄｄの採る値Ｉｄｒが規格値Ｉｍａｘ，Ｉｍｉｎがとる値ＩＭｒ，Ｉｍｒに対して、全てのｒについてＩｍｒ≦Ｉｄｒ≦ＩＭｒを満足していれば動作が正常であると判断され、そうでなければ不良であると判断される。

【０１３８】

実施の形態３と同様に、上位（ｃｏａｒｓｅ）５ビットと下位（ｆｉｎｅ）５ビットからなる１０－ｂｉｔＡ／Ｄコンバータセルの場合では、実施の形態２の場合と比較しておよそ（１０２４×Ｒ）／３２倍だけ高速に（短時間に）ファンクションテストを実行できるという効果がある。

【０１３９】

実施の形態５．

本実施の形態では、Ａ／Ｄコンバータセルを内蔵したアナログ／ディジタル混在ＬＳＩのＡ／Ｄコンバータセルのスタティックリニアリティテストを実施する方法について説明する。この方法は、実施の形態３で用いられた構成において実行される。つまりＡ／Ｄコンバータセル１０３についてのテストが行われる。

【０１４０】

図３２は本実施の形態にかかるファンクションテストの方法を説明したフローチャートである。図２２におけるステップＳＰ１８，ＳＰ１９，ＳＰ２０，ＳＰ２２がそれぞれステップＳＰ２５，ＳＰ２６，ＳＰ３０，ＳＰ２７に置換され、ステップＳＰ２３がステップＳＰ２８，ＳＰ２９に置換された構成となっている。

【０１４１】

ステップＳＰ１５においては図２３に示されたようにして電圧Ｖｓが、ステップＳＰ１６においては図２４に示されたようにして電圧Ｖｅが、それぞれ求められ、その後ステップＳＰ１７においては図２５に示されたように電圧V_{LSB}が求められる。

【０１４２】

ステップＳＰ１５の終了後ステップＳＰ２５はアナログ入力電圧Ｖｉｎとして電圧Ｖｓを印加した場合のアナログ電源電流Ｉｄｄの値Ｉｓｙを、ステップＳＰ１６の終了後ステッ

プＳＰ２６はアナログ入力電圧Ｖｉｎとして電圧Ｖｅを印加した場合のアナログ電源電流Ｉｄｄの値Ｉｅｙを、それぞれマルチメータ等の電流測定器２２で測定する。

【０１４３】

ステップＳＰ１７の終了後、ステップＳＰ３０においてはステップＳＰ２０と類似して、アナログ入力電圧Ｖｉｎの分解能を設定する。但し、ステップＳＰ２０とは異なり、（１／Ｒ）V_{LSB} に設定される。実施の形態１と同様にして値Ｒは仕様に依存して決定され、例えばＲ＝５と設定される。

【０１４４】

ステップＳＰ２１においては、アナログソース源１７からアナログ入力電圧端子５に、（１／Ｒ）V_{LSB} の分解能を有する2^{10}×Ｒ個のステップ状のアナログ入力電圧Ｖｉｎを供給する。これらに対応して流れるアナログ電源電流Ｉｄｄが測定される。但し、この測定は実施の形態１，３と同様に下位（ｆｉｎｅ）ビット比較時に同期させて行う必要がある。

【０１４５】

ステップＳＰ２７は、ステップＳＰ２２と類似して、理想Ａ／Ｄ変換特性における電源電流を求める。但し、ステップＳＰ２２のように量子化誤差が無いとするのではなく、ステップＳＰ２７では量子化誤差が存在する場合のステップ状の理想電流ＩＤ２を求める。具体的には、電流Ｉｅｙ，Ｉｓｙ間を均等に３１（これは下位ビットの取り得る値2^{5} よりも１小さい）分割して増分Ｉｂを求める。

【０１４６】

この“３１”という値は、電圧Ｖｓ～Ｖｅの範囲であってアナログ電源電流Ｉｄｄが単調増加する複数の領域（以下「基本領域」と称す）のそれぞれにおいて、アナログ電源電圧Ｖｉｎが変化しうる値を電圧V_{LSB} で除したものに対応することになる。つまり増分Ｉｂは、基本領域においてアナログ電源電流Ｉｄｄが変化し得る値（Ｉｅｙ－Ｉｓｙ）をアナログ電源電圧Ｖｉｎが変化しうる値で除して電圧V_{LSB} を乗じた値となる。

【０１４７】

電圧ＶｅとＶｓを均等に１０２３（これはディジタル出力の取り得る値2^{10}よりも１小さい）分割し（つまり電圧V_{LSB} 毎に分割し）、アナログ入力電圧Ｖｉｎが上昇するにつれ、電圧V_{LSB} ごとに増分Ｉｂづつ増加してステップ状に変化し、電圧３３V_{LSB} ごとに急減して電流Ｉｓｙを採る理想電流ＩＤ２の波形（以下「理想線」という）を求める。理想電流ＩＤ２の計算はコンピュータ２０において実現可能である。

【０１４８】

ステップＳＰ２１，ＳＰ２７が実行された後、ステップＳＰ２８においてスタティックリニアリティである積分非直線性ＳＩＮＬと微分非直線性ＳＤＮＬを求める。図３３はステップＳＰ２８における処理を説明するためのグラフであり、２つの実線のうち、太い方はステップＳＰ２１で得られた実測線を、細い方はステップＳＰ２７で得られた理想線を、それぞれ示している。

【０１４９】

実測線の変化点に対応するアナログ入力電圧Ｖｉｎの値をＶｙとし、この変化点に対応する（つまりアナログ電源電流の変化が同じである）理想線の変化点のアナログ入力電圧Ｖｉｎの値をＶｉとすると、積分非直線性ＳＩＮＬは、

$SINL=(Vy-Vi)/V_{LSB}$

として求められる。この演算は全ての変化点において実施される。

【０１５０】

また、実測線のアナログ電源電流Ｉｄｄが一定となるアナログ入力電圧Ｖｉｎの範囲（以下「一定範囲」）の大きさをＶｄとするとき、微分非直線性ＳＤＮＬは、

$SDNL=Vd/V_{LSB}-1$

として求められる。この演算は全ての一定範囲において実施される。

【０１５１】

積分非直線性ＳＩＮＬ、微分非直線性ＳＤＮＬはいずれもその絶対値が小さい程、理想線

に対する実測線の隔たりが小さいことを示し、望ましい。よってステップＳＰ２９は規格値Ｅｍｉｎ，Ｅｍａｘを設定し、全ての変化点及び全ての一定範囲にてＥｍｉｎ≦ＳＩＮＬ≦Ｅｍａｘ，Ｅｍｉｎ≦ＳＤＮＬ≦Ｅｍａｘが満足されれば良品と判定され、満たさなければ不良品と判定される。例えばＡ／Ｄコンバータセルの量子化誤差の範囲で規格値を設定するのであればＥｍｉｎ＝－１／２V_{LSB}，Ｅｍａｘ＝１／２V_{LSB}に設定できる。これらの判断、演算もコンピュータ２０で行わせることができる。

【０１５２】

以上の方法によれば、２本という少ない外部テスト端子を設けるのみでＡ／Ｄコンバータセルのスタティックリニアリティテストが可能になり、半導体装置の外部テスト端子が削減されることでチップやパッケージサイズが減少し、製造コストが低減する。

【０１５３】

実施の形態６．

インタリーブされたスキームで動作する　１０－ｂｉｔ　ｓｕｂ－ＡＤＣに対しても、実施の形態５と同様にしてスタティックリニアリティテストを実施することができる。このテストは、実施の形態４で用いられた構成において実行される。つまりＡ／Ｄコンバータセル１０４についてのテストが行われる。

【０１５４】

このテストの処理は図３２に示されたフローチャートに基づいて実行することができる。図３４はステップＳＰ２８における処理を説明するためのグラフであり、２つの実線のうち、太い方はステップＳＰ２１で得られた実測線を、細い方はステップＳＰ２７で得られた理想線を、それぞれ示している。

【０１５５】

但し実施の形態５とは異なり、実施の形態６における理想電流ＩＤ２の増分Ｉｂは電流Ｉｅｙ，Ｉｓｙ間を均等に６３分割して求められる。Ａ／Ｄコンバータセル１０４においては、Ａ／Ｄコンバータサブセル４４，４５の一方が下位ビットの比較を行っている際に他方が上位ビットの比較を行っているので、上位ビットの更新に伴ってアナログ電源電流が減少する量は、同一の上位ビットに対応して下位ビットの比較が行われる際にアナログ電源電流Ｉｄｄが増加する量よりも増分Ｉｂだけ小さい。つまり、実施の形態５の場合と比較して、アナログ電源電流Ｉｄｄは上位ビットが更新する度に増分Ｉｂずつ増加する。従って、実施の形態５の場合よりも上位ビットの採り得る数だけ多い$31+2^5=63$が除数（「法」）として採用される。

【０１５６】

なお理想電流ＩＤ２においてはＡ／Ｄ変換特性に故障が存在しないので、上記のようにして求めた増分Ｉｂは、アナログ電源電流Ｉｄｄが単調に増加する領域（つまり同一の上位ビットに関して行われる下位ビットの比較時）において、アナログ電源電流が変化しうる値を３１で除しても得られる。この“３１”という値は、実施の形態５と同様に基本領域でアナログ電源電圧Ｖｉｎが変化しうる値を電圧V_{LSB}で除したものに対応することになる。つまり増分Ｉｂは、実施の形態５の場合と同様に、基本領域でアナログ電源電流Ｉｄｄが変化し得る値（Ｉｅｙ－Ｉｓｙ）をアナログ電源電圧Ｖｉｎが変化しうる値で除して電圧V_{LSB}を乗じた値であるといえる。

【０１５７】

実施の形態２，４と同様に、アナログ電源電流ＩｄｄはＡ／Ｄコンバータサブセル４４，４５のコンパレータアレイ２５，４６に供給する電流を加算した値になり、下位（ｆｉｎｅ）ビット比較時と同期して電流を測定する必要はない。

【０１５８】

以上の方法によって、インタリーブされたスキームで動作するＡ／Ｄコンバータに対しても実施の形態５と同様の効果を得ることができる。

【０１５９】

実施の形態７．

フラッシュ型の　１０－ｂｉｔ　Ａ／Ｄコンバータセルに対しても、実施の形態５と同様

にしてスタティックリニアリティテストを実施することができる。
【０１６０】
図３５はフラッシュ型の　１０－ｂｉｔ　Ａ／Ｄコンバータセル１０５の構成を示すブロック図である。Ａ／Ｄコンバータセル１０５は図２０においてＡ／Ｄコンバータセル１０３と置換されて用いられ得る。
【０１６１】
Ａ／Ｄコンバータセル１０５はＡ／Ｄコンバータセル１０３と比較して、大まかにいって第１のスイッチマトリックス２４が省略され、コンパレータアレイ２５がコンパレータアレイ６２に置換された構成を有している。
【０１６２】
ラダー抵抗２３は、電位ＶＲＴ，ＶＲＢ間の電圧差を分圧して１０２３個の基準電圧を出力する。コンパレータアレイ６２はコンパレータｆｃｍｐｇ（ｇ＝１～１０２３）を備え、それぞれ基準電圧の一つをアナログ入力電圧Ｖｉｎと比較した１０２３個の結果をＡＤＣのロジック回路２６へ与える。
【０１６３】
ＡＤＣのロジック回路２６はこれらの結果を出力コードＢ１～Ｂ１０及びオーバフローＯＦＷとして、それぞれロジック回路１１及びオーバフロー端子５７に与える。
【０１６４】
Ａ／Ｄコンバータセル１０５のスタティックリニアリティテストも、図３２に示されたフローチャートに基づいて実行することができる。図３６はステップＳＰ２８における処理を説明するためのグラフであり、２つの実線のうち、太い方はステップＳＰ２１で得られた実測線を、細い方はステップＳＰ２７で得られた理想線を、それぞれ示している。
【０１６５】
但し実施の形態５とは異なり、実施の形態７における理想電流ＩＤ２の増分Ｉｂは電流Ｉｅｙ，Ｉｓｙ間を均等に１０２３分割して求められる。Ａ／Ｄコンバータセル１０５はフラッシュ型なので、アナログ電源電流Ｉｄｄは単調増加し、出力コードＢ１～Ｂ１０の採り得る数よりも１だけ少ない１０２３（＝$2^{10}-1$）が除数（「法」）として採用される。
【０１６６】
実施の形態７においては基本領域が電圧Ｖｓ～Ｖｅの範囲の全体に及ぶので、この“１０２３”という値は、基本領域においてアナログ電源電圧Ｖｉｎが変化しうる値を電圧V_{LSB}で除したものに対応することになる。つまり増分Ｉｂは、実施の形態５，６の場合と同様に、基本領域において、アナログ電源電流Ｉｄｄが変化し得る値（Ｉｅｙ－Ｉｓｙ）をアナログ電源電圧Ｖｉｎが変化しうる値で除して電圧V_{LSB}を乗じた値であるといえる。
【０１６７】
以上の方法によって、フラッシュ型のＡ／Ｄコンバータに対しても実施の形態５と同様の効果を得ることができる。
【０１６８】
【発明の効果】
この発明のうち請求項１にかかるＡ／Ｄコンバータのテスト方法によれば、Ａ／Ｄコンバータが正常であれば、同一の上位ビットに対応しつつアナログ信号が増大する場合には、アナログ入力を下位基準電圧と比較する際にコンパレータに流れる電流の値は増大し、アナログ信号が増大してアナログ信号に対応する上位ビットが変化する際には前記電流の値は減少、あるいは停滞する。よって、前記電流の値はアナログ信号の変化に対してのこぎり波状に変化し、のこぎり波状の変化の数はコンパレータの数によって決まる。従って、極値の数を吟味することによって、Ａ／Ｄコンバータの良否を判定することができ、その際に別途にディジタル出力を引き出す構成を必要としない。
【０１６９】
この発明のうち請求項２にかかるＡ／Ｄコンバータのテスト方法によれば、第１の電流差

は、同一の下位基準電圧群に対して比較されるアナログ入力が変化した際に、第１のコンパレータアレイに流れる電流がどの範囲で変化をするかを示す。よって、第１の電流差の最大値はある上位ビットに関して正常な比較が行われた場合の第１の電流差を示すことになる。そして第２の電流差は、正常な比較が行われた場合に許される電源電流の変動の範囲を示すこととなる。よって第２の電流差よりも大きな差が極大値同士において生じた場合には、比較が正常に行われていないことを示す。極小値同士の差に関しても同様に判断される。

【０１７０】

この発明のうち請求項３にかかるＡ／Ｄコンバータのテスト方法によれば、インタリーブされたスキームで動作するＡ／Ｄコンバータのテストを行うことができる。

【０１７１】

この発明のうち請求項４にかかるＡ／Ｄコンバータのテスト方法によれば、インタリーブされたスキームで動作するＡ／Ｄコンバータにおいては、第１のコンパレータアレイにおいて上位ビットに関する比較が行われている際には第２のコンパレータアレイにおいては下位ビットに関する比較が行われている。従って、下位ビットに関する比較において第２のコンパレータアレイにおける全てのコンパレータが“Ｌ”を出力しても、上位ビットが更新されることによって、第１のコンパレータアレイにおいて“Ｈ”を出力するコンパレータが一つ増加する。これによって第２の電流差だけ電流波形は上昇するので、第１及び第２の条件によって上位ビット、下位ビットに関する比較動作の良否を判断することができる。

【０１７２】

この発明のうち請求項５にかかるＡ／Ｄコンバータのテスト方法によれば、第２の分解能を、ディジタル出力の変化の最小単位の（2^{W} ＋１）倍に設定したので、Ａ／Ｄコンバータセルの上位ビットが取り得る値の全て、及び下位ビットの取り得る値の全てを効率的にチェックすることができる。よって高速にファンクションテストを実行できる。

【０１７３】

この発明のうち請求項６にかかるＡ／Ｄコンバータのテスト方法によれば、ディジタル出力の値が最小値となる点から、ディジタル出力がフルスケールとなる点までの、線形の理想Ａ／Ｄ変換特性を得ることができる。

【０１７４】

この発明のうち請求項７にかかるＡ／Ｄコンバータのテスト方法によれば、インタリーブされたスキームで動作するＡ／Ｄコンバータのテストを行うことができる。

【０１７５】

この発明のうち請求項８にかかるＡ／Ｄコンバータのテスト方法によれば、理想電流波形が初期電圧及び終期電圧から求められるため、ディジタル出力のＬＳＢとオーバフローの２つのみをモニタすることによって理想電流波形を求めることができる。よって別途に必要となる構成は僅かで済ませつつ、スタティックリニアリティテストを行うことができる。

【０１７６】

この発明のうち請求項９にかかるＡ／Ｄコンバータのテスト方法によれば、サブレンジング型のＡ／Ｄコンバータに対してもスタティックリニアリティのテストを行うことができる。

【０１７７】

この発明のうち請求項１０にかかるＡ／Ｄコンバータのテスト方法によれば、インタリーブされたスキームで動作するＡ／Ｄコンバータに対してもスタティックリニアリティのテストを行うことができる。

【０１７８】

この発明のうち請求項１１にかかるＡ／Ｄコンバータのテスト装置によれば、Ａ／Ｄコンバータが正常な場合には、アナログ入力を下位基準電圧と比較する際に電源からコンパレータアレイに流れる電流の値はアナログ信号の変化に対して規則的に変化する。解析手段

はその規則性があるか否かを検出することにより、Ａ／Ｄコンバータの良否を判断する。ディジタル出力を分析する必要がないので、ディジタル出力のビット数に対応した多数の外部端子を必要とすることなく、電源とコンパレータの間に電流測定器を設けるだけで足りる。

【０１７９】

この発明のうち請求項１２にかかるＡ／Ｄコンバータのテスト装置によれば、Ａ／Ｄコンバータが正常な場合には、アナログ入力を基準電圧と比較する際にコンパレータアレイに流れる電源電流の値は、アナログ信号の変化に対して規則的に変化する。解析手段はその規則性があるか否かを理想的な波形と比較することにより検出する。理想的な波形を求めるために工程（ｄ）で必要な判定対象は２種であり、ディジタル出力を分析する必要がない。よって、電源とコンパレータの間に電流測定器を設け、ディジタル出力のビット数に対応した数ではなく、２つの外部端子を必要とするのみで足りる。

【図面の簡単な説明】

【図１】実施の形態１を説明するブロック図である。

【図２】実施の形態１にかかるＡ／Ｄコンバータセル１０１の構成を示すブロック図である。

【図３】コンパレータＣｍｐｉの構成を例示するブロック図である。

【図４】差動アンプ３６の構成を示す回路図である。

【図５】ｎチャネルトランジスタＱ５の特性を示すグラフである。

【図６】アナログ入力電圧Ｖｉｎの時間変化を示すグラフである。

【図７】実施の形態１にかかるファンクションテストの方法を説明したフローチャートである。

【図８】正常な場合のアナログ電源電流Ｉｄｄを示すグラフである。

【図９】不良となる２種のパターンが存在する電源電流波形を示すグラフである。

【図１０】不良となる２種のパターンが存在する電源電流波形を示すグラフである。

【図１１】実施の形態２にかかるＡ／Ｄコンバータセル１０２の構成を示すブロック図である。

【図１２】正常な場合のアナログ電源電流Ｉｄｄを示すグラフである。

【図１３】アナログ電源電流Ｉｄｄが増加する様子を示すグラフである。

【図１４】動作異常が存在する場合を示した電源電流波形を示すグラフである。

【図１５】故障の具体的な箇所を示すブロック図である。

【図１６】正常な場合のアナログ電源電流Ｉｄｄを示すグラフである。

【図１７】故障箇所ＮｏｄｅＥにおいて開放が生じた場合のアナログ電源電流を示すグラフである。

【図１８】故障箇所ＮｏｄｅＦにおいて短絡が生じた場合のアナログ電源電流を示すグラフである。

【図１９】故障箇所ＮｏｄｅＧにおいて開放が生じた場合のアナログ電源電流を示すグラフである。

【図２０】実施の形態３を説明するブロック図である。

【図２１】Ａ／Ｄコンバータセル１０３の構成を示すブロック図である。

【図２２】実施の形態３にかかるファンクションテストの方法を説明したフローチャートである。

【図２３】電圧Ｖｓの測定を説明するグラフである。

【図２４】電圧Ｖｅの測定を説明するグラフである。

【図２５】電圧Ｖｓｉ，Ｖｅｉの算出を説明するグラフである。

【図２６】理想電流直線を示すグラフである。

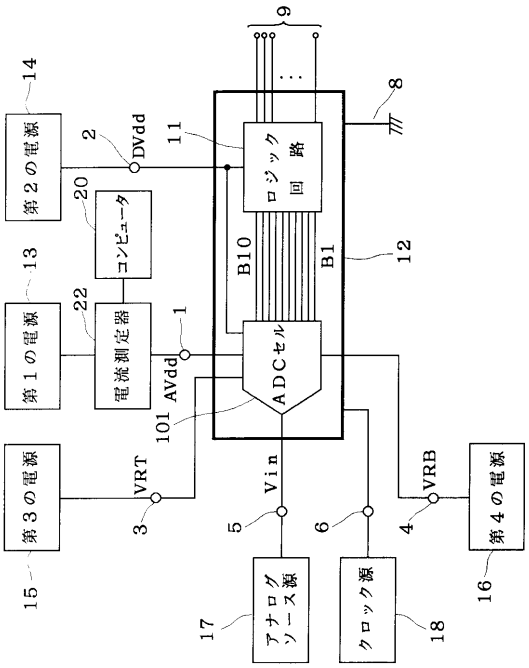
【図２７】アナログ入力電圧Ｖｉｎと、上位ビット及び下位ビットとの関係を示す対応図である。

【図２８】動作の良否の判断を説明するグラフである。

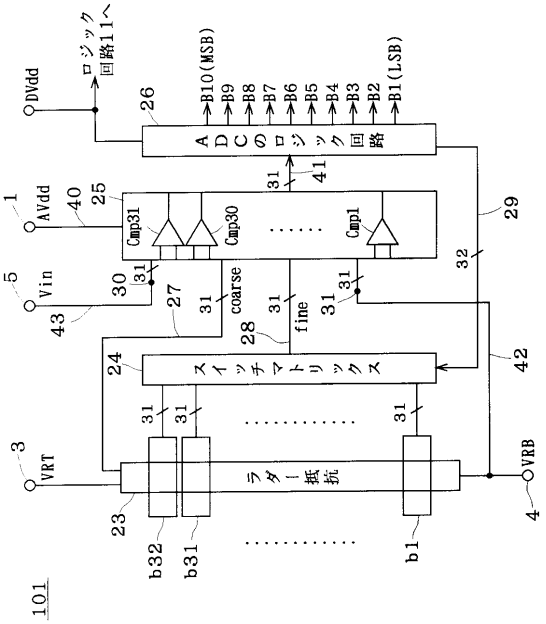
【図２９】実施の形態４にかかるＡ／Ｄコンバータセル１０４の構成を示すブロック図で

ある。
【図３０】理想電流直線を示すグラフである。
【図３１】動作の良否の判断を説明するグラフである。
【図３２】実施の形態５にかかるファンクションテストの方法を説明したフローチャートである。
【図３３】スタティックリニアリティを示すグラフである。
【図３４】スタティックリニアリティを示すグラフである。
【図３５】実施の形態７にかかるＡ／Ｄコンバータセル１０５の構成を示すブロック図である。
【図３６】スタティックリニアリティを示すグラフである。
【図３７】従来の技術を説明するブロック図である。
【図３８】従来のファンクションテストを示すフローチャートである。
【図３９】バイナルコードと１０進化コードとの対応図である。
【図４０】正常な場合のアナログ入力電圧Ｖｉｎと１０進化コードとの関係を示すグラフである。
【図４１】ミッシングコードが存在する場合のアナログ入力電圧Ｖｉｎと１０進化コードとの関係を示すグラフである。
【図４２】ミッシングコードが存在する場合のアナログ入力電圧Ｖｉｎと１０進化コードとの関係を示すグラフである。
【図４３】ミッシングコードが存在する場合のアナログ入力電圧Ｖｉｎと１０進化コードとの関係を示すグラフである。
【符号の説明】
Ｃｍｐ１～３１，Ｓｃｍｐ１～３１，ｆｃｍｐ１～１０２３　コンパレータ、１７　アナログソース源、２０　コンピュータ、２２　電流測定器、２５，４６，６２　コンパレータアレイ、４４，４５　Ａ／Ｄコンバータサブセル、１０１～１０５　Ａ／Ｄコンバータセル、Ｉｄｈ１～３２　上部の頂点の電流値、Ｉｄｌ１～３１　下部の頂点の電流値、δＩ　電流差、V_{LSB}　分解能。

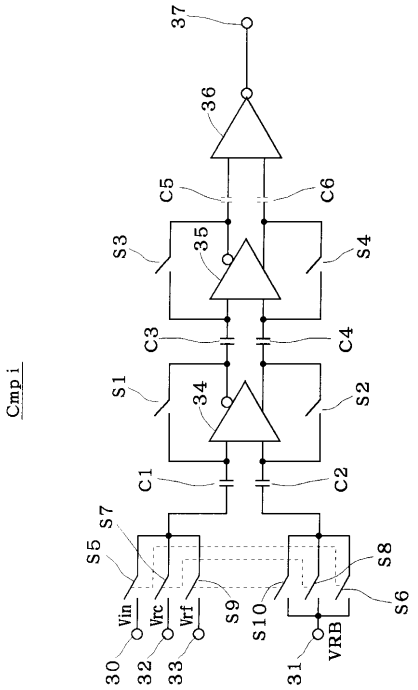
【図１】


第２の電源
第１の電源
第３の電源
第４の電源
コンピュータ
電流測定器
ロジック回路
ADCセル
アナログソース源
クロック源
DVdd
AVdd
VRT
Vin
VRB
B10
B1

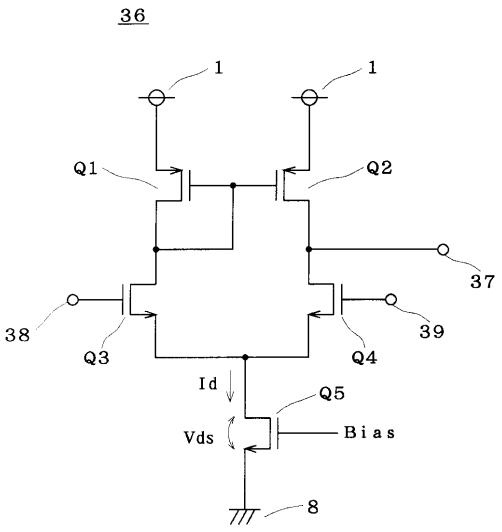
【図２】


ロジック回路11へ
DVdd
AVdd
Vin
VRT
VRB
B10(MSB)
B9
B8
B7
B6
B5
B4
B3
B2
B1(LSB)
ADCのロジック回路
スイッチマトリックス
ラダー抵抗
Cmp31
Cmp30
Cmp1
coarse
fine
b32
b31
b1
101

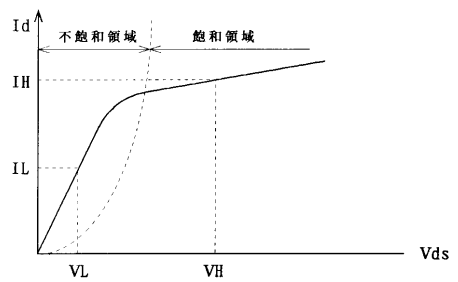
【図３】


Cmpi
Vin
Vrc
Vrf
VRB

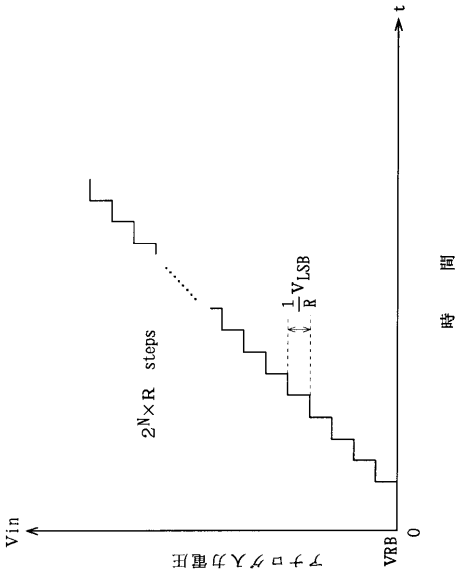
【図４】


36
Q1
Q2
Q3
Q4
Q5
Id
Vds
Bias

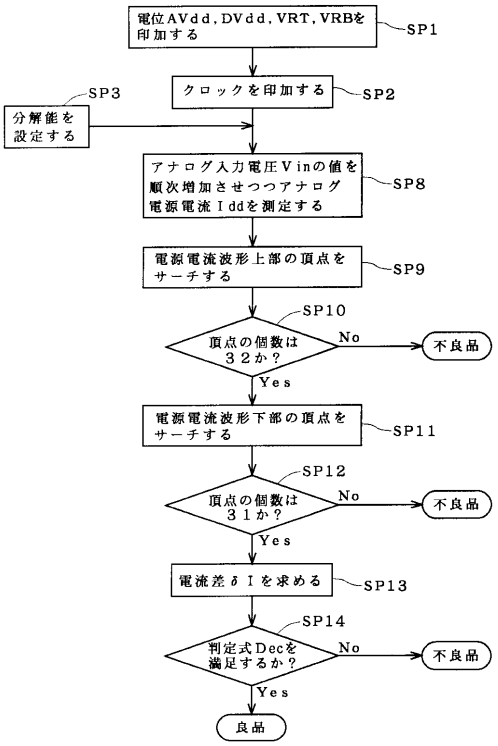
【図５】


Id
不飽和領域
飽和領域
IH
IL
VL
VH
Vds

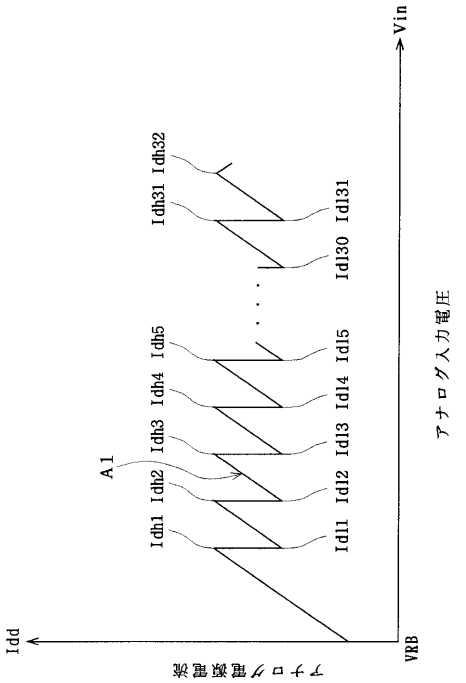
【図６】


t
時間
Vin
アナログ入力電圧
VRB
0
$2^N \times R$ steps
$\frac{1}{R} V_{LSB}$

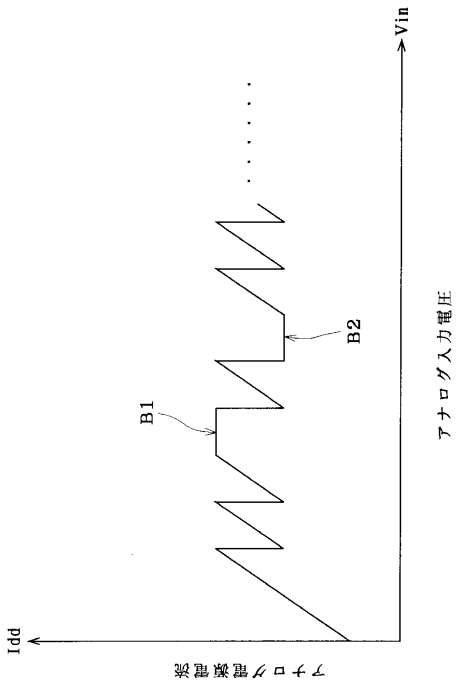
【図７】


電位AVdd, DVdd, VRT, VRBを印加する
SP1
クロックを印加する
SP2
分解能を設定する
SP3
アナログ入力電圧Vinの値を順次増加させつつアナログ電源電流Iddを測定する
SP8
電源電流波形上部の頂点をサーチする
SP9
SP10
頂点の個数は32か？
No
不良品
Yes
電源電流波形下部の頂点をサーチする
SP11
SP12
頂点の個数は31か？
No
不良品
Yes
電流差δIを求める
SP13
SP14
判定式Decを満足するか？
No
不良品
Yes
良品

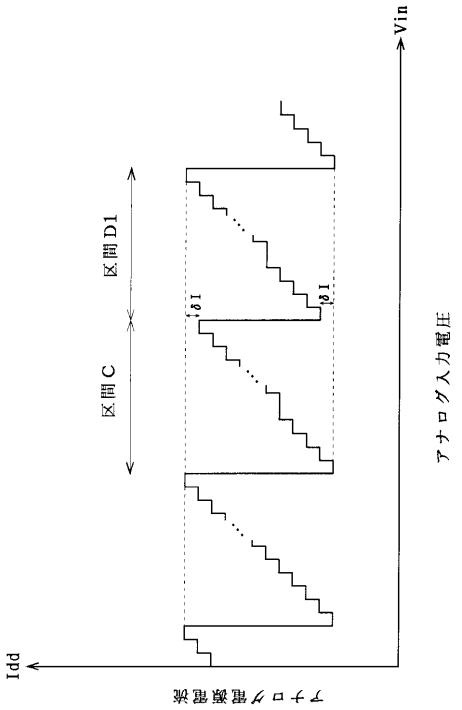
【図８】


Vin
アナログ入力電圧
Idd
アナログ電源電流
VRB
A1
Idh1 Idh2 Idh3 Idh4 Idh5 Idh31 Idh32
Id11 Id12 Id13 Id14 Id15 Id130 Id131

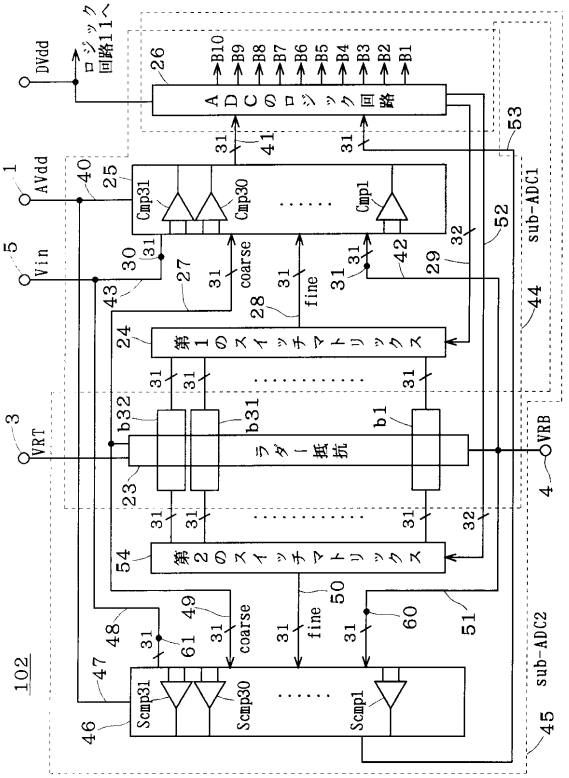
【図９】


Vin
アナログ入力電圧
Idd
アナログ電源電流
B1
B2

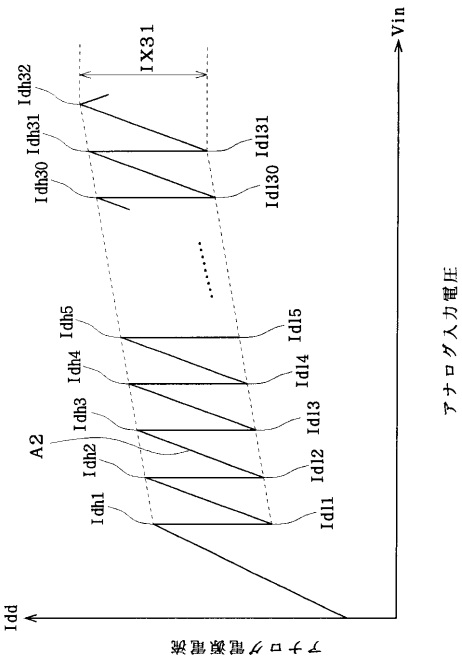
【図１０】



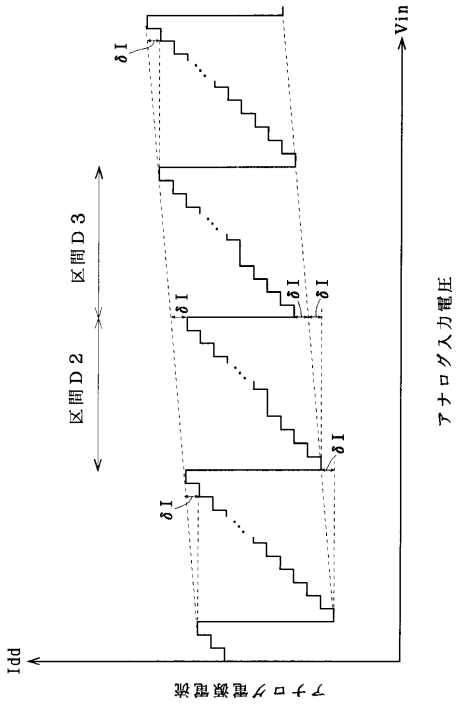
【図１１】



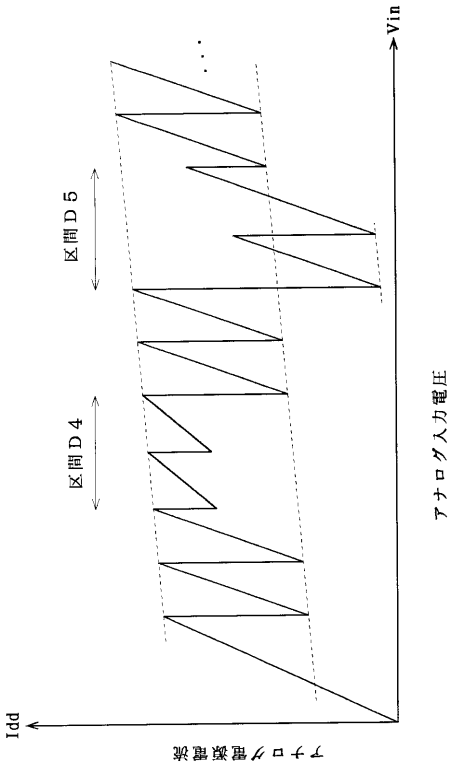
【図１２】



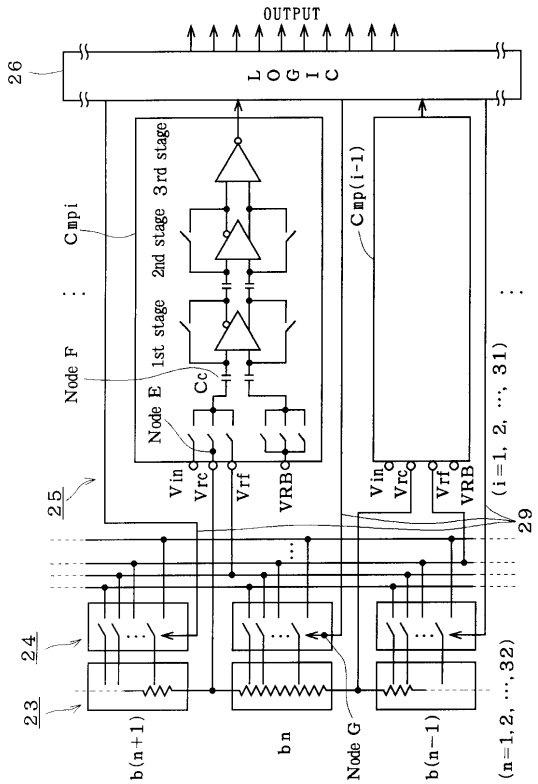
【図１３】



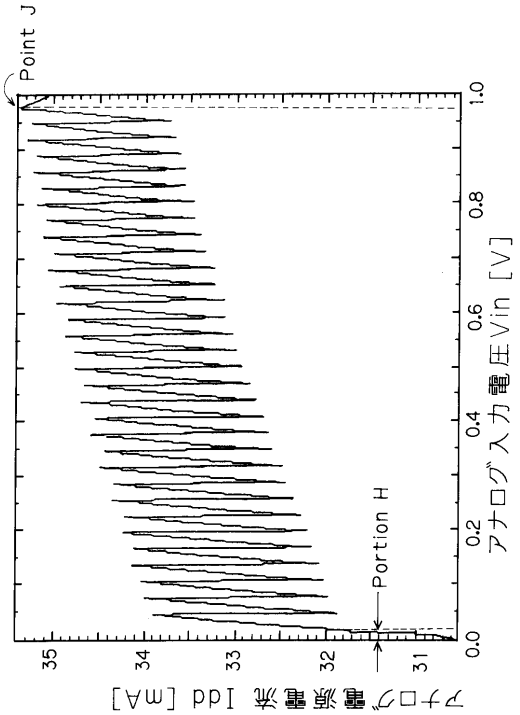
【図１４】



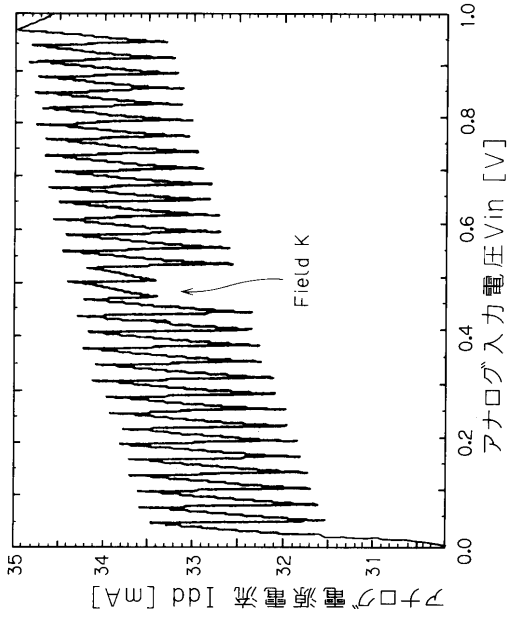
【図１５】



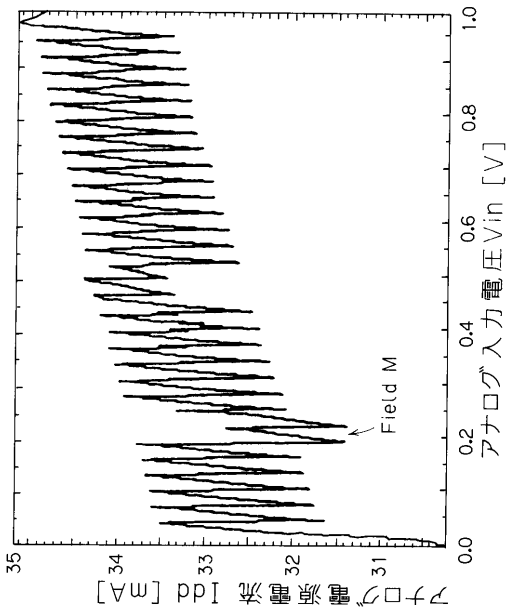
【図１６】



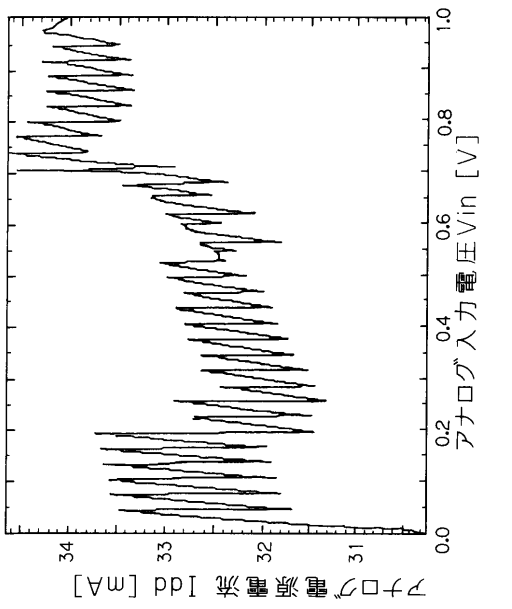
【図１７】



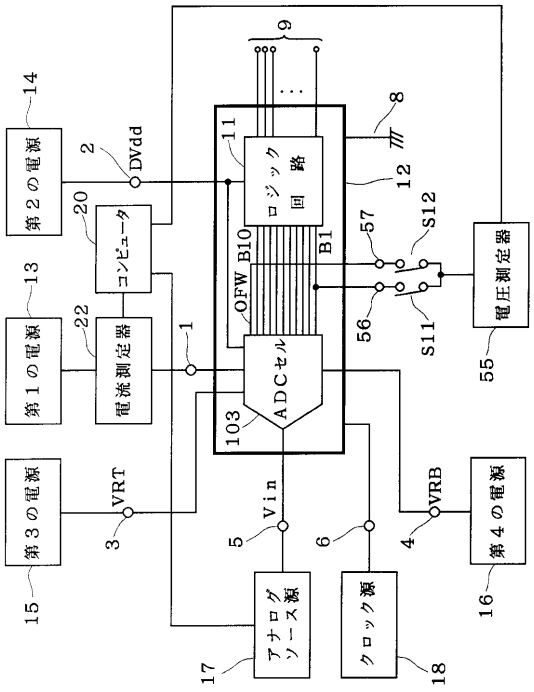
【図１８】



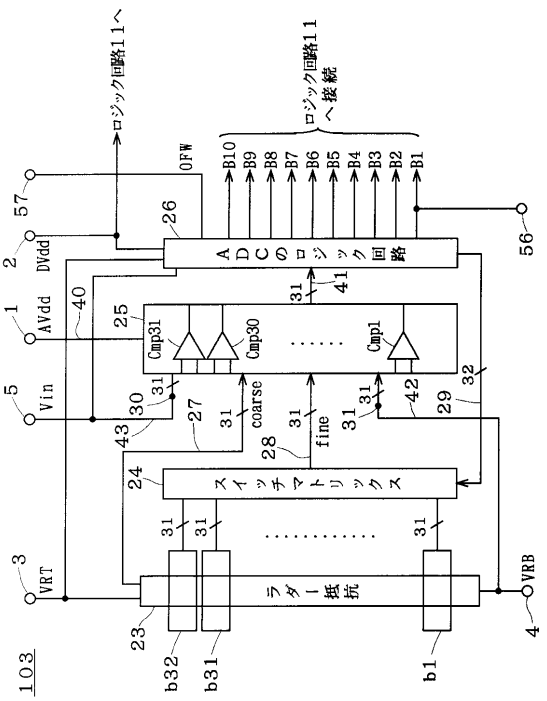
【図１９】



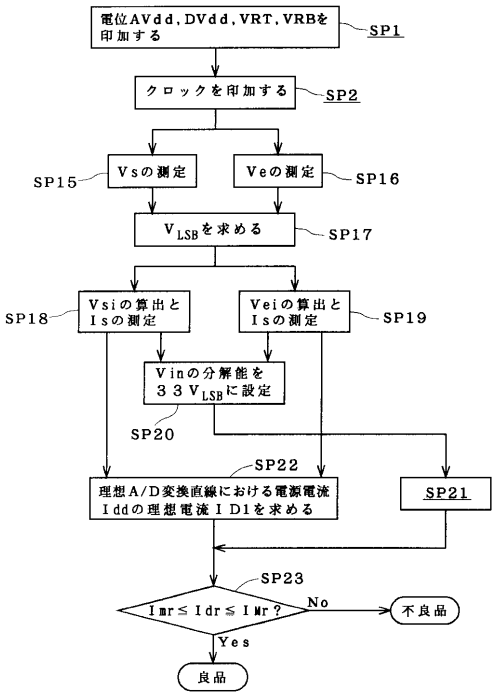
【図２０】



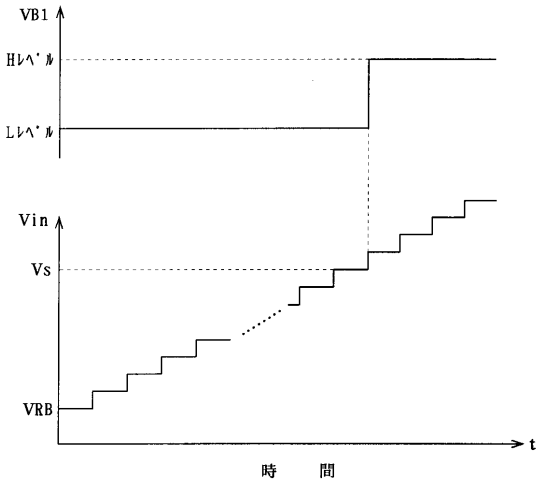
【図２１】



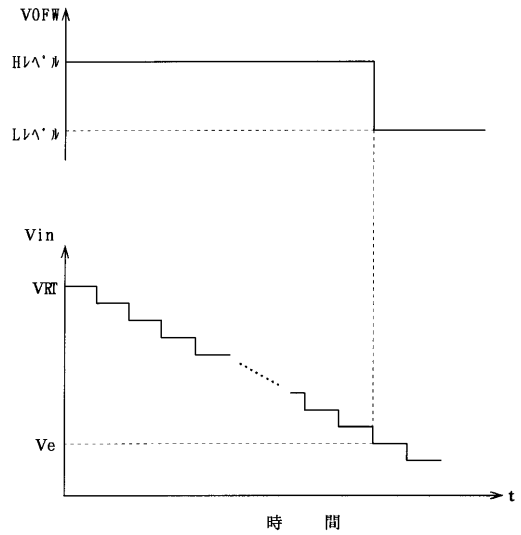
【図２２】



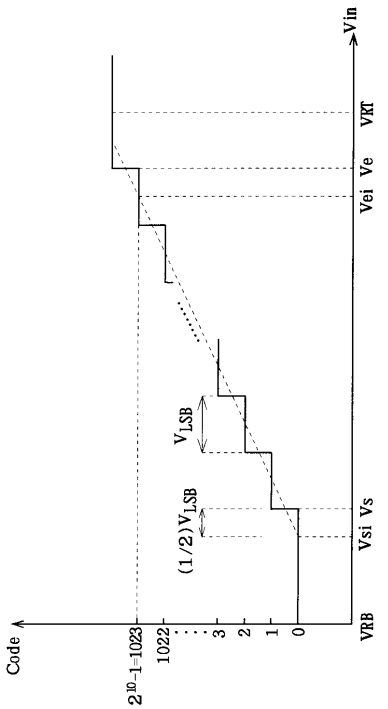
【図２３】



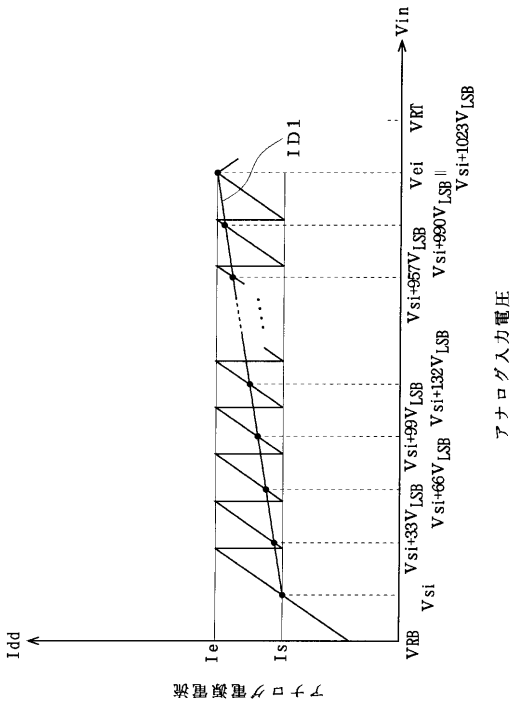
【図２４】



【図２５】



【図２６】

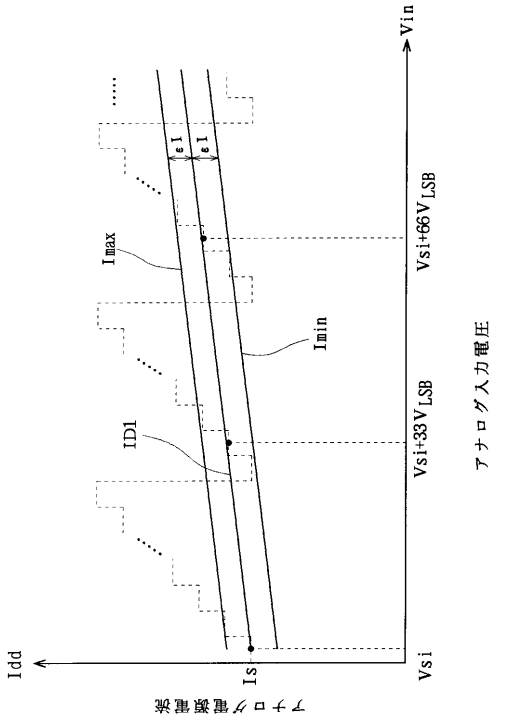


【図２７】

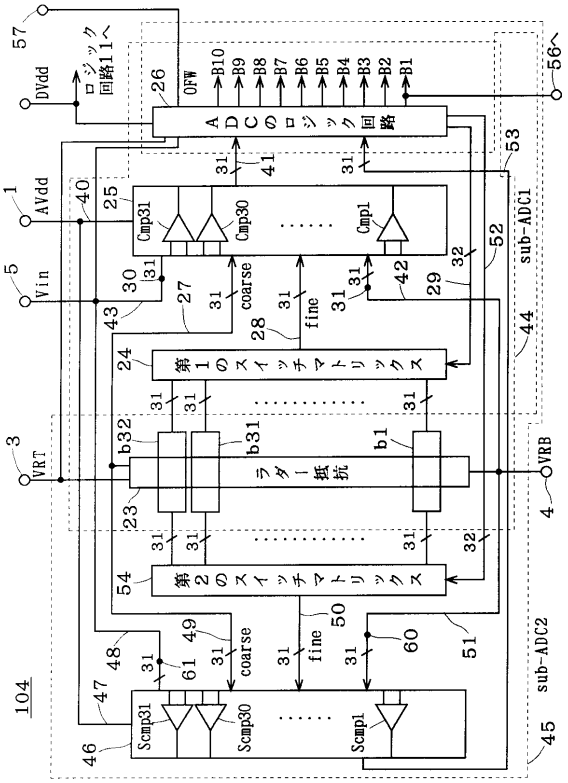
No.	coarse bitのcode	fine bitのcode	code	アナログ入力電圧Vin	アナログ電源電流 idd
1	0	0	0×m+0=0	Vsi+0VLSB	Id1=Isi
2	1	1	1×m+1=33	Vsi+330VLSB	Id2
3	2	2	2×m+2=66	Vsi+660VLSB	Id3
4	3	3	3×m+3=99	Vsi+990VLSB	Id4
i−1	i	j	i×m+j	Vsi+(i×m+j)VLSB	Id(i−1)
32(=m)	31(=m−1)	31(=k)	31Xm+31=1023	Vsi+1023VLSB	Id32=Iei

i=0,1,2,3, …(m−1)
j=0,1,2,3, …k
N：ADCのビット数
m：ラダー抵抗の分割ブロック数
k：コンパレータアレイのコンパレータ数

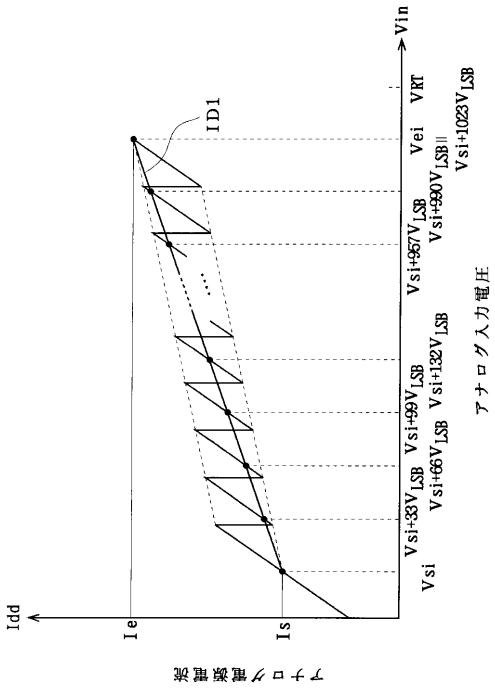
【図２８】



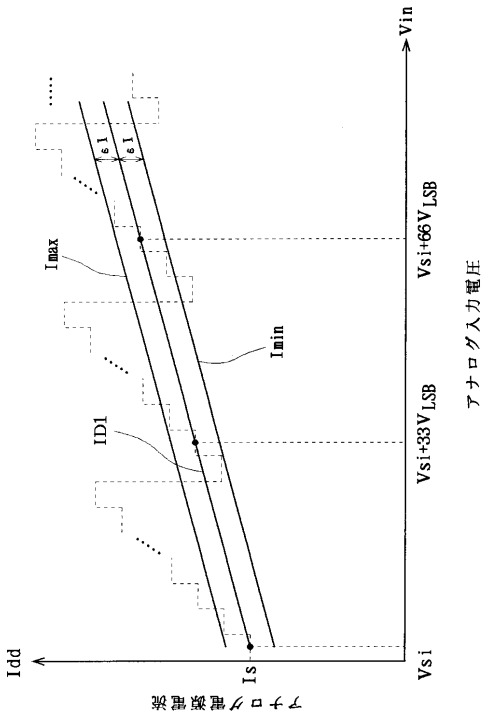
【図２９】



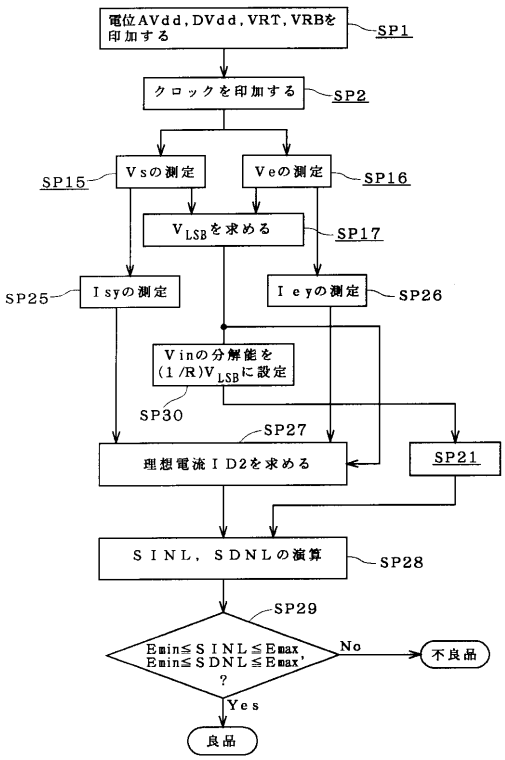
【図３０】



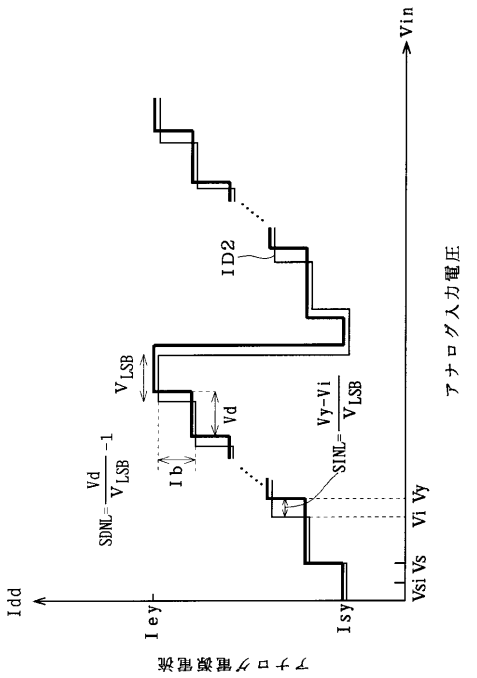
【図３１】



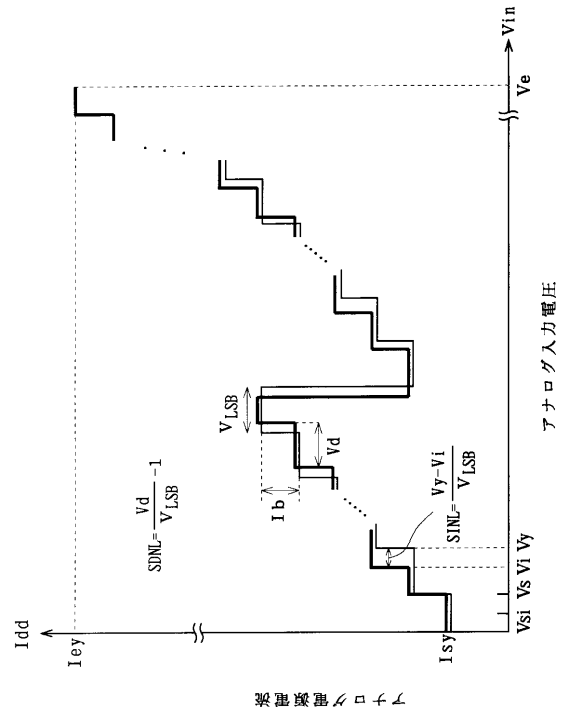
【図３２】



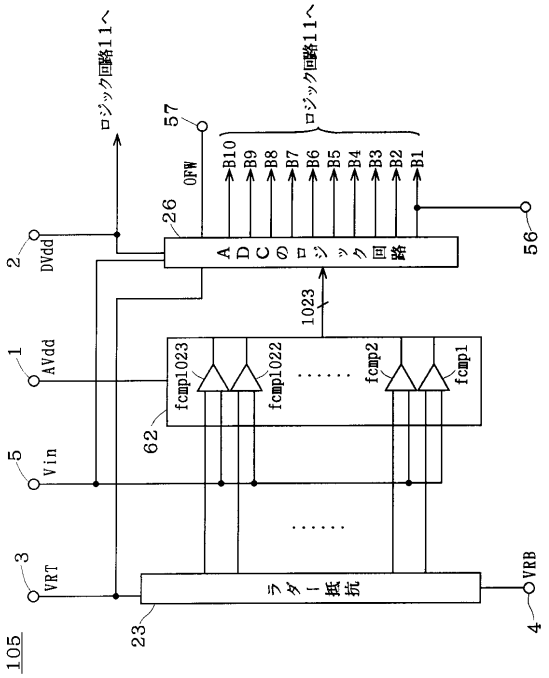
【図３３】



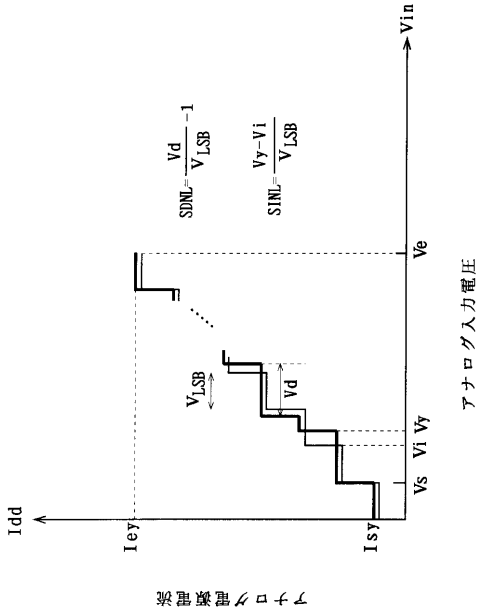
【図３４】



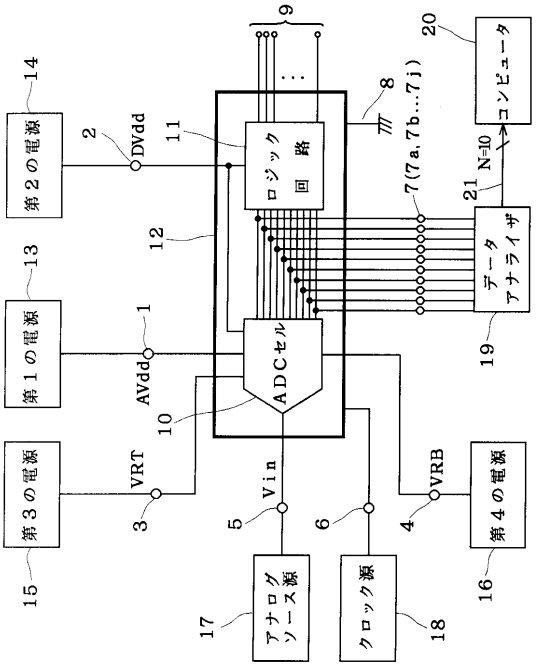
【図３５】



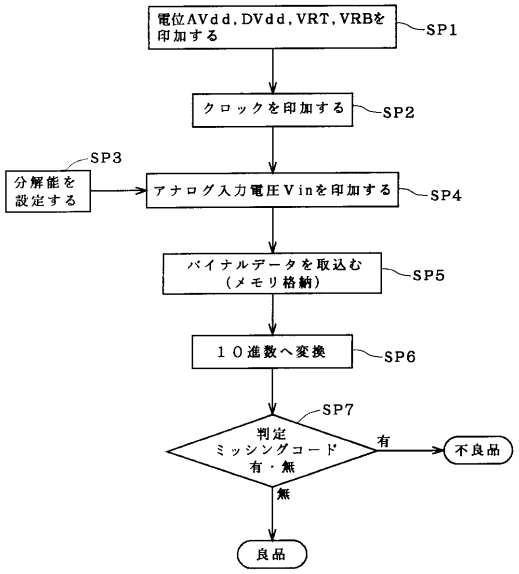
【図３６】



【図３７】



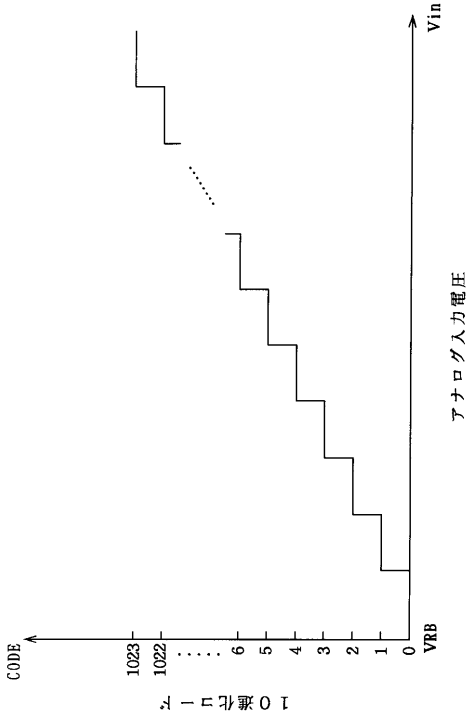
【図３８】



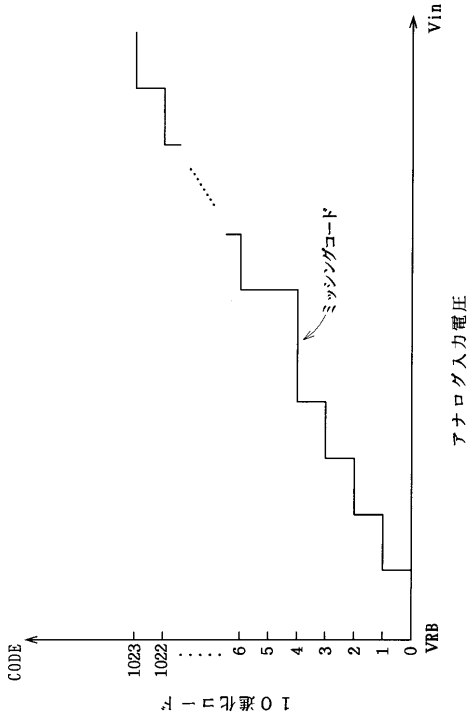
【図３９】

バイナルコード										１０進化コード
MSB 7j	7i	7h	7g	7f	7e	7d	7c	7b	LSB 7a	(デシマルコード)
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	1	1
0	0	0	0	0	0	0	0	1	0	2
0	0	0	0	0	0	0	0	1	1	3
0	0	0	0	0	0	0	1	0	0	4
0	0	0	0	0	0	0	1	0	1	5
0	0	0	0	0	0	0	1	1	0	6
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	1	1	1	0	１０２２
1	1	1	1	1	1	1	1	1	1	１０２３

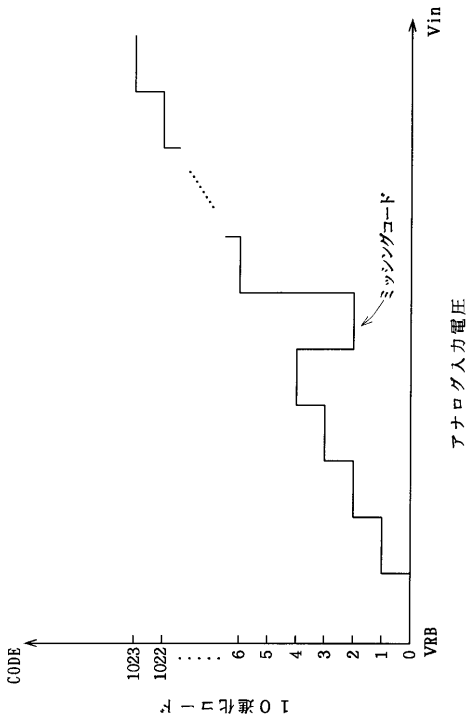
【図４０】



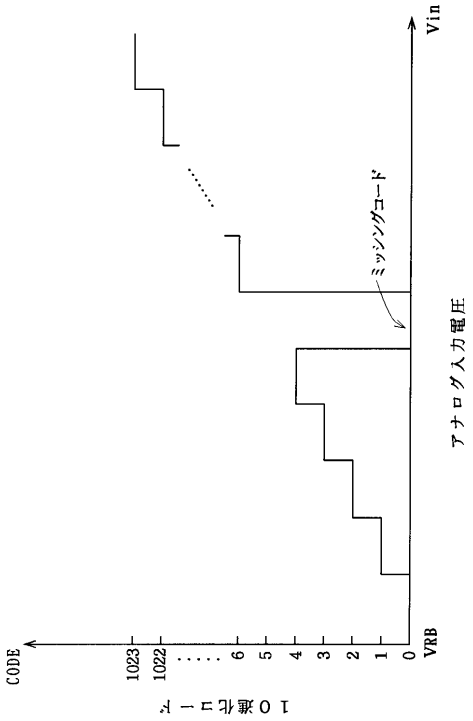
【図４１】



【図４２】


CODE
1023
1022
.....
6
5
4
3
2
1
0
VRB
Vin
ミッシングコード
アナログ入力電圧
１０進化コード

【図４３】


CODE
1023
1022
.....
6
5
4
3
2
1
0
VRB
Vin
ミッシングコード
アナログ入力電圧
１０進化コード

フロントページの続き

(56)参考文献 特開平０８－０６８８２７（ＪＰ，Ａ）
特開平０７－２８０８８０（ＪＰ，Ａ）
特開平０５－０７５４５９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03M1/00～1/88