



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UTBM

DOMANDA NUMERO	101980900000629
Data Deposito	23/07/1980
Data Pubblicazione	23/01/1982

Priorità	P 29 29 869.9
Nazione Priorità	US
Data Deposito Priorità	24-JUL-79

Titolo

CIRCUITO INTEGRATO MONOLITICO COSIDDETTO CMOS

**DOCUMENTAZIONE
RILEGATA**

DESCRIZIONE DELL'INVENZIONE

Questa invenzione riguarda un circuito integrato monolitico cosiddetto CMOS comprendente una coppia di transistori ad effetto di campo a porta isolata, complementari, con la zona di sorgente (source) e la zona di pozzo (drain) di un transistor ad effetto di campo essendo predisposte superficialmente in una area a forma di piazzuola di un secondo tipo di conduttività inserita nella parte superficiale di un substrato semiconduttore di un primo tipo di conduttività, con la zona di sorgente come pure la zona di pozzo dell'altro transistor ad effetto di campo essendo inserite nella parte superficiale del substrato e comprendente una connessione galvanica esistente tra i due elettrodi di pozzo dei due transistori ad effetto di campo ai quali è applicato il segnale di ingresso, come è noto dalla rivista tecnica tedesca "Elektronik", (1971) N. 4 pag. da 111 a 116. In questo tipo di circuito integrato monolitico cosiddetto CMOS è stato notato che in seguito all'applicazione di una tensione molto ripida o di impulsi di interferenza, attraverso il circuito integrato monolitico CMOS si può verificare un corto circuito che probabilmente ne provoca la distruzione. Questo fenomeno è notato principalmente nel caso di circuiti CMOS comprendenti elettrodi di porta (gate) in alluminio con un'alta tensione di soglia, e che sono predisposti per il funzionamento in alte tensioni di alimentazione.

Si era supposto che ciò fosse dovuto alle capacità di sovrapposizione tra gli elettrodi di porta e le zone di pozzo (drain). Infatti, nel caso dell'invertitore in CMOS, gli elettrodi di porta e gli elettrodi di pozzo (drain) del transistor a canale-n e a canale-p sono collegati l'uno con l'altro tramite tracciati conduttori in alluminio evaporato. Perciò durante il

processo di commutazione, una parte della variazione di tensione in corrispondenza dell'elettrodo di porta viene trasferita dalla capacità di sovrapposizione dell'elettrodo di porta, capacitivamente, alla zona di pozzo (drain) dei transistori.

Perciò un gradino di tensione infinitamente ripido UG applicato all'elettrodo di porta, causa una variazione di tensione sull'elettrodo di pozzo (drain):

$$\Delta U_D = \Delta U_{D\text{MAX}} = \Delta U_G \cdot C_u / C_K .$$

In cui C_u è la capacità di sovrapposizione tra l'elettrodo di porta e la zona di pozzo (drain), e C_K è l'intera capacità nodale sul lato del pozzo (drain) includente C_u .

Quando si considera il caso in cui il potenziale di porta (gate) varia dal suo valore "più positivo" al suo valore "più negativo", a causa di una divisione capacitiva di tensione, il potenziale di porta (gate) del transistor a canale-n, varierà da

$$0 \text{ a } - \Delta U_D .$$

Poichè l'area a forma di piazzuola, a regime, è collegata a massa, ne deriva, a causa del gradino di tensione tramite la giunzione di pozzo (drain), una caduta di tensione ΔU_D che, secondo un calcolo, può ammontare a 2 Volt. La zona di pozzo (drain) diventa negativa rispetto all'area a forma di piazzuola ed inizia a estrarre una corrente diretta allorché

$$U_D > 0.7 \text{ V},$$

cioè, maggiore della tensione di soglia della giunzione pn di pozzo (drain) In questa condizione, una corrente diretta fluirà attraverso questa giunzione-pn e, come è ben noto, condurrà ad una iniezione di portatori di cari-

che entro il lato ad alto valore ohmico, cioè entro l'area a forma di piazzuola adiacente alla giunzione pn di pozzo (drain). Poichè la giunzione-pn, polarizzata inversamente, è posizionata nelle immediate vicinanze tra l'area a forma di piazzuola e il substrato, detta giunzione-pn agirà come una giunzione di collettore sugli elettroni iniettati dalla zona di pozzo entro la zona a forma di piazzuola drogata di tipo p. Ad un tasso di iniezione sufficientemente alto, la tensione si scarica attraverso la giunzione-pn tra l'area a forma di piazzuola e il substrato. L'ultimo perde il suo effetto barriera e causa così la commutazione attraverso la struttura a quattro strati canale-n-sorgente/piazzuola-p/substrato-n/canale-p-zona di sorgente, questo essendo generalmente riferito come "effetto tiristore".

Questa identificazione è il punto di partenza sul quale si basa l'invenzione. Per consentire lo stabilirsi dell'effetto tiristore, è necessario soddisfare la seguente condizione: $U_D > 0.7 V$.

In pratica U_D non raggiungerà completamente il suo valore massimo teorico

$$\Delta U_{Dmax} = \Delta U_G \cdot C_u / G_K$$

perchè la differenza di potenziale tra la zona di pozzo (drain) e la zona di sorgente del transistor ad effetto di campo a canale-n che ne risulta, inizierà immediatamente a compensarsi per mezzo del flusso di corrente attraverso il transistor che è ancora nello stato di conduzione, con le parti "sorgente" (source) e "pozzo" (drain) essendo cambiate a causa delle condizioni di potenziale durante questa fase di compensazione.

Quando ΔU_D non ha superato, durante questa fase, il valore critico necessario per l'innesco, per esempio

$$\Delta U_{Dcrit} \approx 0.7 V$$

allora l'effetto tiristore non avrà luogo e l'operazione di commutazione

si compierà normalmente: il transistor a canale-p è diventato conduttivo, il transistor a canale-n è reso non conduttivo, e il potenziale di pozzo (drain) (in corrispondenza dell'uscita dell'invertitore) raggiunge il suo valore "più positivo" U_B .

Naturalmente, l'effetto tiristore può anche essere soppresso mediante un pilotaggio più lento e applicando fronti di tensione piatti agli elettrodi di porta, mediante progetto altamente resistivo dello stadio pilota, (piccoli rapporti W/L), ampliando la capacità C_K nodale, per esempio, ampliando le aree diffuse della zona di pozzo (drain) o riducendo l'effetto di iniezione zona di drain-piazzuola-substrato, sebbene non senza difficoltà e non senza causare ulteriori inconvenienti, come una perdita in velocità.

Perciò lo scopo dell'invenzione è quello di provvedere un circuito integrato monolitico CMOS nel quale venga evitato il non desiderato effetto tiristore precedentemente menzionato, impedendo così che il dispositivo venga distrutto dagli impulsi.

Nel caso di un circuito integrato monolitico CMOS incastonato in un substrato di silicio è possibile usare, per esempio un contatto Al-Si il quale impedisce che il potenziale della zona di pozzo (drain) diventi capacitivamente abbassato al disotto di quello della piazzuola-p più della tensione di soglia Schottky. Tuttavia è anche possibile usare altri metalli per stabilire il contatto della barriera Schottky, come è noto, vedasi per esempio la rivista tecnica "Solid-State Electronics" Vol. 14 (1971) da pag. 71 a 75 e "IEEE Transactions on Electron Devices" Vol. ED-16 N° 1 (Jan. 1969) da pag. 58 a 63. In questo modo è assicurato che la tensione di soglia (tensione di soglia nella direzione diretta) del contatto della bar-

riera di Schottky rimane al disotto di quello di una giunzione-pn.

Poichè di conseguenza, la tensione di soglia Schottky è più bassa di quella della giunzione-pn della zona di pozzo (drain), la corrente, senza portatori di carica minoritari, circolante attraverso il contatto di barriera Schottky, condurrà ad una scarica sul lato del pozzo (drain), impedendo così un flusso di corrente diretta con una iniezione attraverso la giunzione-pn della zona di pozzo (drain).

Analogamente ed in accordo con una ulteriore realizzazione del circuito integrato monolitico CMOS secondo l'invenzione, è anche possibile provvedere un contatto di barriera Schottky tra la zona pozzo (drain) del transistor a canale-p e il substrato. Tuttavia, in molti casi, un contatto di barriera Schottky sul lato del transistor ad effetto di campo a canale-n sarà sufficiente, perchè là il pericolo di una iniezione all'interno della giunzione-pn tra l'area a forma di piazzuola e la zona di pozzo (drain) è più grande (maggiore) che se si dovesse estendere dalla zona di pozzo (drain) del transistor ad effetto di campo a canale-p.

L'invenzione sarà ora spiegata facendo riferimento alle fig. 1 a 4 dei disegni allegati, nei quali:

la fig. 1, parzialmente in una vista in sezione presa quasi verticalmente attraverso un substrato a forma di piatto, mostra un circuito invertitore CMOS integrato monolitico del tipo tradizionale.

la fig. 2 mostra tre schemi di circuiti equivalenti attinenti al percorso della corrente del potenziale da zero a U_B estendentesi attraverso l'area a forma di piazzuola e il substrato,

la fig. 3 mostra una ulteriore realizzazione del circuito invertitore CMOS integrato monolitico comprendente un ulteriore contatto di barriera

ra Schottky, e

la fig. 4 mostra i due schemi di circuiti equivalenti inerenti ai diodi a barriera Schottky sia su l'area a forma di piazzuola drogata-p che sul substrato-n.

La fig. 1, in una vista in sezione, mostra un circuito integrato monolitico CMOS del tipo tradizionale, collegato come un invertitore.

Per stabilire un transistor ad effetto di campo a canale-n, un'area 2 di conduzione tipo p a forma di piazzuola è stata inserita in un substrato di tipo-n; ciò può essere effettuato nel modo tradizionale servendosi di un processo di diffusione planare. Inserite in questa area 2, vi sono la zona di pozzo 5 (drain) e la zona di sorgente 10 (source) mentre in prossimità dell'area 2 formante una giunzione-pn 7 con il substrato 1, la zona 6 di pozzo (drain), e la zona 9 di sorgente (source) del transistor ad effetto di campo a canale-p sono state prodotte mediante diffusione planare. Il segnale di ingresso è applicato, in corrispondenza di U_G , alla connessione galvanica tra i due elettrodi di porta 11 e 12. L'alimentazione con $U_B > 0$ è applicata tra il substrato e la zona 9 di sorgente (source) da una parte, e la zona 2 a forma di isola a potenziale zero, dall'altra.

La fig. 2 mostra lo schema del circuito equivalente di fig. 1 comprendente i tre diodi-pn tra le rispettive zone 1, 2, 6 e 10, i numeri di riferimento dei quali essendo attaccati alle connessioni che si estendono tra i diodi-pn.

La fig. 2a riguarda il caso ideale dove

$$0 < U_D < U_B, \text{ con almeno } -0.7 \leq U_D < U_B + 0.7 \text{ V.}$$

La fig. 2b riguarda il caso dove il tiristore è "innescato" dal

transistore-pn parassitico, con l'innescò effettuato attraverso la zona 5 di pozzo (drain) che, per così dire, è da considerarsi come una zona di emettitore ausiliaria di un tiristore avente la seguente successione di zone: Zona 10 di sorgente (source)/area 2 a forma di piazzuola/substrato 1/ zona 9 di sorgente (source). Di conseguenza, la zona 5 di pozzo (drain) è da considerare come zona di emettitore di uno schema di circuito equivalente del transistore parassitico T_1 al quale viene temporaneamente applicata una tensione $U_D = \Delta U_D < - 0.7 \text{ V}$.

La fig. 2c si riferisce al caso in cui un tiristore è innescato da un transistore-pnp T2 parassitico che usa la zona 6 di pozzo (drain) come zona di emettitore. A questo, per ottenere l'innescò, viene applicata la tensione $U_D = U_B + \Delta U_D > U_B + 0.7 \text{ V}$, ammesso che, come di consueto, sia usato il silicio come materiale semiconduttore.

La fig. 3 è una vista in sezione trasversale corrispondente alla fig. 1, mostrandone un circuito integrato monolitico CMOS secondo l'invenzione ciascuno impiegante un contatto 3 o 4 a barriera Schottky, collegato alla zona 5 di pozzo (drain) del transistore ad effetto di campo a canale-n o alla zona 6 di drain del transistore ad effetto di campo a canale-p rispettivamente. Tuttavia, nella maggiore parte dei casi, il contatto 4 a barriera Schottky sul substrato 2 può essere omesso, perchè normalmente la zona 5 di pozzo (drain) del transistore ad effetto di campo a canale-n verrà a trovarsi molto più vicino alla giunzione 7-pn agente come giunzione di collettore del tiristore sopramenzionato, cioè tra la piazzuola e il substrato 1, della zona 6 di pozzo (drain) del transistore ad effetto di campo a canale-p.

La fig. 4a mostra lo schema di un circuito equivalente relativo al contatto 3 a barriera Schottky sull'area 2 a forma di piazzuola, con un transistor T1 parassitico e la zona 5 di pozzo (drain) diventati efficaci, mentre la fig. 4b mostra lo schema di un circuito equivalente relativo al caso in cui il contatto 4 a barriera Schottky è predisposto sul substrato 1 con il transistor parassitico T2, rispettivamente.

RIVENDICAZIONI

1. Circuito integrato monolitico in CMOS comprendente una coppia di transistori complementari ad effetto di campo a porta isolata, con la zona di sorgente (source) e la zona di pozzo (drain) di un transistore ad effetto di campo predisposte sulla superficie di una zona a forma di piazzuola di un secondo tipo di conduttività inserita all'interno della superficie di un substrato semiconduttore di un primo tipo di conduttività, con ambedue le zone di sorgente (source) e di pozzo (drain) di un secondo transistore ad effetto di campo essendo inserite all'interno della superficie del substrato e comprendente una connessione galvanica tra gli elettrodi di pozzo (drain) dei due transistori ad effetto di campo ai quali viene applicato il segnale di ingresso, caratterizzato dal fatto che:

l'area a forma di piazzuola è fissata ad un contatto a barriera Schottky avente una tensione di soglia più bassa di quella della giunzione-pn tra detta area a forma di piazzuola e la zona di pozzo (drain) del transistore ad effetto di campo situato entro detta area a forma di piazzuola, e detto contatto a barriera Schottky è in contatto con la connessione galvanica tra le due zone di pozzo (drain).

2. Circuito integrato monolitico CMOS secondo la rivendicazione 1, caratterizzato dal fatto che il substrato è fissato ad un ulteriore contatto a barriera Schottky avente una tensione di soglia più bassa di quella della giunzione-pn tra detta zona di pozzo (drain) del transistore ad effetto di campo situato nel substrato e detto substrato, e detto ulteriore contatto a barriera schottky è in contatto con la connessione galvanica tra dette due zone di pozzo (drain).

p. p. il Mandatario: Industrie FACE Standard SpA

Il Procuratore alla firma:



l'ufficiale Rogante
Pietro (Mansueto)

(Stemma)

23632 A/80

CERTIFICATO

La DEUTSCHE ITT INDUSTRIES GMBH a 7800 FREIBURG
in Germania ha depositato una Domanda di Brevetto avente
per titolo:

" CIRCUITO INTEGRATO MONOLITICO COSIDDETTO CMOS "

il 24 Luglio 79 all'Ufficio Brevetti Tedesco.

I documenti legati in fascicolo sono una fedele ed esatta copia
dei documenti originali di questa Domanda di Brevetto.

La Domanda é contrassegnata, presso l'Ufficio Brevetti, provvi-
soriamente con il simbolo HO1L 27-04 e
della Classificazione Internazionale.

Monaco, il 20 Marzo 1980

Il Presidente dell'Ufficio
Brevetti Tedesco

in fede

Sigillo a secco.

(Schaaf)

Numero dell'Atto:

P 29 29 869.9

" CIRCUITO INTEGRATO MONOLITICO COSIDDETTO CMOS "

DESCRIZIONE DELL'INVENZIONE

Questa invenzione riguarda un circuito integrato monolitico cosiddetto CMOS comprendente una coppia di transistori ad effetto di campo a porta isolata, complementari, con la zona di sorgente (source) e la zona di pozzo (drain) di un transistore ad effetto di campo essendo predisposte superficialmente in una area a forma di piazzuola di un secondo tipo di conduttività inserita nella parte superficiale di un substrato semiconduttore di un primo tipo di conduttività, con la zona di sorgente come pure la zona di pozzo dell'altro transistore ad effetto di campo essendo inserite nella parte superficiale del substrato e comprendente una connessione galvanica esistente tra i due elettrodi di pozzo dei due transistori ad effetto di campo ai quali è applicato il segnale di ingresso, come è noto dalla rivista tecnica tedesca "Elektronik", (1971) N. 4 pag. da 111 a 116. In questo tipo di circuito integrato monolitico cosiddetto CMOS è stato notato che in seguito all'applicazione di una tensione molto ripida o di impulsi di interferenza, attraverso il circuito integrato monolitico CMOS si può verificare un corto circuito che probabilmente ne provoca la distruzione. Questo fenomeno è notato principalmente nel caso di circuiti CMOS comprendenti elettrodi di porta (gate) in alluminio con un'alta tensione di soglia, e che sono predisposti per il funzionamento in alte tensioni di alimentazione.

Si era supposto che ciò fosse dovuto alle capacità di sovrapposizione tra gli elettrodi di porta e le zone di pozzo (drain). Infatti, nel caso dell'invertitore in CMOS, gli elettrodi di porta e gli elettrodi di pozzo (drain) del transistore a canale-n e a canale-p sono collegati l'uno con l'altro tramite tracciati conduttori in alluminio evaporato. Perciò durante il

processo di commutazione, una parte della variazione di tensione in corrispondenza dell'elettrodo di porta viene trasferita dalla capacità di sovrapposizione dell'elettrodo di porta, capacitivamente, alla zona di pozzo (drain) dei transistori.

Perciò un gradino di tensione infinitamente ripido U_G applicato all'elettrodo di porta, causa una variazione di tensione sull'elettrodo di pozzo (drain):

$$\Delta U_D = \Delta U_{D\text{MAX}} = \Delta U_G \cdot C_u / C_K .$$

In cui C_u è la capacità di sovrapposizione tra l'elettrodo di porta e la zona di pozzo (drain), e C_K è l'intera capacità nodale sul lato del pozzo (drain) includente C_u .

Quando si considera il caso in cui il potenziale di porta (gate) varia dal suo valore "più positivo" al suo valore "più negativo", a causa di una divisione capacitiva di tensione, il potenziale di porta (gate) del transistor a canale-n, varierà da

$$0 \text{ a } - \Delta U_D .$$

Poichè l'area a forma di piazzuola, a regime, è collegata a massa, ne deriva, a causa del gradino di tensione tramite la giunzione di pozzo (drain), una caduta di tensione ΔU_D che, secondo un calcolo, può ammontare a 2 Volt. La zona di pozzo (drain) diventa negativa rispetto all'area a forma di piazzuola ed inizia a estrarre una corrente diretta allorché

$$U_D > 0.7 \text{ V,}$$

cioè, maggiore della tensione di soglia della giunzione pn di pozzo (drain). In questa condizione, una corrente diretta fluirà attraverso questa giunzione-pn e, come è ben noto, condurrà ad una iniezione di portatori di cari-

che entro il lato ad alto valore ohmico, cioè entro l'area a forma di piazzuola adiacente alla giunzione pn di pozzo (drain). Poichè la giunzione-pn, polarizzata inversamente, è posizionata nelle immediate vicinanze tra l'area a forma di piazzuola e il substrato, detta giunzione-pn agirà come una giunzione di collettore sugli elettroni iniettati dalla zona di pozzo entro la zona a forma di piazzuola drogata di tipo p. Ad un tasso di iniezione sufficientemente alto, la tensione si scarica attraverso la giunzione-pn tra l'area a forma di piazzuola e il substrato. L'ultimo perde il suo effetto barriera e causa così la commutazione attraverso la struttura a quattro strati canale-n-sorgente/piazzuola-p/substrato-n/canale-p-zona di sorgente, questo essendo generalmente riferito come "effetto tiristore".

Questa identificazione è il punto di partenza sul quale si basa l'invenzione. Per consentire lo stabilirsi dell'effetto tiristore, è necessario soddisfare la seguente condizione: $U_D > 0.7V$.

In pratica U_D non raggiungerà completamente il suo valore massimo teorico

$$\Delta U_{Dmax} = \Delta U_G \cdot C_u / G_K$$

perchè la differenza di potenziale tra la zona di pozzo (drain) e la zona di sorgente del transistor ad effetto di campo a canale-n che ne risulta, inizierà immediatamente a compensarsi per mezzo del flusso di corrente attraverso il transistor che è ancora nello stato di conduzione, con le parti "sorgente" (source) e "pozzo" (drain) essendo cambiate a causa delle condizioni di potenziale durante questa fase di compensazione.

Quando ΔU_D non ha superato, durante questa fase, il valore critico necessario per l'innesco, per esempio

$$\Delta U_{Dcrit} \approx 0.7 V$$

allora l'effetto tiristore non avrà luogo e l'operazione di commutazione

si compierà normalmente: il transistor a canale-p è diventato conduttivo, il transistor a canale-n è reso non conduttivo, e il potenziale di pozzo (drain) (in corrispondenza dell'uscita dell'invertitore) raggiunge il suo valore "più positivo" U_B .

Naturalmente, l'effetto tiristore può anche essere soppresso mediante un pilotaggio più lento e applicando fronti di tensione piatti agli elettrodi di porta, mediante progetto altamente resistivo dello stadio pilota, (piccoli rapporti W/L), ampliando la capacità C_K nodale, per esempio, ampliando le aree diffuse della zona di pozzo (drain) o riducendo l'effetto di iniezione zona di drain-piazzuola-substrato, sebbene non senza difficoltà e non senza causare ulteriori inconvenienti, come una perdita in velocità.

Perciò lo scopo dell'invenzione è quello di provvedere un circuito integrato monolitico CMOS nel quale venga evitato il non desiderato effetto tiristore precedentemente menzionato, impedendo così che il dispositivo venga distrutto dagli impulsi.

Nel caso di un circuito integrato monolitico CMOS incastonato in un substrato di silicio è possibile usare, per esempio un contatto Al-Si il quale impedisce che il potenziale della zona di pozzo (drain) diventi capacitivamente abbassato al disotto di quello della piazzuola-p più della tensione di soglia Schottky. Tuttavia è anche possibile usare altri metalli per stabilire il contatto della barriera Schottky, come è noto, vedasi per esempio la rivista tecnica "Solid-State Electronics" Vol. 14 (1971) da pag. 71 a 75 e "IEEE Transactions on Electron Devices" Vol. ED-16 N° 1 (Jan. 1969) da pag. 58 a 63. In questo modo è assicurato che la tensione di soglia (tensione di soglia nella direzione diretta) del contatto della bar-

riera di Schottky rimane al disotto di quello di una giunzione-pn.

Poichè di conseguenza, la tensione di soglia Schottky è più bassa di quella della giunzione-pn della zona di pozzo (drain), la corrente, senza portatori di carica minoritari, circolante attraverso il contatto di barriera Schottky, condurrà ad una scarica sul lato del pozzo (drain), impedendo così un flusso di corrente diretta con una iniezione attraverso la giunzione-pn della zona di pozzo (drain).

Analogamente ed in accordo con una ulteriore realizzazione del circuito integrato monolitico CMOS secondo l'invenzione, è anche possibile provvedere un contatto di barriera Schottky tra la zona pozzo (drain) del transistor a canale-p e il substrato. Tuttavia, in molti casi, un contatto di barriera Schottky sul lato del transistor ad effetto di campo a canale-n sarà sufficiente, perchè là il pericolo di una iniezione all'interno della giunzione-pn tra l'area a forma di piazzuola e la zona di pozzo (drain) è più grande (maggiore) che se si dovesse estendere dalla zona di pozzo (drain) del transistor ad effetto di campo a canale-p.

L'invenzione sarà ora spiegata facendo riferimento alle fig. 1 a 4 dei disegni allegati, nei quali:

la fig. 1, parzialmente in una vista in sezione presa quasi verticalmente attraverso un substrato a forma di piatto, mostra un circuito invertitore CMOS integrato monolitico del tipo tradizionale.

la fig. 2 mostra tre schemi di circuiti equivalenti attinenti al percorso della corrente del potenziale da zero a U_B estendentesi attraverso l'area a forma di piazzuola e il substrato,

la fig. 3 mostra una ulteriore realizzazione del circuito invertitore CMOS integrato monolitico comprendente un ulteriore contatto di barriera

ra Schottky, e

la fig. 4 mostra i due schemi di circuiti equivalenti inerenti ai diodi a barriera Schottky sia su l'area a forma di piazzuola drogata-p che sul substrato-n.

La fig. 1, in una vista in sezione, mostra un circuito integrato monolitico CMOS del tipo tradizionale, collegato come un invertitore.

Per stabilire un transistor ad effetto di campo a canale-n, un'area 2 di conduzione tipo p a forma di piazzuola è stata inserita in un substrato di tipo-n; ciò può essere effettuato nel modo tradizionale servendosi di un processo di diffusione planare. Inserite in questa area 2, vi sono la zona di pozzo 5 (drain) e la zona di sorgente 10 (source) mentre in prossimità dell'area 2 formante una giunzione-pn 7 con il substrato 1, la zona 6 di pozzo (drain), e la zona 9 di sorgente (source) del transistor ad effetto di campo a canale-p sono state prodotte mediante diffusione planare. Il segnale di ingresso è applicato, in corrispondenza di U_G , alla connessione galvanica tra i due elettrodi di porta 11 e 12. L'alimentazione con $U_B > 0$ è applicata tra il substrato e la zona 9 di sorgente (source) da una parte, e la zona 2 a forma di isola a potenziale zero, dall'altra.

La fig. 2 mostra lo schema del circuito equivalente di fig. 1 comprendente i tre diodi-pn tra le rispettive zone 1, 2, 6 e 10, i numeri di riferimento dei quali essendo attaccati alle connessioni che si estendono tra i diodi-pn.

La fig. 2a riguarda il caso ideale dove

$$0 < U_D < U_B, \text{ con almeno } -0.7 \leq U_D < U_B + 0.7 \text{ V.}$$

La fig. 2b riguarda il caso dove il tiristore è "innescato" dal

transistore-pn parassitico, con l'innescò effettuato attraverso la zona 5 di pozzo (drain) che, per così dire, è da considerarsi come una zona di emettitore ausiliaria di un tiristore avente la seguente successione di zone: Zona 10 di sorgente (source)/area 2 a forma di piazzuola/substrato 1/ zona 9 di sorgente (source). Di conseguenza, la zona 5 di pozzo (drain) è da considerare come zona di emettitore di uno schema di circuito equivalente del transistore parassitico T_1 al quale viene temporaneamente applicata una tensione $U_D = \Delta U_D < - 0.7 \text{ V}$.

La fig. 2c si riferisce al caso in cui un tiristore è innescato da un transistore-pnp T2 parassitico che usa la zona 6 di pozzo (drain) come zona di emettitore. A questo, per ottenere l'innescò, viene applicata la tensione $U_D = U_B + \Delta U_D > U_B + 0.7 \text{ V}$, ammesso che, come di consueto, sia usato il silicio come materiale semiconduttore.

La fig. 3 è una vista in sezione trasversale corrispondente alla fig. 1, mostrandone un circuito integrato monolitico CMOS secondo l'invenzione ciascuno impiegante un contatto 3 o 4 a barriera Schottky, collegato alla zona 5 di pozzo (drain) del transistore ad effetto di campo a canale-n o alla zona 6 di drain del transistore ad effetto di campo a canale-p rispettivamente. Tuttavia, nella maggiore parte dei casi, il contatto 4 a barriera Schottky sul substrato 2 può essere omesso, perchè normalmente la zona 5 di pozzo (drain) del transistore ad effetto di campo a canale-n verrà a trovarsi molto più vicino alla giunzione 7-pn agente come giunzione di collettore del tiristore sopramenzionato, cioè tra la piazzuola e il substrato 1, della zona 6 di pozzo (drain) del transistore ad effetto di campo a canale-p.

La fig. 4a mostra lo schema di un circuito equivalente relativo al contatto 3 a barriera Schottky sull'area 2 a forma di piazzuola, con un transistor T1 parassitico e la zona 5 di pozzo (drain) diventati efficaci, mentre la fig. 4b mostra lo schema di un circuito equivalente relativo al caso in cui il contatto 4 a barriera Schottky è predisposto sul substrato 1 con il transistor parassitico T2, rispettivamente.

RIVENDICAZIONI

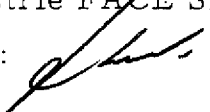
1. Circuito integrato monolitico in CMOS comprendente una coppia di transistori complementari ad effetto di campo a porta isolata, con la zona di sorgente (source) e la zona di pozzo (drain) di un transistore ad effetto di campo predisposte sulla superficie di una zona a forma di piazzuola di un secondo tipo di conduttività inserita all'interno della superficie di un substrato semiconduttore di un primo tipo di conduttività, con ambedue le zone di sorgente (source) e di pozzo (drain) di un secondo transistore ad effetto di campo essendo inserite all'interno della superficie del substrato e comprendente una connessione galvanica tra gli elettrodi di pozzo (drain) dei due transistori ad effetto di campo ai quali viene applicato il segnale di ingresso, caratterizzato dal fatto che:

l'area a forma di piazzuola è fissata ad un contatto a barriera Schottky avente una tensione di soglia più bassa di quella della giunzione-pn tra detta area a forma di piazzuola e la zona di pozzo (drain) del transistore ad effetto di campo situato entro detta area a forma di piazzuola, e detto contatto a barriera Schottky è in contatto con la connessione galvanica tra le due zone di pozzo (drain).

2. Circuito integrato monolitico CMOS secondo la rivendicazione 1, caratterizzato dal fatto che il substrato è fissato ad un ulteriore contatto a barriera Schottky avente una tensione di soglia più bassa di quella della giunzione-pn tra detta zona di pozzo (drain) del transistore ad effetto di campo situato nel substrato e detto substrato, e detto ulteriore contatto a barriera schottky è in contatto con la connessione galvanica tra dette due zone di pozzo (drain).

Per traduzione conforme

p. p. il Mandatario: Industrie FACE Standard SpA

Il Procuratore alla firma: 

23632 A/80

FIG.1

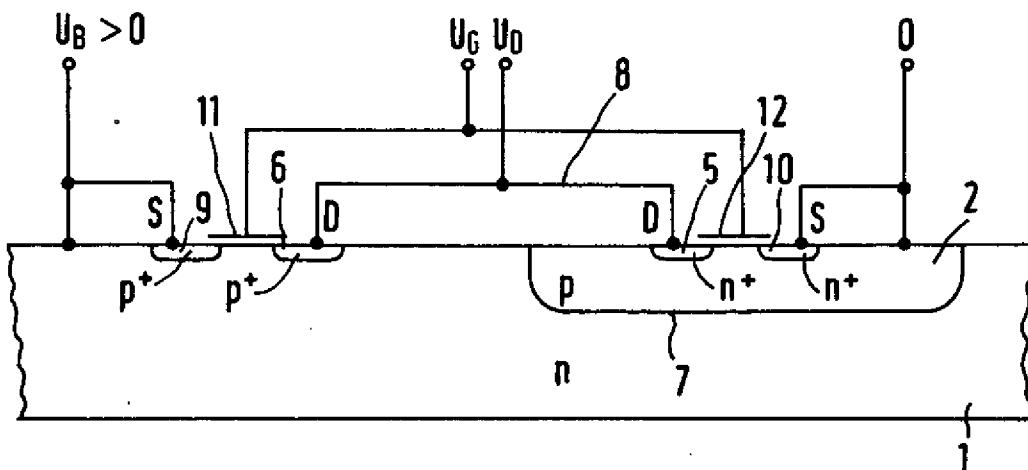
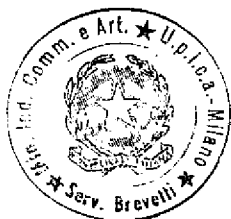
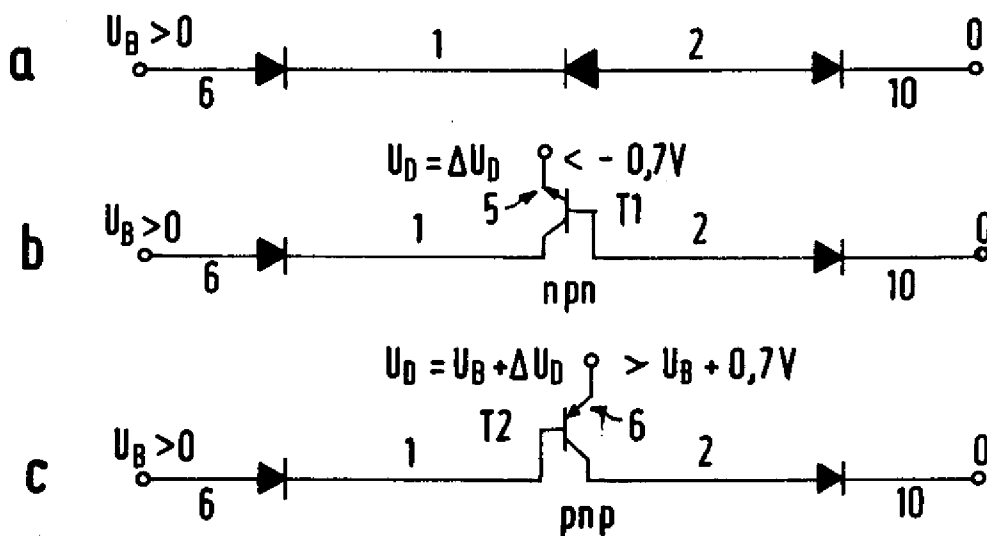
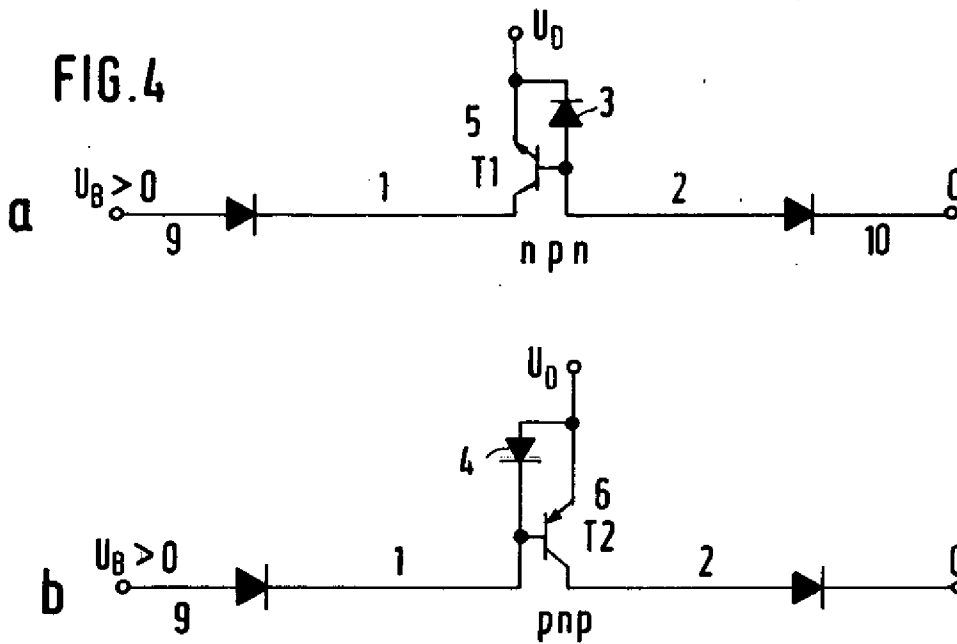
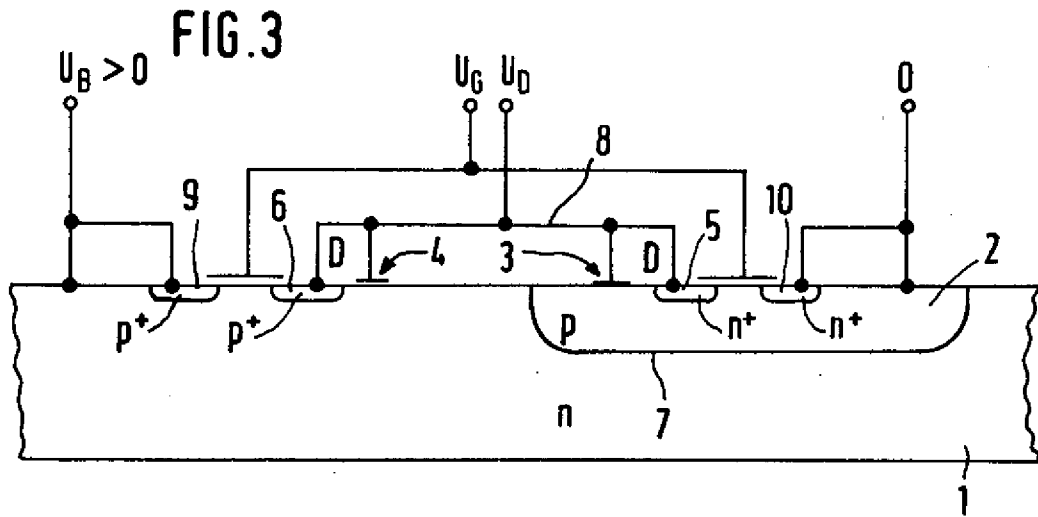


FIG.2



Ufficiale Rogante
(Pierol Messineo)

Industrie FACE STANDARD S.p.A.



l'ufficiale Rogante
Pietro (Acquino)

Industrie FACE STANDARD S.p.A.