

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成23年5月19日(2011.5.19)

【公開番号】特開2010-21918(P2010-21918A)
 【公開日】平成22年1月28日(2010.1.28)
 【年通号数】公開・登録公報2010-004
 【出願番号】特願2008-182437(P2008-182437)
 【国際特許分類】

H 0 3 M 1/14 (2006.01)

【 F I 】

H 0 3 M 1/14

【手続補正書】

【提出日】平成23年4月1日(2011.4.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

アナログ信号をデジタル信号に変換するパイプライン型A/Dコンバータであって、
 縦列接続された複数のステージと、前記複数のステージのそれぞれから出力される副デジタル信号に基づいて前記デジタル信号を生成するエラー補正回路とを備え、
 前記複数のステージのうち少なくとも1つのステージは、Nビットの前記副デジタル信号を出力する場合に、伝導関数のステージゲインが 2^{N-K-1} で、且つ折返し数が $2^N - 2$ となり、整数Kが $1 \leq K \leq N$ の関係の有していることを特徴とするパイプライン型A/Dコンバータ。

【請求項2】

アナログ信号をデジタル信号に変換するパイプライン型A/Dコンバータであって、
 縦列接続された複数のステージと、前記複数のステージのそれぞれから出力される副デジタル信号に基づいて前記デジタル信号を生成するエラー補正回路とを備え、
 前記複数のステージのうち少なくとも1つのステージは、同じ伝導関数の折返し回数で、ステージゲインのみ緩和させることを特徴とするパイプライン型A/Dコンバータ。

【請求項3】

請求項1に記載のパイプライン型A/Dコンバータであって、
 前記ステージは、前記アナログ信号を前記副デジタル信号に変換して前記エラー補正回路に出力するサブAD回路と、
 前記アナログ信号及び前記サブAD回路で生成された前記副デジタル信号に応じたレベルの副アナログ信号を生成し、次段の前記ステージに出力するDA回路とを備え、
 前記DA回路は、
 前記サブAD回路で生成された前記副デジタル信号により前記アナログ信号に応じた基準電圧に接続する複数の容量と、
 前記複数の容量の出力を増幅する増幅器と、
 前記増幅器の入出力に接続するフィードバック容量とを備え、
 前記複数の容量は 2^N 個設けられ、前記フィードバック容量は 2^{K+1} 個設けられることを特徴とするパイプライン型A/Dコンバータ。

【請求項4】

請求項1に記載のパイプライン型A/Dコンバータであって、

前記整数 K は 1 であることを特徴とするパイプライン型 A / D コンバータ。

【請求項 5】

請求項 4 に記載のパイプライン型 A / D コンバータであって、

前記ステージは、前記アナログ信号を前記副デジタル信号に変換して前記エラー補正回路に出力するサブ A D 回路と、

前記アナログ信号及び前記サブ A D 回路で生成された前記副デジタル信号に応じたレベルの副アナログ信号を生成し、次段の前記ステージに出力する D A 回路とを備え、

前記 D A 回路は、

前記サブ A D 回路で生成された前記副デジタル信号により前記アナログ信号に応じた基準電圧に接続する複数の第 1 容量と、

前記第 1 容量の出力を増幅する増幅器と、

前記増幅器の入出力に接続するフィードバック容量とを備え、

前記複数の第 1 容量は 2^{N-1} 個設けられ、前記複数の第 1 容量のうち 2 個を前記フィードバック容量として利用することを特徴とするパイプライン型 A / D コンバータ。

【請求項 6】

請求項 5 に記載のパイプライン型 A / D コンバータであって、

0 V で充電され、前記複数の第 1 容量と共に前記基準電圧に接続する第 2 容量をさらに 1 個備えることを特徴とするパイプライン型 A / D コンバータ。

【請求項 7】

請求項 5 に記載のパイプライン型 A / D コンバータであって、

前記第 1 容量の半分の容量を有し、予め所定の電圧で充電される第 2 容量をさらに 3 個備え、3 個の前記第 2 容量は、いずれか 1 つが前記複数の第 1 容量と共に前記基準電圧に接続することを特徴とするパイプライン型 A / D コンバータ。

【請求項 8】

請求項 5 に記載のパイプライン型 A / D コンバータであって、

前記複数のステージのうち 1 段目の前記ステージは、前記アナログ信号のレベルが所定の入力電圧範囲を越えたことに応じてオーバーフロー検出信号を出力するオーバーフロー検出信号回路をさらに備えることを特徴とするパイプライン型 A / D コンバータ。

【請求項 9】

請求項 1 に記載のパイプライン型 A / D コンバータであって、

前記整数 K は 2 であることを特徴とするパイプライン型 A / D コンバータ。

【請求項 10】

請求項 9 に記載のパイプライン型 A / D コンバータであって、

前記ステージは、前記アナログ信号を前記副デジタル信号に変換して前記エラー補正回路に出力するサブ A D 回路と、

前記アナログ信号及び前記サブ A D 回路で生成された前記副デジタル信号に応じたレベルの副アナログ信号を生成し、次段の前記ステージに出力する D A 回路とを備え、

前記 D A 回路は、

前記サブ A D 回路で生成された前記副デジタル信号により前記アナログ信号に応じた基準電圧に接続する複数の第 1 容量と、

前記第 1 容量の出力を増幅する増幅器と、

前記増幅器の入出力に接続するフィードバック容量とを備え、

前記複数の第 1 容量は 2^{N-1} 個設けられ、前記複数の第 1 容量のうち 4 個を前記フィードバック容量として利用することを特徴とするパイプライン型 A / D コンバータ。

【請求項 11】

請求項 10 に記載のパイプライン型 A / D コンバータであって、

0 V で充電され、前記複数の第 1 容量と共に前記基準電圧に接続する第 2 容量をさらに 3 個備えることを特徴とするパイプライン型 A / D コンバータ。

【請求項 12】

請求項 10 に記載のパイプライン型 A / D コンバータであって、

予め所定の電圧で充電される複数の第2容量をさらに備え、前記複数の第2容量のうちいずれか1つ又は組合せて前記複数の第1容量と共に前記基準電圧に接続することを特徴とするパイプライン型A/Dコンバータ。

【請求項13】

アナログ信号をデジタル信号に変換するパイプライン型A/Dコンバータであって、
縦列接続された複数のステージと、前記複数のステージのそれぞれから出力される副デジタル信号に基づいて前記デジタル信号を生成するエラー補正回路とを備え、
前記複数のステージの少なくとも一つのステージは、Nビットの前記副デジタル信号を出力し、整数K伝導関数のステージゲインが 2^{N-K-1} で、且つ折り返し数が 2^N となり、整数Kが $1 \leq K \leq N$ の関係性を有していることを特徴とするパイプライン型A/Dコンバータ

【請求項14】

請求項13に記載のパイプライン型A/Dコンバータであって、
前記少なくとも一つのステージは、前記アナログ信号のレベルが所定の入力電圧範囲を超えたことに応じてオーバーフロー検出信号を出力するオーバーフロー検出信号回路をさらに備えることを特徴とするパイプライン型A/Dコンバータ。

【手続補正2】

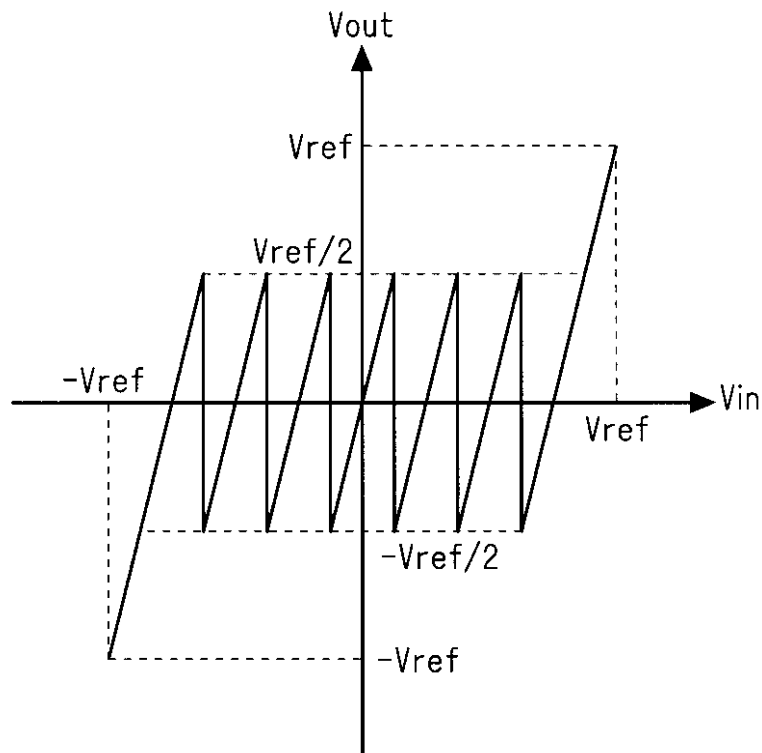
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正の内容】

【図3】



【手続補正3】

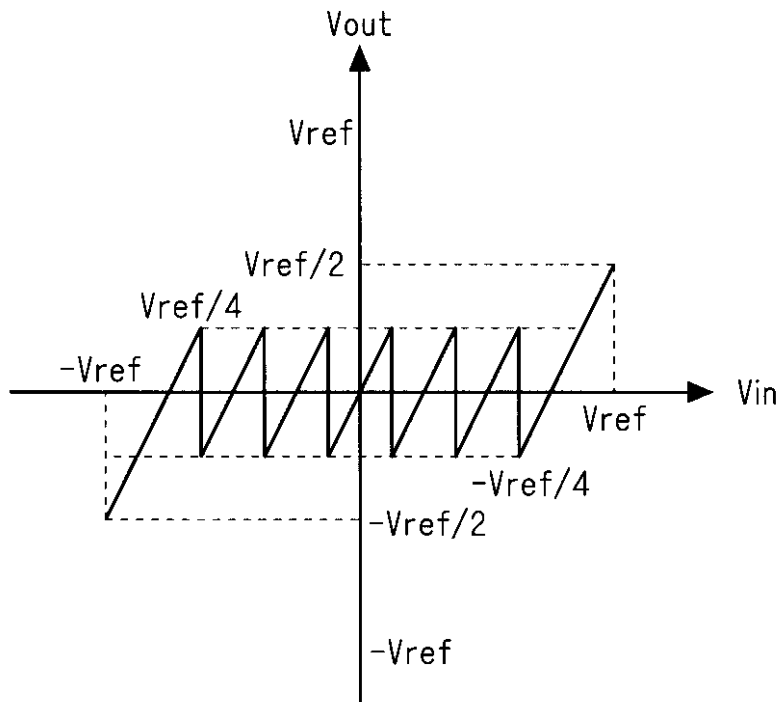
【補正対象書類名】図面

【補正対象項目名】図 9

【補正方法】変更

【補正の内容】

【図 9】



【手続補正 4】

【補正対象書類名】図面

【補正対象項目名】図 1 1

【補正方法】変更

【補正の内容】

【図 1 1】

