



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0069933  
(43) 공개일자 2023년05월19일

- (51) 국제특허분류(Int. Cl.)  
H10B 51/30 (2023.01) H01L 29/786 (2006.01)  
H10B 53/30 (2023.01) H10N 97/00 (2023.01)
- (52) CPC특허분류  
H10B 51/30 (2023.02)  
H01L 28/56 (2013.01)
- (21) 출원번호 10-2023-7009129
- (22) 출원일자(국제) 2021년09월09일  
심사청구일자 없음
- (85) 번역문제출일자 2023년03월16일
- (86) 국제출원번호 PCT/IB2021/058179
- (87) 국제공개번호 WO 2022/064306  
국제공개일자 2022년03월31일
- (30) 우선권주장  
JP-P-2020-158057 2020년09월22일 일본(JP)  
(뒷면에 계속)

- (71) 출원인  
가부시킴가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
야마자키 순페이  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시킴가이샤 한도오따이 에네루기 켄큐쇼 내  
진보 야스히로  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시킴가이샤 한도오따이 에네루기 켄큐쇼 내  
(뒷면에 계속)
- (74) 대리인  
장훈

전체 청구항 수 : 총 22 항

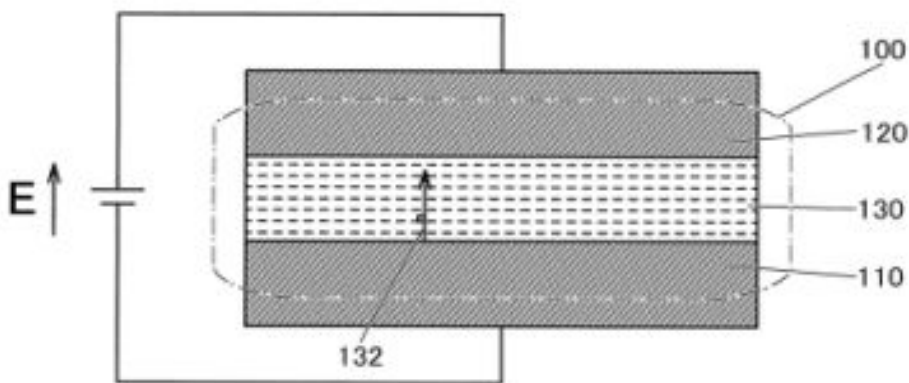
(54) 발명의 명칭 강유전체 디바이스 및 반도체 장치

(57) 요약

양호한 강유전성을 가지는 금속 산화물막을 가지는 강유전체 디바이스를 제공한다. 제 1 도전체와, 제 1 도전체 위의 금속 산화물막과, 금속 산화물막 위의 제 2 도전체를 가지고, 금속 산화물막은 강유전성을 가지고, 금속 산화물막은 결정 구조를 가지고, 결정 구조는 제 1 층과 제 2 층을 가지고, 제 1 층은 제 1 산소와 하프늄을 포함하고, 제 2 층은 제 2 산소와 지르코늄을 포함하고, 하프늄 및 지르코늄은 제 1 산소를 통하여 서로 결합되고, 제 2 산소는 지르코늄과 결합된다.

대표도

(A)



(52) CPC특허분류

*H01L 29/7869* (2013.01)

*H10B 53/30* (2023.02)

(72) 발명자

**쿠니타케 히토시**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오다이 에네루기 켄큐쇼 내

**오시마 카즈아키**

오시마 카즈아키

**오타 마사시**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오다이 에네루기 켄큐쇼 내

**후루타니 카즈마**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오다이 에네루기 켄큐쇼 내

**아오키 타케시**

일본 243-0422 가나가와켄 에비나시 나카신덴  
3-43-3

(30) 우선권주장

JP-P-2020-158058 2020년09월22일 일본(JP)

JP-P-2020-161542 2020년09월26일 일본(JP)

## 명세서

### 청구범위

#### 청구항 1

강유전체 디바이스로서,  
제 1 도전체와,  
상기 제 1 도전체 위의 금속 산화물막과,  
상기 금속 산화물막 위의 제 2 도전체를 가지고,  
상기 금속 산화물막은 강유전성을 가지고,  
상기 금속 산화물막은 결정 구조를 가지고,  
상기 결정 구조는 제 1 층과 제 2 층을 가지고,  
상기 제 1 층은 제 1 산소와 하프늄을 포함하고,  
상기 제 2 층은 제 2 산소와 지르코늄을 포함하고,  
상기 하프늄 및 상기 지르코늄은 상기 제 1 산소를 통하여 서로 결합되고,  
상기 제 2 산소는 상기 지르코늄과 결합되는, 강유전체 디바이스.

#### 청구항 2

강유전체 디바이스로서,  
제 1 도전체와,  
상기 제 1 도전체 위의 금속 산화물막과,  
상기 금속 산화물막 위의 제 2 도전체와,  
상기 제 2 도전체 위의 밀봉막을 가지고,  
상기 금속 산화물막은 강유전성을 가지고,  
상기 금속 산화물막은 결정 구조를 가지고,  
상기 결정 구조는 제 1 층과 제 2 층을 가지고,  
상기 제 1 층은 제 1 산소와 하프늄을 포함하고,  
상기 제 2 층은 제 2 산소와 지르코늄을 포함하고,  
상기 하프늄 및 상기 지르코늄은 상기 제 1 산소를 통하여 서로 결합되고,  
상기 제 2 산소는 상기 지르코늄과 결합되는, 강유전체 디바이스.

#### 청구항 3

제 2 항에 있어서,  
상기 밀봉막은 제 1 밀봉막과 상기 제 1 밀봉막 위의 제 2 밀봉막을 가지고,  
상기 제 1 밀봉막은 산소와 알루미늄을 포함하고,  
상기 제 2 밀봉막은 질소와 실리콘을 포함하고,  
상기 제 1 밀봉막은 수소를 흡착 또는 포획하는 기능을 가지는, 강유전체 디바이스.

**청구항 4**

반도체 장치로서,  
 트랜지스터와 상기 트랜지스터에 전기적으로 접속되는 용량 소자를 가지고,  
 상기 용량 소자는  
 제 1 도전체와,  
 상기 제 1 도전체 위의 금속 산화물막과,  
 상기 금속 산화물막 위의 제 2 도전체를 가지고,  
 상기 금속 산화물막은 강유전성을 가지고,  
 상기 금속 산화물막은 결정 구조를 가지고,  
 상기 결정 구조는 제 1 층과 제 2 층을 가지고,  
 상기 제 1 층은 제 1 산소와 하프늄을 포함하고,  
 상기 제 2 층은 제 2 산소와 지르코늄을 포함하고,  
 상기 하프늄 및 상기 지르코늄은 상기 제 1 산소를 통하여 서로 결합되고,  
 상기 제 2 산소는 상기 지르코늄과 결합되는, 반도체 장치.

**청구항 5**

제 4 항에 있어서,  
 상기 트랜지스터는 채널 형성 영역에 실리콘을 포함하는, 반도체 장치.

**청구항 6**

제 4 항에 있어서,  
 상기 트랜지스터는 채널 형성 영역에 산화물 반도체를 가지는, 반도체 장치.

**청구항 7**

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,  
 상기 금속 산화물막에 포함되는 수소 및 탄소 중 적어도 하나 이상의 농도는 SIMS 분석에 있어서  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 8**

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,  
 상기 금속 산화물막에 포함되는 수소 및 탄소 중 적어도 하나 이상의 농도는 SIMS 분석에 있어서  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 9**

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,  
 상기 금속 산화물막에 포함되는 염소의 농도는 SIMS 분석에 있어서  $5 \times 10^{21}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 10**

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,  
 상기 금속 산화물막에 포함되는 염소의 농도는 SIMS 분석에 있어서  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 11**

반도체 장치로서,  
반도체막과,  
상기 반도체막 위의 금속 산화물막과,  
상기 금속 산화물막 위의 제 2 도전체를 가지고,  
상기 금속 산화물막은 강유전성을 가지고,  
상기 금속 산화물막은 결정 구조를 가지고,  
상기 결정 구조는 제 1 층과 제 2 층을 가지고,  
상기 제 1 층은 제 1 산소와 하프늄을 포함하고,  
상기 제 2 층은 제 2 산소와 지르코늄을 포함하고,  
상기 하프늄 및 상기 지르코늄은 상기 제 1 산소를 통하여 서로 결합되고,  
상기 제 2 산소는 상기 지르코늄과 결합되는, 반도체 장치.

**청구항 12**

제 11 항에 있어서,  
상기 반도체막은 실리콘 또는 산화물 반도체를 가지고,  
상기 반도체막에 전기적으로 접속되는 소스 전극 및 드레인 전극을 가지는, 반도체 장치.

**청구항 13**

제 11 항 또는 제 12 항에 있어서,  
상기 금속 산화물막에 포함되는 수소 및 탄소 중 적어도 하나 이상의 농도는 SIMS 분석에 있어서  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 14**

제 11 항 또는 제 12 항에 있어서,  
상기 금속 산화물막에 포함되는 수소 및 탄소 중 적어도 하나 이상의 농도는 SIMS 분석에 있어서  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 15**

제 11 항 또는 제 12 항에 있어서,  
상기 금속 산화물막에 포함되는 염소의 농도는 SIMS 분석에 있어서  $5 \times 10^{21}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 16**

제 11 항 또는 제 12 항에 있어서,  
상기 금속 산화물막에 포함되는 염소의 농도는 SIMS 분석에 있어서  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 17**

반도체 장치로서,  
제 1 도전체와,  
상기 제 1 도전체 위의 금속 산화물막과,

상기 금속 산화물막 위의 제 2 도전체와,  
 상기 제 1 도전체의 상면 및 상기 제 2 도전체의 하면 중 어느 한쪽 또는 양쪽에 위치하는 절연체를 가지고,  
 상기 금속 산화물막은 강유전성을 가지고,  
 상기 금속 산화물막은 결정 구조를 가지고,  
 상기 결정 구조는 제 1 층과 제 2 층을 가지고,  
 상기 제 1 층은 제 1 산소와 하프늄을 포함하고,  
 상기 제 2 층은 제 2 산소와 지르코늄을 포함하고,  
 상기 하프늄 및 상기 지르코늄은 상기 제 1 산소를 통하여 서로 결합되고,  
 상기 제 2 산소는 상기 지르코늄과 결합되는, 반도체 장치.

**청구항 18**

제 17 항에 있어서,  
 상기 절연체는 질소와 실리콘을 포함하는, 반도체 장치.

**청구항 19**

제 17 항 또는 제 18 항에 있어서,  
 상기 금속 산화물막에 포함되는 수소 및 탄소 중 적어도 하나 이상의 농도는 SIMS 분석에 있어서  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 20**

제 17 항 또는 제 18 항에 있어서,  
 상기 금속 산화물막에 포함되는 수소 및 탄소 중 적어도 하나 이상의 농도는 SIMS 분석에 있어서  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 21**

제 17 항 또는 제 18 항에 있어서,  
 상기 금속 산화물막에 포함되는 염소의 농도는 SIMS 분석에 있어서  $5 \times 10^{21}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 22**

제 17 항 또는 제 18 항에 있어서,  
 상기 금속 산화물막에 포함되는 염소의 농도는 SIMS 분석에 있어서  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 일 형태는 금속 산화물 또는 상기 금속 산화물을 이용한 강유전체 디바이스, 및 이들의 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 트랜지스터, 반도체 장치, 및 전자 기기에 관한 것이다. 또는, 본 발명의 일 형태는 반도체 장치의 제작 방법에 관한 것이다. 또는, 본 발명의 일 형태는 반도체 웨이퍼 및 모듈에 관한 것이다.

[0002] 또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억

장치, 반도체 회로, 활상 장치, 전자 기기 등은 반도체 장치를 가진다고 할 수 있는 경우가 있다.

[0003] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태는 물건, 방법, 또는 제조 방법에 관한 것이다. 또한 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

**배경 기술**

[0004] 근년 반도체 장치가 개발이 진행되고 있고, 반도체 장치에는 LSI, CPU, 메모리 등이 주로 사용되고 있다. CPU는 반도체 웨이퍼를 가공하여 칩으로 한 반도체 집적 회로(적어도 트랜지스터 및 메모리)를 포함하고, 접속 단자인 전극이 형성된 반도체 소자의 집합체이다.

[0005] LSI, CPU, 메모리 등의 반도체 회로(IC칩)는 회로 기관, 예를 들어 인쇄 배선 기관에 실장되고, 다양한 전자 기기의 부품 중 하나로서 사용된다.

[0006] 또한, 절연 표면을 가지는 기관 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC), 화상 표시 장치(단순히 표시 장치라고도 표기함)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료 및 산화물 반도체 등이 알려져 있다.

[0007] 또한, 비특허문헌 1에 나타낸 바와 같이, 강유전체(ferroelectric)를 사용한 메모리 어레이의 연구 개발이 활발히 진행되고 있다. 또한, 차세대 강유전성 메모리를 위하여, 강유전성 HfO<sub>2</sub> 기반 재료의 연구(비특허문헌 2), 하프늄 산화물 박막의 강유전성에 관한 연구(비특허문헌 3), HfO<sub>2</sub> 박막의 강유전성(비특허문헌 4), 및 강유전체 Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub>를 사용한 FeRAM과 CMOS의 통합의 실증(비특허문헌 5) 등, 산화 하프늄에 관련된 연구도 활발히 진행되고 있다.

**선행기술문헌**

**비특허문헌**

[0008] (비특허문헌 0001) T.S.Boescke, et al, "Ferroelectricity in hafnium oxide thin films", APL99, 2011  
 (비특허문헌 0002) Zhen Fan, et al, "Ferroelectric HfO<sub>2</sub>-based materials for next-generation ferroelectric memories", JOURNAL OF ADVANCED DIELECTRICS, Vol.6, No.2, 2016  
 (비특허문헌 0003) Jun Okuno, et al, "SoC compatible 1T1C FeRAM memory array based on ferroelectric Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub>", VLSI 2020  
 (비특허문헌 0004) Akira Toriumi, 'HfO<sub>2</sub> 박막의 강유전성', 일본 응용 물리 학회, 제 88권, 제 9호, 2019  
 (비특허문헌 0005) T.Francois,et al, "Demonstration of BEOL-compatible ferroelectric Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> scaled FeRAM co-integrated with 130nm CMOS for embedded NVM applications", IEDM 2019

**발명의 내용**

**해결하려는 과제**

[0009] 비특허문헌 1 내지 비특허문헌 5에 나타내어진 바와 같이, 강유전체에 관하여 다양한 연구 개발이 진행되고 있다. 예를 들어, 비특허문헌 1에서는 도 8의 (A)에 나타낸 바와 같이, 'Orthorhombic phase Ferroelectric' 때 산소 원자의 움직임에 따라 분극(P)의 부호가 변화된다고 보고되어 있다. 또한, 비특허문헌 2에서는 도 8의 (B)에 나타낸 바와 같이, Hf와 Zr의 조성에 따라 분극의 크기 및 유전율( $\epsilon_r$ )이 변화된다고 보고되어 있다.

[0010] 또한, 비특허문헌 3에서는, 도 9에 나타낸 바와 같이 강유전체의 신뢰성 시험의 1개인 재기록 내성이 10<sup>9</sup>번 정도인 것이 보고되어 있다. 또한, 비특허문헌 4에서는, 도 10의 (A), (B), 및 (C)에 나타낸 바와 같이, HfO<sub>2</sub>의 회절 강도, 분극, 및 결정 구조에 대하여 보고되어 있다.

- [0011] 상술한 바와 같이 강유전체에 대하여 다양한 연구 개발이 진행되고 있지만, 강유전체의 특성에 대해서는 아직 개선의 여지가 많고, 신뢰성 등의 특성 향상이 요구되고 있다.
- [0012] 그러므로, 본 발명의 일 형태는 양호한 강유전성을 가지는 재료, 즉 강유전성을 가지는 금속 산화물막을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 강유전성을 가질 수 있는 재료를 이용한 용량 소자를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 강유전성을 가질 수 있는 재료를 이용한 트랜지스터를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 강유전성을 가질 수 있는 재료를 이용한 용량 소자 및 다이오드를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 강유전성을 가질 수 있는 재료를 이용하며, 터널 접합을 이용한 소자를 제공하는 것을 과제의 하나로 한다.
- [0013] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재에서 이들 외의 과제를 추출할 수 있다.

**과제의 해결 수단**

- [0014] 본 발명의 일 형태는 제 1 도전체와, 제 1 도전체 위의 금속 산화물막과, 금속 산화물막 위의 제 2 도전체를 가지고, 금속 산화물막은 강유전성을 가지고, 금속 산화물막은 결정 구조를 가지고, 결정 구조는 제 1 층과 제 2 층을 가지고, 제 1 층은 제 1 산소와 하프늄을 포함하고, 제 2 층은 제 2 산소와 지르코늄을 포함하고, 하프늄 및 지르코늄은 제 1 산소를 통하여 서로 결합되고, 제 2 산소는 지르코늄과 결합되는 강유전체 디바이스이다.
- [0015] 본 발명의 다른 일 형태는 제 1 도전체와, 제 1 도전체 위의 금속 산화물막과, 금속 산화물막 위의 제 2 도전체와, 제 2 도전체 위의 밀봉막을 가지고, 금속 산화물막은 강유전성을 가지고, 금속 산화물막은 결정 구조를 가지고, 결정 구조는 제 1 층과 제 2 층을 가지고, 제 1 층은 제 1 산소와 하프늄을 포함하고, 제 2 층은 제 2 산소와 지르코늄을 포함하고, 하프늄 및 지르코늄은 제 1 산소를 통하여 서로 결합되고, 제 2 산소는 지르코늄과 결합되는 강유전체 디바이스이다.
- [0016] 상기에서 밀봉막은 제 1 밀봉막과 제 1 밀봉막 위의 제 2 밀봉막을 가지고, 제 1 밀봉막은 산소와 알루미늄을 포함하고, 제 2 밀봉막은 질소와 실리콘을 포함하고, 제 1 밀봉막은 수소를 흡착 또는 포획하는 기능을 가지는 것이 바람직하다.
- [0017] 본 발명의 다른 일 형태는 트랜지스터와 트랜지스터에 전기적으로 접속되는 용량 소자를 가지고, 용량 소자는 제 1 도전체와, 제 1 도전체 위의 금속 산화물막과, 금속 산화물막 위의 제 2 도전체를 가지고, 금속 산화물막은 강유전성을 가지고, 금속 산화물막은 결정 구조를 가지고, 결정 구조는 제 1 층과 제 2 층을 가지고, 제 1 층은 제 1 산소와 하프늄을 포함하고, 제 2 층은 제 2 산소와 지르코늄을 포함하고, 하프늄 및 지르코늄은 제 1 산소를 통하여 서로 결합되고, 제 2 산소는 지르코늄과 결합되는 반도체 장치이다.
- [0018] 또한, 상기 형태에 있어서, 트랜지스터는 채널 형성 영역에 실리콘을 포함하는 것이 바람직하다.
- [0019] 또한, 상기 형태에 있어서, 트랜지스터는 채널 형성 영역에 산화물 반도체를 가지는 것이 바람직하다.
- [0020] 본 발명의 일 형태는 반도체막과, 반도체막 위의 금속 산화물막과, 금속 산화물막 위의 제 2 도전체를 가지고, 금속 산화물막은 강유전성을 가지고, 금속 산화물막은 결정 구조를 가지고, 결정 구조는 제 1 층과 제 2 층을 가지고, 제 1 층은 제 1 산소와 하프늄을 포함하고, 제 2 층은 제 2 산소와 지르코늄을 포함하고, 하프늄 및 지르코늄은 제 1 산소를 통하여 서로 결합되고, 제 2 산소는 지르코늄과 결합되는 반도체 장치이다.
- [0021] 또한, 상기 형태에 있어서, 반도체막은 실리콘 또는 산화물 반도체를 가지고, 반도체막에 전기적으로 접속되는 소스 전극 및 드레인 전극을 가지는 것이 바람직하다.
- [0022] 또한, 본 발명의 다른 일 형태는 제 1 도전체와, 제 1 도전체 위의 금속 산화물막과, 금속 산화물막 위의 제 2 도전체와, 제 1 도전체의 상면 및 제 2 도전체의 하면 중 어느 한쪽 또는 양쪽에 위치하는 절연체를 가지고, 금속 산화물막은 강유전성을 가지고, 금속 산화물막은 결정 구조를 가지고, 결정 구조는 제 1 층과 제 2 층을 가지고, 제 1 층은 제 1 산소와 하프늄을 포함하고, 제 2 층은 제 2 산소와 지르코늄을 포함하고, 하프늄 및 지르코늄은 제 1 산소를 통하여 서로 결합되고, 제 2 산소는 지르코늄과 결합되는 반도체 장치이다.
- [0023] 상기 형태에 있어서, 절연체는 질소와 실리콘을 포함하는 것이 바람직하다.
- [0024] 또한, 상기 각 형태에 있어서, 금속 산화물막에 포함되는 수소 및 탄소 중 적어도 하나 이상의 농도는 SIMS 분

석에 있어서  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인 것이 바람직하다. 또한, 상기 각 형태에 있어서, 금속 산화물막에 포함되는 수소 및 탄소 중 적어도 하나 이상의 농도는 SIMS 분석에 있어서  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인 것이 더 바람직하다. 또한, 상기 각 형태에 있어서, 금속 산화물막에 포함되는 염소의 농도는 SIMS 분석에 있어서  $5 \times 10^{21}$  atoms/cm<sup>3</sup> 이하인 것이 바람직하다. 또한, 상기 각 형태에 있어서, 금속 산화물막에 포함되는 염소의 농도는 SIMS 분석에 있어서  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이하인 것이 더 바람직하다.

### 발명의 효과

[0025] 본 발명의 일 형태에 의하여 양호한 강유전성을 가지는 재료, 즉 강유전성을 가지는 금속 산화물막을 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 강유전성을 가질 수 있는 재료를 이용한 용량 소자를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 강유전성을 가질 수 있는 재료를 이용한 트랜지스터를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 강유전성을 가질 수 있는 재료를 이용한 용량 소자 및 다이오드를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 강유전성을 가질 수 있는 재료를 이용하며, 터널 접합을 이용한 소자를 제공할 수 있다.

[0026] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한 이들 외의 효과는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재에서 이들 외의 효과를 추출할 수 있다.

### 도면의 간단한 설명

[0027] 도 1의 (A1), (B1), 및 (C1)은 본 발명의 일 형태에 따른 반도체 장치의 회로도이다. 도 1의 (A2), (B2), (C2), (C3), 및 (C4)는 본 발명의 일 형태에 따른 반도체 장치의 단면 구조를 설명하는 도면이다.

도 2의 (A) 및 (B)는 본 발명의 일 형태인 용량 소자의 모식도이다. 도 2의 (C)는 본 발명의 일 형태인 용량 소자가 가지는 강유전체의 모식도이다.

도 3의 (A) 내지 (C)는 본 발명의 일 형태인 HfZrO<sub>x</sub>의 결정 구조의 모델도이다. 도 3의 (D)는 강유전체층의 히스테리시스 특성의 일례를 나타낸 그래프이다.

도 4의 (A) 내지 (C)는 용량 소자가 가지는 강유전체의 모식도이다.

도 5의 (A) 내지 (C)는 본 발명의 일 형태인 용량 소자의 제작 방법을 나타낸 단면도이다.

도 6은 본 발명의 일 형태에 따른 산화 하프늄의 결정 구조를 설명하는 모델도이다.

도 7의 (A)는 본 발명의 일 형태에 따른 금속 산화물막의 성막 시퀀스를 나타낸 도면이다. 도 7의 (B)는 본 발명의 일 형태에 따른 금속 산화물막의 제조 장치의 단면도이다. 도 7의 (C)는 산화물의 성막 시퀀스를 나타낸 도면이다.

도 8의 (A)는 비특허문헌 1에 개시되어 있는 강유전체의 분극을 설명하는 도면이고, 도 8의 (B)는 비특허문헌 2에 개시되어 있는 Hf와 Zr의 조성에 따른 분극의 크기 및 유전율의 변화를 설명하는 도면이다.

도 9는 비특허문헌 3에 개시되어 있는 강유전체의 재기록 내성을 설명하는 도면이다.

도 10의 (A) 내지 (C)는 비특허문헌 4에 개시되어 있는 HfO<sub>2</sub>의 회절 강도, 분극, 및 결정 구조를 설명하는 도면이다.

도 11의 (A)는 본 발명의 일 형태인 반도체 장치의 상면도이다. 도 11의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 단면도이다.

도 12의 (A) 및 (B)는 본 발명의 일 형태인 반도체 장치의 단면도이다.

도 13의 (A)는 IGZO의 결정 구조의 분류를 설명하는 도면이다. 도 13의 (B)는 CAAC-IGZO막의 XRD 스펙트럼을 설명하는 도면이다. 도 13의 (C)는 CAAC-IGZO막의 나노빔 회절 패턴을 설명하는 도면이다.

도 14의 (A)는 본 발명의 일 형태인 반도체 장치의 상면도이다. 도 14의 (B)는 본 발명의 일 형태인 반도체 장치의 단면도이다.

- 도 15의 (A)는 본 발명의 일 형태인 반도체 장치의 상면도이다. 도 15의 (B)는 본 발명의 일 형태인 반도체 장치의 단면도이다.
- 도 16의 (A)는 본 발명의 일 형태인 반도체 장치의 상면도이다. 도 16의 (B)는 본 발명의 일 형태인 반도체 장치의 단면도이다.
- 도 17의 (A)는 본 발명의 일 형태에 따른 반도체 장치의 평면도이다. 도 17의 (B) 및 (C)는 본 발명의 일 형태인 반도체 장치의 단면도이다.
- 도 18은 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도이다.
- 도 19는 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도이다.
- 도 20의 (A) 및 (B)는 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도이다.
- 도 21의 (A) 내지 (C)는 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도이다.
- 도 22의 (A) 내지 (C)는 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도이다.
- 도 23의 (A) 내지 (D)는 본 발명의 일 형태에 따른 기억 장치의 제작 방법을 나타낸 단면도이다.
- 도 24는 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도이다.
- 도 25는 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도이다.
- 도 26의 (A) 및 (B)는 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도이다.
- 도 27의 (A) 내지 (C)는 본 발명의 일 형태인 반도체 장치의 단면도이다.
- 도 28의 (A)는 본 발명의 일 형태에 따른 기억 장치의 구성예를 나타낸 블록도이다. 도 28의 (B)는 본 발명의 일 형태에 따른 기억 장치의 구성예를 나타낸 사시도이다.
- 도 29의 (A)는 메모리 셀의 구성예를 나타낸 회로도이다. 도 29의 (B1)은 강유전체층의 히스테리시스 특성의 일례를 나타낸 그래프이다. 도 29의 (B2)는 이상적인 강유전체층의 히스테리시스 특성의 일례를 나타낸 그래프이다. 도 29의 (C)는 메모리 셀의 구동 방법의 일례를 나타낸 타이밍 차트이다.
- 도 30의 (A) 내지 (E)는 본 발명의 일 형태에 따른 기억 장치의 모식도이다.
- 도 31의 (A) 내지 (H)는 본 발명의 일 형태에 따른 전자 기기를 나타낸 도면이다.
- 도 32의 (A)는 시료의 외관을 나타낸 광학식 현미경 사진이다. 도 32의 (B)는 시료의 단면 개략도이다. 도 32의 (C)는 입력 전압 파형을 나타낸 도면이다.
- 도 33의 (A) 내지 (F)는 삼각파를 사용한 P-E 특성의 취득 방법을 설명하는 도면이다.
- 도 34의 (A)는 P-E 특성의 측정 결과를 나타낸 도면이다. 도 34의 (B)는 GIXD 측정 결과를 나타낸 도면이다.
- 도 35의 (A)는 시료의 단면 TEM 이미지이고, 도 35의 (B) 및 (C)는 시료의 FFT 도형이다.
- 도 36의 (A)는 시료의 단면 TEM 이미지이고, 도 36의 (B) 및 (C)는 시료의 FFT 도형이다.
- 도 37의 (A)는 시료의 단면 TEM 이미지이고, 도 37의 (B) 및 (C)는 시료의 FFT 도형이다.
- 도 38의 (A) 내지 (C)는 시료의 단면 TEM 이미지이다.
- 도 39는 라인 EDX 분석의 분석 결과를 나타낸 도면이다.
- 도 40의 (A)는 Ra의 측정 결과를 나타낸 도면이고, 도 40의 (B)는 RMS의 측정 결과를 나타낸 도면이다.
- 도 41은 SIMS 분석 결과를 나타낸 도면이다.
- 도 42는 SIMS 분석 결과를 나타낸 도면이다.
- 도 43은 SIMS 분석 결과를 나타낸 도면이다.
- 도 44는 SIMS 분석 결과를 나타낸 도면이다.
- 도 45의 (A) 및 (B)는 피로 특성의 측정 결과를 나타낸 도면이다.

- 도 46의 (A)는 P-E 특성을 나타낸 도면이다. 도 46의 (B)는 피로 특성의 측정 결과를 나타낸 도면이다.
- 도 47은 P-E 특성을 나타낸 도면이다.
- 도 48은 I-V 특성을 나타낸 도면이다.
- 도 49는 XRD 측정 결과를 나타낸 도면이다.
- 도 50은 P-E 특성을 나타낸 도면이다.
- 도 51은 I-V 특성을 나타낸 도면이다.
- 도 52는 XRD 측정 결과를 나타낸 도면이다.
- 도 53은 피로 특성을 나타낸 도면이다.
- 도 54는 P-E 특성을 나타낸 도면이다.
- 도 55의 (A) 및 (B)는 P-E 특성을 나타낸 도면이다. 도 55의 (C) 및 (D)는 분극과 삼각파의 주파수의 관계를 나타낸 도면이다.
- 도 56의 (A)는 계산 모델을 나타낸 도면이다. 도 56의 (B)는 계산 후의 계산 모델을 나타낸 도면이다.
- 도 57의 (A) 및 (B)는 리텐션(Retention) 측정을 설명하는 도면이다.
- 도 58의 (A) 내지 (C)는 리텐션 측정 결과를 나타낸 도면이다.
- 도 59의 (A)는 P-V 특성을 나타낸 도면이고, 도 59의 (B)는 I-V 특성을 나타낸 도면이다.
- 도 60의 (A) 및 (B)는 트랜지스터의 전기 특성을 나타낸 도면이다.
- 도 61의 (A)는 등가 회로도의 일례이고, 도 61의 (B)는 레이아웃의 일례를 나타낸 상면도이다.
- 도 62의 (A)는 타이밍 차트를 나타낸 도면이고, 도 62의 (B1)은 기록 동작(Write)을 나타낸 회로도이고, 도 62의 (B2)는 기록 동작을 설명하기 위한 히스테리시스 특성을 나타낸 도면이고, 도 62의 (C1)은 판독 동작(Read)을 나타낸 회로도이고, 도 62의 (C2)는 판독 동작을 설명하기 위한 히스테리시스 특성을 나타낸 도면이다.
- 도 63의 (A)는 기록 동작과 판독 동작을 40번 반복적으로 수행한 측정 결과를 중첩시켜 표시한 도면이고, 도 63의 (B)는 비교예이다.
- 도 64의 (A), (B), (C), 및 (D)는 f 특성의 측정 방법을 나타낸 도면이다.
- 도 65는 f 특성의 측정 결과를 나타낸 도면이다.
- 도 66의 (A), (B), (C), 및 (D)는 리텐션 측정의 방법을 나타낸 도면이다.
- 도 67은 리텐션 측정의 결과를 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0028] 이하에서 실시형태에 대해서 도면을 참조하면서 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0029] 또한 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 반드시 그 스케일에 한정되지는 않는다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타난 형상 또는 값 등에 한정되지 않는다. 예를 들어 실제의 제조 공정에서, 에칭 등의 처리에 의하여 층, 레지스트 마스크 등이 의도하지 않게 감소되는 경우가 있지만, 이해를 용이하게 하기 위하여 도면에 반영하지 않은 경우가 있다. 또한 도면에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이에 대한 반복적인 설명은 생략하는 경우가 있다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0030] 또한 특히 상면도('평면도'라고도 함), 사시도 등에서, 발명의 이해를 용이하게 하기 위하여 일부의 구성 요소

의 기재를 생략하는 경우가 있다. 또한 일부의 숨은선 등의 기재를 생략하는 경우가 있다.

- [0031] 또한 본 명세서 등에서 제 1, 제 2 등으로 붙여지는 서수사는 편의상 사용되는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 그러므로 예를 들어 '제 1'을 '제 2' 또는 '제 3' 등으로 적절히 바꿔 설명할 수 있다. 또한 본 명세서 등에 기재되는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.
- [0032] 또한 본 명세서 등에서 '위', '아래' 등 배치를 나타내는 말은 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있다. 또한 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 그러므로 명세서에서 설명한 말에 한정되지 않고, 상황에 따라 적절히 환언할 수 있다.
- [0033] 예를 들어 본 명세서 등에서 X와 Y가 접촉된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 도면 또는 문장에 개시되어 있는 것으로 한다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0034] 또한 본 명세서 등에서 트랜지스터란 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 가지는 소자이다. 그리고 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널이 형성되는 영역(이하에서는 채널 형성 영역이라고도 함)을 가지고, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있는 것이다. 또한 본 명세서 등에서 채널 형성 영역이란 전류가 주로 흐르는 영역을 말한다.
- [0035] 또한 소스 또는 드레인의 기능은 상이한 극성의 트랜지스터를 채용하는 경우 또는 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바뀌는 경우가 있다. 그러므로 본 명세서 등에서는 소스 또는 드레인이라는 용어는 서로 바꿔 사용할 수 있는 경우가 있다.
- [0036] 또한 채널 길이란, 예를 들어 트랜지스터의 상면도에서, 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널 형성 영역에서의 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 또한 하나의 트랜지스터에서, 채널 길이가 모든 영역에서 같은 값을 취한다고 할 수는 없다. 즉, 하나의 트랜지스터의 채널 길이는 하나의 값으로 정해지지 않는 경우가 있다. 따라서 본 명세서에서 채널 길이는 채널 형성 영역에서의 어느 하나의 값, 최댓값, 최솟값, 또는 평균값으로 한다.
- [0037] 채널 폭이란, 예를 들어 트랜지스터의 상면도에서, 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널 형성 영역에서의 채널 길이 방향에 수직인 방향의 채널 형성 영역의 길이를 말한다. 또한 하나의 트랜지스터에서, 채널 폭이 모든 영역에서 같은 값을 취한다고 할 수는 없다. 즉, 하나의 트랜지스터의 채널 폭은 하나의 값으로 정해지지 않는 경우가 있다. 따라서 본 명세서에서 채널 폭은 채널 형성 영역에서의 어느 하나의 값, 최댓값, 최솟값, 또는 평균값으로 한다.
- [0038] 또한 본 명세서 등에서 트랜지스터의 구조에 따라서는, 실제로 채널이 형성되는 영역에서의 채널 폭(이하 '실효적인 채널 폭'이라고도 함)과 트랜지스터의 상면도에서 나타내는 채널 폭(이하 '외관상 채널 폭'이라고도 함)이 상이한 경우가 있다. 예를 들어 게이트 전극이 반도체의 측면을 덮는 경우, 실효적인 채널 폭이 외관상 채널 폭보다 커져, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어 미세하고 게이트 전극이 반도체의 측면을 덮는 트랜지스터에서는, 반도체의 측면에 형성되는 채널 형성 영역의 비율이 커지는 경우가 있다. 이 경우에는 외관상 채널 폭보다 실효적인 채널 폭이 더 크다.
- [0039] 이러한 경우, 실효적인 채널 폭을 실측에 의하여 추정하기 어려운 경우가 있다. 예를 들어 설계값으로부터 실효적인 채널 폭을 추정하기 위해서는, 반도체의 형상이 이미 알려져 있다는 가정이 필요하다. 따라서 반도체의 형상을 정확하게 알 수 없는 경우에는 실효적인 채널 폭을 정확하게 측정하기 어렵다.
- [0040] 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는 외관상 채널 폭을 가리키는 경우가 있다. 또는 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는 실효적인 채널 폭을 가리키는 경우가 있다. 또한 채널 길이, 채널 폭, 실효적인 채널 폭, 외관상 채널 폭 등은 단면 TEM 이미지 등을 해석하는 것 등에 의하여 값을 결정할 수 있다.
- [0041] 또한 반도체의 불순물이란, 예를 들어 반도체를 구성하는 주성분 외의 것을 말한다. 예를 들어 농도가

0.1atomic% 미만인 원소는 불순물이라고 할 수 있다. 불순물이 포함됨으로써, 예를 들어 반도체의 결함 준위 밀도가 높아지거나, 결정성의 저하 등이 일어나는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 산화물 반도체의 주성분 외의 전이 금속(transition metal) 등이 있고, 예를 들어 수소, 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 또한 몰도 불순물로서 기능하는 경우가 있다. 또한 예를 들어 불순물의 혼입으로 인하여 산화물 반도체에 산소 결손( $V_o$ : oxygen vacancy라고도 함)이 형성되는 경우가 있다.

[0042] 또한 본 명세서 등에서 산화질화 실리콘이란 그 조성으로서 질소보다 산소의 함유량이 많은 것을 말한다. 또한 질화산화 실리콘이란 그 조성으로서 산소보다 질소의 함유량이 많은 것을 말한다.

[0043] 또한 본 명세서 등에서 '절연체'라는 용어를 절연막 또는 절연층이라고 환언할 수 있다. 또한 '도전체'라는 용어를 도전막 또는 도전층이라고 환언할 수 있다. 또한 '반도체'라는 용어를 반도체막 또는 반도체층이라고 환언할 수 있다.

[0044] 또한 본 명세서 등에서 '평행'이란, 2개의 직선이  $-10^\circ$  이상  $10^\circ$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서  $-5^\circ$  이상  $5^\circ$  이하의 경우도 포함된다. 또한 '실질적으로 평행'이란, 2개의 직선이  $-30^\circ$  이상  $30^\circ$  이하의 각도로 배치되어 있는 상태를 말한다. 또한 '수직'이란, 2개의 직선이  $80^\circ$  이상  $100^\circ$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서  $85^\circ$  이상  $95^\circ$  이하의 경우도 포함된다. 또한 '실질적으로 수직'이란, 2개의 직선이  $60^\circ$  이상  $120^\circ$  이하의 각도로 배치되어 있는 상태를 말한다.

[0045] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 반도체층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉, OS 트랜지스터라고 기재하는 경우에는, 금속 산화물 또는 산화물 반도체를 가지는 트랜지스터라고 환언할 수 있다.

[0046] 또한 본 명세서 등에서 노멀리 오프란 게이트에 전위를 인가하지 않거나, 또는 게이트에 접지 전위를 인가하였을 때, 트랜지스터를 흐르는 채널 폭  $1\mu\text{m}$ 당 드레인 전류가 실온에서  $1 \times 10^{-20}\text{A}$  이하,  $85^\circ\text{C}$ 에서  $1 \times 10^{-18}\text{A}$  이하, 또는  $125^\circ\text{C}$ 에서  $1 \times 10^{-16}\text{A}$  이하인 것을 말한다.

[0047] (실시형태 1)

[0048] 본 실시형태에서는, 도 1의 (A1), (A2), (B1), (B2), (C1), (C2), (C3), 및 (C4)를 사용하여 본 발명의 일 형태에 따른 금속 산화물막 및 반도체 장치에 대하여 설명한다.

[0049] 도 1의 (A1), (B1), 및 (C1)은 각각 본 발명의 일 형태에 따른 반도체 장치의 회로도이다. 도 1의 (A1)에 나타난 회로도는 하나의 트랜지스터(전계 효과 트랜지스터, FET라고도 함)와 하나의 용량 소자를 가지고, 하나의 용량 소자는 강유전성을 가질 수 있는 재료를 포함한다. 또한, 도 1의 (B1)에 나타난 회로도는 하나의 트랜지스터를 가지고, 상기 트랜지스터의 게이트 절연막에 강유전성을 가질 수 있는 재료를 포함한다. 또한, 도 1의 (C1)에 나타난 회로도는 하나의 용량 소자와 다이오드를 가지고, 용량 소자는 강유전성을 가질 수 있는 재료를 포함한다. 또한, 도 1의 (C1)에 나타난 회로도에 있어서, 하나의 용량 소자와 하나의 다이오드를 나누어 기재하였지만, 이에 한정되지 않는다. 예를 들어, 하나의 소자에서 하나의 용량 소자와 하나의 다이오드의 양쪽의 기능을 가지는 경우에는, 각각의 기능을 분리할 필요는 없다. 예를 들어, 도 1의 (C1)에 나타난 회로도에 상당하는 구성으로서, 한 쌍의 전극 사이에 절연체를 가지고, 상기 절연체와 전극 사이에서 터널 접합을 이용한 소자 구성 등을 사용할 수 있다.

[0050] 또한, 도 1의 (A1)에 나타난 회로도는 1Tr1C(1 트랜지스터, 1 커패시터)의 소자 구성으로서 생각할 수 있고, FeRAM(Ferroelectric Random Access Memory) 또는 Type1 구조라고 불러도 좋다. 또한, 도 1의 (B1)에 나타난 회로도는 1Tr(1 트랜지스터)의 소자 구성으로 생각할 수 있고, FeFET(Ferroelectric Field Effect Transistor) 또는 Type2 구조라고 불러도 좋다. 또한, 도 1의 (C1)에 나타난 회로도는 터널 접합을 이용한 하나의 커패시터의 소자 구성으로 생각할 수 있고, FTJ(Ferroelectric Tunnel Junction) 또는 Type3 구조라고 불러도 좋다.

[0051] 다음으로, 도 1의 (A1), (B1), 및 (C1)에 나타난 회로도에 나타난 구성에 적용할 수 있는 본 발명의 일 형태의 반도체 장치의 일례를 도 1의 (A2), (B2), (C2), (C3), 및 (C4)를 사용하여 설명한다. 도 1의 (A2), (B2), (C2), (C3), 및 (C4)는 각각 본 발명의 일 형태의 반도체 장치의 일례를 나타낸 단면도이다. 또한, 도 1의

(A1), (B1), 및 (C1)에 나타난 회로도에 있어서, 백색 동그라미는 단자를 나타낸다.

- [0052] 도 1의 (A2)는 도 1의 (A1)에 나타난 용량 소자에 대응하는 단면도이고, 도 1의 (B2)는 도 1의 (B1)에 나타난 강유전성을 가질 수 있는 재료를 포함하는 트랜지스터에 대응하는 단면도이고, 도 1의 (C2), (C3), 및 (C4)는 각각 도 1의 (C1)에 나타난 용량 소자 및 다이오드에 대응하는 단면도이다.
- [0053] 도 1의 (A2)는 도전체(110)와, 도전체(110) 위의 절연체(130)와, 절연체(130) 위의 도전체(120)를 가진다. 또한, 절연체(130)에는 강유전성을 가질 수 있는 재료를 사용하는 것이 바람직하다. 또한, 절연체(130)를 유전체 또는 강유전체로 바꿔 읽어도 좋다. 또한, 도 1의 (A2)에서 나타내지 않았지만 도 1의 (A1)에 나타난 바와 같이 도전체(120)는 트랜지스터의 소스 또는 드레인과 접촉하는 구성으로 하면 좋다.
- [0054] 도 1의 (B2)는 산화물(230)과, 산화물(230) 위의 절연체(130)와, 절연체(130) 위의 도전체(120)를 가진다. 또한, 절연체(130)에는 강유전성을 가질 수 있는 재료를 사용하는 것이 바람직하다. 또한, 도 1의 (B2)는 산화물(230)과 절연체(130), 즉 강유전성을 가질 수 있는 재료가 접하는 구성이라고 환언할 수 있다.
- [0055] 도 1의 (C2)는 도전체(110)와, 도전체(110) 위의 절연체(115a)와, 절연체(115a) 위의 절연체(130)와, 절연체(130) 위의 도전체(120)를 가진다. 또한, 도 1의 (C2)는 도 1의 (A2)의 도전체(110)와 절연체(130) 사이에 절연체(115a)를 가지는 구조라고도 할 수 있다. 또한, 도 1의 (C3)은 도전체(110)와, 도전체(110) 위의 절연체(130)와, 절연체(130) 위의 절연체(115b)와, 절연체(115b) 위의 도전체(120)를 가진다.
- [0056] 또한, 도 1의 (C4)는 도전체(110)와, 도전체(110) 위의 절연체(115a)와, 절연체(115a) 위의 절연체(130)와, 절연체(130) 위의 절연체(115b)와, 절연체(115b) 위의 도전체(120)를 가진다. 또한, 도 1의 (C1)의 회로도의 구성에 있어서는 P-E(Polarization density-Electric field) 특성에서 일정한 분극이 얻어지는 것이 바람직하다. 예를 들어, I-V 특성에 있어서, 제 1 구간을 0(V) 내지 3(V), 제 2 구간을 3(V) 내지 0(V), 제 3 구간을 -Va(V) 내지 Va(V), 제 4 구간을 0(V) 내지 -3(V), 제 5 구간을 -3(V) 내지 0(V), 그리고 제 6 구간을 -Va(V) 내지 Va(V)로 정의한 경우, 제 3 구간 및 제 6 구간의 전류값이 상이한 것이 바람직하다. 또한, Va는 본 회로도에서의 항전계(Ec) 이하의 전압이 바람직하다. 본 특성을 충족시키기 위해서는, 예를 들어 절연체(115a)와 절연체(115b)는 막 종류, 막질, 및 막 두께 중 적어도 어느 하나를 상이한 구성으로 하면 좋다.
- [0057] 다음으로, 각 구성 요소에 대하여 설명한다.
- [0058] <<도전체(하부 전극)>>
- [0059] 도전체(110)는 하부 전극으로서의 기능을 가진다. 또한, 도전체(110)는 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, 원자층 퇴적(ALD: Atomic Layer Deposition)법 등을 사용하여 성막할 수 있다. ALD법으로서는, 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법, 플라즈마 여기된 반응제를 사용하는 PEALD(Plasma Enhanced ALD)법 등이 있다.
- [0060] 또한, ALD법을 사용하여 도전체(110)를 성막함으로써, 평탄성이 양호한 도전막을 비교적 용이하게 성막할 수 있는 경우가 있다. 예를 들어, 열 ALD법을 사용하여 질화 타이타늄을 성막하면 좋다. 또한, 도전체(110)는 리소 그래피법 등을 사용하여 적절히 패틴 형성하면 좋다.
- [0061] 또한, 도전체(110)가 형성되는 면(피형성면이라고도 함) 또는 도전체(110)의 상면은 평탄성이 높은 것이 바람직하다. 예를 들어, 도전체(110)가 형성되는 면 또는 도전체(110)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP: Chemical Mechanical Polishing)법 등을 사용한 평탄화 처리에 의하여 평탄화하여 도 좋다. 도전체(110)가 형성되는 면 또는 도전체(110)의 상면의 평탄성을 높인 경우, 이의 위쪽, 더 구체적으로는 절연체(130)의 결정성을 높일 수 있다.
- [0062] <<절연체>>
- [0063] 절연체(130)에는 강유전성을 가질 수 있는 재료를 사용하는 것이 바람직하다. 절연체(130)의 자세한 내용에 대해서는 후술한다.
- [0064] <<도전체(상부 전극)>>
- [0065] 도전체(120)는 상부 전극으로서의 기능을 가진다. 도전체(120)는 절연체(130)를 개재(介在)하여 도전체(110)와 이격되어 배치된다. 도전체(120)의 자세한 내용에 대해서는 후술한다.

- [0066] <산화물>
- [0067] 산화물(230)의 자세한 내용에 대해서는 후술한다(실시형태 2 참조).
- [0068] <절연체>
- [0069] 절연체(115a) 및 절연체(115b)는 각각 상유전체 재료이면 좋고, 예를 들어 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 알루미늄, 질화 알루미늄, 및 산화질화 알루미늄 등을 사용할 수 있다. 특히, 절연체(115a, 115b)로서는 질화 실리콘막이 바람직하다. 또한, 절연체(115a) 및 절연체(115b)는 각각 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 성막할 수 있다. 특히 절연체(115a) 및 절연체(115b)는 PEALD법을 사용하여 성막하는 것이 바람직하다. 예를 들어, PEALD법을 사용하여 질화 실리콘막을 성막하는 경우, 플루오린, 염소, 브로민, 아이오딘 등의 할로젠을 포함하는 전구체를 사용하면 적합하다. 또한, 상기 전구체를 도입한 후, N<sub>2</sub>, N<sub>2</sub>O, NH<sub>3</sub>, NO, NO<sub>2</sub>, 및 N<sub>2</sub>O<sub>2</sub> 등의 질화제를 도입한 분위기 중에서 플라즈마 처리를 수행함으로써, 질이 좋은 질화 실리콘막을 성막할 수 있다.
- [0070] 본 발명의 일 형태에 의하여 강유전성을 가질 수 있는 재료, 즉 강유전성을 가지는 금속 산화물막을 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 강유전성을 가질 수 있는 재료를 이용한 강유전체 디바이스를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 강유전성을 가질 수 있는 재료를 이용한 용량 소자를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 강유전성을 가질 수 있는 재료를 이용한 트랜지스터를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 강유전성을 가질 수 있는 재료를 이용한 용량 소자 및 다이오드를 제공할 수 있다.
- [0071] 환언하면, 본 발명의 일 형태의 금속 산화물막은 용량 소자, 트랜지스터, 및 다이오드 중 어느 하나 또는 복수의 반도체 장치에 사용할 수 있다.
- [0072] 다음으로, 본 발명의 일 형태에 따른 용량 소자 및 그 제작 방법에 대하여 구체적으로 설명한다. 또한, 이하의 설명에 있어서는 도 1의 (A1) 및 (A2)에 나타난 구성을 예시하지만, 도 1의 (B1) 및 (B2), 그리고 도 1의 (C1), (C2), (C3), 및 (C4)에 나타난 구성에 대해서도 이의 일부의 구성(예를 들어, 산화물(230), 절연체(115a), 및 절연체(115b) 등)을 변경함으로써 적용할 수 있다.
- [0073] <용량 소자의 구성예>
- [0074] 본 항목에서는 도 2의 (A) 내지 도 4의 (C) 및 도 6을 사용하여 본 발명의 일 형태에 따른 용량 소자의 구성에 대하여 설명한다.
- [0075] 도 2의 (A)에 나타난 바와 같이, 본 발명의 일 형태에 따른 용량 소자(100)는 도전체(110)와, 도전체(120)와, 도전체(110)와 도전체(120) 사이에 끼워진 절연체(130)를 가진다. 예를 들어, 기관(도시하지 않았음) 위에 도전체(110)가 배치되고, 도전체(110) 위에 절연체(130)가 배치되고, 절연체(130) 위에 도전체(120)가 배치되는 구성으로 하면 좋다. 여기서, 도전체(110)는 용량 소자(100)의 하부 전극으로서 기능하고, 도전체(120)는 용량 소자(100)의 상부 전극으로서 기능하고, 절연체(130)는 용량 소자(100)의 유전체로서 기능한다.
- [0076] 절연체(130)에는 강유전성을 가질 수 있는 재료를 사용하는 것이 바람직하다. 강유전성을 가질 수 있는 재료로서는, 산화 하프늄, 산화 지르코늄, HfZrO<sub>x</sub>(X는 0보다 큰 실수로 함) 등을 들 수 있다. 또한, 강유전성을 가질 수 있는 재료로서는 산화 하프늄에 원소 J1(여기서의 원소 J1은 지르코늄(Zr), 실리콘(Si), 알루미늄(Al), 가돌리늄(Gd), 이트륨(Y), 란타넘(La), 스트론튬(Sr) 등에서 선택된 하나 또는 복수)을 첨가한 재료를 들 수 있다. 여기서, 하프늄 원자와 원소 J1의 원자수비는 적절히 설정할 수 있고, 예를 들어 하프늄 원자와 원소 J1의 원자수를 1:1 또는 그 근방으로 하면 좋다. 또한, 강유전성을 가질 수 있는 재료로서는 산화 지르코늄에 원소 J2(여기서의 원소 J2는 하프늄(Hf), 실리콘(Si), 알루미늄(Al), 가돌리늄(Gd), 이트륨(Y), 란타넘(La), 스트론튬(Sr) 등에서 선택된 하나 또는 복수)를 첨가한 재료 등을 들 수 있다. 또한, 지르코늄 원자와 원소 J2의 원자수비는 적절히 설정할 수 있고, 예를 들어 지르코늄 원자와 원소 J2의 원자수를 1:1 또는 그 근방으로 하면 좋다. 또한, 강유전성을 가질 수 있는 재료로서 PbTiO<sub>x</sub>, 타이타늄산 바륨 스트론튬(BST), 타이타늄산 스트론튬, 타이타늄산 지르코늄산 연(PZT), 탄탈륨산 비스무트산 스트론튬(SBT), 비스무트페라이트(BFO), 타이타늄산 바륨 등의 페로브스카이트 구조를 가지는 압전성 세라믹을 사용하여도 좋다. 또한, 강유전성을 가질 수 있는 재료로서는, 예를 들어 상기에서 열거한 재료에서 선택된 복수의 재료로 이루어지는 혼합물 또는 화합물을 사용할 수 있다. 또는, 절연체(130)를 상기에서 열거한 재료에서 선택된 복수의 재료로 이루어지는 적층 구조로 할 수 있

다. 그리고, 산화 하프늄, 산화 지르코늄,  $\text{HfZrO}_x$ , 및 산화 하프늄에 원소 J1을 첨가한 재료 등은 성막 조건뿐만 아니라 각종 프로세스 등에 의해서도 결정 구조(특성)가 변화될 수 있기 때문에, 본 명세서 등에서는 강유전성을 발현하는 재료를 강유전체라고만 부르는 것이 아니라, 강유전성을 가질 수 있는 재료라고도 부른다.

[0077] 이들 중에서도 강유전성을 가질 수 있는 재료로서 산화 하프늄 또는 산화 하프늄 및 산화 지르코늄을 포함하는 재료는 수nm 정도의 박막으로 가공하여도 강유전성을 가질 수 있기 때문에 바람직하다. 박막화할 수 있는 강유전체층으로 함으로써, 용량 소자(100)를 미세화된 트랜지스터 등의 반도체 소자에 조합하여 반도체 장치를 형성할 수 있다. 또한, 본 명세서 등에서 강유전성을 가질 수 있는 재료를 층상으로 한 것을 강유전체층 또는 금속 산화물막이라고 부르는 경우가 있다. 또한, 이와 같은 강유전체층(금속 산화물막)을 가지는 장치를 본 명세서 등에서 강유전체 디바이스라고 부르는 경우가 있다.

[0078] 여기서, 절연체(130)는 도 2의 (C)에 나타낸 바와 같이 막 형상인 것이 바람직하다. 도 2의 (C)에서는 x축 및 y축을 절연체(130)의 막의 면에 평행하게 설정하고, z축을 절연체(130)의 막 두께 방향으로 평행하게 설정하였다. 절연체(130)는 막 형상인 것이 바람직하기 때문에, 절연체(130)의 x 방향의 폭  $w_x$  및 y 방향의 폭  $w_y$ 는 막 두께 t보다 큰 것이 바람직하고, 막 두께 t의 3배 이상인 것이 더 바람직하다. 예를 들어, 절연체(130)의 막 두께 t를 3nm로 한 경우, 절연체(130)의 폭  $w_x$  및 폭  $w_y$  중 적어도 한쪽이 3nm 이상이 되는 것이 바람직하고, 10nm 이상이 되는 것이 더 바람직하다. 또한, 절연체(130)의 막 두께 t는 100nm 이하, 바람직하게는 50nm 이하, 더 바람직하게는 20nm 이하, 더욱 바람직하게는 10nm 이하(대표적으로는 2nm 이상 9nm 이하)로 할 수 있다. 예를 들어, 막 두께 t는 8nm 이상 12nm 이하로 하는 것이 바람직하다.

[0079] 또한, 도 2의 (C)에 나타낸 절연체(130)는 상면과 하면이 면 전체에서 평행한 형상으로 하였지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 절연체(130)가 피형성면의 형상을 반영하여 요철을 가지는 경우가 있다. 이 경우, 피형성면에 홈부가 형성되어 있으면, 절연체(130)의 상기 홈부에 중첩되는 영역이 오목 형상이 되는 경우가 있다.

[0080] 강유전성을 가질 수 있는 재료는 절연체이고, 외부로부터 전기장을 공급함으로써 내부에 분극이 발생하며, 상기 전기장을 0으로 하여도 분극이 잔존하는 성질을 가진다. 그러므로, 상기 재료를 유전체로서 사용한 용량 소자(이하, 강유전 커패시터라고 부르는 경우가 있음)를 사용하여 비휘발성의 기억 소자를 형성할 수 있다. 강유전 커패시터를 사용한 비휘발성의 기억 소자는 FeRAM(Ferroelectric Random Access Memory), 강유전체 메모리 등이라고 부르는 경우가 있다. 예를 들어, 강유전체 메모리는 트랜지스터와 강유전 커패시터를 가지고, 트랜지스터의 소스 및 드레인 중 한쪽이 강유전 커패시터의 한쪽의 단자에 전기적으로 접속된 구성으로 할 수 있다. 따라서, 본 실시형태에 나타낸 용량 소자(100)와 트랜지스터를 사용하는 반도체 장치는 강유전체 메모리로서 기능시킬 수 있다.

[0081] 여기서, 절연체(130)에 사용할 수 있는 재료의 하나인 산화 하프늄의 결정 구조에 대하여 도 6을 사용하여 설명한다. 도 6은 산화 하프늄(본 실시형태에 있어서는  $\text{HfO}_2$ )의 결정 구조를 설명하는 모델도이다. 산화 하프늄은 다양한 결정 구조를 취하는 것으로 알려져 있으며, 예를 들어 도 6에 나타낸 입방정계(cubic, 공간군: Fm-3m), 정방정계(tetragonal, 공간군:  $P4_2/nmc$ ), 직방정계(orthorhombic, 공간군:  $Pbc2_1$ ), 및 단사정계(monoclinic, 공간군:  $P2_1/c$ ) 등의 결정 구조를 취할 수 있다. 또한, 도 6에 나타낸 바와 같이, 상술한 각각의 결정 구조는 상 변화될 수 있다. 예를 들어, 산화 하프늄에 지르코늄의 도핑을 수행한 복합 재료로 함으로써, 단사정계를 주로 한 산화 하프늄의 결정 구조로부터 직방정계를 주로 한 결정 구조로 할 수 있다.

[0082] 상술한 복합 재료로서, ALD법 등을 사용하여 산화 하프늄과 산화 지르코늄을 대략 1:1의 조성이 되도록 번갈아 성막하는 경우, 상기 복합 재료는 직방정계의 결정 구조를 가진다. 또는, 상기 복합 재료는 비정질 구조를 가진다. 그 후, 상기 복합 재료에 열처리 등을 가함으로써, 비정질 구조를 직방정계의 결정 구조로 할 수 있다. 또한, 상기 직방정계의 결정 구조는 단사정계의 결정 구조로 변화되는 경우가 있다. 상술한 복합 재료에 강유전성을 부여하는 경우, 단사정계의 결정 구조보다 직방정계의 결정 구조가 바람직하다.

[0083] 여기서,  $\text{HfZrO}_x$ 의 직방정계의 결정 구조의 모델에 대하여 도 3의 (A)를 사용하여 설명한다.

[0084] 도 3의 (A)는  $\text{HfZrO}_x$ , 여기서는  $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ 의 결정 구조의 모델도이다. 또한, 도 3의 (A)에 있어서, a축, b축, c축의 방향도 나타내었다. 도 3의 (A)는  $\text{HfO}_2$ 의 orthorhombic 구조( $Pca2_1$ )에 관한 제 1 원리 계산에 의한 셀을 포함한 최적화 후의 구조에 대하여, Zr를 층상으로 배치한 구조이다.

- [0085] 또한, 도 3의 (A)에서는 하프늄과 지르코늄이 산소를 통하여 서로 결합된 상태인 것을 알 수 있다. 이는, 후술하는 성막 시퀀스와 같이, 하프늄과 지르코늄을 ALD법으로 번갈아 성막함으로써 형성할 수 있다.
- [0086] 외부로부터 전기장을 공급함으로써, 도 3의 (A)에 나타난 산소의 일부가 변위됨으로써, 내부에 분극이 발생한다. 여기서, 산소의 일부는 c축 방향으로 변위되고, 분극도 c축 방향에 발생한다.
- [0087] 도 3의 (B) 및 (C)는 HfZrO<sub>x</sub>, 여기서는 Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub>의 결정 구조의 모델도이다. 도 3의 (B) 및 (C)는 제 1 원리 계산에 의하여 원자의 배치가 최적화된 모델이다. 또한, 도 3의 (A)에 나타난 모델과 도 3의 (B)에 나타난 모델은 원자의 표시 방법만이 상이하고, 원자의 배치는 거의 같다.
- [0088] HfZrO<sub>x</sub>는 orthorhombic 구조에 있어서, 도 3의 (B)에 나타난 원자 배치 및 도 3의 (C)에 나타난 원자 배치 중 어느 쪽을 취할 수도 있다. 따라서, 외부로부터 공급되는 전기장에 의하여 HfZrO<sub>x</sub> 중의 산소 원자의 일부가 변위됨으로써 내부에 분극이 발생한다. 또한, 전기장의 방향 또는 강도를 변경함으로써, HfZrO<sub>x</sub> 중의 산소 원자의 일부가 이동함으로써, 내부에 발생하는 분극의 부호가 변경된다.
- [0089] 도 3의 (D)는 강유전체층의 히스테리시스 특성의 일례를 나타낸 그래프이다. 도 3의 (D)에서 가로축은 강유전체층에 인가하는 전계 강도를 나타내고, 세로축은 강유전체층의 분극량을 나타내었다. 또한, 도 3의 (D)에 나타난 점(61)은 전계 강도가 0일 때의 최소 분극이고, 도 3의 (D)에 나타난 점(62)은 전계 강도가 0일 때의 최대 분극이다. 예를 들어, 최소 분극(도 3의 (D)에 나타난 점(61))에서는, HfZrO<sub>x</sub> 중의 원자는 도 3의 (B)에 나타난 배치를 취한다. 또한, 최대 분극(도 3의 (D)에 나타난 점(62))에서는, HfZrO<sub>x</sub> 중의 원자는 도 3의 (C)에 나타난 배치를 취한다.
- [0090] 절연체(130)에서, 도 2의 (A)에 나타난 바와 같이, 결정이 층을 형성하고, 상기 층이 적층된 결정 구조가 바람직하다. 또한, 상기 층은 도 3의 (A)에 나타난 단결정 구조를 포함하는 것이 바람직하다. 또한, 도 2의 (A)에 나타난 절연체(130)의 파선은 결정의 층을 나타내고, c축(132)은 상기 결정의 c축을 나타낸다.
- [0091] 절연체(130)에 포함되는 결정의 층은 도 2의 (A)에 나타난 바와 같이 a-b면 방향으로 연장되어 있다. 또한, 절연체(130)에 포함되는 결정의 층은 c축 방향으로 성장되고(axial growth라고 불리는 경우가 있음), 복수의 결정의 층이 c축 방향으로 적층되어 있다. c축은 절연체(130)의 피형성면 또는 상면에 실질적으로 수직인 방향을 향하는 것이 바람직하다. 예를 들어, 도 2의 (B)에 나타난 바와 같이 도전체(110)의 상면에 대한 법선(134)과 c축(132)이 이루는 각도  $\theta$ 가 30° 이하인 것이 바람직하고, 5° 이하인 것이 더 바람직하다.
- [0092] 도 2의 (A)에서는, 용량 소자(100)의 하부 전극(도전체(110))과 상부 전극(도전체(120)) 사이에 전기장 E가 인가되는 상태를 나타내었다. 여기서, 전기장 E의 방향은 c축(132)과 실질적으로 평행인 것이 바람직하다. 예를 들어, 전기장 E의 방향과 법선(134)이 평행하게 되도록 함으로써, 전기장 E의 방향과 c축(132)이 이루는 각도  $\theta$ 가 30° 이하, 더 바람직하게는 5° 이하가 되도록 적합하다.
- [0093] 이와 같이, 절연체(130)의 c축(132)과, 전기장의 방향 E가 실질적으로 평행한 구성으로 함으로써, 직방정계의 결정의 산소의 변위 방향과 전기장의 방향 E가 실질적으로 평행하게 된다. 따라서, 전기장 E에 의하여 절연체(130)에 효율적으로 분극을 발생시킬 수 있다. 이로써, 절연체(130)의 분극을 크게 할 수 있다.
- [0094] 상술한 바와 같은 층상의 결정을 포함하는 절연체(130)를 형성하기 위해서는 절연체(130)의 하지가 되는 도전체(110)의 상면의 평탄성이 양호한 것이 바람직하다. 예를 들어, 하지가 되는 도전체(110)의 상면의 거칠기를 산술 평균 거칠기(Ra) 또는 제곱 평균 제곱근 거칠기(RMS: Root Mean Square)로 2nm 이하, 바람직하게는 1nm 이하, 더 바람직하게는 0.8nm 이하, 더욱 바람직하게는 0.5nm 이하, 더욱 바람직하게는 0.4nm 이하로 하면 좋다. 이와 같이, 도전체(110)의 상면의 평탄성을 양호하게 함으로써, 절연체(130)의 결정성을 향상시켜 절연체(130)의 강유전성을 높일 수 있다.
- [0095] 또한, 상술한 바와 같은 층상의 결정을 포함하는 절연체(130)를 형성하기 위해서는 절연체(130)와 도전체(110)의 계면 또는 절연체(130)와 도전체(120)의 계면에 이층(異層)이 형성되지 않는 것이 바람직하다. 예를 들어, 도전체(110)(도전체(120))에 TiN<sub>x</sub>를 사용하고, 절연체(130)에 HfZrO<sub>x</sub>를 사용하는 경우, 절연체(130) 등에 포함되는 산소가 도전체(110)(도전체(120))로 확산되고, 절연체(130)와 도전체(110)(도전체(120))의 계면에, 이층으로서 TiO<sub>x</sub>가 형성되는 경우가 있다. 이와 같은 이층의 막 두께는 1nm 이하가 바람직하고, 0.4nm 이하가 더 바람직하고, 0.2nm 이하가 더욱 바람직하다.
- [0096] 여기서, 도 4의 (A) 내지 (C)에 도 2의 (A) 등에 나타난 강유전체층으로서 기능하는 절연체(130)의 근방의 확대도를 나타내었다. 도 4의 (A)는 도 2의 (A) 내지 (C)를 사용하여 설명한 단결정 구조를 가지는 절연체(130)를

나타낸 도면이다. 도 4의 (A)에 나타낸 절연체(130)는 상술한 바와 같이 복수의 결정의 층이 적층된 구조를 가진다. 또한, 절연체(130)에 포함되는 복수의 결정의 층은 c축(132)으로 배향되는 것이 바람직하다.

[0097] 또한, 상기에서는 절연체(130)로서 도 4의 (A) 등에 나타낸 단결정 구조를 가지는 강유전체층을 사용하는 예를 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도 4의 (B)에 나타낸 바와 같이 절연체(130)가 결정성이 상이한 복수의 그레인(136)을 가지는 다결정 구조를 가져도 좋다. 여기서, 복수의 그레인(136) 중 적어도 일부는 직방정계의 결정 구조를 가지는 것이 바람직하다. 복수의 그레인(136) 중 적어도 일부에 직방정계의 결정 구조를 가짐으로써, 절연체(130)에 강유전성이 발현되기 때문에 바람직하다.

[0098] 또한, 절연체(130)가 단결정 구조를 가지는 층(138a)과 다결정의 층(138b)을 가지는 구성으로 하여도 좋다. 예를 들어, 도 4의 (C)에 나타낸 바와 같이 도전체(110) 위에 복수의 단결정 구조를 가지는 층(138a)과 복수의 다결정의 층(138b)이 적층되는 구성으로 하여도 좋다.

[0099] 이와 같이, 절연체(130)의 결정 구조는 적어도 일부가 단결정 구조를 가지면 좋다. 절연체(130)의 결정 구조로서는 입방정계, 정방정계, 직방정계, 및 단사정계 중에서 선택되는 어느 하나 또는 복수로 하면 좋다. 특히 절연체(130)로서는, 직방정계의 결정 구조를 가지면, 강유전성이 발현되기 때문에 바람직하다. 또는, 절연체(130)의 결정 구조는 비정질 구조로 하여도 좋다. 또는, 절연체(130)는 비정질 구조와 결정 구조를 가지는 복합 구조를 가져도 좋다.

[0100] 또한, 결정성이 양호한 절연체(130)를 형성하기 위해서는 절연체(130) 내의 수소, 탄소, 탄화수소, 또는 염소 등의 불순물이 저감되어 있는 것이 바람직하다. 이들 불순물이 절연체(130) 내에 포함됨으로써, 절연체(130)의 결정화가 저해되는 경우가 있다. 또한, 이들 불순물은 절연체(130) 내의 결정에 있어서 산소 결손을 형성하는 경우가 있다. 상술한 바와 같이, 도 3의 (A)에 나타낸 결정 구조에 있어서 외부 전기장에 의하여 산소가 변위됨으로써 강유전성이 발현된다. 따라서, 절연체(130)의 강유전성을 향상시키기 위해서는 수소, 탄소, 탄화수소, 또는 염소 등의 불순물을 저감하여, 산소 결손을 저감하는 것이 바람직하다.

[0101] 따라서, 절연체(130)는 수소, 탄소, 탄화수소, 또는 염소 등의 불순물을 포함하지 않거나, 또는 이들의 함유량이 매우 적은 재료를 사용하는 것이 적합하다. 예를 들어, 절연체(130)에 포함되는 수소의 농도는  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하가 바람직하고,  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하가 더 바람직하다. 또한, 예를 들어 절연체(130)에 포함되는 탄화수소의 농도는  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하가 바람직하고,  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하가 더 바람직하고,  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하가 더욱 바람직하다. 또한, 예를 들어 절연체(130)에 포함되는 탄소의 농도는  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하가 바람직하고,  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하가 더 바람직하고,  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하가 더욱 바람직하다. 또한, 예를 들어 절연체(130)에 포함되는 염소의 농도는  $5 \times 10^{21}$  atoms/cm<sup>3</sup> 이하가 바람직하고,  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이하가 더 바람직하고,  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하가 더욱 바람직하다.

[0102] 또한, 상기 불순물의 정량은 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry), X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy), 또는 오제 전자 분광법(AES: Auger Electron Spectroscopy)을 사용하여 수행할 수 있다. 예를 들어, SIMS 분석을 사용하여 절연체(130) 내의 수소, 탄소, 탄화수소, 또는 염소 등의 불순물의 정량을 수행하면 좋다.

[0103] 이상과 같이, 절연체(130) 내에 수소, 탄화수소, 탄소, 및 염소 중 적어도 하나 이상을 포함하지 않게 하거나, 또는 수소, 탄화수소, 탄소, 및 염소 중 적어도 하나 이상의 함유량을 매우 적게 함으로써, 절연체(130)의 결정성을 향상시킬 수 있어, 높은 강유전성을 가지는 구조로 할 수 있다.

[0104] 도전체(110)로서는 알루미늄, 크롬, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 등에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 상술한 금속 원소를 성분으로 하는 합금으로서, 상기 합금의 질화물 또는 상기 합금의 산화물을 사용하여도 좋다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여

도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0105] 또한 상기 재료로 형성되는 도전층을 복수 적층하여 사용하여도 좋다. 예를 들어 상술한 금속 원소를 포함한 재료와 산소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0106] 도전체(120)에는 도전체(110)에 사용할 수 있는 도전성 재료를 사용하면 좋다.

[0107] <용량 소자의 제작 방법>

[0108] 본 항목에서는, 도 5의 (A) 내지 (C)를 사용하여 본 발명의 일 형태에 따른 용량 소자의 제작 방법에 대하여 설명한다.

[0109] 도 5의 (A)에 나타낸 바와 같이, 기판(도시하지 않았음) 위에 도전체(110)를 성막한다. 도전체(110)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. ALD법을 사용하여 도전체(110)를 성막함으로써, 평탄성이 양호한 도전막을 비교적 용이하게 성막할 수 있는 경우가 있다. 예를 들어, 열 ALD법을 사용하여 질화 타이타늄을 성막하면 좋다. 또한, 도전체(110)는 리소그래피법 등을 사용하여 적절히 패턴 형성하면 좋다.

[0110] 다음으로, 도 5의 (B)에 나타낸 바와 같이 도전체(110) 위에 절연체(130)를 성막한다. 절연체(130)의 성막은 스퍼터링법, CVD법, ALD법 등을 사용하여 수행할 수 있다. 예를 들어, ALD법을 사용하여 성막함으로써, 도전체(110) 위에 좋은 피복성으로 절연체(130)를 성막할 수 있다. 이로써, 용량 소자(100)의 상부 전극과 하부 전극 사이에서 누설 전류가 발생하는 것을 억제할 수 있다.

[0111] 절연체(130)에는 강유전성을 가질 수 있는 재료를 사용하는 것이 바람직하다. 강유전성을 가질 수 있는 재료로서는 상술한 재료를 사용할 수 있다. 여기서, 절연체(130)의 막 두께는 100nm 이하, 바람직하게는 50nm 이하, 더 바람직하게는 20nm 이하, 더욱 바람직하게는, 10nm 이하(대표적으로는, 2nm 이상 9nm 이하)로 할 수 있다.

[0112] 절연체(130)로서 산화 하프늄 및 산화 지르코늄을 포함하는 재료(HfZrO<sub>x</sub>)를 사용하는 경우, 열 ALD법을 사용하여 성막하는 것이 바람직하다.

[0113] 또한, 열 ALD법을 사용하여 절연체(130)를 성막하는 경우, 전구체로서 탄화수소(Hydro Carbon, HC라고도 함)를 포함하지 않는 재료를 사용하면 적합하다. 절연체(130) 내에 수소 및 탄소 중 어느 한쪽 또는 양쪽이 포함되는 경우, 절연체(130)의 결정화를 저해하는 경우가 있다. 그러므로, 상술한 바와 같이 탄화수소를 포함하지 않는 전구체를 사용함으로써, 절연체(130) 내의 수소 및 탄소 중 어느 한쪽 또는 양쪽의 농도를 저감하는 것이 바람직하다. 탄화수소를 포함하지 않는 전구체로서는 예를 들어 염소계 재료가 있다. 또한, 절연체(130)로서 산화 하프늄 및 산화 지르코늄을 포함하는 재료(HfZrO<sub>x</sub>)를 사용하는 경우, 전구체로서는 HfCl<sub>4</sub> 및 ZrCl<sub>4</sub>를 사용하면 좋다.

[0114] 또한, 열 ALD법을 사용하여 절연체(130)를 성막하는 경우, 산화제로서는 H<sub>2</sub>O 또는 O<sub>3</sub>을 사용할 수 있다. 또한, 열 ALD법의 산화제로서는, H<sub>2</sub>O를 사용하는 것보다 O<sub>3</sub>을 사용하는 것이 막 내의 수소 농도를 저감할 수 있기 때문에 더 적합하다. 다만 열 ALD법의 산화제는 이에 한정되지 않는다. 예를 들어, 열 ALD법의 산화제는 O<sub>2</sub>, O<sub>3</sub>, N<sub>2</sub>O, NO<sub>2</sub>, H<sub>2</sub>O, 및 H<sub>2</sub>O<sub>2</sub> 중에서 선택되는 어느 하나 또는 복수를 포함하여도 좋다.

[0115] 다음으로, 도 5의 (C)에 나타낸 바와 같이, 절연체(130) 위에 도전체(120)를 성막한다. 여기서, 도전체(120)는 절연체(130)를 개재하여 도전체(110)와 이격되어 배치된다. 도전체(120)는 절연체(130) 위에 접하여 제공되는 도전체(120a)와 도전체(120a) 위에 접하여 제공되는 도전체(120b)의 적층 구조로 하여도 좋다.

[0116] 도전체(120a)는 ALD법 또는 CVD법 등을 사용하여 성막하면 좋다. 예를 들어, 열 ALD법을 사용하여 질화 타이타늄을 성막하면 좋다. 여기서, 도전체(120a)의 성막은 열 ALD법과 같이 기판을 가열하면서 성막하는 방법이 바람직하다. 예를 들어, 기판 온도를, 실온 이상, 바람직하게는 300℃ 이상, 더 바람직하게는 325℃ 이상, 더욱 바람직하게는 350℃ 이상으로 하여 성막하면 좋다. 또한, 예를 들어 기판 온도를 500℃ 이하, 바람직하게는 450℃ 이하로 하여 성막하면 좋다. 예를 들어, 기판 온도를 400℃ 정도로 하면 좋다.

[0117] 상술한 바와 같은 온도 범위로 도전체(120a)를 성막함으로써, 도전체(120a)의 형성 후에 고온의 베이킹 처리(예

를 들어, 열처리 온도 400℃ 이상 또는 500℃ 이상의 베이킹 처리)를 수행하지 않아도 절연체(130)에 강유전성을 부여시킬 수 있다.

- [0118] 또한, 상술한 바와 같이 하지에 가해지는 대미지가 비교적 적은 ALD법을 사용하여 도전체(120a)를 성막함으로써, 절연체(130)의 결정 구조가 과잉으로 파괴되는 것을 억제할 수 있기 때문에, 절연체(130)의 강유전성을 높일 수 있다.
- [0119] 예를 들어, 도전체(120a)를 스퍼터링법 등으로 형성하는 경우, 마지막, 여기서는 절연체(130)에 대미지가 가해질 가능성이 있다. 예를 들어, 절연체(130)로서 산화 하프늄 및 산화 지르코늄을 포함하는 재료(HfZrO<sub>x</sub>)를 사용하고, 도전체(120a)를 스퍼터링법으로 형성하는 경우, 스퍼터링법으로 마지막인 HfZrO<sub>x</sub>에 대미지가 가해지고, HfZrO<sub>x</sub>의 결정 구조(대표적으로는 직방정계 등의 결정 구조)가 붕괴될 수 있다. 따라서, 하지에 가해지는 대미지가 비교적 적은 ALD법을 사용하여 도전체(120a)를 성막하는 것이 바람직하다.
- [0120] 또한, 스퍼터링법으로 도전체(120a)를 성막한 후, 열처리를 수행함으로써 HfZrO<sub>x</sub>의 결정 구조의 손상을 회복시킬 수도 있다.
- [0121] 여기서, HfZrO<sub>x</sub> 중의 땀글링 본드(예를 들어, O<sup>\*</sup>)와, HfZrO<sub>x</sub> 중에 포함되는 수소가 결합되고, HfZrO<sub>x</sub>의 결정 구조 중의 손상을 회복할 수 없는 경우가 있다. HfZrO<sub>x</sub> 중의 땀글링 본드는, 예를 들어 도전체(120a)를 스퍼터링법으로 성막한 대미지에 의하여 형성된다.
- [0122] 따라서, 절연체(130), 여기서는 HfZrO<sub>x</sub>에는 수소를 포함하지 않거나, 또는 수소의 함유량이 매우 적은 재료를 사용하는 것이 적합하다. 예를 들어, 절연체(130)에 포함되는 수소의 농도는 5×10<sup>20</sup> atoms/cm<sup>3</sup> 이하가 바람직하고, 1×10<sup>20</sup> atoms/cm<sup>3</sup> 이하가 더 바람직하다.
- [0123] 또한, 상술한 바와 같이 절연체(130) 내의 수소 농도를 저감하기 위해서는 전구체로서 탄화수소를 포함하지 않는 재료를 사용하는 것이 적합하다. 이로써, 절연체(130)는, 주성분으로서 탄화수소를 포함하지 않거나, 또는 탄화수소의 함유량이 매우 적은 막이 되는 경우가 있다. 예를 들어, 절연체(130)에 포함되는 탄화수소의 농도는 바람직하게는 5×10<sup>20</sup> atoms/cm<sup>3</sup> 이하, 더 바람직하게는 1×10<sup>20</sup> atoms/cm<sup>3</sup> 이하, 더욱 바람직하게는 5×10<sup>19</sup> atoms/cm<sup>3</sup> 이하가 된다.
- [0124] 또한, 절연체(130)의 성막에 전구체로서 탄화수소를 포함하지 않는 재료를 사용하는 경우, 절연체(130)는 주성분으로서 탄소를 포함하지 않거나, 또는 탄소의 함유량이 매우 적은 막이 되는 경우가 있다. 예를 들어, 절연체(130)에 포함되는 탄소의 농도는 바람직하게는 5×10<sup>20</sup> atoms/cm<sup>3</sup> 이하, 더 바람직하게는 1×10<sup>20</sup> atoms/cm<sup>3</sup>, 더욱 바람직하게는 5×10<sup>19</sup> atoms/cm<sup>3</sup> 이하가 된다.
- [0125] 또한, 절연체(130)로서는 수소, 탄화수소, 및 탄소 중 적어도 하나 이상의 함유량이 매우 적은 재료를 사용하는 것이 적합하지만, 이들 중에서도 탄화수소 및 탄소의 함유량을 매우 적게 하는 것이 중요하다. 탄화수소 및 탄소는 수소보다 무거운 분자 또는 무거운 원자이기 때문에 후후의 공정에서 제거하기 어렵다. 그러므로, 절연체(130)의 성막 시에 탄화수소 및 탄소를 철저히 배제하는 것이 적합하다.
- [0126] 상술한 바와 같이, 절연체(130)에 수소, 탄화수소, 및 탄소 중 적어도 하나 이상을 포함하지 않거나, 또는 수소, 탄화수소, 및 탄소 중 적어도 하나 이상의 함유량이 매우 적은 재료를 사용함으로써, 절연체(130)의 결정성을 향상시킬 수 있어 높은 강유전성을 가지는 구조로 할 수 있다.
- [0127] 또한, 절연체(130) 내의 염소의 함유량도 저감되어 있는 것이 바람직하다. 예를 들어, 절연체(130)에 포함되는 염소의 농도는 5×10<sup>21</sup> atoms/cm<sup>3</sup> 이하가 바람직하고, 1×10<sup>21</sup> atoms/cm<sup>3</sup> 이하가 더 바람직하고, 5×10<sup>20</sup> atoms/cm<sup>3</sup> 이하가 더욱 바람직하다.
- [0128] 또한, 상술한 바와 같이 절연체(130)의 막 내의 불순물, 여기서는 수소, 탄화수소, 탄소, 및 염소 중 적어도 하나 이상을 철저히 배제함으로써, 고순도 진성인 강유전성을 가지는 막, 여기서는 고순도 진성인 용량 소자를 형성할 수 있다. 또한, 고순도 진성인 강유전성을 가지는 용량 소자와, 후술하는 실시형태에 나타내는 고순도 진성인 산화물 반도체와 제조 프로세스의 정합성이 매우 높다. 따라서 생산성이 높은 반도체 장치의 제작 방법을

제공할 수 있다.

- [0129] 상술한 바와 같이, 본 발명의 일 형태에 있어서는, 예를 들어 절연체(130)로서 열 ALD법에 의하여, 탄화수소를 사용하지 않는 전구체(대표적으로는 염소계 전구체)와, 산화제(대표적으로는 O<sub>3</sub>)를 사용하여 강유전성 재료를 형성한다. 그 후, 열 ALD법에 의한 성막(대표적으로는 400℃ 이상의 성막)에 의하여 도전체(120a)를 형성함으로써, 성막 후의 어닐링을 하지 않는 방법으로, 환원하면 도전체(120a) 성막 시의 온도를 이용함으로써, 절연체(130)의 결정성 또는 강유전성을 향상시킬 수 있다. 또한, 도전체(120a)의 성막 후의 어닐링을 하지 않고, 도전체(120a)의 성막 시의 온도를 이용하여 절연체(130)의 결정성 또는 강유전성을 향상시키는 것을 셀프 어닐링이라고 부르는 경우가 있다.
- [0130] 또한, 도전체(120b)는 스퍼터링법, ALD법, 또는 CVD법 등을 사용하여 성막하면 좋다. 예를 들어, 메탈 CVD법을 사용하여 텅스텐을 성막하면 좋다.
- [0131] 이러한 식으로, 도 5의 (C)에 나타난 도전체(110)와 도전체(120) 사이에 절연체(130)를 가지는 용량 소자(100)를 제작할 수 있다. 상술한 바와 같이, 본 실시형태에 따른 용량 소자(100)는 도전체(120a)의 형성 후에 고온의 베이킹 처리를 수행하지 않아도, 절연체(130)의 강유전성을 높일 수 있다. 이로써, 강유전 커패시터를 제조하는 공정을 삭감할 수 있기 때문에, 강유전 커패시터 및 이를 포함하는 반도체 장치의 생산성을 향상시킬 수 있다.
- [0132] 또한, 앞에서 도전체(120a)의 제작 후에 고온의 베이킹 처리를 수행하지 않는 예를 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(120a) 및 도전체(120b)를 기관 가열을 하지 않고 형성한 경우 또는 저온의 기관 가열 단계를 거쳐 형성한 경우, 도전체(120)의 형성 후에 열처리를 수행하여도 좋다. 상기 열처리는, 예를 들어 기관 온도를 실온 이상, 바람직하게는 300℃ 이상, 더 바람직하게는 325℃ 이상, 더욱 바람직하게는 350℃ 이상으로 하여 성막하면 좋다. 또한, 예를 들어 기관 온도를 500℃ 이하, 바람직하게는 450℃ 이하로 하여 성막하면 좋다. 예를 들어, 기관 온도를 400℃ 정도로 하면 좋다. 상기 열처리는 산소 가스, 질소 가스, 또는 불활성 가스를 포함하는 분위기에서 수행할 수 있다.
- [0133] <ALD법에 의한 성막>
- [0134] 이하에서는, 도 7의 (A) 및 (B)를 사용하여 ALD법에 의한 절연체(130)의 성막 방법 및 상기 성막에 사용하는 성막 장치에 대하여 설명한다.
- [0135] ALD법에서는 원자의 성질인 자기 제어성을 이용하여 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막할 수 있고, 종횡비가 높은 구조에 대한 성막이 가능하고, 핀홀 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다.
- [0136] ALD법은 반응을 위한 제 1 원료 가스(전구체라고도 함)와 제 2 원료 가스(산화성 가스라고도 함)를 챔버에 번갈아 도입하고, 이들 원료 가스의 도입을 반복함으로써 성막을 수행한다. 또한, 전구체 또는 산화성 가스 도입 시에 N<sub>2</sub>, Ar 등을 캐리어 퍼지 가스로서 전구체 또는 산화성 가스와 함께 반응실에 도입하여도 좋다. 캐리어 퍼지 가스를 사용함으로써, 전구체 또는 산화성 가스가 배관 내부 및 밸브 내부에 흡착되는 것을 억제하여, 전구체 또는 산화성 가스를 반응실에 도입할 수 있게 된다(캐리어 가스라고 함). 또한, 반응실에 잔류하는 전구체 또는 산화성 가스를 신속히 배기할 수 있게 된다(퍼지 가스라고도 함). 이와 같이 도입(캐리어)과 배기(퍼지)의 2가지 역할을 가지기 때문에, 캐리어 퍼지 가스라고 하는 경우가 있다. 또한, 캐리어 퍼지 가스를 사용함으로써, 형성되는 막의 균일성이 향상되므로 바람직하다.
- [0137] 도 7의 (A)에 강유전성을 가질 수 있는 재료의 막(이하, 강유전체층이라고 함)의 ALD법을 사용한 경우의 성막 시퀀스를 나타내었다. 이하에서는, 절연체(130)로서 산화 하프늄 및 산화 지르코늄을 포함하는 강유전체층의 성막을 예로서 나타낸다.
- [0138] 전구체(401)로서는 하프늄을 포함하며, 염소, 플루오린, 브로민, 아이오딘, 및 수소 중에서 선택되는 어느 하나 또는 복수를 포함하는 전구체를 사용할 수 있다. 또한, 전구체(402)로서는 지르코늄을 포함하며, 염소, 플루오린, 브로민, 아이오딘, 및 수소 중에서 선택되는 어느 하나 또는 복수를 포함하는 전구체를 사용할 수 있다. 본 항목에서는 하프늄을 포함하는 전구체(401)로서 HfCl<sub>4</sub>를 사용하고, 지르코늄을 포함하는 전구체(402)로서 ZrCl<sub>4</sub>를 사용한다.
- [0139] 또한, 전구체(401) 및 전구체(402)는 액체 원료 또는 고체 원료를 가열하여 가스화함으로써 형성된다. 전구체

(401)는  $\text{HfCl}_4$ 의 고체 원료로 형성되고, 전구체(402)는  $\text{ZrCl}_4$ 의 고체 원료로 형성된다. 전구체(401) 및 전구체(402)는 불순물이 저감되어 있는 것이 바람직하고, 이들 고체 원료에서도 불순물이 저감되어 있는 것이 바람직하다. 예를 들어, 상기 불순물로서는 Ba, Cd, Co, Cr, Cu, Fe, Ga, Li, Mg, Mn, Na, Ni, Sr, V, Zn 등이 있다.  $\text{HfCl}_4$ 의 고체 원료 및  $\text{ZrCl}_4$ 의 고체 원료에 있어서, 상기 불순물은 1000wppb 미만인 것이 바람직하다. 여기서, wppb란 질량으로 환산한 불순물의 농도를 십억분율로 나타낸 단위이다.

[0140] 또한, 산화성 가스(403)로서,  $\text{O}_2$ ,  $\text{O}_3$ ,  $\text{N}_2\text{O}$ ,  $\text{NO}_2$ ,  $\text{H}_2\text{O}$ , 및  $\text{H}_2\text{O}_2$  중에서 선택되는 어느 하나 또는 복수를 사용할 수 있다. 본 항목에서는 산화성 가스(403)로서  $\text{H}_2\text{O}$ 를 포함하는 가스를 사용한다. 또한, 캐리어 퍼지 가스(404)로서  $\text{N}_2$ , He, Ar, Kr, 및 Xe 중에서 선택되는 어느 하나 또는 복수를 사용할 수 있다. 본 항목에서는 캐리어 퍼지 가스(404)로서  $\text{N}_2$ 를 사용한다.

[0141] 우선, 반응실에 산화성 가스(403)를 도입한다(단계 S01). 다음으로, 산화성 가스(403)의 도입을 정지하여 캐리어 퍼지 가스(404)만으로 함으로써, 반응실 내에 잔류하는 산화성 가스(403)의 퍼지를 수행한다(단계 S02). 다음으로, 반응실 내에 전구체(401) 및 캐리어 퍼지 가스(404)를 도입하고, 반응실 내의 압력을 일정하게 유지한다(단계 S03). 이와 같이, 피형성면에 전구체(401)를 흡착시킨다. 다음으로, 전구체(401)의 도입을 정지하여 캐리어 퍼지 가스(404)만으로 함으로써, 반응실 내에 잔류하는 전구체(401)의 퍼지를 수행한다(단계 S04). 다음으로, 반응실에 산화성 가스(403)를 도입한다. 산화성 가스(403)를 도입함으로써, 전구체(401)를 산화시켜 산화 하프늄을 형성한다(단계 S05). 다음으로, 산화성 가스(403)의 도입을 정지하여 캐리어 퍼지 가스(404)만으로 함으로써, 반응실 내에 잔류하는 산화성 가스(403)의 퍼지를 수행한다(단계 S06).

[0142] 다음으로, 반응실 내에 전구체(402) 및 캐리어 퍼지 가스(404)를 도입하고, 반응실 내의 압력을 일정하게 유지한다(단계 S07). 이와 같이, 상기 산화 하프늄의 산소의 층 위에 전구체(402)를 흡착시킨다. 다음으로, 전구체(402)의 도입을 정지하여 캐리어 퍼지 가스(404)만으로 함으로써, 반응실 내에 잔류하는 전구체(402)의 퍼지를 수행한다(단계 S08). 다음으로, 단계 S01로 다시 이동하고, 반응실에 산화성 가스(403)를 도입한다. 산화성 가스(403)를 도입함으로써, 전구체(402)를 산화시켜 산화 하프늄 위에 산화 지르코늄을 형성한다.

[0143] 상술한 단계 S01 내지 단계 S08을 1사이클(cycle)로 하고, 원하는 막 두께에 도달할 때까지 상기 사이클을 반복적으로 수행한다. 또한, 단계 S01 내지 단계 S08은 각각 250℃ 이상 450℃ 이하의 온도 범위에서 수행하면 좋고, 350℃ 이상 400℃ 이하의 온도 범위에서 수행하는 것이 바람직하다.

[0144] 상술한 바와 같이, ALD법을 사용하여 성막함으로써, 도 4에 나타낸 바와 같은 하프늄의 층, 산소의 층, 지르코늄의 층, 산소의 층을 반복하는 층상의 결정 구조를 형성할 수 있다. 또한, 상술한 바와 같이 불순물이 저감된 전구체를 사용하여 성막함으로써, 성막 중에 불순물이 혼입되어 상기 층상의 결정 구조의 형성을 방해하는 것을 억제할 수 있다. 이와 같이, 절연체(130)를 결정성이 높은 층상의 결정 구조로 함으로써, 절연체(130)에 높은 강유전성을 가지게 할 수 있다.

[0145] 다만, 절연체(130)는 반드시 성막 직후에 강유전성을 나타내는 것이 아니다. 상술한 바와 같이, 절연체(130)는 성막 직후가 아니라, 절연체(130) 위에 도전체(120)를 형성한 후에 강유전성을 나타내는 경우가 있다.

[0146] 다음으로, 상기 ALD법에 의한 성막에 사용되는 제조 장치에 대하여 도 7의 (B)를 사용하여 설명한다. 도 7의 (B)는 ALD법에 의한 제조 장치(900)의 모식도이다.

[0147] 도 7의 (B)에 나타낸 바와 같이 제조 장치(900)는 반응실(901)과, 가스 도입구(903)와, 반응실 입구(904)와, 배기구(905)와, 웨이퍼 스테이지(907)와, 축(908)을 가진다. 도 7의 (B)에서는 웨이퍼 스테이지(907) 위에 웨이퍼(950)가 배치되어 있다.

[0148] 반응실(901)은 반응실(901)의 내부, 전구체(401), 전구체(402), 산화성 가스(403), 및 캐리어 퍼지 가스(404)를 가열하기 위한 히터 시스템이 배치되어 있어도 좋다. 또한, 웨이퍼 스테이지(907)는 웨이퍼(950)를 가열하기 위한 히터 시스템이 배치되어 있어도 좋다. 또한, 웨이퍼 스테이지(907)는 축(908)을 회전축으로서 수평으로 회전하는 회전 기구를 가져도 좋다. 또한, 도시하지 않았지만, 가스 도입구의 앞에는 전구체(401), 전구체(402), 산화성 가스(403), 및 캐리어 퍼지 가스(404)를 적절한 타이밍, 적절한 유량으로, 적절한 시간 동안 가스 도입구(903)로 도입하는 가스 공급 시스템이 설치되어 있다. 또한, 도시하지 않았지만, 배기구(905) 끝에는 진공 펌프를 가지는 배기 시스템이 설치되어 있다.

[0149] 도 7의 (B)에 나타낸 제조 장치(900)는 직교류 방식이라고 불리는 ALD 장치이다. 직교류 방식에서의 전구체

(401), 전구체(402), 산화성 가스(403), 및 캐리어 퍼지 가스(404)의 흐름을 이하에서 설명한다. 전구체(401), 전구체(402), 산화성 가스(403), 및 캐리어 퍼지 가스(404)는 가스 도입구(903)로부터 반응실 입구(904)를 통하여 반응실(901)로 흐르고, 웨이퍼(950)에 도달하고, 배기구(905)를 통하여 배기된다. 도 7의 (B)에 나타난 화살표는 가스가 흐르는 방향을 모식적으로 나타낸 것이다.

- [0150] 상술한 바와 같이, 도 7의 (A)에 나타난 산화성 가스(403)를 반응실(901)로 도입하는 단계 S05는 웨이퍼(950) 위에 흡착되어 있는 전구체(401)를 산화성 가스(403)에 의하여 산화시켜 산화 하프늄을 형성한다. 직교류 방식인 제조 장치(900)의 구조상, 산화성 가스(403)가 가열된 반응실 부재에 오래 접촉된 후에 웨이퍼(950)에 도달한다. 그러므로, 예를 들어 산화성 가스(403)로서 O<sub>3</sub>를 사용하는 경우, 도달할 때까지 고온의 고체 표면과 산화성 가스(403)가 반응됨으로써, 산화성 가스(403)가 분해되고 산화력이 저하한다. 따라서, 산화 하프늄의 성장 속도는 산화성 가스의 반응실 입구(904)로부터 웨이퍼(950)로의 도달 거리에 의존한다. 웨이퍼 스테이지(907)가 축(908)을 중심으로 수평으로 회전하는 경우, 웨이퍼(950)의 주변부가 먼저 산화성 가스(403)에 도달하기 때문에, 산화 하프늄의 막 두께는 웨이퍼(950)의 주변부로 갈수록 두꺼워지고, 중앙부가 주변부보다 얇아진다.
- [0151] 그러므로, 산화성 가스(403)가 분해되고 산화력이 저하하는 것을 억제시키기 위하여 반응실의 가열 온도를 적절한 온도로 설정할 필요가 있다. 또한, 상기에서는 전구체(401)의 산화를 예로 들어 설명하였지만, 전구체(402)의 산화에 대해서도 마찬가지이다.
- [0152] 상술한 바와 같이 기관 면 내의 막 두께 균일성이 우수한 강유전체층을 형성할 수 있다. 기관 면 내의 균일성은, 바람직하게는 ±1.5% 이하, 더 바람직하게는 ±1.0% 이하이다. 또한, 기관 면 내의 최대 막 두께-기관 면 내의 최소 막 두께를 RANGE로 정의하고, 기관 면 내의 막 두께 균일성을 ±PNU(Percent Non Uniformity)(%)로 정의하면,  $\pm PNU(\%) = (RANGE \times 100) / (2 \times \text{기관 면 내의 막 두께 평균값})$ 으로 구할 수 있다.
- [0153] 또한, 상술한 바와 같이, 산화성 가스(403)에 의하여 균일성이 우수한 산소의 층이 형성됨으로써, 규칙성이 더 높은 층상의 결정 구조를 형성할 수 있다. 이와 같이, 절연체(130)를 규칙성이 높은 층상의 결정 구조로 함으로써, 절연체(130)에 높은 강유전성을 가지게 할 수 있다.
- [0154] 이상의 방법을 사용함으로써, 강유전성을 가질 수 있는 재료로 이루어지는 절연체(130)를 형성할 수 있다. 이와 같은 절연체(130)를 사용하여 용량 소자(100)를 형성함으로써, 용량 소자(100)를 강유전 커패시터로 할 수 있다.
- [0155] 본 발명의 일 형태에 의하여 강유전성을 가질 수 있는 재료를 포함하는 용량 소자를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 상기 용량 소자를 양호한 생산성으로 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 용량 소자를 제공할 수 있다.
- [0156] 본 실시형태에 나타난 구성, 방법 등은 적어도 그 일부를, 본 명세서 중에 기재하는 다른 실시형태, 다른 실시예 등과 적절히 조합하여 실시할 수 있다.
- [0157] (실시형태 2)
- [0158] 본 실시형태에서는, 도 11의 (A) 내지 도 17의 (C)를 사용하여 본 발명의 일 형태에 따른 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치의 일례 및 이의 제작 방법에 대하여 설명한다. 여기서, 상기 반도체 장치에 사용하는 용량 소자(100)는 실시형태 1에 나타난 용량 소자(100)에 따른 기재를 참조할 수 있다.
- [0159] <반도체 장치의 구성예>
- [0160] 도 11의 (A) 내지 (D)는 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치의 상면도 및 단면도이다. 도 11의 (A)는 상기 반도체 장치의 상면도이다. 또한 도 11의 (B) 내지 (D)는 상기 반도체 장치의 단면도이다. 여기서, 도 11의 (B)는 도 11의 (A)에서 일점쇄선 A1-A2로 나타난 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 도 11의 (C)는 도 11의 (A)에서 일점쇄선 A3-A4로 나타난 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 도 11의 (D)는 도 11의 (A)에서 일점쇄선 A5-A6으로 나타난 부분의 단면도이다. 또한 도 11의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.
- [0161] 본 발명의 일 형태의 반도체 장치는 기관(도시하지 않았음) 위의 절연체(212)와, 절연체(212) 위의 절연체(214)와, 절연체(214) 위의 트랜지스터(200)와, 트랜지스터(200)에 제공된 절연체(275) 위의 절연체(280)와, 절연

체(280) 위의 절연체(282)와, 절연체(282) 위의 절연체(283)와, 절연체(283) 위의 절연체(274)와, 절연체(283) 위 및 절연체(274) 위의 절연체(285)를 가진다. 절연체(212), 절연체(214), 절연체(216), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 절연체(285), 및 절연체(274)는 층간막으로서 기능한다. 또한, 절연체(283)는 절연체(214)의 상면의 일부, 절연체(216)의 측면, 절연체(222)의 측면, 절연체(275)의 측면, 절연체(280)의 측면, 그리고 절연체(282)의 측면 및 상면과 접한다.

[0162] 여기서, 트랜지스터(200)는 반도체층과, 제 1 게이트와, 제 2 게이트와, 소스와, 드레인을 가진다. 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 반도체층보다 위쪽에서 용량 소자(100)의 한쪽 전극과 접한다. 또한, 트랜지스터(200)의 소스 및 드레인 위에 접하여 절연체(271)(절연체(271a) 및 절연체(271b))가 제공된다.

[0163] 용량 소자(100)는, 절연체(271), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 형성된 트랜지스터(200)의 소스 및 드레인 중 한쪽에 도달하는 개구에 제공된다. 용량 소자(100)는 상기 개구에서 트랜지스터(200)의 소스 및 드레인 중 한쪽의 상면에 접하는 도전체(110)와, 도전체(110) 및 절연체(285) 위에 배치되는 절연체(130)와, 절연체(130) 위에 배치되는 도전체(120)(도전체(120a) 및 도전체(120b))를 가진다. 여기서, 도전체(110)는 상기 개구의 측면 및 저면을 따라 배치되는 것이 바람직하다.

[0164] 또한, 도전체(110)와 절연체(280) 사이에 절연체(245)가 제공되는 것이 바람직하다. 절연체(245)는 수소(예를 들어 수소 원자, 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한, 절연체(245)는 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어, 절연체(245)는 절연체(280)보다 산소 및 수소 중 한쪽 또는 양쪽의 투과성이 낮은 것이 바람직하다.

[0165] [트랜지스터(200)]

[0166] 도 11의 (A) 내지 (D)에 나타낸 바와 같이 트랜지스터(200)는 절연체(214) 위의 절연체(216)와, 절연체(214) 및 /또는 절연체(216)에 매립되도록 배치된 도전체(205)(도전체(205a) 및 도전체(205b))와, 절연체(216) 위 및 도전체(205) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 산화물(230a)과, 산화물(230a) 위의 산화물(230b)과, 산화물(230b) 위의 도전체(242a)와, 도전체(242a) 위의 절연체(271a)와, 산화물(230b) 위의 도전체(242b)와, 도전체(242b) 위의 절연체(271b)와, 산화물(230b) 위의 절연체(252)와, 절연체(252) 위의 절연체(250)와, 절연체(250) 위의 절연체(254)와, 절연체(254) 위에 위치하고 산화물(230b)의 일부와 중첩되는 도전체(260)(도전체(260a) 및 도전체(260b))와, 절연체(222), 절연체(224), 산화물(230a), 산화물(230b), 도전체(242a), 도전체(242b), 절연체(271a), 및 절연체(271b) 위에 배치되는 절연체(275)를 가진다. 여기서, 도 11의 (B) 및 (C)에 나타낸 바와 같이 절연체(252)는 절연체(222)의 상면, 절연체(224)의 측면, 산화물(230a)의 측면, 산화물(230b)의 측면 및 상면, 도전체(242)의 측면, 절연체(271)의 측면, 절연체(275)의 측면, 절연체(280)의 측면, 및 절연체(250)의 하면과 접한다. 또한 도전체(260)의 상면은 높이가 절연체(254)의 최상부, 절연체(250)의 최상부, 절연체(252)의 최상부, 및 절연체(280)의 상면과 실질적으로 일치하도록 배치된다. 또한, 절연체(282)는 도전체(260), 절연체(252), 절연체(250), 절연체(254), 및 절연체(280) 각각의 상면의 적어도 일부와 접한다.

[0167] 또한 이하에서 산화물(230a)과 산화물(230b)을 통틀어 산화물(230)이라고 부르는 경우가 있다. 또한 도전체(242a)와 도전체(242b)를 통틀어 도전체(242)라고 부르는 경우가 있다. 또한 절연체(271a)와 절연체(271b)를 통틀어 절연체(271)라고 부르는 경우가 있다.

[0168] 절연체(280) 및 절연체(275)에는 산화물(230b)에 도달하는 개구가 제공된다. 상기 개구 내에 절연체(252), 절연체(250), 절연체(254), 및 도전체(260)가 배치되어 있다. 또한 트랜지스터(200)의 채널 길이 방향에서 절연체(271a)와 절연체(271b) 사이 및 도전체(242a)와 도전체(242b) 사이에 도전체(260), 절연체(252), 절연체(250), 및 절연체(254)가 제공되어 있다. 절연체(254)는 도전체(260)의 측면과 접하는 영역 및 도전체(260)의 저면과 접하는 영역을 가진다.

[0169] 산화물(230)은 절연체(224) 위에 배치된 산화물(230a)과, 산화물(230a) 위에 배치된 산화물(230b)을 가지는 것이 바람직하다. 산화물(230b) 아래에 산화물(230a)을 가짐으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로 불순물이 확산되는 것을 억제할 수 있다.

[0170] 또한 트랜지스터(200)에서는 산화물(230a)과 산화물(230b)의 2층이 적층되는 구성을 가지는 산화물(230)을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 산화물(230b)의 단층 구조 또는 3층 이상의 층의 적층 구조로 하여도 좋고, 산화물(230a) 및 산화물(230b) 각각이 적층 구조를 가져도 좋다.

- [0171] 도전체(260)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하고, 도전체(205)는 제 2 게이트(백 게이트라고도 함) 전극으로서 기능한다. 또한 절연체(252), 절연체(250), 및 절연체(254)는 제 1 게이트 절연체로서 기능하고, 절연체(222) 및 절연체(224)는 제 2 게이트 절연체로서 기능한다. 또한 게이트 절연체는 게이트 절연층 또는 게이트 절연막이라고 부르는 경우도 있다. 또한 도전체(242a)는 소스 및 드레인 중 한쪽으로서 기능하고, 도전체(242b)는 소스 및 드레인 중 다른 쪽으로서 기능한다. 또한 산화물(230)에서 도전체(260)와 중첩되는 영역의 적어도 일부는 채널 형성 영역으로서 기능한다.
- [0172] 여기서, 도 11의 (B)에서의 채널 형성 영역 근방의 확대도를 도 12의 (A)에 나타내었다. 산화물(230b)에 산소가 공급됨으로써, 도전체(242a)와 도전체(242b) 사이의 영역에 채널 형성 영역이 형성된다. 도 12의 (A)에 나타낸 바와 같이, 산화물(230b)은 트랜지스터(200)의 채널 형성 영역으로서 기능하는 영역(230bc)과, 영역(230bc)을 사이에 두고 제공되며 소스 영역 또는 드레인 영역으로서 기능하는 영역(230ba) 및 영역(230bb)을 가진다. 영역(230bc)은 적어도 일부가 도전체(260)와 중첩된다. 환언하면, 영역(230bc)은 도전체(242a)와 도전체(242b) 사이의 영역에 제공된다. 영역(230ba)은 도전체(242a)와 중첩하여 제공되어 있고, 영역(230bb)은 도전체(242b)와 중첩하여 제공되어 있다.
- [0173] 채널 형성 영역으로서 기능하는 영역(230bc)은 영역(230ba) 및 영역(230bb)보다 산소 결손이 적거나 또는 불순물 농도가 낮기 때문에 캐리어 농도가 낮은 고저항 영역이다. 따라서, 영역(230bc)은 i형(진성) 또는 실질적으로 i형이라고 할 수 있다. 영역(230bc)은 예를 들어 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써 형성하기 쉬워진다. 여기서 마이크로파 처리란, 예를 들어 마이크로파를 사용하여 고밀도 플라즈마를 발생시키는 전원을 가지는 장치를 사용한 처리를 말한다. 또한 본 명세서 등에서 마이크로파란, 300MHz 이상 300GHz 이하의 주파수를 가지는 전자기파를 가리키는 것으로 한다.
- [0174] 또한 소스 영역 또는 드레인 영역으로서 기능하는 영역(230ba) 및 영역(230bb)은 산소 결손이 많거나, 수소, 질소, 금속 원소 등의 불순물의 농도가 높기 때문에, 캐리어 농도가 증가하여 저항이 감소된 영역이다. 즉 영역(230ba) 및 영역(230bb)은 영역(230bc)과 비교하여 캐리어 농도가 높고 저항이 낮은 n형 영역이다.
- [0175] 여기서, 채널 형성 영역으로서 기능하는 영역(230bc)의 캐리어 농도는  $1 \times 10^{18} \text{ cm}^{-3}$  이하인 것이 바람직하고,  $1 \times 10^{17} \text{ cm}^{-3}$  미만인 것이 더 바람직하고,  $1 \times 10^{16} \text{ cm}^{-3}$  미만인 것이 더욱 바람직하고,  $1 \times 10^{13} \text{ cm}^{-3}$  미만인 것이 더욱 바람직하고,  $1 \times 10^{12} \text{ cm}^{-3}$  미만인 것이 더욱 바람직하다. 또한 채널 형성 영역으로서 기능하는 영역(230bc)의 캐리어 농도의 하한값은 특별히 한정되지 않지만, 예를 들어  $1 \times 10^{-9} \text{ cm}^{-3}$ 로 할 수 있다.
- [0176] 또한 캐리어 농도가 영역(230ba) 및 영역(230bb)의 캐리어 농도와 동등하거나 또는 이보다 낮으며, 영역(230bc)의 캐리어 농도와 동등하거나 또는 이보다 높은 영역이 영역(230bc)과 영역(230ba) 또는 영역(230bb) 사이에 형성되어도 좋다. 즉 상기 영역은 영역(230bc)과 영역(230ba) 또는 영역(230bb)의 접합 영역으로서 기능한다. 상기 접합 영역은 수소 농도가 영역(230ba) 및 영역(230bb)의 수소 농도와 동등하거나 또는 이보다 낮으며, 영역(230bc)의 수소 농도와 동등하거나 또는 이보다 높은 경우가 있다. 또한 상기 접합 영역은 산소 결손이 영역(230ba) 및 영역(230bb)의 산소 결손과 동등하거나 또는 이보다 적으며, 영역(230bc)의 산소 결손과 동등하거나 또는 이보다 많은 경우가 있다.
- [0177] 또한 도 12의 (A)에서 영역(230ba), 영역(230bb), 및 영역(230bc)이 산화물(230b)에 형성되는 예에 대하여 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 상기 각 영역이 산화물(230b)뿐만 아니라 산화물(230a)에도 형성되어도 좋다.
- [0178] 또한 산화물(230)에서, 각 영역의 경계를 명확히 검출하기가 어려운 경우가 있다. 각 영역 내에서 검출되는 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도는 영역마다 단계적으로 변화되는 것에 한정되지 않고, 각 영역 내에서도 연속적으로 변화되어도 좋다. 즉 채널 형성 영역에 가까운 영역일수록 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도가 감소되면 좋다.
- [0179] 트랜지스터(200)에서는 채널 형성 영역을 포함하는 산화물(230)(산화물(230a) 및 산화물(230b))로서, 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.
- [0180] 또한 반도체로서 기능하는 금속 산화물로서는 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상인 것을 사용하는 것이 바람직하다. 이와 같이, 밴드 갭이 큰 금속 산화물을 사용함으로써 트랜지스터의 오프 전류를 저감할 수 있다.

- [0181] 산화물(230)로서 예를 들어 인듐, 원소 M, 및 아연을 가지는 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다. 또한 산화물(230)로서 In-Ga 산화물, In-Zn 산화물, 인듐 산화물을 사용하여도 좋다.
- [0182] 여기서, 산화물(230b)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비가 산화물(230a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다.
- [0183] 이와 같이 산화물(230b) 아래에 산화물(230a)을 배치함으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로 불순물 및 산소가 확산되는 것을 억제할 수 있다.
- [0184] 또한 산화물(230a) 및 산화물(230b)이 산소 외에 공통의 원소를 가짐으로써(주성분으로 함으로써), 산화물(230a)과 산화물(230b)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 산화물(230a)과 산화물(230b)의 계면에서의 결합 준위 밀도를 낮출 수 있기 때문에 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아 큰 온 전류를 얻을 수 있다.
- [0185] 산화물(230b)은 결정성을 가지는 것이 바람직하다. 특히 산화물(230b)로서 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 사용하는 것이 바람직하다.
- [0186] CAAC-OS는 결정성이 높고 치밀한 구조를 가지고, 불순물 및 결합(예를 들어 산소 결손( $V_O$ ) 등)이 적은 금속 산화물이다. 특히, 금속 산화물의 형성 후에, 금속 산화물이 다결정화되지 않을 정도의 온도(예를 들어, 400°C 이상 600°C 이하)에서 가열 처리함으로써, CAAC-OS를 결정성이 더 높고 치밀한 구조로 할 수 있다. 이와 같이, CAAC-OS의 밀도를 더 높임으로써, 상기 CAAC-OS 내의 불순물 또는 산소의 확산을 더 저감할 수 있다.
- [0187] 한편, CAAC-OS에서는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 따라서 CAAC-OS를 가지는 금속 산화물은 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 금속 산화물은 열에 강하고 신뢰성이 높다.
- [0188] 산화물 반도체를 사용한 트랜지스터는 산화물 반도체 내의 채널이 형성되는 영역에 불순물 및 산소 결손이 존재하면 전기 특성이 변동되기 쉬워 신뢰성이 떨어지는 경우가 있다. 또한, 산소 결손 근방의 수소가, 산소 결손에 수소가 들어간 결합(이하,  $V_{OH}$ 라고 부르는 경우가 있음)을 형성하고, 캐리어가 되는 전자를 생성하는 경우가 있다. 그러므로 산화물 반도체 내의 채널이 형성되는 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 특성)을 가지기 쉽다. 따라서, 산화물 반도체 내의 채널이 형성되는 영역에서는 불순물, 산소 결손, 및  $V_{OH}$ 는 가능한 한 저감되어 있는 것이 바람직하다. 환언하면, 산화물 반도체 내의 채널이 형성되는 영역은 캐리어 농도가 저감되고, i형(진성화) 또는 실질적으로 i형인 것이 바람직하다.
- [0189] 한편, 가열에 의하여 이탈되는 산소(이하, 과잉 산소라고 부르는 경우가 있음)를 포함하는 절연체를 산화물 반도체 근방에 제공하고 열처리를 수행함으로써, 상기 절연체로부터 산화물 반도체에 산소를 공급하여 산소 결손 및  $V_{OH}$ 를 저감할 수 있다. 다만, 소스 영역 또는 드레인 영역에 과잉량의 산소가 공급되면, 트랜지스터(200)의 온 전류의 저하 또는 전계 효과 이동도의 저하가 일어날 우려가 있다. 또한 소스 영역 또는 드레인 영역에 공급되는 산소가 기판 면 내에서 편재함으로써, 트랜지스터를 가지는 반도체 장치의 특성에 편차가 생긴다.
- [0190] 따라서, 산화물 반도체 내에서 채널 형성 영역으로서 기능하는 영역(230bc)은 캐리어 농도가 저감되고, i형 또는 실질적으로 i형인 것이 바람직하지만, 소스 영역 또는 드레인 영역으로서 기능하는 영역(230ba) 및 영역(230bb)은 캐리어 농도가 높고 n형인 것이 바람직하다. 즉 산화물 반도체의 영역(230bc)의 산소 결손 및  $V_{OH}$ 를 저감하고, 영역(230ba) 및 영역(230bb)에 과잉량의 산소가 공급되지 않도록 하는 것이 바람직하다.
- [0191] 그러므로 본 실시형태에서는 산화물(230b) 위에 도전체(242a) 및 도전체(242b)를 제공한 상태로, 산소를 포함하는 분위기에서 마이크로파 처리를 수행하여 영역(230bc)의 산소 결손 및  $V_{OH}$ 를 저감한다.
- [0192] 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 마이크로파 또는 RF 등의 고주파를 사용하여 산소 가스를 플라즈마화하고, 상기 산소 플라즈마를 작용시킬 수 있다. 이때, 마이크로파 또는 RF 등의 고주파를 영역(230bc)에 조사할 수도 있다. 플라즈마, 마이크로파 등의 작용에 의하여, 영역(230bc)의  $V_{OH}$ 를 분단하고, 수소 H를 영역(230bc)에서 제거하고, 산소 결손  $V_O$ 를 산소로 보전할 수 있다. 즉 영역(230bc)에서 ' $V_{OH} \rightarrow H + V_O$ '

라는 반응이 일어나 영역(230bc)의 수소 농도를 저감할 수 있다. 따라서 영역(230bc) 내의 산소 결손 및  $V_0H$ 를 저감하여 캐리어 농도를 저하시킬 수 있다.

- [0193] 또한 산소를 포함하는 분위기에서 마이크로파 처리를 수행할 때, 마이크로파 또는 RF 등의 고주파, 산소 플라스마 등의 작용은 도전체(242a) 및 도전체(242b)에 의하여 차폐되므로 영역(230ba) 및 영역(230bb)에는 미치지 않는다. 또한 산소 플라스마의 작용은 산화물(230b) 및 도전체(242)를 덮어 제공된 절연체(271) 및 절연체(280)에 의하여 저감할 수 있다. 이에 의하여, 마이크로파 처리를 할 때 영역(230ba) 및 영역(230bb)에서  $V_0H$ 의 저감 및 과잉량의 산소의 공급이 일어나지 않기 때문에 캐리어 농도의 저하를 방지할 수 있다.
- [0194] 또한 절연체(252)가 되는 절연막의 성막 후 또는 절연체(250)가 되는 절연막의 성막 후에, 산소를 포함하는 분위기에서 마이크로파 처리를 수행하는 것이 바람직하다. 이와 같이 절연체(252) 또는 절연체(250)를 통하여 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 영역(230bc) 내에 산소를 효율적으로 주입할 수 있다. 또한 절연체(252)를 도전체(242)의 측면 및 영역(230bc)의 표면과 접하도록 배치함으로써, 영역(230bc)에 산소가 필요량 이상 주입되는 것을 억제하여 도전체(242)의 측면의 산화를 억제할 수 있다. 또한 절연체(250)가 되는 절연막의 성막 시에 도전체(242)의 측면이 산화되는 것을 억제할 수 있다.
- [0195] 또한 영역(230bc) 내에 주입되는 산소로서는 산소 원자, 산소 분자, 산소 라디칼(O 라디칼이라고도 하는, 홀전자(unpaired electron)를 가지는 원자, 분자, 또는 이온) 등 다양한 형태가 있다. 또한 영역(230bc) 내에 주입되는 산소는 상술한 형태 중 어느 하나 또는 복수이면 좋고, 특히 산소 라디칼인 것이 적합하다. 또한 절연체(252) 및 절연체(250)의 막질을 향상시킬 수 있기 때문에 트랜지스터(200)의 신뢰성이 향상된다.
- [0196] 이와 같이, 산화물 반도체의 영역(230bc)에서 선택적으로 산소 결손 및  $V_0H$ 를 제거하여 영역(230bc)을 i형 또는 실질적으로 i형으로 할 수 있다. 또한 소스 영역 또는 드레인 영역으로서 기능하는 영역(230ba) 및 영역(230bb)에 과잉량의 산소가 공급되는 것을 억제하여 n형을 유지할 수 있다. 이로써, 트랜지스터(200)의 전기 특성의 변동을 억제하고, 기판 면 내에서 트랜지스터(200)의 전기 특성에 편차가 생기는 것을 억제할 수 있다.
- [0197] 또한 도 11의 (C)에 나타낸 바와 같이 트랜지스터(200)의 채널 폭 방향의 단면에서 보았을 때, 산화물(230b)의 측면과 산화물(230b)의 상면 사이에 만곡면을 가져도 좋다. 즉 상기 측면의 단부와 상기 상면의 단부는 만곡되어도 좋다(이하, 라운드 형상이라고도 함).
- [0198] 상기 만곡면에서의 곡률 반경은 0nm보다 크고, 도전체(242)와 중첩되는 영역의 산화물(230b)의 막 두께보다 작거나, 또는 상기 만곡면을 가지지 않는 영역의 길이의 절반보다 작은 것이 바람직하다. 상기 만곡면에서의 곡률 반경은, 구체적으로는 0nm보다 크고 20nm 이하, 바람직하게는 1nm 이상 15nm 이하, 더 바람직하게는 2nm 이상 10nm 이하로 한다. 이와 같은 형상으로 함으로써, 산화물(230b)에 대한 절연체(252), 절연체(250), 절연체(254), 및 도전체(260)의 피복성을 높일 수 있다.
- [0199] 산화물(230)은 화학 조성이 상이한 복수의 산화물층의 적층 구조를 가지는 것이 바람직하다. 구체적으로는, 산화물(230a)에 사용하는 금속 산화물에서 주성분인 금속 원소에 대한 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 주성분인 금속 원소에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(230a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(230b)에 사용하는 금속 산화물에서 원소 M에 대한 In의 원자수비가 산화물(230a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 높은 것이 바람직하다.
- [0200] 또한 산화물(230b)은 CAAC-OS 등 결정성을 가지는 산화물인 것이 바람직하다. CAAC-OS 등 결정성을 가지는 산화물은 불순물 및 결함(산소 결손 등)이 적고 결정성이 높으며 치밀한 구조를 가진다. 따라서 소스 전극 또는 드레인 전극에 의한 산화물(230b)로부터의 산소 추출을 억제할 수 있다. 이에 의하여, 열처리를 수행한 경우에도 산화물(230b)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(200)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.
- [0201] 여기서, 산화물(230a)과 산화물(230b)의 접합부에서 전도대 하단은 완만하게 변화된다. 환언하면, 산화물(230a)과 산화물(230b)의 접합부에서의 전도대 하단은 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는, 산화물(230a)과 산화물(230b)의 계면에 형성되는 혼합층의 결함 준위 밀도를 낮추는 것이 좋다.
- [0202] 구체적으로는, 산화물(230a)과 산화물(230b)이 산소 외에 공통의 원소를 주성분으로서 가짐으로써, 결함 준위

밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 산화물(230b)이 In-M-Zn 산화물인 경우, 산화물(230a)로서 In-M-Zn 산화물, M-Zn 산화물, 원소 M의 산화물, In-Zn 산화물, 인듐 산화물 등을 사용하여도 좋다.

- [0203] 구체적으로는, 산화물(230a)로서 In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성, 또는 In:M:Zn=1:1:0.5[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한, 산화물(230b)로서 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:2[원자수비] 또는 그 근방의 조성, 또는 In:M:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한 근방의 조성이란, 원하는 원자수비의  $\pm 30\%$ 의 범위를 포함하는 것이다. 또한 원소 M으로서 갈륨을 사용하는 것이 바람직하다.
- [0204] 여기서, 산화물(230a) 및 산화물(230b)은 스퍼터링법을 사용하여 형성하는 것이 바람직하다. 스퍼터링 가스로서 산소, 또는 산소와 희가스의 혼합 가스를 사용한다. 스퍼터링 가스에 포함되는 산소의 비율을 높임으로써, 성막되는 막 내의 산소를 증가시킬 수 있다. 또한, 산화물(230a) 및 산화물(230b)의 성막 방법은 스퍼터링법에 한정되지 않고, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하여도 좋다.
- [0205] 또한 금속 산화물을 스퍼터링법으로 성막하는 경우, 상기 원자수비는 성막된 금속 산화물의 원자수비에 한정되지 않고, 금속 산화물의 성막에 사용하는 스퍼터링 타겟의 원자수비이어도 좋다.
- [0206] 산화물(230)은 ALD법을 사용하여 형성하여도 좋다. 여기서는, ALD법을 사용한 산화물(230)의 성막 방법에 대하여 설명한다. 또한, ALD법을 사용한 성막 방법에 대해서는 앞의 실시형태에서도 설명하였기 때문에, 주로 상이한 부분에 대하여 설명하고, 공통되는 부분에 대해서는 앞의 실시형태의 설명을 참조할 수 있다.
- [0207] 산화물(230)에 사용할 수 있는 In-M-Zn 산화물은 인듐(In) 및 산소를 포함하는 층(이하, In층)과, 원소 M, 아연(Zn), 및 산소를 포함하는 층(이하, (M,Zn)층)이 적층된 층상의 결정 구조를 가지는 경향이 있다. 또한, 2개의 In층 사이에 포함되는 (M,Zn)층의 개수는 In-M-Zn 산화물의 조성과 상관성이 있다. 예를 들어, 조성인 In:M:Zn=1:1:m인 경우, 2개의 In층 사이에 포함되는 (M,Zn)층의 개수는 (m+1)층이 되기 쉽다.
- [0208] ALD법을 사용한 산화물(230)의 성막 방법의 예로서, In-M-Zn 산화물의 성막 방법에 대하여 도 7의 (C)를 사용하여 설명한다. 도 7의 (C)는 전구체(411) 내지 전구체(413) 및 산화성 가스(414)를 사용하여 성막하는 성막 시퀀스의 일례를 나타낸 것이다. 또한, 상기 성막 시퀀스는 단계 S11 내지 단계 S13을 가진다.
- [0209] 전구체(411)로서는 인듐을 포함하는 전구체를 사용할 수 있다. 또한, 전구체(412)로서는 원소 M을 포함하는 전구체를 사용할 수 있다. 또한, 전구체(413)로서는 아연을 포함하는 전구체를 사용할 수 있다. 또한, 전구체(411) 내지 전구체(413)의 각각으로서는 무기물로 형성되는 전구체(무기 전구체라고 부르는 경우가 있음)를 사용하여도 좋고, 유기물로 형성되는 전구체(유기 전구체라고 부르는 경우가 있음)를 사용하여도 좋다. 산화성 가스(414)로서는 앞의 실시형태에서 설명한 산화성 가스(403)에 적용할 수 있는 가스를 사용할 수 있다.
- [0210] 우선, 단계 S11을 수행한다. 단계 S11에서는 전구체(411)를 도입하고, 인듐을 가지는 전구체를 피형성면에 흡착시키는 공정, 전구체(411)의 도입을 정지하고 챔버 내의 불필요한 전구체(411)를 퍼지하는 공정, 산화성 가스(414)를 도입하여 전구체(411)를 산화시켜 In층을 형성하는 공정, 산화성 가스(414)의 도입을 정지하고 챔버 내의 불필요한 산화성 가스(414)를 퍼지하는 공정을 순차적으로 수행한다.
- [0211] 다음으로, 단계 S12를 수행한다. 단계 S12에서는 전구체(412)를 도입하여 원소 M을 가지는 전구체를 In층 표면에 흡착시키는 공정, 전구체(413)의 도입을 정지하여 챔버 내의 불필요한 전구체(412)를 퍼지하는 공정, 산화성 가스(414)를 도입하여 전구체(412)를 산화시켜 M층을 형성하는 공정, 산화성 가스(414)를 정지하여 챔버 내의 불필요한 산화성 가스를 퍼지하는 공정을 순차적으로 수행한다.
- [0212] 다음으로, 단계 S13을 수행한다. 단계 S13에서는 전구체(413)를 도입하여 아연을 가지는 전구체를 M층 표면에 흡착시키는 공정, 전구체(413)의 도입을 정지하고 챔버 내의 불필요한 전구체(413)를 퍼지하는 공정, 산화성 가스(414)를 도입하여 전구체(413)를 산화시켜 Zn층을 형성하는 공정, 산화성 가스(414)의 도입을 정지하고 챔버 내의 불필요한 산화성 가스(414)를 퍼지하는 공정을 순차적으로 수행한다.
- [0213] 단계 S11 내지 단계 S13을 1사이클로 하고, 상기 사이클을 반복함으로써 원하는 막 두께의 In-M-Zn 산화물을 형성할 수 있다. 또한, 성막 중 또는 성막 이후의 가열 처리에 의하여 In층에 원소 M 또는 Zn이 혼입되는 경우가 있다. 또한, M층에 In 또는 Zn이 혼입되는 경우가 있다. 또한, Zn층에 In 또는 Ga가 혼입되는 경우가 있다.
- [0214] 또한, 1사이클 중의 단계 S11 내지 단계 S13을 수행하는 횟수는 한 번씩에 한정되지 않는다. 1사이클 중의 단계 S11 내지 단계 S13을 수행하는 횟수는 원하는 조성의 In-M-Zn 산화물을 얻을 수 있도록 각각 설정되는 것이 좋다. 예를 들어, In:M:Zn=1:1:2[원자수비]의 In-M-Zn 산화물을 성막하는 경우, 단계 S11, 단계 S13, 단계

S12, 단계 S13을 1사이클로 하고, 상기 사이클을 반복하는 것이 좋다. 또한, 예를 들어 단계 S11 및 단계 S12로 구성되는 사이클을 반복함으로써, In-Zn 산화물을 성막할 수 있다. 또한, 단계 S12의 전구체(412)를 도입하는 공정에 있어서 전구체(413)도 도입함으로써, 단계 S12에서 (M,Zn)층을 형성하여도 좋다. 또한, 단계 S11의 전구체(411)를 도입하는 공정에 있어서 전구체(412) 또는 전구체(413)도 도입함으로써, 단계 S11에서 원소 M 또는 Zn을 포함하는 In층을 형성하여도 좋다. 이들을 적절히 조합함으로써, 원하는 산화물(230)을 성막할 수 있다.

[0215] 또한, ALD법에 의한 성막에 사용되는 제조 장치는 앞의 실시형태의 설명을 참조할 수 있다. 산화물(230)과 강유전체층을 ALD법을 사용하여 성막함으로써, 제조 장치를 공통화할 수 있다. 또한, 도 1의 (B2)에 나타난 소자를 제작하는 경우, 산화물(230)을 성막한 후 전구체 및 산화성 가스를 전환함으로써, 산화물(230) 위에 절연체(130)를 연속 성막할 수 있다. 따라서, 산화물(230)과 절연체(130)를 대기 개방하지 않고 성막할 수 있어, 산화물(230)과 절연체(130)의 계면 근방을 청정하게 유지할 수 있다.

[0216] 또한, ALD법에 의한 성막에 사용되는 제조 장치 중 2개 이상이 멀티 체임버 방식의 성막 장치에 제공되어 있어도 좋다. 이때, 산화물(230)과 강유전체층을 상이한 제조 장치로 성막하도록 설정함으로써, 전구체 및 산화성 가스를 전환하지 않고, 산화물(230)과 강유전체층을 연속 성막할 수 있다.

[0217] 또한 도 11의 (C) 등에 나타난 바와 같이, 산화물(230)의 상면 및 측면에 접하여 산화 알루미늄 등으로 형성되는 절연체(252)를 제공하면 산화물(230)과 절연체(252)의 계면 및 그 근방에, 산화물(230)에 포함되는 인듐이 편재하는 경우가 있다. 이에 의하여, 산화물(230)의 표면 근방은 인듐 산화물에 가까운 원자수비 또는 In-Zn 산화물에 가까운 원자수비를 가지게 된다. 이와 같이 산화물(230), 특히 산화물(230b)의 표면 근방의 인듐의 원자수비가 커짐으로써 트랜지스터(200)의 전계 효과 이동도를 향상시킬 수 있다.

[0218] 산화물(230a) 및 산화물(230b)을 상술한 구성으로 함으로써, 산화물(230a)과 산화물(230b)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 그러므로, 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(200)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[0219] 절연체(212), 절연체(214), 절연체(271), 절연체(275), 절연체(282), 절연체(283), 및 절연체(285) 중 적어도 하나는 물, 수소 등의 불순물이 기관 측으로부터 또는 트랜지스터(200)의 위쪽으로부터 트랜지스터(200)로 확산되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(212), 절연체(214), 절연체(271), 절연체(275), 절연체(282), 절연체(283), 및 절연체(285) 중 적어도 하나에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자( $N_2O$ ,  $NO$ ,  $NO_2$  등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다.

[0220] 또한, 본 명세서에 있어서, 배리어 절연막이란, 배리어성을 가지는 절연막을 가리킨다. 본 명세서에 있어서, 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)으로 한다. 또는, 대응하는 물질을 포획 및 고착(게터링이라고도 함)하는 기능을 말한다.

[0221] 절연체(212), 절연체(214), 절연체(271), 절연체(275), 절연체(282), 절연체(283), 및 절연체(285)로서는 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하고, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등을 사용할 수 있다. 예를 들어 절연체(212), 절연체(275), 및 절연체(283)에 보다 수소 배리어성이 높은 질화 실리콘 등을 사용하는 것이 바람직하다. 또한 예를 들어 절연체(214), 절연체(271), 절연체(282), 및 절연체(285)에, 수소를 포획 및 고착하는 기능이 높은 산화 알루미늄 또는 산화 마그네슘 등을 사용하는 것이 바람직하다. 이로써, 물, 수소 등의 불순물이 절연체(212) 및 절연체(214)를 통하여 기관 측으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 또는 물, 수소 등의 불순물이 절연체(285)보다 외측에 배치되는 층간 절연막 등으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(224) 등에 포함되는 산소가 절연체(212) 및 절연체(214)를 통하여 기관 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(280) 등에 포함되는 산소가 절연체(282) 등을 통하여 트랜지스터(200)보다 위쪽으로 확산되는 것을 억제할 수 있다. 이와 같이 트랜지스터(200)를 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체(212), 절연체(214), 절연체(271), 절연체(275), 절연체(282), 절연체(283), 및 절연체(285)로 둘러싸는 구조로 하는 것이 바람직하다.

- [0222] 여기서 절연체(212), 절연체(214), 절연체(271), 절연체(275), 절연체(282), 절연체(283), 및 절연체(285)에 비정질 구조를 가지는 산화물을 사용하는 것이 바람직하다. 예를 들어  $AlO_x$ ( $x$ 는 0보다 큰 임의의 수) 또는  $MgO_y$ ( $y$ 는 0보다 큰 임의의 수) 등의 금속 산화물을 사용하는 것이 바람직하다. 이와 같은 비정질 구조를 가지는 금속 산화물에서는 산소 원자가 댕글링 본드(dangling bond)를 가지고, 상기 댕글링 본드로 수소를 포획 또는 고착하는 성질을 가지는 경우가 있다. 이와 같은 비정질 구조를 가지는 금속 산화물을 트랜지스터(200)의 구성 요소로서 사용하거나 또는 트랜지스터(200)의 주위에 제공함으로써, 트랜지스터(200)에 포함되는 수소 또는 트랜지스터(200)의 주위에 존재하는 수소를 포획 또는 고착할 수 있다. 특히 트랜지스터(200)의 채널 형성 영역에 포함되는 수소를 포획 또는 고착하는 것이 바람직하다. 비정질 구조를 가지는 금속 산화물을 트랜지스터(200)의 구성 요소로서 사용하거나 또는 트랜지스터(200)의 주위에 제공함으로써, 양호한 특성을 가지고 신뢰성이 높은 트랜지스터(200) 및 반도체 장치를 제작할 수 있다.
- [0223] 또한 절연체(212), 절연체(214), 절연체(271), 절연체(275), 절연체(282), 절연체(283), 및 절연체(285)는 비정질 구조인 것이 바람직하지만, 일부에 다결정 구조의 영역이 형성되어 있어도 좋다. 또한 절연체(212), 절연체(214), 절연체(271), 절연체(275), 절연체(282), 절연체(283), 및 절연체(285)는 비정질 구조의 층과 다결정 구조의 층이 적층된 다층 구조이어도 좋다. 예를 들어 비정질 구조의 층 위에 다결정 구조의 층이 형성된 적층 구조이어도 좋다.
- [0224] 절연체(212), 절연체(214), 절연체(271), 절연체(275), 절연체(282), 절연체(283), 및 절연체(285)의 성막은 예를 들어 스퍼터링법을 사용하여 수행하면 좋다. 스퍼터링법은 수소를 포함한 분자를 성막 가스에 사용하지 않아도 되기 때문에 절연체(212), 절연체(214), 절연체(271), 절연체(275), 절연체(282), 절연체(283), 및 절연체(285)의 수소 농도를 저감할 수 있다. 또한, 성막 방법은 스퍼터링법에 한정되지 않고, 화학 기상 성장(CVD)법, 분자선 에피택시(MBE)법, 펄스 레이저 퇴적(PLD)법, 원자층 퇴적(ALD)법 등을 적절히 사용하여도 좋다.
- [0225] 또한 절연체(212), 절연체(275), 및 절연체(283)의 저항률을 낮게 하는 것이 바람직한 경우가 있다. 예를 들어 절연체(212), 절연체(275), 및 절연체(283)의 저항률을 대략  $1 \times 10^{13} \Omega \text{cm}$ 로 함으로써, 반도체 장치 제작 공정의 플라즈마 등을 사용하는 처리에서 절연체(212), 절연체(275), 및 절연체(283)가 도전체(205), 도전체(242), 도전체(260), 또는 도전체(110)의 차지 업을 완화할 수 있는 경우가 있다. 절연체(212), 절연체(275), 및 절연체(283)의 저항률은 바람직하게는  $1 \times 10^{10} \Omega \text{cm}$  이상  $1 \times 10^{15} \Omega \text{cm}$  이하로 한다.
- [0226] 또한 절연체(216), 절연체(274), 절연체(280), 및 절연체(285)는 절연체(214)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 예를 들어 절연체(216), 절연체(274), 절연체(280), 및 절연체(285)에 산화 실리콘, 산화질화 실리콘, 플루오린이 첨가된 산화 실리콘, 탄소가 첨가된 산화 실리콘, 탄소 및 질소가 첨가된 산화 실리콘, 공공(空孔)을 가지는 산화 실리콘 등을 적절히 사용하면 좋다.
- [0227] 도전체(205)는 산화물(230) 및 도전체(260)와 중첩되도록 배치된다. 여기서 도전체(205)는 절연체(216)에 형성된 개구에 매립되어 제공되는 것이 바람직하다. 또한 도전체(205)의 일부가 절연체(214)에 매립되는 경우가 있다.
- [0228] 도전체(205)는 도전체(205a) 및 도전체(205b)를 가진다. 도전체(205a)는 상기 개구의 저면 및 측벽과 접하여 제공된다. 도전체(205b)는 도전체(205a)에 형성된 오목부에 매립되도록 제공된다. 여기서 도전체(205b)의 상면의 높이는 도전체(205a)의 상면의 높이 및 절연체(216)의 상면의 높이와 실질적으로 일치한다.
- [0229] 여기서 도전체(205a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자( $N_2O$ ,  $NO$ ,  $NO_2$  등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0230] 수소의 확산을 저감하는 기능을 가지는 도전성 재료를 도전체(205a)에 사용함으로써, 도전체(205b)에 포함되는 수소 등의 불순물이 절연체(224) 등을 통하여 산화물(230)로 확산되는 것을 방지할 수 있다. 또한, 도전체(205a)에 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(205b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테튬, 산화 루테튬 등을 사용하는 것이 바람직하다. 따라서 도

전체(205a)는 상기 도전성 재료의 단층 또는 적층으로 하면 좋다. 예를 들어 도전체(205a)에는 질화 타이타늄을 사용하면 좋다.

[0231] 또한 도전체(205b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(205b)에는 텅스텐을 사용하면 좋다.

[0232] 도전체(205)는 제 2 게이트 전극으로서 기능하는 경우가 있다. 이 경우, 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(200)의 문턱 전압( $V_{th}$ )을 제어할 수 있다. 특히, 도전체(205)에 음의 전위를 인가함으로써, 트랜지스터(200)의  $V_{th}$ 를 크게 하고, 오프 전류를 저감할 수 있다. 따라서, 도전체(205)에 음의 전위를 인가하는 것이, 인가하지 않은 경우보다 도전체(260)에 인가하는 전위가 0V일 때의 드레인 전류를 더 작게 할 수 있다.

[0233] 또한 도전체(205)의 전기 저항률은 도전체(205)에 인가하는 상기 전위를 고려하여 설계되고, 도전체(205)의 막 두께는 상기 전기 저항률에 맞추어 설정된다. 또한 절연체(216)의 막 두께는 도전체(205)와 거의 같다. 여기서, 도전체(205)의 설계상 허용되는 범위에서 도전체(205) 및 절연체(216)의 막 두께를 얇게 하는 것이 바람직하다. 절연체(216)의 막 두께를 얇게 함으로써, 절연체(216) 내에 포함되는 수소 등의 불순물의 절대량을 저감할 수 있기 때문에 상기 불순물이 산화물(230)로 확산되는 것을 저감할 수 있다.

[0234] 또한 도전체(205)는 도 11의 (A)에 나타낸 바와 같이, 산화물(230)에서 도전체(242a) 및 도전체(242b)와 중첩되지 않는 영역의 크기보다 크게 제공되는 것이 좋다. 특히 도 11의 (C)에 나타낸 바와 같이, 도전체(205)는 산화물(230a) 및 산화물(230b)의 채널 폭 방향의 단부보다 외측의 영역에서도 연장되어 있는 것이 바람직하다. 즉, 산화물(230)의 채널 폭 방향에서의 측면의 외측에서 도전체(205)와 도전체(260)는 절연체를 개재하여 중첩되는 것이 바람직하다. 상기 구성을 가짐으로써, 제 1 게이트 전극으로서 기능하는 도전체(260)의 전계와 제 2 게이트 전극으로서 기능하는 도전체(205)의 전계에 의하여, 산화물(230)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 본 명세서에서 제 1 게이트 및 제 2 게이트의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다.

[0235] 또한 본 명세서 등에서 S-channel 구조의 트랜지스터란, 한 쌍의 게이트 전극 중 한쪽 및 다른 쪽의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 말한다. 또한 본 명세서 등에서 개시하는 S-channel 구조는 Fin형 구조 및 플레이너형 구조와는 다르다. S-channel 구조를 채용함으로써, 단채널 효과에 대한 내성을 높일 수 있고, 환연하면 단채널 효과가 일어나기 어려운 트랜지스터로 할 수 있다.

[0236] 또한 도 11의 (C)에 나타낸 바와 같이, 도전체(205)는 연장되어 배선으로서도 기능한다. 다만 이에 한정되지 않고, 도전체(205) 아래에 배선으로서 기능하는 도전체를 제공하는 구성으로 하여도 좋다. 또한 도전체(205)는 반드시 각 트랜지스터에 하나씩 제공될 필요는 없다. 예를 들어 도전체(205)를 복수의 트랜지스터로 공유하는 구성으로 하여도 좋다.

[0237] 또한 트랜지스터(200)에서 도전체(205a) 및 도전체(205b)를 적층시킨 구성을 가지는 도전체(205)를 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 도전체(205)를 단층 구조 또는 3층 이상의 층의 적층 구조로서 제공하는 구성으로 하여도 좋다.

[0238] 절연체(222) 및 절연체(224)는 게이트 절연체로서 기능한다.

[0239] 절연체(222)는 수소(예를 들어 수소 원자, 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한, 절연체(222)는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(222)는 절연체(224)보다 수소 및 산소 중 한쪽 또는 양쪽의 확산을 더 억제하는 기능을 가지는 것이 바람직하다.

[0240] 절연체(222)로서는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 사용하는 것이 좋다. 상기 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄알루미늄네이트) 등을 사용하는 것이 바람직하다. 또는 하프늄 및 지르코늄을 포함한 산화물, 예를 들어 하프늄 지르코늄 산화물을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 산화물(230)로부터 기판 측으로의 산소의 방출 및 트랜지스터(200)의 주변부로부터 산화물(230)로의 수소 등의 불순물의 확산을 억제하는 층으로서 기능한다. 따라서 절연체(222)를 제공함으로써, 수소 등의 불순물이 트랜지스터(200)의 내측으로 확산되는 것을 억제하고, 산화물(230) 내에 산소 결손이 생성되는 것을 억제할 수 있다. 또한 절연체(224) 및 산화물(230)에 포함되는 산소와 도전체(205)가 반응하는 것을 억제할 수 있다.

- [0241] 또는 상기 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 또한 절연체(222)로서는 이들 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층시킨 것을 사용하여도 좋다.
- [0242] 또한 절연체(222)로서는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 하프늄 지르코늄 산화물 등의 소위 high-k 재료를 포함한 절연체를 단층으로 또는 적층으로 사용하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체가 박막화됨으로써 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다. 또한 절연체(222)에 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬( $\text{SrTiO}_3$ ), (Ba,Sr) $\text{TiO}_3$ (BST) 등 유전율이 높은 물질을 사용할 수 있는 경우도 있다.
- [0243] 산화물(230)과 접하는 절연체(224)에는 예를 들어 산화 실리콘, 산화질화 실리콘 등을 적절히 사용하면 좋다.
- [0244] 또한 트랜지스터(200)의 제작 공정 중에서, 산화물(230)의 표면이 노출된 상태에서 가열 처리를 수행하는 것이 적합하다. 상기 가열 처리는 예를 들어 100℃ 이상 600℃ 이하, 더 바람직하게는 350℃ 이상 550℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이로써, 산화물(230)에 산소가 공급되므로 산소 결손( $V_o$ )을 저감할 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 가열 처리는 질소 가스 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다. 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행한 후에, 연속하여 질소 가스 또는 불활성 가스 분위기에서 가열 처리를 수행하여도 좋다.
- [0245] 또한 산화물(230)에 대하여 가산소화 처리를 수행함으로써, 공급된 산소에 의하여 산화물(230) 내의 산소 결손을 수복(修復)하는 반응, 환원하면 ' $V_o+O \rightarrow \text{null}$ '이라는 반응을 촉진할 수 있다. 또한 산화물(230) 내에 잔존한 수소와 공급된 산소가 반응함으로써, 상기 수소를  $\text{H}_2\text{O}$ 로서 제거(탈수화)할 수 있다. 이에 의하여, 산화물(230) 내에 잔존한 수소가 산소 결손과 재결합되어  $V_{OH}$ 가 형성되는 것을 억제할 수 있다.
- [0246] 또한 절연체(222) 및 절연체(224)가 2층 이상의 적층 구조를 가져도 좋다. 이 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다. 또한, 절연체(224)는 산화물(230a)과 중첩하여 섬 형상으로 형성되어도 좋다. 이 경우, 절연체(275)가 절연체(224)의 측면 및 절연체(22)의 상면과 접하는 구성이 된다.
- [0247] 도전체(242a) 및 도전체(242b)는 산화물(230b)의 상면에 접하여 제공된다. 도전체(242a) 및 도전체(242b)는 각각 트랜지스터(200)의 소스 전극 또는 드레인 전극으로서 기능한다.
- [0248] 도전체(242)(도전체(242a) 및 도전체(242b))에는 예를 들어 탄탈럼을 포함한 질화물, 타이타늄을 포함한 질화물, 몰리브데늄을 포함한 질화물, 텅스텐을 포함한 질화물, 탄탈럼 및 알루미늄을 포함한 질화물, 타이타늄 및 알루미늄을 포함한 질화물 등을 사용하는 것이 바람직하다. 본 발명의 일 형태에서는 탄탈럼을 포함한 질화물이 특히 바람직하다. 또한 예를 들어 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하여도 좋다. 이들 재료는 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.
- [0249] 또한 산화물(230b) 등에 포함되는 수소가 도전체(242a) 또는 도전체(242b)로 확산되는 경우가 있다. 특히 도전체(242a) 및 도전체(242b)에 탄탈럼을 포함하는 질화물을 사용함으로써, 산화물(230b) 등에 포함되는 수소는 도전체(242a) 또는 도전체(242b)로 확산되기 쉽고, 확산된 수소는 도전체(242a) 또는 도전체(242b)가 가지는 질소와 결합되는 경우가 있다. 즉 산화물(230b) 등에 포함되는 수소는 도전체(242a) 또는 도전체(242b)에 흡수되는 경우가 있다.
- [0250] 또한 도전체(242)의 측면과 도전체(242)의 상면 사이에 만곡면이 형성되지 않는 것이 바람직하다. 상기 만곡면이 형성되지 않는 도전체(242)로 함으로써, 도 11의 (D)에 나타난 바와 같은 채널 폭 방향의 단면에서의 도전체(242)의 단면적을 크게 할 수 있다. 이에 의하여, 도전체(242)의 도전율을 크게 하여 트랜지스터(200)의 온 전류를 크게 할 수 있다.

- [0251] 절연체(271a)는 도전체(242a)의 상면에 접하여 제공되고, 절연체(271b)는 도전체(242b)의 상면에 접하여 제공된다. 절연체(271)는 적어도 산소에 대한 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(271)는 산소의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(271)는 절연체(280)보다 산소의 확산을 억제하는 기능을 가지는 것이 바람직하다. 절연체(271)는 예를 들어 산화 알루미늄 또는 산화 마그네슘 등의 절연체를 사용하면 좋다.
- [0252] 절연체(275)는 절연체(224), 산화물(230a), 산화물(230b), 도전체(242), 및 절연체(271)를 덮도록 제공된다. 절연체(275)로서 수소를 포획 및 고착하는 기능을 가지는 것이 바람직하다. 그 경우 절연체(275)로서는 질화 실리콘, 또는 비정질 구조를 가지는 금속 산화물, 예를 들어 산화 알루미늄 또는 산화 마그네슘 등의 절연체를 포함하는 것이 바람직하다. 또한 예를 들어 절연체(275)로서 산화 알루미늄과 상기 산화 알루미늄 위의 질화 실리콘의 적층막을 사용하여도 좋다.
- [0253] 상술한 바와 같은 절연체(271) 및 절연체(275)를 제공함으로써, 산소에 대한 배리어성을 가지는 절연체로 도전체(242)를 감쌀 수 있다. 즉 절연체(224) 및 절연체(280)에 포함되는 산소가 도전체(242)로 확산되는 것을 방지할 수 있다. 이로써, 절연체(224) 및 절연체(280)에 포함되는 산소에 의하여 도전체(242)가 직접 산화되어 저항률이 증대되고 온 전류가 저감되는 것을 억제할 수 있다.
- [0254] 절연체(252)는 게이트 절연체의 일부로서 기능한다. 절연체(252)로서는 산소에 대한 배리어 절연막을 사용하는 것이 바람직하다. 절연체(252)로서는 상술한 절연체(282)에 사용할 수 있는 절연체를 사용하면 좋다. 절연체(252)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 사용하면 좋다. 상기 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄알루미늄네이트), 하프늄 및 실리콘을 포함한 산화물(하프늄실리케이트) 등을 사용할 수 있다. 본 실시형태에서는 절연체(252)로서 산화 알루미늄을 사용한다. 이 경우 절연체(252)는 적어도 산소와 알루미늄을 포함하는 절연체가 된다.
- [0255] 도 11의 (C)에 나타난 바와 같이, 절연체(252)는 산화물(230b)의 상면 및 측면, 산화물(230a)의 측면, 절연체(224)의 측면, 그리고 절연체(222)의 상면에 접하여 제공된다. 즉 산화물(230a), 산화물(230b), 및 절연체(224)에서 도전체(260)와 중첩되는 영역은 채널 폭 방향의 단면에 있어서 절연체(252)로 덮여 있다. 이에 의하여, 열처리 등을 수행하였을 때 산화물(230a) 및 산화물(230b)로부터의 산소의 이탈을 산소에 대한 배리어성을 가지는 절연체(252)로 차단할 수 있다. 따라서 산화물(230a) 및 산화물(230b)에서의 산소 결손( $V_O$ )의 형성을 저감할 수 있다. 이에 의하여, 영역(230bc)에 형성되는 산소 결손( $V_O$ ) 및  $V_OH$ 를 저감할 수 있다. 따라서 트랜지스터(200)의 전기 특성을 양호하게 하고 신뢰성을 향상시킬 수 있다.
- [0256] 또한 반대로, 절연체(280) 및 절연체(250) 등에 과잉량의 산소가 포함된 경우에도, 상기 산소가 산화물(230a) 및 산화물(230b)에 과잉으로 공급되는 것을 억제할 수 있다. 따라서 영역(230bc)을 통하여 영역(230ba) 및 영역(230bb)이 과잉으로 산화되어 트랜지스터(200)의 온 전류 저하 또는 전계 효과 이동도 저하가 일어나는 것을 억제할 수 있다.
- [0257] 또한 도 11의 (B)에 나타난 바와 같이 절연체(252)는 도전체(242), 절연체(271), 절연체(275), 및 절연체(280) 각각의 측면에 접하여 제공된다. 따라서 도전체(242)의 측면이 산화되어 상기 측면에 산화막이 형성되는 것을 저감할 수 있다. 이에 의하여, 트랜지스터(200)의 온 전류 저하 또는 전계 효과 이동도 저하가 일어나는 것을 억제할 수 있다.
- [0258] 또한, 절연체(252)는 절연체(254), 절연체(250), 및 도전체(260)와 마찬가지로, 절연체(280) 등에 형성된 개구에 제공할 필요가 있다. 트랜지스터(200)의 미세화를 위하여 절연체(252)의 막 두께는 얇은 것이 바람직하다. 절연체(252)의 막 두께는 0.1nm 이상 5.0nm 이하, 바람직하게는 0.5nm 이상 3.0nm 이하, 더 바람직하게는 1.0nm 이상 3.0nm 이하로 한다. 이 경우 절연체(252)는 적어도 일부에서 상술한 바와 같은 막 두께의 영역을 가지면 좋다. 또한 절연체(252)의 막 두께는 절연체(250)의 막 두께보다 얇은 것이 바람직하다. 이 경우 절연체(252)는 적어도 일부에서 절연체(250)보다 막 두께가 얇은 영역을 가지면 좋다.
- [0259] 절연체(252)를 상술한 바와 같이 얇은 막 두께로 성막하기 위해서는 ALD법을 사용하는 것이 바람직하다. ALD법으로서는, 전구체 및 반응체의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법, 플라즈마 여기된 반응체를 사용하는 PEALD(Plasma Enhanced ALD)법 등이 있다. PEALD법에서는 플라즈마를 이용하기 때문에, 더 낮은 온도에서 성막할 수 있기 때문에 바람직한 경우가 있다.
- [0260] ALD법에서는 원자의 성질인 자기 제어성을 이용하여 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막할

수 있고, 중형비가 높은 구조에 대한 성막이 가능하고, 편홀 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다. 따라서 절연체(280) 등에 형성된 개구의 측면 등에, 상술한 바와 같은 얇은 막 두께의 절연체(252)를 좋은 피복성으로 성막할 수 있다.

[0261] 또한 ALD법에서 사용하는 전구체에는 탄소 등이 포함되는 경우가 있다. 그러므로 ALD법으로 제공된 막은, 다른 성막법으로 제공된 막과 비교하여 탄소 등의 불순물을 많이 포함하는 경우가 있다. 또한, 불순물의 정량은 이차 이온 질량 분석법(SIMS), X선 광전자 분광법(XPS), 또는 오제 전자 분광법(AES)을 사용하여 수행할 수 있다.

[0262] 절연체(250)는 게이트 절연체의 일부로서 기능한다. 절연체(250)는 절연체(252)의 상면에 접하여 배치되는 것이 바람직하다. 절연체(250)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘 등을 사용할 수 있다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다. 이 경우 절연체(250)는 적어도 산소와 실리콘을 포함하는 절연체가 된다.

[0263] 절연체(250)는 절연체(224)와 마찬가지로, 절연체(250) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(250)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하고, 0.5nm 이상 15.0nm 이하로 하는 것이 더 바람직하다. 이 경우 절연체(250)는 적어도 일부에서 상술한 바와 같은 막 두께의 영역을 가지면 좋다.

[0264] 도 11의 (A) 내지 (D) 등에서는 절연체(250)를 단층으로 하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 도 12의 (B)에 나타낸 바와 같이 절연체(250)를 절연체(250a)와 절연체(250a) 위의 절연체(250b)의 2층의 적층 구조로 하여도 좋다.

[0265] 또한 도 12의 (B)에 나타낸 바와 같이, 절연체(250)를 2층의 적층 구조로 하는 경우, 아래층인 절연체(250a)는 산소를 투과시키기 쉬운 절연체를 사용하여 형성되고, 위층인 절연체(250b)는 산소의 확산을 억제하는 기능을 가지는 절연체를 사용하여 형성되는 것이 바람직하다. 이와 같은 구성으로 함으로써, 절연체(250a)에 포함되는 산소가 도전체(260)로 확산되는 것을 억제할 수 있다. 즉, 산화물(230)에 공급하는 산소량의 감소를 억제할 수 있다. 또한 절연체(250a)에 포함되는 산소로 인한 도전체(260)의 산화를 억제할 수 있다. 예를 들어 절연체(250a)는 상술한 절연체(250)에 사용할 수 있는 재료를 사용하여 제공되고, 절연체(250b)로서는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 상기 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄알루미늄네이트), 하프늄 및 실리콘을 포함한 산화물(하프늄실리케이트) 등을 사용할 수 있다. 본 실시형태에서는 절연체(250b)에 산화 하프늄을 사용한다. 이 경우 절연체(250b)는 적어도 산소와 하프늄을 포함하는 절연체가 된다. 또한 절연체(250b)의 막 두께는 0.5nm 이상 5.0nm 이하, 바람직하게는 1.0nm 이상 5.0nm 이하, 더 바람직하게는 1.0nm 이상 3.0nm 이하로 한다. 이 경우 절연체(250b)는 적어도 일부에서 상술한 바와 같은 막 두께의 영역을 가지면 좋다.

[0266] 또한 절연체(250a)에 산화 실리콘 또는 산화질화 실리콘 등을 사용하는 경우, 절연체(250b)에는 비유전율이 높은 high-k 재료인 절연성 재료를 사용하여도 좋다. 게이트 절연체를 절연체(250a)와 절연체(250b)의 적층 구조로 함으로써, 열에 대하여 안정적이며 비유전율이 높은 적층 구조로 할 수 있다. 따라서, 게이트 절연체의 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위를 저감할 수 있게 된다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)의 박막화가 가능하게 된다. 따라서 절연체(250)의 절연 내압을 높게 할 수 있다.

[0267] 절연체(254)는 게이트 절연체의 일부로서 기능한다. 절연체(254)로서는 수소에 대한 배리어 절연막을 사용하는 것이 바람직하다. 이에 의하여, 도전체(260)에 포함되는 수소 등의 불순물이 절연체(250) 및 산화물(230b)로 확산되는 것을 방지할 수 있다. 절연체(254)로서는 상술한 절연체(283)에 사용할 수 있는 절연체를 사용하면 좋다. 예를 들어, 절연체(254)로서 PEALD법으로 성막한 질화 실리콘을 사용하면 좋다. 이 경우 절연체(254)는 적어도 질소와 실리콘을 포함하는 절연체가 된다.

[0268] 또한, 절연체(254)는 산소에 대한 배리어성을 더 가져도 좋다. 이에 의하여, 절연체(250)에 포함되는 산소가 도전체(260)로 확산되는 것을 억제할 수 있다.

[0269] 또한, 절연체(254)는 절연체(252), 절연체(250), 및 도전체(260)와 마찬가지로, 절연체(280) 등에 형성된 개구에 제공할 필요가 있다. 트랜지스터(200)의 미세화를 위하여 절연체(254)의 막 두께는 얇은 것이 바람직하다. 절연체(254)의 막 두께는 0.1nm 이상 5.0nm 이하, 바람직하게는 0.5nm 이상 3.0nm 이하, 더 바람직하게는 1.0nm 이상 3.0nm 이하로 한다. 이 경우 절연체(254)는 적어도 일부에서 상술한 바와 같은 막 두께의 영역을

가지면 좋다. 또한 절연체(254)의 막 두께는 절연체(250)의 막 두께보다 얇은 것이 바람직하다. 이 경우 절연체(254)는 적어도 일부에서 절연체(250)보다 막 두께가 얇은 영역을 가지면 좋다.

- [0270] 도전체(260)는 트랜지스터(200)의 제 1 게이트 전극으로서 기능한다. 도전체(260)는 도전체(260a)와, 도전체(260a) 위에 배치된 도전체(260b)를 가지는 것이 바람직하다. 예를 들어 도전체(260a)는 도전체(260b)의 저면 및 측면을 감싸도록 배치되는 것이 바람직하다. 또한 도 11의 (B) 및 (C)에 나타낸 바와 같이, 도전체(260)의 상면은 절연체(250)의 상면과 실질적으로 일치한다. 또한 도 11의 (B) 및 (C)에서는 도전체(260)는 도전체(260a)와 도전체(260b)의 2층 구조로 나타내었지만, 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.
- [0271] 도전체(260a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0272] 또한 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(250)에 포함되는 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테튬, 산화 루테튬 등을 사용하는 것이 바람직하다.
- [0273] 또한 도전체(260)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(260b)를 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.
- [0274] 또한 트랜지스터(200)에서는 도전체(260)가 절연체(280) 등에 형성된 개구를 매립하도록 자기 정합(self-aligned)적으로 형성된다. 도전체(260)를 이와 같이 형성함으로써, 도전체(242a)와 도전체(242b) 사이의 영역에 도전체(260)를 위치 맞춤 없이 확실하게 배치할 수 있다.
- [0275] 또한 도 11의 (C)에 나타낸 바와 같이, 트랜지스터(200)의 채널 폭 방향에서, 절연체(222)의 저면을 기준으로 하였을 때 도전체(260)에서 산화물(230b)과 중첩되지 않는 영역의 저면의 높이는 산화물(230b)의 저면의 높이보다 낮은 것이 바람직하다. 게이트 전극으로서 기능하는 도전체(260)가 절연체(250) 등을 개재하여 산화물(230b)의 채널 형성 영역의 측면 및 상면을 덮는 구성으로 함으로써, 도전체(260)의 전계를 산화물(230b)의 채널 형성 영역 전체에 작용시키기 쉬워진다. 따라서 트랜지스터(200)의 온 전류를 증대시켜 주파수 특성을 향상시킬 수 있다. 절연체(222)의 저면을 기준으로 하였을 때 산화물(230a) 및 산화물(230b)과 도전체(260)가 중첩되지 않는 영역에서의 도전체(260)의 저면의 높이고 산화물(230b)의 저면의 높이의 차이는 0nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하, 더 바람직하게는 5nm 이상 20nm 이하이다.
- [0276] 절연체(280)는 절연체(275) 위에 제공되고, 절연체(250) 및 도전체(260)가 제공되는 영역에 개구가 형성되어 있다. 또한 절연체(280)의 상면은 평탄화되어도 좋다.
- [0277] 층간막으로서 기능하는 절연체(280)는 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 절연체(280)는 예를 들어 절연체(216)와 같은 재료를 사용하여 제공되는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 특히, 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함한 영역을 용이하게 형성할 수 있기 때문에 바람직하다.
- [0278] 절연체(280)는 파잉 산소 영역 또는 파잉 산소를 포함하는 것이 바람직하다. 또한 절연체(280) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 예를 들어 절연체(280)에는 산화 실리콘, 산화질화 실리콘 등을 적절히 사용하면 좋다. 파잉 산소를 포함한 절연체를 산화물(230)과 접하여 제공함으로써, 산화물(230) 내의 산소 결손을 저감하여 트랜지스터(200)의 신뢰성을 향상시킬 수 있다. 절연체(280)를 산소를 포함하는 분위기에서 스퍼터링법으로 성막함으로써, 파잉 산소를 포함하는 절연체(280)를 형성할 수 있다. 또한 성막 가스에 수소를 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(280) 내의 수소 농도를 저감할 수 있다. 또한, 절연체(280)의 상면에 접하는 절연체(282)를, 산소를 포함하는 분위기에서 스퍼터링법으로 성막하여 절연체(280)에 산소를 첨가하여도 좋다. 절연체(282)의 성막에 있어서 절연체(280)에 산소를 첨가하는 경우, 절연체(280)의 성막 방법은 스퍼터링법에 한정되지 않고, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하여도 좋다. 또한, 예를 들어 절연체(280)는 스퍼터링법으로 성막된 산화 실리콘과, 그 위에 CVD법으로 성막

된 산화질화 실리콘이 적층된 적층 구조로 하여도 좋다. 또한 그 위에 질화 실리콘을 적층하여도 좋다.

- [0279] 절연체(282)는 물, 수소 등의 불순물이 위쪽으로부터 절연체(280)로 확산되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하고, 수소 등의 불순물을 포획하는 기능을 가지는 것이 바람직하다. 또한, 절연체(282)는 산소의 투과를 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 절연체(282)로서는 비정질 구조를 가지는 금속 산화물, 예를 들어 산화 알루미늄 등의 절연체를 사용하면 좋다. 이 경우 절연체(282)는 적어도 산소와 알루미늄을 포함하는 절연체가 된다. 절연체(212)와 절연체(283)에 끼워진 영역 내에서, 수소 등의 불순물을 포획하는 기능을 가지는 절연체(282)를 절연체(280)와 접하여 제공함으로써, 절연체(280) 등에 포함되는 수소 등의 불순물을 포획하고, 상기 영역 내에서의 수소의 양을 일정값으로 할 수 있다. 특히 절연체(282)에 비정질 구조를 가지는 산화 알루미늄을 사용함으로써, 더 효과적으로 수소를 포획 또는 고착할 수 있는 경우가 있기 때문에 바람직하다. 이에 의하여, 양호한 특성을 가지고 신뢰성이 높은 트랜지스터(200) 및 반도체 장치를 제작할 수 있다.
- [0280] 절연체(282)는 스퍼터링법을 사용하여 형성하는 것이 바람직하다. 스퍼터링법으로 절연체(282)를 성막함으로써 절연체(280)에 산소를 첨가할 수 있다. 다만, 절연체(282)의 성막 방법은 스퍼터링법에 한정되지 않고, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하여도 좋다.
- [0281] 절연체(283)는 물, 수소 등의 불순물이 위쪽으로부터 절연체(280)로 확산되는 것을 억제하는 배리어 절연막으로서 기능한다. 절연체(283)는 절연체(282) 위에 배치된다. 절연체(283)에는 질화 실리콘 또는 질화산화 실리콘 등 실리콘을 포함하는 질화물을 사용하는 것이 바람직하다. 예를 들어 절연체(283)로서 스퍼터링법으로 성막된 질화 실리콘을 사용하면 좋다. 절연체(283)를 스퍼터링법으로 성막함으로써, 밀도가 높은 질화 실리콘막을 형성할 수 있다. 또한 절연체(283)로서, 스퍼터링법으로 성막된 질화 실리콘 위에 PEALD법 또는 CVD법으로 성막된 질화 실리콘을 더 적층하여도 좋다.
- [0282] [용량 소자(100)]
- [0283] 용량 소자(100)는 절연체(271), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 형성된 개구 내에 배치되고, 도전체(242b)의 상면에 접하는 도전체(110)와, 도전체(110) 및 절연체(283) 위의 절연체(130)와, 절연체(130) 위의 도전체(120)를 가진다. 또한, 도전체(120)는 절연체(130) 위의 도전체(120a)와, 도전체(120a) 위의 도전체(120b)의 적층 구조이다. 여기서, 절연체(271), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 형성된 개구 내에 도전체(110), 절연체(130), 및 도전체(120)의 적어도 일부가 배치된다.
- [0284] 도전체(110)는 용량 소자(100)의 하부 전극으로서 기능하고, 도전체(120)는 용량 소자(100)의 상부 전극으로서 기능하고, 절연체(130)는 용량 소자(100)의 유전체로서 기능한다. 용량 소자(100)는 절연체(271), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)의 개구에 있어서, 저면뿐만 아니라 측면에 있어서도 상부 전극과 하부 전극이 유전체를 끼워 대향하는 구성이기 때문에, 단위 면적당 정전 용량을 크게 할 수 있다. 따라서 상기 개구의 깊이를 깊게 할수록, 용량 소자(100)의 정전 용량을 크게 할 수 있다. 이와 같이 용량 소자(100)의 단위 면적당 정전 용량을 크게 함으로써, 반도체 장치의 미세화 또는 고집적화를 추진할 수 있다.
- [0285] 절연체(271), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 형성된 개구를 상면에서 보았을 때의 형상은 사각형으로 하여도 좋고, 사각형 이외의 다각형상으로 하여도 좋고, 다각형상에 있어서 모서리 부분을 만곡시킨 형상으로 하여도 좋고, 타원형을 포함하는 원 형상으로 하여도 좋다. 여기서, 상면에서 보았을 때, 상기 개구와 트랜지스터(200)가 중첩되는 면적이 큰 것이 바람직하다. 예를 들어, 도 11의 (A)에 나타낸 바와 같이, 상면에서 보았을 때, 용량 소자(100)가 도전체(242b)의 범위에 들어가도록 용량 소자(100)를 제공하는 것이 바람직하다. 이 경우, 도전체(110)의 채널 폭 방향의 길이가 도전체(242b)의 채널 폭 방향의 길이보다 작아진다. 이와 같은 구성으로 함으로써, 용량 소자(100)와 트랜지스터(200)를 가지는 반도체 장치의 점유 면적을 감소시킬 수 있다. 다만, 이에 한정되지 않고, 도전체(110)의 채널 폭 방향의 길이가 도전체(242b)의 채널 폭 방향의 길이보다 커지는 구성으로 할 수도 있다.
- [0286] 도전체(110)는 절연체(271), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 형성된 개구를 따라 배치된다. 여기서, 상기 개구의 측면과 저면은 곡면으로 접합되어 있는 형상인 것이 바람직하다. 이와 같은 구성으로 함으로써, 상기 개구에 있어서 도전체(110)를 좋은 피복성으로 성막할 수 있다.
- [0287] 또한, 도전체(110)의 상면의 일부의 높이는 절연체(285)의 상면의 높이와 실질적으로 일치하는 것이

바람직하다. 또한, 도전체(110)의 하면에는 도전체(242b)의 상면이 접한다. 도전체(110)는 ALD법 또는 CVD법 등을 사용하여 성막하는 것이 바람직하고, 앞의 실시형태에서 설명한 도전체를 사용하면 좋다. 예를 들어, 도전체(110)로서 열 ALD법을 사용하여 성막한 질화 타이타늄을 사용할 수 있다.

[0288] 절연체(130)는 도전체(110), 절연체(245), 및 절연체(285)의 일부를 덮도록 배치된다. 여기서, 절연체(285)에서 절연체(130)와 중첩되는 영역의 상면의 높이는 절연체(130)와 중첩되지 않은 영역의 상면보다 높아지는 경우가 있다. 절연체(130)는 ALD법 또는 CVD법 등을 사용하여 성막하는 것이 바람직하다. 절연체(130)에는 강유전성을 가질 수 있는 재료를 사용하는 것이 바람직하다.

[0289] 강유전성을 가질 수 있는 재료로서는, 산화 하프늄, 산화 지르코늄,  $HfZrO_x$ ( $x$ 는 0보다 큰 실수로 함), 산화 하프늄에 원소 J1(여기서의 원소 J1은 지르코늄(Zr), 실리콘(Si), 알루미늄(Al), 가돌리늄(Gd), 이트륨(Y), 란타넘(La), 스트론튬(Sr) 등)을 첨가한 재료, 산화 지르코늄에 원소 J2(여기서의 원소 J2는 하프늄(Hf), 실리콘(Si), 알루미늄(Al), 가돌리늄(Gd), 이트륨(Y), 란타넘(La), 스트론튬(Sr) 등)을 첨가한 재료 등을 들 수 있다. 또한, 강유전성을 가질 수 있는 재료로서  $PbTiO_x$ , 타이타늄산 바륨 스트론튬(BST), 타이타늄산 스트론튬, 타이타늄산 지르코산 연(PZT), 탄탈륨산 비스무트산 스트론튬(SBT), 비스무트페라이트(BFO), 타이타늄산 바륨 등의 페로브스카이트 구조를 가지는 압전성 세라믹을 사용하여도 좋다. 또한, 강유전성을 가질 수 있는 재료로서는, 예를 들어 상기에서 열거한 재료에서 선택된 복수의 재료로 이루어지는 혼합물 또는 화합물을 사용할 수 있다. 또는, 절연체(130)를 상기에서 열거한 재료에서 선택된 복수의 재료로 이루어지는 적층 구조로 할 수 있다. 그리고, 산화 하프늄, 산화 지르코늄,  $HfZrO_x$ , 및 산화 하프늄에 원소 J1을 첨가한 재료 등은 성막 조건뿐만 아니라 각종 프로세스 등에 의해서도 결정 구조(특성)가 변화될 수 있기 때문에, 본 명세서 등에서는 강유전성을 발현되는 재료를 강유전체라고만 부르는 것이 아니라, 강유전성을 가질 수 있는 재료라고 부른다.

[0290] 이들 중에서도 강유전성을 가질 수 있는 재료로서 산화 하프늄 또는 산화 하프늄 및 산화 지르코늄을 포함하는 재료는 수nm 정도의 박막으로 가공하여도 강유전성을 가질 수 있기 때문에 바람직하다. 여기서, 절연체(130)의 막 두께는 100nm 이하, 바람직하게는 50nm 이하, 더 바람직하게는 20nm 이하, 더욱 바람직하게는 10nm 이하로 할 수 있다. 박막화할 수 있는 강유전체층으로 함으로써, 용량 소자(100)를 미세화된 트랜지스터(200)에 조합하여 반도체 장치를 형성할 수 있다. 또한, 본 명세서 등에서 강유전성을 가질 수 있는 재료를 층상으로 한 것을 강유전체층 또는 금속 산화물막이라고 부르는 경우가 있다.

[0291] 강유전성을 가질 수 있는 재료는 절연체이고, 외부로부터 전기장을 공급함으로써 내부에 분극이 발생하며, 상기 전기장을 0으로 하여도 분극이 잔존하는 성질을 가진다. 그러므로, 상기 재료를 유전체로서 사용한 용량 소자(이하, 강유전 커패시터라고 부르는 경우가 있음)를 사용하여 비휘발성의 기억 소자를 형성할 수 있다. 강유전 커패시터를 사용한 비휘발성의 기억 소자는 FeRAM(Ferroelectric Random Access Memory), 강유전체 메모리 등이라고 부르는 경우가 있다. 예를 들어, 강유전체 메모리는 트랜지스터와 강유전 커패시터를 가지고, 트랜지스터의 소스 및 드레인 중 한쪽이 강유전 커패시터의 한쪽의 단자에 전기적으로 접속된 구성으로 할 수 있다. 따라서, 본 실시형태에 나타낸 용량 소자(100)와 트랜지스터(200)를 가지는 반도체 장치는 강유전체 메모리로서 기능시킬 수 있다.

[0292] 또한, 절연체(130)는 상기 강유전성을 가질 수 있는 재료와 절연 내력이 큰 재료의 적층 구조로 할 수 있는 경우가 있다. 절연 내력이 큰 재료로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘 또는 수지 등이 있다. 이와 같은 절연 내력이 큰 절연체를 적층하여 사용함으로써, 절연 내력이 향상되어 용량 소자(100)의 누설 전류를 억제할 수 있는 경우가 있다.

[0293] 도전체(120)는 절연체(271), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 형성된 개구를 매립하도록 배치된다. 여기서, 도전체(120)는 절연체(130)를 개재하여 절연체(285)와 중첩되는 영역을 가지는 것이 바람직하다. 이와 같은 구성으로 함으로써, 도전체(120)는 절연체(130)를 개재하여 도전체(110)와 절연시킬 수 있다. 또한, 도전체(120)의 절연체(283)보다 위의 부분은 배선상으로 형성하여도 좋다.

[0294] 도 11의 (B)에 나타낸 바와 같이, 도전체(120)는 도전체(120a)와, 도전체(120a) 위의 도전체(120b)를 가지는 것이 바람직하다. 이 경우, 도전체(120a)로서는 피복성이 양호하고 막 두께가 얇은 도전막을 절연체(130) 위에 제공하면 좋다. 또한, 도전체(120b)는 도전체(120a) 위의 개구를 매립하도록 배치하면 좋다. 도전체(120a)는 ALD법 또는 CVD법 등을 사용하여 성막하는 것이 바람직하고, 앞의 실시형태에서 설명한 도전체를 사용하면 좋다. 예를 들어, 도전체(120a)로서 ALD법을 사용하여 성막한 질화 타이타늄을 사용할 수 있다. 도전체(120

b)는 ALD법, CVD법, 또는 스퍼터링법 등을 사용하여 성막하는 것이 바람직하고, 앞의 실시형태에서 설명한 도전체를 사용하면 좋다. 도전체(120b)로서 스퍼터링법을 사용하여 성막한 텅스텐을 사용할 수 있다. 다만, 도전체(120)는 2층 구조로 한정되지 않고, 단층 구조, 또는 3층 이상의 적층 구조로 할 수도 있다.

[0295] 또한, 도전체(120)의 상면에 접하여 배선으로서 기능하는 도전체를 배치하여도 좋다. 상기 도전체에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상기 도전체는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다. 또한 상기 도전체는 절연체에 제공된 개구에 매립되도록 형성하여도 좋다.

[0296] 또한, 절연체(271), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 형성된 개구의 측면에 접하여 절연체(245)가 배치되는 것이 바람직하다. 절연체(245)의 내측의 측면에 접하여 도전체(110)가 제공되고, 도전체(110)의 내측의 측면에 접하여 절연체(130)가 제공되고, 절연체(130)의 내측의 측면에 접하여 도전체(120)가 제공된다.

[0297] 절연체(245)로서는 절연체(275) 등에 사용할 수 있는 배리어 절연막을 사용하면 좋다. 예를 들어, 절연체(245)로서 질화 실리콘, 산화 알루미늄, 질화산화 실리콘 등의 절연체를 사용하면 좋다. 절연체(245)는 절연체(283), 절연체(282), 절연체(275), 및 절연체(271)에 접하여 제공되기 때문에, 절연체(280) 또는 절연체(285) 등에 포함되는 물, 수소 등의 불순물이 도전체(110)를 통하여 산화물(230)로 혼입되는 것을 억제할 수 있다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 바람직하다. 또한, 절연체(280)에 포함되는 산소가 도전체(110)에 흡수되는 것을 방지할 수 있다.

[0298] 절연체(245)를 도 11의 (B)에 나타낸 바와 같이 적층 구조로 하는 경우, 절연체(280) 등의 개구의 내벽에 접하는 제 1 절연체와, 이의 내측의 제 2 절연체는 산소에 대한 배리어 절연막과, 수소에 대한 배리어 절연막을 조합하여 사용하는 것이 바람직하다. 예를 들어, 제 1 절연체로서 ALD법으로 성막된 산화 알루미늄을 사용하고, 제 2 절연체로서 PEALD법으로 성막된 질화 실리콘을 사용하면 좋다. 이와 같은 구성으로 함으로써, 도전체(110)의 산화를 억제하며, 도전체(110)로 수소가 혼입되는 것을 저감할 수 있다.

[0299] 또한, 절연체(245)에 대하여 제 1 절연체 및 제 2 절연체를 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 절연체(245)를 단층 구조 또는 3층 이상의 층의 적층 구조로서 제공하는 구성으로 하여도 좋다.

[0300] <반도체 장치의 구성 재료>

[0301] 이하에서는, 반도체 장치에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0302] <<기관>>

[0303] 트랜지스터(200)를 형성하는 기관으로서의 예를 들어 절연체 기관, 반도체 기관, 또는 도전체 기관을 사용하면 좋다. 절연체 기관으로서의 예를 들어 유리 기관, 석영 기관, 사파이어 기관, 안정화 지르코니아 기관(이트리아 안정화 지르코니아 기관 등), 수지 기관 등이 있다. 또한 반도체 기관으로서의 예를 들어 실리콘, 저마늄을 재료로 한 반도체 기관, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기관 등이 있다. 또한 상술한 반도체 기관 내부에 절연체 영역을 가지는 반도체 기관, 예를 들어 SOI(Silicon On Insulator) 기관 등이 있다. 도전체 기관으로서의 예를 들어, 금속 기관, 합금 기관, 도전성 수지 기관 등이 있다. 또는 금속의 질화물을 포함하는 기관, 금속의 산화물을 포함하는 기관 등이 있다. 또한 절연체 기관에 도전체 또는 반도체가 제공된 기관, 반도체 기관에 도전체 또는 절연체가 제공된 기관, 도전체 기관에 반도체 또는 절연체가 제공된 기관 등이 있다. 또는 이들 기관에 소자가 제공된 것을 사용하여도 좋다. 기관에 제공되는 소자로서는 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0304] <<절연체>>

[0305] 절연체로서는, 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0306] 예를 들어 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체가 박막화됨으로써 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에

따라 재료를 선택하는 것이 좋다.

- [0307] 또한 비유전율이 높은 절연체로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 또는 실리콘 및 하프늄을 포함한 질화물 등이 있다.
- [0308] 또한 비유전율이 낮은 절연체로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.
- [0309] 또한 금속 산화물을 사용한 트랜지스터를, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러싸으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함한 절연체를 단층으로 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서, 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물, 질화 알루미늄, 질화산화 실리콘, 질화 실리콘 등의 금속 질화물을 사용할 수 있다.
- [0310] 또한 게이트 절연체로서 기능하는 절연체는 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 절연체인 것이 바람직하다. 예를 들어 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 산화 실리콘 또는 산화질화 실리콘이 산화물(230)과 접하는 구조로 함으로써, 산화물(230)이 가지는 산소 결손을 보상할 수 있다.
- [0311] <<도전체>>
- [0312] 도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 등 중에서 선택된 금속 원소, 상술한 금속 원소를 성분으로 하는 합금, 또는 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.
- [0313] 또한 상기 재료로 형성되는 도전층을 복수 적층하여 사용하여도 좋다. 예를 들어 상술한 금속 원소를 포함한 재료와 산소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다.
- [0314] 또한 트랜지스터의 채널 형성 영역에 산화물을 사용하는 경우, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함한 재료와 산소를 포함한 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.
- [0315] 특히 게이트 전극으로서 기능하는 도전체에, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함한 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함한 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

- [0316] <<금속 산화물>>
- [0317] 산화물(230)로서는, 반도체로서 기능하는 금속 산화물(산화물 반도체)을 사용하는 것이 바람직하다. 이하에서 는, 본 발명에 따른 산화물(230)에 적용할 수 있는 금속 산화물에 대하여 설명한다.
- [0318] 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람 직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 타이 타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.
- [0319] 여기서는 금속 산화물이 인듐, 원소 M, 및 아연을 포함한 In-M-Zn 산화물인 경우를 생각한다. 또한 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석으로 한다. 이 외에 원소 M에 적용할 수 있는 원소로서는 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트 등이 있다. 다만 원소 M으로서, 상술한 원소를 복수 조합하여도 되는 경우가 있다.
- [0320] 또한 본 명세서 등에서 질소를 포함하는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함하는 금속 산화물을 금속 산화질화물(metal oxynitride)이라고 불러도 좋다.
- [0321] <결정 구조의 분류>
- [0322] 우선, 산화물 반도체에서의 결정 구조의 분류에 대하여 도 13의 (A)를 사용하여 설명한다. 도 13의 (A)는 산화 물 반도체, 대표적으로는 IGZO(In과, Ga와, Zn을 포함하는 금속 산화물)의 결정 구조의 분류를 설명하는 도면이 다.
- [0323] 도 13의 (A)에 나타난 바와 같이, 산화물 반도체는 'Amorphous(무정형)'와, 'Crystalline(결정성)'과, 'Crystal(결정)'로 크게 분류된다. 또한 'Amorphous'의 범주에는 completely amorphous가 포함된다. 또한, 'Crystalline'의 범주에는 CAAC(c-axis-aligned crystalline), nc(nanocrystalline), 및 CAC(cloud-aligned composite)가 포함된다(excluding single crystal and poly crystal). 또한, 'Crystalline'의 분류에서는 single crystal, poly crystal, 및 completely amorphous는 제외된다. 또한 'Crystal'의 범주에는 single crystal 및 poly crystal이 포함된다.
- [0324] 또한 도 13의 (A)에 나타난 굵은 테두리 내의 구조는 'Amorphous(무정형)'와 'Crystal(결정)'의 중간 상태이며, 새로운 경계 영역(New crystalline phase)에 속하는 구조이다. 즉 상기 구조는 에너지적으로 불안정한 'Amorphous(무정형)', 및 'Crystal(결정)'과는 전혀 다른 구조라고 할 수 있다.
- [0325] 또한 막 또는 기관의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 여 기서 'Crystalline'로 분류되는 CAAC-IGZO막의 GIXD(Grazing-Incidence XRD) 측정으로 얻어지는 XRD 스펙트럼 을 도 13의 (B)에 나타내었다. 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 이하에서는 도 13 의 (B)에 나타난 GIXD 측정으로 얻어지는 XRD 스펙트럼을 본 명세서 중에서 단순히 XRD 스펙트럼이라고 기재하 는 경우가 있다. 또한 도 13의 (B)에 나타난 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또 한 도 13의 (B)에 나타난 CAAC-IGZO막의 두께는 500nm이다.
- [0326] 도 13의 (B)에서는 가로축은 2θ[deg.]이고, 세로축은 강도(Intensity)[a.u.]이다. 도 13의 (B)에 나타난 바 와 같이, CAAC-IGZO막의 XRD 스펙트럼에서는 명확한 결정성을 나타내는 피크가 검출된다. 구체적으로는, CAAC- IGZO막의 XRD 스펙트럼에서는 2θ=31° 근방에 c축 배향을 나타내는 피크가 검출된다. 또한 도 13의 (B)에 나 타낸 바와 같이 2θ=31° 근방의 피크는 피크 강도가 검출된 각도를 축으로 하여 좌우 비대칭이다.
- [0327] 또한 막 또는 기관의 결정 구조는 나노빔 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(나노빔 회절 패턴이라고도 함)으로 평가할 수 있다. CAAC-IGZO막의 회절 패턴을 도 13의 (C)에 나타 내었다. 도 13의 (C)는 기관에 대하여 전자선이 평행하게 입사하는 NBED에 의하여 관찰되는 회절 패턴을 나타 낸 것이다. 또한 도 13의 (C)에 나타난 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 나 노빔 회절법에서는 프로브 직경을 1nm로 하여 전자선 회절이 수행된다.
- [0328] 도 13의 (C)에 나타난 바와 같이, CAAC-IGZO막의 회절 패턴에서는 c축 배향을 나타내는 복수의 스폿이 관찰된다.
- [0329] <<산화물 반도체의 구조>>
- [0330] 또한 산화물 반도체는 결정 구조에 착안한 경우, 도 13의 (A)와는 상이한 분류가 되는 경우가 있다. 예를 들어

산화물 반도체는 단결정 산화물 반도체와, 그 외의 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체로서는 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0331] 여기서, 상술한 CAAC-OS, nc-OS, 및 a-like OS의 자세한 내용에 대하여 설명한다.

[0332] [CAAC-OS]

[0333] CAAC-OS는 복수의 결정 영역을 가지고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역이다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉, CAAC-OS는 c축 배향을 가지고, a-b면 방향으로는 명확한 배향을 가지지 않는 산화물 반도체이다.

[0334] 또한 상기 복수의 결정 영역 각각은 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 크기는 수십nm 정도가 되는 경우가 있다.

[0335] 또한, In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 타이타늄 등에서 선택된 1종류 또는 복수 종류)에서, CAAC-OS는 인듐(In) 및 산소를 포함하는 층(이하, In층)과, 원소 M, 아연(Zn), 및 산소를 포함하는 층(이하 (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환될 수 있다. 따라서 (M,Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 원소 M이 포함되는 경우가 있다. 또한 In층에는 Zn이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM 이미지에서, 격자상(格子像)으로 관찰된다.

[0336] 예를 들어, XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때,  $\theta/2\theta$  스캔을 사용한 Out-of-plane XRD 측정에서는, c축 배향을 나타내는 피크가  $2\theta=31^\circ$  또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치( $2\theta$ 의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.

[0337] 또한 예를 들어 CAAC-OS막의 전자선 회절 패턴에서, 복수의 스폿(스팟)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(다이렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.

[0338] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 오각형, 칠각형 등의 격자 배열이 상기 변형에 포함되는 경우가 있다. 또한 CAAC-OS에서는, 변형 근방에서도 명확한 결정립계(그레인 바운더리)를 확인할 수는 없다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않은 것, 금속 원자가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.

[0339] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류의 저하, 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는, Zn을 포함하는 구성이 바람직하다. 예를 들어 In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.

[0340] CAAC-OS는 결정성이 높고 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물 혼입, 결함 생성 등으로 인하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(산소 결손 등)이 적은 산화물 반도체라고 할 수도 있다. 따라서 CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면 제조 공정의 자유도

를 높일 수 있게 된다.

- [0341] [nc-OS]
- [0342] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열 주기성을 가진다. 환언하면, nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS 또는 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때,  $\theta/2\theta$  스캔을 사용한 Out-of-plane XRD 측정에서는 결정성을 나타내는 피크가 검출되지 않는다. 또한 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자선 회절(나노빔 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 다이랙트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자선 회절 패턴이 취득되는 경우가 있다.
- [0343] [a-like OS]
- [0344] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간 구조를 가지는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다. 또한, a-like OS는 nc-OS 및 CAAC-OS에 비하여 막 내의 수소 농도가 높다.
- [0345] <<산화물 반도체의 구성>>
- [0346] 다음으로, 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.
- [0347] [CAC-OS]
- [0348] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재한 재료의 한 구성이다. 또한 아래에서는, 금속 산화물에 하나 또는 복수의 금속 원소가 편재하고, 상기 금속 원소를 포함하는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.
- [0349] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하 클라우드상이라고도 함)이다. 즉, CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.
- [0350] 여기서, In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비의 각각을 [In], [Ga], 및 [Zn]으로 표기한다. 예를 들어, In-Ga-Zn 산화물에서의 CAC-OS에 있어서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한, 제 2 영역은 [Ga]가 CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는, 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크며, [Ga]가 제 2 영역에서의 [Ga]보다 작은 영역이다. 또한, 제 2 영역은 [Ga]가 제 1 영역에서의 [Ga]보다 크며, [In]이 제 1 영역에서의 [In]보다 작은 영역이다.
- [0351] 구체적으로는, 상기 제 1 영역은 인듐 산화물, 인듐 아연 산화물 등이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 갈륨 아연 산화물 등이 주성분인 영역이다. 즉, 상기 제 1 영역을 In을 주성분으로 하는 영역이라고 환언할 수 있다. 또한 상기 제 2 영역을 Ga를 주성분으로 하는 영역이라고 환언할 수 있다.
- [0352] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.
- [0353] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 맵핑으로부터, In을 주성분으로 하는 영역(제 1 영역)과, Ga를 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.
- [0354] CAC-OS를 트랜지스터에 사용하는 경우에는, 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉, CAC-OS는 재료의 일부에서는 도전성 기능을 가지고 재료의 다른 일부에서는 절연성 기능을 가지고, 재료의 전체로서는 반도체로서의 기능을 가진다. 도전성의 기능과 절연성의 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서

CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류( $I_{on}$ ), 높은 전계 효과 이동도( $\mu$ ), 및 양호한 스위칭 동작을 실현할 수 있다.

- [0355] 산화물 반도체는 다양한 구조를 가지고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.
- [0356] <산화물 반도체를 가지는 트랜지스터>
- [0357] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.
- [0358] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0359] 트랜지스터의 채널 형성 영역에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 채널 형성 영역의 캐리어 농도는  $1 \times 10^{17} \text{cm}^{-3}$  이하, 바람직하게는  $1 \times 10^{15} \text{cm}^{-3}$  이하, 더 바람직하게는  $1 \times 10^{13} \text{cm}^{-3}$  이하, 더욱 바람직하게는  $1 \times 10^{11} \text{cm}^{-3}$  이하, 더욱 바람직하게는  $1 \times 10^{10} \text{cm}^{-3}$  미만이고,  $1 \times 10^{-9} \text{cm}^{-3}$  이상이다. 또한, 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고, 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 하는 경우가 있다.
- [0360] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.
- [0361] 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길어, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0362] 따라서 트랜지스터의 전기 특성을 안정시키기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0363] <불순물>
- [0364] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.
- [0365] 산화물 반도체에 14족 원소의 하나인 실리콘 또는 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체의 채널 형성 영역에서의 실리콘 또는 탄소의 농도와, 산화물 반도체의 채널 형성 영역과의 계면 근방의 실리콘 및 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 농도)를  $2 \times 10^{18} \text{atoms/cm}^3$  이하, 바람직하게는  $2 \times 10^{17} \text{atoms/cm}^3$  이하로 한다.
- [0366] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하고 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로, SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역 내의 알칼리 금속 또는 알칼리 토금속의 농도를  $1 \times 10^{18} \text{atoms/cm}^3$  이하, 바람직하게는  $2 \times 10^{16} \text{atoms/cm}^3$  이하로 한다.
- [0367] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역 내의 질소 농도를  $5 \times 10^{19} \text{atoms/cm}^3$  미만, 바람직하게는  $5 \times 10^{18} \text{atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{18} \text{atoms/cm}^3$  이하, 더욱 바람직하게는  $5 \times 10^{17} \text{atoms/cm}^3$  이하로 한다.
- [0368] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한

수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체의 채널 형성 영역 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체의 채널 형성 영역에서 SIMS에 의하여 얻어지는 수소 농도를  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 더 바람직하게는  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 더욱 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 더욱 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 미만으로 한다.

[0369] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0370] <<기타 반도체 재료>>

[0371] 산화물(230)에 사용할 수 있는 반도체 재료는 상술한 금속 산화물에 한정되지 않는다. 산화물(230)로서, 밴드 갭을 가지는 반도체 재료(제로 갭 반도체가 아닌 반도체 재료)를 사용하여도 좋다. 예를 들어, 실리콘 등의 단체 원소의 반도체, 비소화 갈륨 등의 화합물 반도체, 반도체로서 기능하는 층상 물질(원자층 물질, 2차원 재료 등이라고도 함) 등을 반도체 재료에 사용하는 것이 바람직하다. 특히, 반도체로서 기능하는 층상 물질을 반도체 재료에 사용하면 적합하다.

[0372] 여기서, 본 명세서 등에서 층상 물질이란 층상 결정 구조를 가지는 재료군의 총칭이다. 층상 결정 구조는 공유 결합 또는 이온 결합에 의하여 형성되는 층이, 반데르발스 힘(Van der Waals force)과 같은 공유 결합 또는 이온 결합보다 약한 결합에 의하여 적층되는 구조이다. 층상 물질은 단위층(monolayer) 내에서의 전기 전도성이 높고, 즉 2차원 전기 전도성이 높다. 반도체로서 기능하고 2차원 전기 전도성이 높은 재료를 채널 형성 영역에 사용함으로써, 온 전류가 큰 트랜지스터를 제공할 수 있다.

[0373] 층상 물질로서 그래핀, 실리센, 칼코젠화물 등이 있다. 칼코젠화물은 칼코젠을 포함하는 화합물이다. 또한 칼코젠이란 16족에 속하는 원소의 총칭이고, 산소, 황, 셀레늄, 텔루륨, 폴로늄, 리버모륨이 포함된다. 또한 칼코젠화물로서 전이 금속 칼코제나이드, 13족 칼코제나이드 등을 들 수 있다.

[0374] 산화물(230)로서, 예를 들어 반도체로서 기능하는 전이 금속 칼코제나이드를 사용하는 것이 바람직하다. 산화물(230)로서 적용할 수 있는 전이 금속 칼코제나이드로서, 구체적으로는 황화 몰리브데넘(대표적으로는 MoS<sub>2</sub>), 셀레늄화 몰리브데넘(대표적으로는 MoSe<sub>2</sub>), 몰리브데넘 텔루륨(대표적으로는 MoTe<sub>2</sub>), 황화 텅스텐(대표적으로는 WS<sub>2</sub>), 셀레늄화 텅스텐(대표적으로는 WSe<sub>2</sub>), 텅스텐 텔루륨(대표적으로는 WTe<sub>2</sub>), 황화 하프늄(대표적으로는 HfS<sub>2</sub>), 셀레늄화 하프늄(대표적으로는 HfSe<sub>2</sub>), 황화 지르코늄(대표적으로는 ZrS<sub>2</sub>), 셀레늄화 지르코늄(대표적으로는 ZrSe<sub>2</sub>) 등을 들 수 있다.

[0375] <반도체 장치의 변형예>

[0376] 이하에서는 도 14의 (A) 내지 도 16의 (B)를 사용하여 본 발명의 일 형태인 반도체 장치의 일례에 대하여 설명한다.

[0377] 각 도면의 (A)는 반도체 장치의 상면도이다. 또한 각 도면의 (B)는 각 도면의 (A)에서 일점쇄선 A1-A2로 나타낸 부분에 대응하는 단면도이다. 각 도면의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하였다.

[0378] 또한, 각 도면의 (A) 및 (B)에 나타낸 반도체 장치에 있어서, <반도체 장치의 구성예>에 나타낸 반도체 장치를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기한다. 또한 본 항목에서도 반도체 장치의 구성 재료로서는 <반도체 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.

[0379] <반도체 장치의 변형예 1>

[0380] 도 14의 (A) 및 (B)에 나타낸 반도체 장치는 도 11의 (A) 내지 (D)에 나타낸 반도체 장치의 변형예이다. 도 14의 (A) 및 (B)에 나타낸 반도체 장치는 도 11의 (A) 내지 (D)에 나타낸 반도체 장치와 도전체(240) 및 도전체(246)가 제공되어 있는 점이 상이하다. 여기서, 도전체(240)는 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속되는 플러그로서 기능하고, 도전체(246)는 상기 플러그에 접속되는 배선으로서 기능한다.

[0381] 도전체(240)는 절연체(271), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 형성된

개구를 매립하도록 제공된다. 도전체(240)의 하면은 도전체(242a)의 상면에 접한다. 도전체(240)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료 등을 사용하는 것이 바람직하다. 또한, 도전체(240)는 상기 개구의 측면 및 저면을 따라 제공되는 막 두께가 얇은 제 1 도전체와, 제 1 도전체 위의 제 2 도전체의 적층 구조로 하여도 좋다.

[0382] 도전체(240)를 적층 구조로 하는 경우, 절연체(285) 및 절연체(280)의 근방에 배치되는 제 1 도전체에는 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테튬, 산화 루테튬 등을 사용하는 것이 바람직하다. 또한 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 단층 또는 적층으로 사용하여도 좋다. 또한 절연체(283)보다 위층에 포함되는 물, 수소 등의 불순물이 도전체(240)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 또한, 제 2 도전체로서는 상술한 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료 등을 사용하면 좋다.

[0383] 또한, 도 14의 (B)에 나타낸 도전체(240)에서는 제 1 도전체 및 제 2 도전체를 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(240)를 단층 구조 또는 3층 이상의 층의 적층 구조로 제공하는 구성으로 하여도 좋다.

[0384] 또한, 도전체(246)는 도전체(240)의 상면에 접하여 배치하면 좋다. 도전체(246)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(246)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다. 또한, 도 14의 (B)에 나타낸 바와 같이, 절연체(285)에서 도전체(246)와 중첩되는 영역의 상면의 높이가 도전체(246)와 중첩되지 않은 영역의 상면보다 높아지는 경우가 있다. 또한, 도전체(246)는 절연체에 제공된 개구에 매립되도록 형성하여도 좋다.

[0385] 또한, 도전체(240)와 절연체(280) 사이에 배리어 절연막으로서 기능하는 절연체(241)가 제공되는 것이 바람직하다. 절연체(245)는 절연체(271), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 형성된 개구의 측면에 접하여 배치되는 것이 바람직하다. 절연체(241)는 상술한 절연체(245)와 같은 구조를 가지는 것이 바람직하다.

[0386] 본 변형예에 있어서는 도전체(246) 및 절연체(285)를 덮어 절연체(286)가 제공된다. 절연체(286)는 절연체(285)에 사용할 수 있는 절연성 재료를 사용하여 형성하면 좋다.

[0387] 본 변형예는 도전체(240) 및 도전체(246)를 형성한 후에 용량 소자(100)를 형성하는 구성이다. 그러므로, 도 11의 (A) 내지 (D)에 나타낸 반도체 장치와 달리 절연체(130)의 하면의 일부 및 절연체(245)의 측면의 일부가 절연체(286)에 접한다. 즉, 절연체(286)의 두께에 대응하여 용량 소자(100)가 매립되는 개구가 깊어진다. 이로써, 반도체 장치의 점유 면적을 증가시키지 않고, 용량 소자(100)의 정전 용량을 크게 할 수 있다.

[0388] <반도체 장치의 변형예 2>

[0389] 도 15의 (A) 및 (B)에 나타낸 반도체 장치는 도 11의 (A) 내지 (D)에 나타낸 반도체 장치의 변형예이다. 도 15의 (A) 및 (B)에 나타낸 반도체 장치는 도 16의 (A) 및 (B)에 나타낸 반도체 장치와 마찬가지로, 도전체(242a) 위에 절연체(241a), 도전체(240a), 및 도전체(246a)를 가진다. 또한, 도전체(120) 위에 절연체(241b), 도전체(240b), 및 도전체(246b)를 가진다. 여기서, 도전체(240b)는 용량 소자(100)의 단자의 한쪽에 전기적으로 접속되는 플러그로서 기능하고, 도전체(246b)는 상기 플러그에 접속되는 배선으로서 기능한다.

[0390] 또한, 절연체(241a) 및 절연체(241b)는 상술한 절연체(241)와 같은 도전성 재료를 사용할 수 있다. 또한, 도전체(240a) 및 도전체(240b)는 상술한 도전체(240)와 같은 도전성 재료를 사용할 수 있다. 또한, 도전체(246a) 및 도전체(246b)는 상술한 도전체(246)와 같은 도전성 재료를 사용할 수 있다.

[0391] 다만, 도 15의 (A) 및 (B)에 나타낸 반도체 장치는 도 16의 (A) 및 (B)에 나타낸 반도체 장치와 달리 용량 소자(100)를 형성한 후에 도전체(240a) 및 도전체(240b)를 형성하는 구성이다. 그러므로, 도전체(246a) 및 도전체(246b)의 하면이 도전체(120)를 덮어 성막된 절연체(285)의 상면에 접한다.

[0392] 또한, 도 15의 (A) 및 (B)에 나타낸 반도체 장치는 도 11의 (A) 내지 (D)에 나타낸 반도체 장치와 달리 절연체(283)와 절연체(130) 사이에 층간 절연막이 제공되지 않고, 절연체(130)의 하면과 절연체(283)의 상면이 접하는 구성이다.

- [0393] <반도체 장치의 변형예 3>
- [0394] 도 16의 (A) 및 (B)에 나타난 반도체 장치는 도 15의 (A) 및 (B)에 나타난 반도체 장치의 변형예이다. 도 16의 (A) 및 (B)에 나타난 반도체 장치는 도 15의 (A) 및 (B)에 나타난 반도체 장치와 절연체(283)가 절연체(212)의 상면의 일부와 접하는 구조인 점이 상이하다. 따라서, 트랜지스터(200)는 절연체(283) 및 절연체(212)로 밀봉된 영역 내에 배치된다. 상기 구성으로 함으로써, 상기 밀봉된 영역 외에 포함되는 수소가 상기 밀봉된 영역 내에 혼입되는 것을 억제할 수 있다. 또한, 도 16의 (A) 및 (B)에 나타난 트랜지스터(200)에서는 절연체(212) 및 절연체(283)를 단층으로서 제공하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 절연체(212) 및 절연체(283) 각각을 2층 이상의 적층 구조로 제공하는 구성으로 하여도 좋다.
- [0395] <반도체 장치의 응용예>
- [0396] 이하에서는 도 17을 사용하여 본 발명의 일 형태의 반도체 장치의 일례에 대하여 설명한다.
- [0397] 도 17의 (A)에는 반도체 장치(500)의 상면도를 나타내었다. 도 17의 (A)에 나타난 x축은 트랜지스터(200)의 채널 길이 방향에 대하여 평행하고, y축은 x축에 대하여 수직이다. 또한 도 17의 (B)는 도 17의 (A)에 일점쇄선 A1-A2로 나타난 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 도 17의 (C)는 도 17의 (A)에서 일점쇄선 A3-A4로 나타난 부분에 대응하는 단면도이고, 개구 영역(400) 및 그 근방의 단면도이기도 하다. 또한 도 17의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.
- [0398] 또한 도 17의 (A) 내지 (C)에 나타난 반도체 장치에서, <반도체 장치의 구성예>에 나타난 반도체 장치를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기한다. 또한 본 항목에서도 반도체 장치의 구성 재료로서는 <반도체 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.
- [0399] 도 17의 (A) 내지 (C)에 나타난 반도체 장치(500)는 도 11의 (A) 내지 (D)에 나타난 반도체 장치의 변형예이다. 도 17의 (A) 내지 (C)에 나타난 반도체 장치(500)는 절연체(282) 및 절연체(280)에 개구 영역(400)이 형성되어 있는 점에서 도 11의 (A) 내지 (D)에 나타난 반도체 장치와 다르다. 또한 복수의 트랜지스터(200) 및 용량 소자(100)를 둘러싸도록 밀봉부(265)가 형성되어 있는 점에서 도 11의 (A) 내지 (D)에 나타난 반도체 장치와 다르다.
- [0400] 반도체 장치(500)는 매트릭스상으로 배열된 복수의 트랜지스터(200), 복수의 용량 소자(100), 및 복수의 개구 영역(400)을 가진다. 또한 트랜지스터(200)의 게이트 전극으로서 기능하는 복수의 도전체(260)가 y축 방향으로 연장되어 제공되어 있다. 개구 영역(400)은 산화물(230) 및 도전체(260)와 중첩되지 않는 영역에 형성되어 있다. 또한, 복수의 트랜지스터(200), 복수의 용량 소자(100), 복수의 도전체(260), 및 복수의 개구 영역(400)을 둘러싸도록 밀봉부(265)가 형성되어 있다. 또한, 트랜지스터(200), 용량 소자(100), 도전체(260), 및 개구 영역(400)의 개수, 배치, 및 크기는 도 17에 나타난 구조에 한정되지 않고, 반도체 장치(500)의 설계에 맞추어 적절히 설정하면 좋다.
- [0401] 도 17의 (B) 및 (C)에 나타난 바와 같이, 밀봉부(265)는 복수의 트랜지스터(200), 절연체(216), 절연체(222), 절연체(275), 절연체(280), 및 절연체(282)를 둘러싸도록 제공되어 있다. 환언하면, 절연체(283)는 절연체(216), 절연체(222), 절연체(275), 절연체(280), 및 절연체(282)를 덮도록 제공되어 있다. 또한 밀봉부(265)에서는 절연체(283)가 절연체(214)의 상면에 접한다. 또한 밀봉부(265)에서는 절연체(283)와 절연체(285) 사이에 절연체(274)가 제공되어 있다. 절연체(274)의 상면은 높이가 절연체(283)의 최상면과 실질적으로 일치한다. 또한 절연체(274)로서는 절연체(280)와 같은 절연체를 사용할 수 있다.
- [0402] 이와 같은 구조로 함으로써, 복수의 트랜지스터(200)를 절연체(283)와 절연체(214) 및 절연체(212)로 둘러쌀 수 있다(밀봉할 수 있다). 여기서 절연체(283), 절연체(214), 및 절연체(212) 중 하나 또는 복수는 수소에 대한 배리어 절연막으로서 기능하는 것이 바람직하다. 이에 의하여, 밀봉부(265)의 영역 외에 포함되는 수소가 밀봉부(265)의 영역 내에 혼입되는 것을 억제할 수 있다. 이와 같은 기능을 가지는 절연체(283), 절연체(214), 및 절연체(212)를 밀봉막이라고 부르는 경우가 있다.
- [0403] 도 17의 (C)에 나타난 바와 같이 개구 영역(400)에서 절연체(282)는 개구부를 가진다. 또한 개구 영역(400)에서 절연체(280)는 절연체(282)의 개구부와 중첩하여 홈부를 가져도 좋다. 절연체(280)의 홈부의 깊이는 깊어도 절연체(275)의 상면이 노출될 정도까지로 하면 좋고, 예를 들어 절연체(280)의 최대 막 두께의 1/4 이상 1/2 이하 정도로 하면 좋다.
- [0404] 또한 도 17의 (C)에 나타난 바와 같이, 절연체(283)는 개구 영역(400)의 내측에서 절연체(282)의 측면, 절연체

(280)의 측면, 및 절연체(280)의 상면에 접한다. 또한 개구 영역(400) 내에서 절연체(283)에 형성된 오목부를 채우도록 절연체(274)의 일부가 형성되는 경우가 있다. 이때, 개구 영역(400) 내에 형성된 절연체(274)의 상면과 절연체(283)의 최상면의 높이가 실질적으로 일치하는 경우가 있다.

[0405] 이와 같은 개구 영역(400)이 형성되고 절연체(282)의 개구부에서 절연체(280)가 노출된 상태에서 가열 처리를 수행함으로써, 산화물(230)에 산소를 공급하면서 절연체(280)에 포함되는 산소의 일부를 개구 영역(400)으로부터 외부로 확산시킬 수 있다. 이에 의하여, 가열에 의하여 이탈되는 산소를 포함하는 절연체(280)로부터, 산화물 반도체 내의 채널 형성 영역으로서 기능하는 영역 및 그 근방에 충분한 산소를 공급하면서 과잉량의 산소가 공급되지 않도록 할 수 있다.

[0406] 이때 절연체(280)에 포함되는 수소를 산소와 결합시켜 개구 영역(400)을 통하여 외부로 방출할 수 있다. 산소와 결합한 수소는 물로서 방출된다. 따라서, 절연체(280)에 포함되는 수소를 저장하고, 절연체(280)에 포함되는 수소가 산화물(230)에 혼입되는 것을 저장할 수 있다.

[0407] 또한 도 17의 (A)에서 개구 영역(400)을 상면에서 보았을 때의 형상은 실질적으로 직사각형으로 하였지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 개구 영역(400)을 상면에서 보았을 때의 형상은 직사각형, 타원형, 원형, 마름모형, 또는 이들을 조합한 형상으로 하여도 좋다. 또한 개구 영역(400)의 면적 및 배치 간격은 트랜지스터(200)를 포함하는 반도체 장치의 설계에 맞추어 적절히 설정할 수 있다. 예를 들어 트랜지스터(200)의 밀도가 낮은 영역에서는 개구 영역(400)의 면적을 넓히거나 또는 개구 영역(400)의 배치 간격을 좁히면 좋다. 또한 예를 들어 트랜지스터(200)의 밀도가 높은 영역에서는 개구 영역(400)의 면적을 좁히거나 또는 개구 영역(400)의 배치 간격을 넓히면 좋다.

[0408] 또한 본 발명의 일 형태에 의하여 신규 트랜지스터를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 트랜지스터 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 전기 특성이 양호한 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 온 전류가 큰 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 전계 효과 이동도가 높은 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 주파수 특성이 양호한 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 소비 전력이 낮은 반도체 장치를 제공할 수 있다.

[0409] 또한, 본 발명의 일 형태에 의하여 강유전성을 가질 수 있는 재료를 포함하는 용량 소자를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 상기 용량 소자를 양호한 생산성으로 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 상기 용량 소자와 트랜지스터를 가지는 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 상기 반도체 장치를 제공할 수 있다.

[0410] 본 실시형태에 나타낸 구성, 방법 등은 적어도 그 일부를, 본 명세서 중에 기재하는 다른 실시형태, 다른 실시예 등과 적절히 조합하여 실시할 수 있다.

[0411] (실시형태 3)

[0412] 본 실시형태에서는 반도체 장치의 일 형태를 도 18을 사용하여 설명한다.

[0413] [기억 장치의 구성예]

[0414] 본 발명의 일 형태에 따른 반도체 장치(기억 장치)의 일례를 도 18에 나타낸다. 본 발명의 일 형태의 반도체 장치에서, 트랜지스터(200)는 트랜지스터(300)의 위쪽에 제공되고, 용량 소자(100)는 트랜지스터(300) 및 트랜지스터(200)의 위쪽에 제공되어 있다. 또한 트랜지스터(200)로서는, 앞의 실시형태에서 설명한 트랜지스터(200)를 사용할 수 있다. 또한, 용량 소자(100)로서, 앞의 실시형태에서 설명한 용량 소자(100)를 사용할 수 있다. 또한, 도 18에서는 도 14에 나타낸 용량 소자(100) 및 트랜지스터(200)를 사용하는 예를 나타내었지만, 본 발명은 이에 한정되지 않고, 용량 소자(100) 및 트랜지스터(200)를 적절히 선택할 수 있다.

[0415] 용량 소자(100)에는 외부로부터 전기장을 공급함으로써 내부에 분극이 발생하며, 상기 전기장을 0으로 하여도 분극이 잔존하는 성질을 가지는 강유전성을 가질 수 있는 재료가 사용된다. 이로써, 용량 소자(100)를 사용하여 비휘발성의 기억 소자를 형성할 수 있다. 즉, 강유전 커패시터로서 기능하는 용량 소자와 트랜지스터(200)를 사용하여 1 트랜지스터 1 커패시터형 강유전체 메모리를 형성할 수 있다.

[0416] 트랜지스터(200)는 산화물 반도체를 가지는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(200)는

고내압이라는 특성을 가진다. 따라서, 트랜지스터(200)에 산화물 반도체를 사용함으로써, 트랜지스터(200)를 미세화하여도 트랜지스터(200)에 고전압을 인가할 수 있다. 트랜지스터(200)를 미세화함으로써, 반도체 장치의 점유 면적을 작게 할 수 있다.

[0417] 도 18에 나타난 반도체 장치에서, 배선(1001)은 트랜지스터(300)의 소스에 전기적으로 접속되고, 배선(1002)은 트랜지스터(300)의 드레인에 전기적으로 접속되어 있다. 또한, 배선(1003)은 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 배선(1004)은 트랜지스터(200)의 제 1 게이트에 전기적으로 접속되고, 배선(1005)은 용량 소자(100)의 한쪽 전극에 전기적으로 접속되고, 배선(1006)은 트랜지스터(200)의 제 2 게이트에 전기적으로 접속되고, 배선(1007)은 트랜지스터(300)의 게이트에 전기적으로 접속되어 있다.

[0418] 또한 도 18에 나타난 기억 장치는 매트릭스상으로 배치됨으로써, 메모리 셀 어레이를 구성할 수 있다.

[0419] <트랜지스터(300)>

[0420] 트랜지스터(300)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316), 게이트 절연체로서 기능하는 절연체(315), 기판(311)의 일부로 이루어지는 반도체 영역(313), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 트랜지스터(300)는 p채널형 및 n채널형 중 어느 것이어도 좋다.

[0421] 여기서, 도 18에 나타난 트랜지스터(300)에서는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 블록 형상을 가진다. 또한 반도체 영역(313)의 측면 및 상면을, 절연체(315)를 개재하여 도전체(316)가 덮도록 제공되어 있다. 또한 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(300)는 반도체 기판의 블록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한 블록부의 상부와 접하여, 블록부를 형성하기 위한 마스크로서 기능하는 절연체를 가져도 좋다. 또한 여기서 반도체 기판의 일부를 가공하여 블록부를 형성하는 경우에 대하여 설명하였지만, SOI 기판을 가공하여 블록 형상을 가지는 반도체막을 형성하여도 좋다.

[0422] 또한, 도 18에 도시된 트랜지스터(300)는 일레이고, 그 구조에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.

[0423] <배선층>

[0424] 각 구조체 사이에는 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 배선층은 설계에 따라 복수 층 제공할 수 있다. 여기서, 플러그 또는 배선으로서의 기능을 가지는 도전체에는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선에 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉, 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0425] 예를 들어 트랜지스터(300) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 이 순서대로 적층되어 제공되어 있다. 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는, 용량 소자(100) 또는 트랜지스터(200)에 전기적으로 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서 기능한다.

[0426] 또한 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.

[0427] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 18에서는 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서 기능한다.

[0428] 마찬가지로 절연체(210), 절연체(212), 절연체(214), 및 절연체(216)에는 도전체(218), 및 트랜지스터(200)를 구성하는 도전체(도전체(205)) 등이 매립되어 있다. 또한 도전체(218)는 용량 소자(100) 또는 트랜지스터(300)에 전기적으로 접속되는 플러그 또는 배선으로서의 기능을 가진다.

[0429] 여기서 앞의 실시형태에서 설명한 절연체(241)와 마찬가지로, 플러그로서 기능하는 도전체(218)의 측면에 접하여 절연체(217)가 제공된다. 절연체(217)는 절연체(210), 절연체(212), 절연체(214), 및 절연체(216)에 형성된 개구의 내벽에 접하여 제공되어 있다. 즉 절연체(217)는 도전체(218)와, 절연체(210), 절연체(212), 절연체

(214), 및 절연체(216) 사이에 제공되어 있다. 또한 도전체(205)는 도전체(218)와 병행하여 형성할 수 있기 때문에, 도전체(205)의 측면에 접하여 절연체(217)가 형성되는 경우도 있다.

- [0430] 절연체(217)로서는 예를 들어 질화 실리콘, 산화 알루미늄, 또는 질화산화 실리콘 등 절연체를 사용하면 좋다. 절연체(217)는 절연체(210), 절연체(212), 절연체(214), 및 절연체(222)에 접하여 제공되기 때문에, 절연체(210) 또는 절연체(216) 등으로부터 물 또는 수소 등의 불순물이 도전체(218)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 바람직하다. 또한 절연체(210) 또는 절연체(216)에 포함되는 산소가 도전체(218)에 흡수되는 것을 방지할 수 있다.
- [0431] 절연체(217)는 절연체(241)와 같은 방법으로 형성할 수 있다. 예를 들어, PEALD법을 사용하여 질화 실리콘을 성막하고, 이방성 에칭을 사용하여 도전체(356)에 도달하는 개구를 형성하면 좋다.
- [0432] 또한, 트랜지스터(200) 위에는 절연체(285) 및 도전체(240) 위에 도전체(112)가 제공된다. 또한, 도전체(112)는 트랜지스터(200) 또는 트랜지스터(300)에 전기적으로 접속되는 플러그 또는 배선으로서의 기능을 가진다. 절연체(285) 및 도전체(112)를 덮어 절연체(286)가 제공된다. 절연체(286) 및 용량 소자(100)를 덮어 절연체(150)가 제공된다.
- [0433] 또한, 절연체(285) 및 도전체(112)를 덮어 수소에 대한 배리어 절연막을 제공하는 구성으로 하여도 좋다. 도 18에 나타난 바와 같이, 수소에 대한 배리어 절연막으로서 절연체(285) 및 도전체(112)를 덮는 절연체(152a)와 절연체(152a) 위의 절연체(152b)를 제공하는 것이 바람직하다. 절연체(152a) 및 절연체(152b)로서는 상술한 절연체(283) 등에 사용할 수 있는 배리어 절연막을 사용하면 좋다. 이와 같은 절연체(152a) 및 절연체(152b)를 제공함으로써, 절연체(286) 등에 포함되는 수소 등의 불순물이 도전체(112) 및 도전체(240)를 통하여 트랜지스터(200)로 확산되는 것을 저감할 수 있다.
- [0434] 절연체(152a)의 성막은 스퍼터링법을 사용하여 수행하면 좋다. 예를 들어, 절연체(152a)로서 스퍼터링법으로 성막한 질화 실리콘을 사용할 수 있다. 스퍼터링법은 성막 가스에 수소를 포함하는 분자를 사용하지 않아도 되기 때문에, 절연체(152a)의 수소 농도를 저감할 수 있다. 이와 같이, 도전체(112) 및 절연체(285)에 접하는 절연체(152a)의 수소 농도가 저감되어 있음으로써, 절연체(152a)로부터 도전체(112) 및 절연체(285)로 수소가 확산되는 것을 억제할 수 있다.
- [0435] 절연체(152b)의 성막은 ALD법, 특히 PEALD법을 사용하여 성막하는 것이 바람직하다. 예를 들어, 절연체(152b)로서 PEALD법으로 성막한 질화 실리콘을 사용할 수 있다. 이로써, 절연체(152b)를 좋은 피복성으로 성막할 수 있기 때문에, 하지의 요철로 인하여 절연체(152a)에 핀홀 또는 단절 등이 형성되어도, 절연체(152b)로 이들을 덮음으로써 수소가 도전체(112) 및 절연체(285)로 확산되는 것을 저감할 수 있다.
- [0436] 다만, 절연체(152a) 및 절연체(152b)의 성막 방법은 스퍼터링법 및 ALD법에만 한정되지 않고, CVD법, MBE법, PLD법 등을 적절히 사용할 수도 있다. 또한, 상기에서 절연체(152a)와 절연체(152b)의 2층 구조를 나타내었지만, 본 발명은 이에 한정되지 않고, 단층 구조 또는 3층 이상의 적층 구조로 하여도 좋다.
- [0437] 또한, 절연체(283) 및 절연체(212)도 절연체(152a) 및 절연체(152b)와 마찬가지로, 적층 구조의 배리어 절연막으로 하여도 좋다.
- [0438] 또한, 마찬가지로, 절연체(286) 및 용량 소자(100)를 덮어 수소에 대한 배리어 절연막을 제공하는 구성으로 하여도 좋다. 도 18에 나타난 바와 같이, 수소에 대한 배리어 절연막으로서 절연체(286) 및 용량 소자(100)를 덮는 절연체(154a)와, 절연체(154a) 위의 절연체(154b)를 제공하는 것이 바람직하다. 여기서, 용량 소자(100)는 절연체(154a) 및 절연체(154b)로 밀봉되어 있고, 절연체(154a) 및 절연체(154b)는 밀봉막으로서 기능한다. 절연체(154a)는 절연체(152a)와 같은 배리어 절연막을 절연체(154b)는 절연체(152b)와 같은 배리어 절연막을 사용할 수 있다. 이와 같은 절연체(154a) 및 절연체(154b)를 제공함으로써, 절연체(150) 등에 포함되는 수소 등의 불순물이 용량 소자(100)를 통하여 트랜지스터(200)로 확산되는 것을 저감할 수 있다.
- [0439] 층간막으로서 사용할 수 있는 절연체로서는, 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.
- [0440] 예를 들어, 층간막으로서 기능하는 절연체에 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 좋다.
- [0441] 예를 들어 절연체(150), 절연체(210), 절연체(352), 및 절연체(354) 등은 비유전율이 낮은 절연체인 것이 바람직하다. 예를 들어 상기 절연체는 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소

를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등을 가지는 것이 바람직하다. 또는 상기 절연체는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘과, 수지의 적층 구조를 가지는 것이 바람직하다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에, 수지와 조합함으로써 열적으로 안정적이며 비유전율이 낮은 적층 구조로 할 수 있다. 수지로서는, 예를 들어 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 또는 아크릴 등이 있다.

[0442] 또한 산화물 반도체를 사용한 트랜지스터는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러싸으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 따라서 절연체(214), 절연체(212), 및 절연체(350) 등으로서는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하면 좋다.

[0443] 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함한 절연체를 단층으로 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈럼 등의 금속 산화물, 질화산화 실리콘, 또는 질화 실리콘 등을 사용할 수 있다.

[0444] 배선, 플러그에 사용할 수 있는 도전체에는 알루미늄, 크롬, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 및 루테튬 등 중에서 선택된 금속 원소를 1종류 이상 포함하는 재료를 사용할 수 있다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0445] 예를 들어 도전체(328), 도전체(330), 도전체(356), 도전체(218), 및 도전체(112) 등으로서는, 상기 재료로 형성되는 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층으로 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐, 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄, 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮게 할 수 있다. 또한, 상기 실시형태에서 나타낸 바와 같이, 용량 소자(100)는 도전체(120a)를 열 ALD법 등의 기판 가열이 수행되는 방법으로 성막함으로써, 형성 후에 고온의 베이킹을 수행하지 않아도, 절연체(130)의 강유전성을 높일 수 있다. 따라서, 고온의 베이킹을 수행하지 않고 반도체 장치를 제작할 수 있기 때문에, 융점이 낮은 구리 등의 저저항 도전성 재료를 사용할 수 있다.

[0446] <산화물 반도체가 제공된 층의 배선 또는 플러그>

[0447] 또한 트랜지스터(200)에 산화물 반도체를 사용하는 경우, 산화물 반도체 근방에 과잉 산소 영역을 가지는 절연체가 제공되는 경우가 있다. 이 경우, 상기 과잉 산소 영역을 가지는 절연체와, 상기 과잉 산소 영역을 가지는 절연체에 제공하는 도전체 사이에 배리어성을 가지는 절연체를 제공하는 것이 바람직하다.

[0448] 예를 들어, 도 18에서는 과잉 산소를 포함하는 절연체(224) 및 절연체(280)와 도전체(240) 사이에 절연체(241)를 제공하는 것이 좋다. 절연체(241)와, 절연체(222), 절연체(282), 및 절연체(283)가 접하여 제공되면, 절연체(224) 및 트랜지스터(200)는 배리어성을 가지는 절연체로 밀봉되는 구조를 가질 수 있다.

[0449] 즉, 절연체(241)를 제공함으로써, 절연체(224) 및 절연체(280)에 포함되는 과잉 산소가 도전체(240)에 흡수되는 것을 억제할 수 있다. 또한 절연체(241)를 가짐으로써, 불순물인 수소가 도전체(240)를 통하여 트랜지스터(200)로 확산되는 것을 억제할 수 있다.

[0450] 또한 절연체(241)로서는, 물 또는 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연성 재료를 사용하는 것이 좋다. 예를 들어 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 또는 산화 하프늄 등을 사용하는 것이 바람직하다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 바람직하다. 또한 이 외에도, 예를 들어 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 또는 산화 탄탈럼 등의 금속 산화물 등을 사용할 수 있다.

[0451] 또한 앞의 실시형태에서 설명한 바와 같이 트랜지스터(200)는 절연체(212), 절연체(214), 절연체(282), 및 절연체(283)로 밀봉되는 구성으로 하여도 좋다. 이와 같은 구성으로 함으로써, 절연체(274), 절연체(285), 절연체(150) 등에 포함되는 수소가 절연체(280) 등으로 혼입되는 것을 저감할 수 있다. 이때, 절연체(212), 절연체

(214), 절연체(282), 및 절연체(283)는 밀봉막으로서 기능한다.

[0452] 여기서, 절연체(283) 및 절연체(282)에는 도전체(240)가 관통되고, 절연체(214) 및 절연체(212)에는 도전체(218)가 관통되어 있지만, 상술한 바와 같이 절연체(241)가 도전체(240)와 접하여 제공되고, 절연체(217)가 도전체(218)와 접하여 제공되어 있다. 이에 의하여, 도전체(240) 및 도전체(218)를 통하여 절연체(212), 절연체(214), 절연체(282), 및 절연체(283)의 내측에 혼입되는 수소를 저장할 수 있다. 이와 같이 절연체(212), 절연체(214), 절연체(282), 절연체(283), 절연체(241), 및 절연체(217)로 트랜지스터(200)를 밀봉하고, 절연체(274) 등에 포함되는 수소 등의 불순물이 외측으로부터 혼입되는 것을 저장할 수 있다. 또한, 도 18에 있어서는 절연체(212) 및 절연체(283) 등으로 밀봉된 영역 내에 하나의 트랜지스터(200)를 나타내었지만, 이에 한정되지 않고, 상기 밀봉된 영역 내에 복수의 트랜지스터(200)를 제공할 수 있다.

[0453] <다이싱라인>

[0454] 이하에서는, 대면적 기판을 반도체 소자마다 분단함으로써, 복수의 반도체 장치를 칩 형상으로 얻는 경우에 제공되는 다이싱라인(스크라이브 라인, 분단 라인, 또는 절단 라인이라고 부르는 경우가 있음)에 대하여 설명한다. 분단 방법으로서, 예를 들어 우선 기판에 반도체 소자를 분단하기 위한 홈(다이싱라인)을 형성한 후, 다이싱라인에서 절단하여 복수의 반도체 장치로 분단(분할)하는 경우가 있다.

[0455] 여기서, 예를 들어 도 18에 나타낸 바와 같이, 절연체(283)와 절연체(214)가 접하는 영역이 다이싱라인과 중첩되도록 설계하는 것이 바람직하다. 즉, 복수의 트랜지스터(200)를 가지는 메모리 셀의 가장자리에 제공되는 다이싱 라인이 되는 영역 근방에서 절연체(282), 절연체(280), 절연체(275), 절연체(222), 및 절연체(216)에 개구를 제공한다.

[0456] 즉 절연체(282), 절연체(280), 절연체(275), 절연체(222), 및 절연체(216)에 제공된 개구에서 절연체(214)와 절연체(283)가 접한다.

[0457] 또한 예를 들어 절연체(282), 절연체(280), 절연체(275), 절연체(222), 절연체(216), 및 절연체(214)에 개구를 제공하여도 좋다. 이러한 구성으로 함으로써, 절연체(282), 절연체(280), 절연체(275), 절연체(222), 절연체(216), 및 절연체(214)에 제공된 개구에서 절연체(212)와 절연체(283)가 접한다. 이때 절연체(212)와 절연체(283)를 같은 재료 및 같은 방법을 사용하여 형성하여도 좋다. 절연체(212) 및 절연체(283)를 동일한 재료 및 동일한 방법으로 제공함으로써 밀착성을 높일 수 있다. 예를 들어, 질화 실리콘을 사용하는 것이 바람직하다.

[0458] 상기 구조에 의하여 절연체(212), 절연체(214), 절연체(282), 및 절연체(283)로 트랜지스터(200)를 감쌀 수 있다. 절연체(212), 절연체(214), 절연체(282), 및 절연체(283) 중 적어도 하나는 산소, 수소, 및 물의 확산을 억제하는 기능을 가지기 때문에, 본 실시형태에서 설명하는 반도체 소자가 형성된 회로 영역마다 기판을 분단하면, 복수의 칩으로 가공한 경우에도 분단된 기판의 측면 방향으로부터 수소 또는 물 등의 불순물이 혼입되어 트랜지스터(200)로 확산되는 것을 방지할 수 있다.

[0459] 또한 상기 구조에 의하여, 절연체(280) 및 절연체(224)의 과잉 산소가 외부로 확산되는 것을 방지할 수 있다. 따라서, 절연체(280) 및 절연체(224)의 과잉 산소는 트랜지스터(200)에서의 채널이 형성되는 산화물에 효율적으로 공급된다. 상기 산소에 의하여, 트랜지스터(200)에서의 채널이 형성되는 산화물의 산소 결손을 저장할 수 있다. 이로써, 트랜지스터(200)에서의 채널이 형성되는 산화물을 결합 준위 밀도가 낮고 안정적인 특성을 가지는 산화물 반도체로 할 수 있다. 즉, 트랜지스터(200)의 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다.

[0460] <기억 장치의 변형예 1>

[0461] 도 18에 나타낸 기억 장치는 절연체(285) 및 절연체(280) 등에 매립되도록 용량 소자(100)가 형성되어 있지만, 본 발명은 이에 한정되는 것이 아니다. 도 19에 나타낸 바와 같이, 플레이너형 용량 소자(100)가 절연체(285) 위에 제공되는 구성으로 하여도 좋다.

[0462] 용량 소자(100)는 도전체(110)와 도전체(110)를 덮는 절연체(130)와, 절연체(130)를 덮는 도전체(120)(도전체(120a) 및 도전체(120b))를 가진다. 여기서, 절연체(130)는 도전체(110)의 상면 및 측면을 덮고, 도전체(110)와 도전체(120)를 이격하는 것이 바람직하다. 도전체(110), 절연체(130), 및 도전체(120)의 자세한 내용은 [기억 장치의 구성예] 및 앞의 실시형태의 기재에 참조할 수 있다.

[0463] 도전체(110)는 도전체(112)와 같은 층에 형성되어 있고, 도전체(240)의 상면에 접한다. 도전체(110)는 도전체

(240)를 통하여 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다.

- [0464] 또한, 도전체(120), 절연체(130), 및 도전체(112)를 덮어 절연체(155)가 제공되는 것이 바람직하다. 절연체(155)는 절연체(214) 또는 절연체(282) 등에 사용할 수 있는 수소를 포획 및 고착하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 예를 들어, 산화 알루미늄( $AlO_x$ ( $x$ 는 0보다 큰 임의의 수)) 등을 사용하는 것이 바람직하다. 상기  $AlO_x$ 는 비정질 구조를 가지는 것이 바람직하다. 이와 같은 비정질 구조를 가지는 금속 산화물에서는, 산소 원자가 덩글링 본드를 가지고 상기 덩글링 본드로 수소를 포획 또는 고착하는 성질을 가지는 경우가 있다.
- [0465] 예를 들어, 절연체(155)는 ALD법으로 성막한 산화 알루미늄 또는 스퍼터링법으로 성막한 산화 알루미늄막을 사용할 수 있다. 또한, 예를 들어 절연체(155)는 ALD법으로 성막한 산화 알루미늄과 그 위에 스퍼터링법으로 성막한 산화 알루미늄의 적층막으로 하여도 좋다.
- [0466] 이와 같은 절연체(155)를, 용량 소자(100)를 덮도록 제공함으로써, 용량 소자(100)의 절연체(130)에 포함되는 수소를 포획 및 고착하여, 절연체(130) 내의 수소 농도를 저감할 수 있다. 이로써, 절연체(130)의 결정성을 향상시켜 절연체(130)의 강유전성을 높일 수 있다. 또한, 도전체(110)와 도전체(120) 사이의 누설 전류를 저감할 수 있다. 또한, 이에 한정되지 않고, 절연체(155)를 제공하지 않는 구성으로 하여도 좋다.
- [0467] 또한, 도 18에 나타난 기억 장치와 마찬가지로, 도전체(112) 및 도전체(120) 위에 수소에 대한 배리어 절연막으로서 기능하는 절연체(152a) 및 절연체(152b)를 제공하는 것이 바람직하다. 절연체(152a) 및 절연체(152b)는 절연체(155) 위에 제공된다. 이와 같은 절연체(152a) 및 절연체(152b)를 제공함으로써, 절연체(152b) 위의 절연체(286)에 포함되는 수소 등의 불순물이 용량 소자(100), 도전체(112), 및 도전체(240)를 통하여 트랜지스터(200)로 확산되는 것을 저감할 수 있다.
- [0468] 또한, 도 19에 나타난 바와 같이, 절연체(285) 위에 수소에 대한 배리어 절연막으로서 기능하는 절연체(287)를 제공하는 것이 바람직하다. 절연체(287) 위에 접하여 도전체(112), 도전체(110), 및 절연체(155)가 제공된다. 여기서 절연체(287)는 절연체(283)와 같은 배리어 절연막을 사용할 수 있다.
- [0469] 이와 같은 구성으로 함으로써, 용량 소자(100)와 중첩되지 않은 영역에서 절연체(155)와 절연체(287)가 접한다. 즉, 절연체(155), 절연체(152a), 및 절연체(152b)와 절연체(287)에 의하여 용량 소자(100)가 밀봉된다. 여기서, 절연체(155), 절연체(152a), 절연체(152b), 및 절연체(287)는 밀봉막으로서 기능한다. 이로써, 절연체(152b) 및 절연체(287)의 외부로부터 용량 소자(100)로 수소가 확산되는 것을 억제하며, 절연체(152b) 및 절연체(287)의 내부의 수소를 포획 및 고착하여, 용량 소자(100)의 절연체(130)의 수소 농도를 저감할 수 있다. 따라서, 절연체(130)의 강유전성을 높일 수 있다.
- [0470] 또한, 절연체(155)를 사용하지 않는 경우에는 용량 소자(100)와 중첩되지 않은 영역에 있어서, 절연체(287)와 절연체(152a)가 접하고 절연체(152a) 및 절연체(152b)와 절연체(287)에 의하여 용량 소자(100)가 밀봉된다.
- [0471] 또한, 도 19에 나타난 바와 같이, 트랜지스터(200)도 수소에 대한 배리어 절연막으로서 기능하는 절연체(283), 절연체(214), 및 절연체(212)로 밀봉되어 있다. 이로써, 절연체(283) 및 절연체(212)의 외부로부터 트랜지스터(200)로 수소가 확산되는 것을 억제하여, 트랜지스터(200)가 가지는 산화물 반도체막의 수소 농도를 저감할 수 있다. 따라서, 트랜지스터(200)의 전기 특성 및 신뢰성을 향상시킬 수 있다.
- [0472] 또한, 도 19에 나타난 기억 장치에서는 트랜지스터(200)와 용량 소자(100)가 전기적으로 접속되는 구성으로 하였지만, 본 발명은 이에 한정되는 것이 아니다. 도 20의 (A)에 나타난 바와 같이, 트랜지스터(200)와 용량 소자(100)가 전기적으로 접속되지 않은 구성으로 하여도 좋다. 여기서, 도 20의 (A)에 나타난 기억 장치는 절연체(212)보다 위의 트랜지스터(200) 및 용량 소자(100)에 대해서는, 도 19에 나타난 기억 장치와 같은 구성을 가진다. 절연체(212)보다 아래에서는, 도 19에 나타난 기억 장치와 같은 구성으로 하여도 좋고, 절연체(212) 아래에 접하여 기판(311)을 제공하는 구성으로 하여도 좋다.
- [0473] 또한, 도 20의 (A)에 나타난 바와 같이, 절연체(286), 절연체(152b), 절연체(152a), 및 절연체(155)에 개구를 형성하고, 상기 개구를 매립하도록 도전체(288) 및 절연체(289)를 제공하여도 좋다. 도전체(288)는 도전체(240)와 같은 구성을 가지고, 절연체(289)는 절연체(241)와 같은 구성을 가진다. 여기서, 트랜지스터(200)의 소스 및 드레인 중 한쪽은 도전체(288)를 통하여 배선(1003)에 전기적으로 접속되고, 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 도전체(288)를 통하여 배선(1008)에 전기적으로 접속된다. 또한, 용량 소자(100)의 한쪽 전극(도전체(120))은 도전체(288)를 통하여 배선(1005)에 전기적으로 접속된다. 또한, 용량 소자(100)의 다

른 쪽 전극(도전체(110))은 도전체(240), 도전체(205)와 같은 층의 도전체(255), 도전체(112), 및 도전체(288)를 통하여 배선(1009)에 전기적으로 접속된다.

[0474] 또한, 도 20의 (A)에 나타낸 바와 같이, 트랜지스터(200)와 용량 소자(100)는 밀봉막으로 개별적으로 밀봉되는 구성으로 하여도 좋다. 도 20의 (A)에 나타낸 기억 장치에서, 트랜지스터(200)는 절연체(283), 절연체(214), 및 절연체(212)에 의하여 밀봉된다. 또한, 도 20의 (A)에 나타낸 바와 같이, 용량 소자(100)에 접속되는 배선 또는 플러그로서 기능하는 도전체(240) 및 도전체(255)를 트랜지스터(200)와 따로 밀봉하는 구성으로 하여도 좋다. 이 경우, 트랜지스터(200)와 도전체(240) 및 도전체(255) 사이에 절연체(283)와 절연체(214)가 접하는 영역이 형성된다.

[0475] 또한, 도 20의 (A)에 나타낸 구성에서는, 트랜지스터(200)와 용량 소자(100) 사이에 절연체(285) 및 절연체(287)를 제공하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도 20의 (B)에 나타낸 바와 같이, 절연체(285) 및 절연체(287)를 제공하지 않고, 도전체(112), 도전체(110), 및 절연체(155)의 하면이 절연체(283)에 접하는 구성으로 하여도 좋다. 이 경우, 용량 소자(100)는 절연체(152a), 절연체(152b), 절연체(155), 및 절연체(283)로 밀봉된다. 이로써, 절연체(285) 및 절연체(287)를 제공할 필요가 없어지기 때문에, 기억 장치의 생산성을 향상시킬 수 있다.

[0476] 도 20의 (A)에 나타낸 용량 소자(100)의 확대도를 도 21의 (A)에 나타내었다. 도 21의 (A)에 나타낸 바와 같이, 용량 소자(100)는 도 19에 나타낸 용량 소자(100)와 마찬가지로, 절연체(287), 절연체(152a), 절연체(152b), 및 절연체(155)에 의하여 밀봉된다. 여기서, 절연체(155), 절연체(152a), 절연체(152b), 및 절연체(287)는 밀봉막으로서 기능한다. 이로써, 절연체(152b) 및 절연체(287)의 외부로부터 용량 소자(100)로 수소가 확산되는 것을 억제하며, 절연체(152b) 및 절연체(287)의 내부의 수소를 포획 및 고착하여, 용량 소자(100)의 절연체(130)의 수소 농도를 저감할 수 있다. 따라서, 절연체(130)의 강유전성을 높일 수 있다.

[0477] 또한, 도 21의 (A)에 나타낸 용량 소자(100)에서는, 절연체(130)가 절연체(287)의 상면, 도전체(110)의 상면 및 측면에 접하는 구성으로 하였지만, 본 발명은 이에 한정되는 것이 아니다. 도 21의 (B)에 나타낸 바와 같이, 절연체(130)와 절연체(287) 및 도전체(110) 사이에 절연체(115a)를 제공하는 구성으로 하여도 좋다. 즉, 절연체(130)가 절연체(115a)의 상면에 접하고, 절연체(287) 및 도전체(110)가 절연체(115a)의 하면에 접한다. 여기서, 절연체(115a)에는 앞의 실시형태에서 도 1의 (C2) 등에 나타낸 절연체(115a)를 사용할 수 있다. 또한, 절연체(115a)의 막 두께는 0.2nm 이상 2nm 이하, 바람직하게는 0.5nm 이상 1nm 이하로 하면 좋다. 이와 같은 구성으로 함으로써, 도 21의 (B)에 나타낸 용량 소자(100)는 도 1의 (C1) 및 (C2)에 나타낸 용량 소자와 다이오드를 접속한 FTJ로서 기능시킬 수 있다.

[0478] 또한, 도 21의 (A)에 나타낸 용량 소자(100)에서는 절연체(130)가 도전체(120)의 하면에 접하는 구성으로 하였지만, 본 발명은 이에 한정되는 것이 아니다. 도 21의 (C)에 나타낸 바와 같이, 절연체(130)와 도전체(120) 사이에 절연체(115b)를 제공하는 구성으로 하여도 좋다. 즉, 절연체(130)가 절연체(115b)의 하면에 접하고, 도전체(120)가 절연체(115b)의 상면에 접한다. 여기서, 절연체(115b)는 앞의 실시형태에서 도 1의 (C3) 등에 나타낸 절연체(115b)를 사용할 수 있다. 또한, 절연체(115b)의 막 두께는 0.2nm 이상 2nm 이하, 바람직하게는 0.5nm 이상 1nm 이하로 하면 좋다. 이와 같은 구성으로 함으로써, 도 21의 (C)에 나타낸 용량 소자(100)는 도 1의 (C1) 및 (C3)에 나타낸 용량 소자와 다이오드를 접속한 FTJ로서 기능시킬 수 있다.

[0479] 또한, 도 22의 (A)에 나타낸 바와 같이, 용량 소자(100)는 절연체(130) 내에 다결정 영역이 형성되는 경우가 있다. 도 22의 (A)에서는 도전체(110)의 측면부의 위쪽에 다결정 영역(131a) 및 다결정 영역(131b)이 형성되는 예를 나타내었다. 도 22의 (A)에 나타낸 절연체(130)는 도전체(110)로 형성되는 피형성면의 단차를 따라 성막되어 있고, 상기 단차의 상부 근방에 다결정 영역(131a) 및 다결정 영역(131b)이 형성되는 경우가 있다. 다결정 영역(131a) 및 다결정 영역(131b)은 도 4의 (B)에 나타낸 그레인 또는 결정립계가 많이 형성되어 있는 영역이다. 예를 들어, 절연체(130)에서 다결정 영역(131a) 및 다결정 영역(131b)은 도전체(110)의 평탄성이 높은 상면에 접하는 영역(다결정 영역(131a)과 다결정 영역(131b)에 끼워진 영역이라고도 할 수 있음)보다 그레인을 많이 포함한다. 환언하면, 절연체(130)에서 다결정 영역(131a)과 다결정 영역(131b)에 끼워진 영역은 다결정 영역(131a) 및 다결정 영역(131b)보다 도 3에 나타낸 단결정을 많이 포함한다.

[0480] 또한, 도 22의 (A)에 나타낸 용량 소자(100)에서는, 절연체(152a)의 하면에 접하여 절연체(155)를 제공하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도 22의 (B)에 나타낸 바와 같이, 절연체(155)를 제공하지 않고, 절연체(152a)의 하면이 절연체(287)의 상면, 절연체(130)의 측면, 도전체(120)의 측면 및 도전체(120)의 상면과 접하는 구성으로 하여도 좋다.

- [0481] 또한, 도 22의 (A) 등에서는 절연체(130) 및 도전체(120)가 도전체(110)의 측면까지 덮는 구성으로 하였지만, 본 발명은 이에 한정되는 것이 아니다. 도 22의 (C)에 나타난 바와 같이, 절연체(130)의 측면 및 도전체(120)의 측면이 도전체(110)의 측면보다 내측에 위치하는 구성으로 하여도 좋다. 이 경우, 상면에서 보았을 때, 절연체(130) 및 도전체(120)의 외주가 도전체(110)의 외주보다 내측에 위치한다.
- [0482] 상술한 바와 같은 구성으로 함으로써, 절연체(130) 및 도전체(120)가 도전체(110)로 형성되는 피형성면의 단차 근방에 형성되지 않은 구성이 되기 때문에, 도 22의 (A)에 나타난 다결정 영역(131a) 및 다결정 영역(131b)이 도 22의 (C)에 나타난 절연체(130)에는 형성되지 않는다. 따라서, 도 22의 (C)에 나타난 절연체(130)는 전체가 도전체(110)의 평탄성이 높은 상면에 접하고, 도 3에 나타난 단결정을 많이 포함한다. 이로써, 도 22의 (C)의 절연체(130)는 도 4의 (A)에 나타난 복수의 결정의 층이 c축 방향으로 적층되는 구조를 취하며, 분극을 크게 할 수 있는 경우가 있다. 이와 같이, 도 22의 (C)에 나타난 절연체(130)에 양호한 강유전성을 가지게 하여, 용량 소자(100)를 강유전체 디바이스로서 기능시킬 수 있다.
- [0483] 또한, 도 22의 (C)에 나타난 바와 같이, 절연체(155)를 그 측면이 도전체(110)의 측면의 내측에 위치하도록 형성하여도 좋다. 이때, 절연체(130), 도전체(120), 및 절연체(155)의 측면이 일치하는 것이 바람직하다. 또한, 절연체(152a)는 도전체(110), 절연체(130), 도전체(120), 및 절연체(155)를 덮어 제공된다. 절연체(152b)는 절연체(152a) 위에 제공된다.
- [0484] 또한, 도 22의 (C)에서는 도 20의 (A)와 마찬가지로, 절연체(152b) 위에 절연체(286)가 제공되고, 절연체(155), 절연체(152a), 절연체(152b), 및 절연체(286)에 도전체(120)에 도달하는 개구가 형성되어 있다. 도 20의 (A)와 마찬가지로, 상기 개구 내에 도전체(288) 및 절연체(289)가 배치되어 있다.
- [0485] 도 20의 (A)에는 나타나지 않았지만, 도 22의 (C)에서는 도전체(288) 위에 접하여 도전체(162)가 제공되고, 도전체(162) 위에 절연체(166)가 제공되고, 도전체(162) 및 절연체(166)를 덮어 절연체(168a)가 제공되고, 절연체(168a) 위에 절연체(168b)가 제공된다. 또한, 도 22의 (C)에서는 용량 소자(100), 도전체(288), 및 도전체(162) 등이 동일 단면 위에 나타난 구성으로 하였지만, 본 발명은 이에 한정되는 것이 아니다. 용량 소자(100)와 도전체(162)가 중첩되는 곳과 다른 곳에서, 도전체(162)와 도전체(120)의 콘택트가 형성되는 경우도 있다.
- [0486] 도전체(162)는 배선으로서 기능하는 도전체이고, 도 20의 (A)에 나타난 도전체(288)와 마찬가지로, 배선(1005)에 전기적으로 접속되는 구성으로 하여도 좋다. 도전체(162)에는 도전체(112)에 사용할 수 있는 도전성 재료를 사용하면 좋다.
- [0487] 절연체(166)에는 절연체(155)와 같은 절연체를 사용할 수 있고, 절연체(168a)에는 절연체(152a)와 같은 절연체를 사용할 수 있고, 절연체(168b)에는 절연체(152b)와 같은 절연체를 사용할 수 있다. 이와 같은 구조로 함으로써, 절연체(286), 도전체(288), 및 도전체(162)를 수소에 대한 배리어 절연막으로서 기능하는 절연체(168a)와 절연체(152b)로 끼울 수 있다. 또한, 절연체(168a)와 절연체(152b)에 끼워진 영역에 수소를 포획 및 고착하는 기능을 가지는 절연체(166)가 배치된다. 이로써, 절연체(168b) 및 절연체(152a)의 외부로부터 수소가 확산되는 것을 억제하며, 절연체(168b) 및 절연체(152a)의 내부의 수소를 포획 및 고착하여, 절연체(286), 도전체(288), 및 도전체(162) 등의 수소 농도를 저감할 수 있다. 이와 같이, 절연체(286), 도전체(288), 및 도전체(162) 등의 수소 농도를 저감함으로써, 절연체(130)로 수소가 확산되는 것을 저감할 수 있기 때문에, 절연체(130)의 강유전성을 높일 수 있다.
- [0488] 다음으로, 도 22의 (C)에 나타난 구조의 제작 방법에 대하여 도 23의 (A) 내지 (B)를 사용하여 설명한다. 또한, 디바이스 및 프로세스의 자세한 내용 등에 대해서는 앞의 실시형태의 기재 등을 참조할 수 있다.
- [0489] 우선, 절연체(287) 위에 도전체(110)를 성막한다. 도전체(110)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 예를 들어, 도전체(110)로서 질화 타이타늄을 사용할 수 있다. 여기서, 도전체(110)의 상면에 CMP 처리 등을 수행하여 도전체(110)의 평탄성의 향상을 도모하는 것이 바람직하다. 예를 들어, 도전체(110)의 상면의 거칠기를 산술 평균 거칠기(Ra) 또는 제곱 평균 제곱근 거칠기(RMS: Root Mean Square)에서 2nm 이하, 바람직하게는 1nm 이하, 더 바람직하게는 0.8nm 이하, 더욱 바람직하게는 0.5nm 이하, 더욱 바람직하게는 0.4nm 이하, 더욱 바람직하게는 0.2nm 이하로 하면 좋다. 이와 같이, 도전체(110)의 상면의 평탄성을 향상함으로써, 추후의 공정으로 형성하는 절연체(130)의 결정성을 향상시킬 수 있다.
- [0490] 다음으로, 포토리소그래피법 등을 사용하여 도전체(110)를 패턴 형성한다(도 23의 (A) 참조). 여기서, 도전체(110)는 도전체(288)를 덮도록 패턴 형성되는 것이 바람직하다.

- [0491] 다음으로, 도전체(110)를 덮어 절연체(130)를 성막한다(도 23의 (A) 참조). 절연체(130)의 성막은 스퍼터링법, CVD법, ALD법 등을 사용하여 수행할 수 있다. 예를 들어, 열 ALD법을 사용하여 성막하면 좋다. 예를 들어, 절연체(130)로서 HfZrO<sub>x</sub>를 사용할 수 있다. 여기서, 전구체로서 탄화수소를 포함하지 않는 재료를 사용하면 적합하다. 이와 같은 전구체를 사용함으로써, 절연체(130) 내의 수소, 탄소, 탄화수소 등을 저감할 수 있다. 예를 들어, 전구체로서는 HfCl<sub>4</sub> 및/또는 ZrCl<sub>4</sub>를 사용하면 좋다. 또한, 열 ALD법을 사용하여 절연체(130)를 성막하는 경우, 산화제는 H<sub>2</sub>O 또는 O<sub>3</sub> 등을 사용할 수 있다.
- [0492] 또한, 전구체에 염소가 포함되는 경우, 절연체(130)에 포함되는 염소는 가능한 한 저감되는 것이 바람직하다. 예를 들어, 열 ALD 시의 기판 온도를 400℃ 이상으로 함으로써, 절연체(130) 내에 포함되는 염소를 저감할 수 있다. 또한, 도 7의 (A)에 나타난 성막 시퀀스에 따라 성막을 수행하는 경우, 산화제 H<sub>2</sub>O의 도입 시간을 길게 하는 것이 바람직하다. 이로써 피형성면에 결합되는 염소를 충분히 분리할 수 있기 때문에, 절연체(130)에 포함되는 염소 농도를 충분히 저감할 수 있다.
- [0493] 여기서, 도 23의 (A)에 나타난 바와 같이, 절연체(130)에서 도전체(110)의 측면부의 위쪽에 다결정 영역(131a) 및 다결정 영역(131b)이 형성되는 경우가 있다.
- [0494] 다음으로, 절연체(130) 위에 도전체(120a)를 성막한다(도 23의 (A) 참조). 도전체(120a)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 예를 들어, 도전체(110)로서 ALD법 또는 스퍼터링법으로 성막한 질화 타이타늄을 사용할 수 있다.
- [0495] 다음으로, 도전체(120a) 위에 도전체(120b)를 성막한다(도 23의 (A) 참조). 도전체(120b)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 예를 들어, 도전체(110)로서 메탈 CVD법으로 성막한 텅스텐을 사용할 수 있다. 또한, 도전체(120b)는 반드시 성막할 필요는 없고, 예를 들어 도전체(120)를 도전체(120a)만의 단층 구조로 하여도 좋다.
- [0496] 또한, 도전체(120)의 형성 후에 열처리를 수행하는 것이 바람직하다. 상기 열처리는, 예를 들어 기판 온도를 300℃ 이상, 바람직하게는 325℃ 이상, 더 바람직하게는 350℃ 이상으로 하여 성막하면 좋다. 또한, 예를 들어 기판 온도를 600℃ 이하, 바람직하게는 500℃ 이하, 더 바람직하게는 450℃ 이하로 하여 성막하면 좋다. 예를 들어, 기판 온도를 500℃ 정도로 하면 좋다. 또한, 열처리 시간은, 예를 들어 30초 이상 120초 이하 정도로 하면 좋다. 상기 열처리는 산소 가스, 질소 가스, 및 불활성 가스 중 적어도 하나 이상을 포함하는 분위기에서 수행할 수 있다.
- [0497] 이와 같은 열처리를 수행함으로써, 절연체(130)의 결정화를 촉진시켜, 결정성의 향상을 도모할 수 있다. 환원하면, 절연체(130)에 포함되는 단결정 영역을 크게 할 수 있다. 또한, 도전체(120)의 성막으로 열 ALD법 등의 기판 가열이 수행되는 성막 방법을 사용한 경우에는, 상기 열처리를 수행하지 않아도 절연체(130)를 충분히 결정화할 수 있는 경우가 있다.
- [0498] 다음으로, 도전체(120b) 위에 절연체(155)를 성막한다(도 23의 (B) 참조). 절연체(155)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 절연체(155)는 절연체(214) 또는 절연체(282) 등에 사용할 수 있는 수소를 포획 및 고착하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 예를 들어, 절연체(155)로서 ALD법 또는 스퍼터링법으로 성막한 산화 알루미늄을 사용할 수 있다. 또한, 절연체(155)의 막 두께는, 예를 들어 20nm 이상 40nm 이하 정도로 하면 좋다.
- [0499] 이와 같은 절연체(155)를 도전체(120) 위에 제공함으로써, 용량 소자(100)의 절연체(130)에 포함되는 수소를 포획 및 고착하여, 절연체(130) 내의 수소 농도를 저감할 수 있다. 이로써, 절연체(130)의 결정성을 향상시켜 절연체(130)의 강유전성을 높일 수 있다.
- [0500] 다음으로, 포토리소그래피법 등을 사용하여 절연체(130), 도전체(120a), 도전체(120b), 및 절연체(155)를 패턴 형성한다(도 23의 (C) 참조). 이로써, 절연체(130), 도전체(120a), 도전체(120b), 및 절연체(155)의 측면은 도전체(110)의 측면보다 내측에 위치한다. 이로써, 절연체(130)에 형성된 다결정 영역(131a) 및 다결정 영역(131b)을 제거하여, 단결정을 많이 포함하고 결정성이 높은 절연체(130)를 형성할 수 있다.
- [0501] 다음으로, 절연체(287), 도전체(110), 절연체(130), 도전체(120), 및 절연체(155)를 덮어 절연체(152a)를 성막하고, 절연체(152a) 위에 절연체(152b)를 성막한다(도 23의 (D) 참조). 절연체(152a) 및 절연체(152b)로서는 상술한 절연체(283) 등에 사용할 수 있는 배리어 절연막을 사용하면 좋다. 이와 같은 절연체(152a) 및 절연체

(152b)를 제공함으로써, 절연체(286) 등에 포함되는 수소 등의 불순물이 용량 소자(100)의 절연체(130)로 확산되는 것을 저감할 수 있다. 여기서, 절연체(152a)의 막 두께는, 예를 들어 10nm 이상 40nm 이하 정도로 할 수 있다. 또한, 절연체(152b)의 막 두께는, 예를 들어 3nm 이상 10nm 이하 정도로 할 수 있다.

- [0502] 절연체(152a)의 성막은 스퍼터링법을 사용하여 수행하면 좋다. 예를 들어, 절연체(152a)로서 스퍼터링법으로 성막한 질화 실리콘을 사용할 수 있다. 스퍼터링법은 성막 가스에 수소를 포함하는 분자를 사용하지 않아도 되기 때문에, 절연체(152a)의 수소 농도를 저감할 수 있다. 이와 같이, 도전체(112) 및 절연체(285)에 접하는 절연체(152a)의 수소 농도가 저감되어 있음으로써, 절연체(152a)로부터 도전체(112) 및 절연체(285)로 수소가 확산되는 것을 억제할 수 있다.
- [0503] 절연체(152b)의 성막은 ALD법, 특히 PEALD법을 사용하여 성막하는 것이 바람직하다. 예를 들어, 절연체(152b)로서 PEALD법으로 성막한 질화 실리콘을 사용할 수 있다. 이로써, 절연체(152b)를 좋은 피복성으로 성막할 수 있기 때문에, 하지의 요철로 인하여 절연체(152a)에 핀홀 또는 단절 등이 형성되어도, 절연체(152b)로 이들을 덮음으로써 수소가 도전체(112) 및 절연체(285)로 확산되는 것을 저감할 수 있다.
- [0504] 이와 같이, 절연체(152a) 및 절연체(152b)를 형성함으로써, 절연체(155), 절연체(152a), 및 절연체(152b)와 절연체(287)에 의하여 용량 소자(100)를 밀봉할 수 있다.
- [0505] 그 후, 절연체(152b) 위에 절연체(286)를 성막한다(도 23의 (D) 참조). 절연체(286), 절연체(152b), 절연체(152a), 및 절연체(155)에 도전체(120)에 도달하는 개구를 형성하고, 상기 개구 내에 도전체(288) 및 절연체(289)를 형성한다(도 22의 (C) 참조).
- [0506] 다음으로, 도전체(110)와 같은 방법으로 도전체(288) 위에 도전체(162)를 형성하고, 절연체(155)와 같은 방법으로 도전체(162) 위에 절연체(166)를 형성한다(도 22의 (C) 참조). 절연체(152a)와 같은 방법으로 절연체(286), 도전체(162), 및 절연체(166)를 덮어 절연체(168a)를 성막하고, 절연체(152b)와 같은 방법으로 절연체(168a) 위에 절연체(168b)를 성막한다(도 22의 (C) 참조).
- [0507] 절연체(168b)의 성막 후에 열처리를 수행하는 것이 바람직하다. 상기 열처리는, 예를 들어 기판 온도를 300℃ 이상, 바람직하게는 325℃ 이상, 더 바람직하게는 350℃ 이상으로 하여 성막하면 좋다. 또한, 예를 들어 기판 온도를 600℃ 이하, 바람직하게는 500℃ 이하, 더 바람직하게는 450℃ 이하로 하여 성막하면 좋다. 예를 들어, 기판 온도를 400℃ 정도로 하면 좋다. 또한, 열처리 시간은, 예를 들어 1시간 이상 10시간 이하 정도로 하면 좋다. 상기 열처리는 산소 가스, 질소 가스, 및 불활성 가스 중 적어도 하나 이상을 포함하는 분위기에서 수행할 수 있다. 또한, 상기 열처리는 절연체(168b)의 성막 후에 한정되지 않고, 절연체(152b)의 성막 후이면 적절히 수행할 수 있다.
- [0508] 이와 같은 열처리를 수행함으로써, 절연체(152b) 및 절연체(287)의 외부로부터 용량 소자(100)로 수소가 확산되는 것을 억제하면서, 절연체(152b) 및 절연체(287)의 내부의 수소를 포획 및 고착하여, 용량 소자(100)의 절연체(130)의 수소 농도를 저감할 수 있다. 이로써, 절연체(130)의 강유전성을 높일 수 있다.
- [0509] 또한, 절연체(168a)와 절연체(152b)에 끼워진 영역에 수소를 포획 및 고착하는 기능을 가지는 절연체(166)가 배치되어 있다. 이로써, 상기 열처리 중에 절연체(168b) 및 절연체(152a)의 외부로부터 수소가 확산되는 것을 억제하면서, 절연체(168b) 및 절연체(152a)의 내부의 수소를 포획 및 고착하여, 절연체(286), 도전체(288), 및 도전체(162) 등의 수소 농도를 저감할 수 있다.
- [0510] 또한, 앞에서 도 20의 (A)에 나타난 기억 장치를 트랜지스터(200)와 용량 소자(100)가 전기적으로 접속되지 않은 구성으로 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 도 20의 (A)에 나타난 구성에 있어서, 트랜지스터(200)에 전기적으로 접속되는 배선(1003), 배선(1004), 배선(1006), 및 배선(1008) 중 어느 하나 또는 복수가 용량 소자(100)에 전기적으로 접속되는 배선(1005) 및 배선(1009) 중 어느 한쪽 또는 양쪽에 전기적으로 접속되는 구성으로 하여도 좋다. 또한, 앞의 도 20의 (A) 내지 도 22의 (C)에 나타난 기억 장치에 따른 기재의 일부 또는 전부를 도 18, 도 19, 도 24 내지 도 27 등에 나타난 장치에 사용하는 구성으로 하여도 좋다.
- [0511] <기억 장치의 변형예 2>
- [0512] 도 19에 나타난 기억 장치는 트랜지스터(200)와 용량 소자(100)가 수소에 대한 배리어 절연막에 의하여 개별적으로 밀봉되어 있지만, 본 발명은 이에 한정되는 것이 아니다. 도 24에 나타난 바와 같이, 트랜지스터(200)와 용량 소자(100)를 수소에 대한 배리어 절연막(절연체(212), 절연체(152a), 및 절연체(152b))에 의하여 일괄적으로 밀봉하는 구성으로 하여도 좋다.

- [0513] 도 24에 나타난 기억 장치에서는 절연체(214), 절연체(216), 절연체(222), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 절연체(285), 및 절연체(155)에 절연체(212)에 도달하는 개구가 형성되어 있다. 절연체(155) 위의 절연체(152a) 및 절연체(152b)가 상기 개구의 측면 및 저면을 따라 형성되어 있다. 절연체(152a)는 상기 개구의 저면에서 절연체(212)의 상면에 접한다.
- [0514] 이와 같은 구성으로 함으로써, 트랜지스터(200)와 용량 소자(100)를 절연체(212), 절연체(152a), 및 절연체(152b)에 의하여 일괄적으로 밀봉할 수 있다. 이로써, 절연체(212) 및 절연체(152b)의 외부로부터 용량 소자(100) 및 트랜지스터(200)로 수소가 확산되는 것을 억제하여, 용량 소자(100)의 절연체(130) 및 트랜지스터(200)의 산화물 반도체막의 수소 농도를 저감할 수 있다. 따라서, 절연체(130)의 강유전성을 높이고, 트랜지스터(200)의 전기 특성 및 신뢰성을 향상시킬 수 있다.
- [0515] <기억 장치의 변형예 3>
- [0516] 도 24에 나타난 기억 장치는 트랜지스터(200) 위에 용량 소자(100)가 제공되어 있지만, 본 발명은 이에 한정되는 것이 아니다. 도 25에 나타난 바와 같이, 트랜지스터(200)와 같은 층에 용량 소자(100)를 제공하는 구성으로 하여도 좋다.
- [0517] 도 25에 나타난 바와 같이, 용량 소자(100)의 하부 전극으로서 기능하는 도전체(110)는 트랜지스터(200)의 백 게이트로서 기능하는 도전체(205)와 같은 층의 도전체로 형성되는 것이 바람직하다. 도전체(110) 위에 절연체(130)가 배치되고, 절연체(130) 위에 도전체(120)(도전체(120a) 및 도전체(120b))가 배치된다. 여기서, 절연체(130)는 도전체(110)의 상면을 덮어, 도전체(110)와 도전체(120)를 이격하는 것이 바람직하다. 또한, 절연체(130) 및 도전체(120)는 도 19 등에 나타난 바와 같은 구성으로 하면 좋고, 자세한 내용은 [기억 장치의 구성예] 및 앞의 실시형태 등의 기재를 참조할 수 있다. 절연체(130) 및 도전체(120)를 덮어 절연체(222)가 배치된다.
- [0518] 도전체(120a)의 상면에 접하여 도전체(240)가 제공되고, 상기 도전체(240)의 상면에 접하여 도전체(112)가 제공되어 있다. 상기 도전체(112)는 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속된 도전체(240)에 접한다. 즉, 도 25에 나타난 용량 소자(100)의 상부 전극으로서 기능하는 도전체(120)는 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 또한, 용량 소자(100)의 하부 전극으로서 기능하는 도전체(110)는 배선(1005)에 전기적으로 접속된다.
- [0519] 또한, 도 24에 나타난 기억 장치와 마찬가지로, 트랜지스터(200)와 용량 소자(100)를 절연체(212), 절연체(152a), 및 절연체(152b)에 의하여 일괄적으로 밀봉할 수 있다. 이로써, 절연체(212) 및 절연체(152b)의 외부로부터 용량 소자(100) 및 트랜지스터(200)로 수소가 확산되는 것을 억제하여, 용량 소자(100)의 절연체(130) 및 트랜지스터(200)의 산화물 반도체막의 수소 농도를 저감할 수 있다. 따라서, 절연체(130)의 강유전성을 높이고, 트랜지스터(200)의 전기 특성 및 신뢰성을 향상시킬 수 있다.
- [0520] <기억 장치의 변형예 4>
- [0521] 도 19 등에 나타난 기억 장치는 트랜지스터(300) 위에 트랜지스터(200)를 제공하고, 트랜지스터(200)에 용량 소자(100)를 접속하는 구성이지만, 본 발명은 이에 한정되는 것이 아니다. 도 26의 (A)에 나타난 바와 같이, 트랜지스터(200)를 제공하지 않고, 트랜지스터(300)에 용량 소자(100)를 접속하는 구성으로 하여도 좋다.
- [0522] 도 26의 (A)에 나타난 바와 같이, 절연체(320), 절연체(322), 및 절연체(287)에 트랜지스터(300)의 저저항 영역(314a)에 도달하는 개구가 형성되어 있고, 상기 개구를 매립하도록 도전체(357)가 형성되어 있다. 도전체(357)에는 도전체(328) 등과 같은 도전체를 사용할 수 있다. 도전체(357)의 상면은 용량 소자(100)의 도전체(110)의 하면에 접한다. 이와 같이, 용량 소자(100)의 하부 전극으로서 기능하는 도전체(110)와 트랜지스터(300)의 소스 및 드레인 중 한쪽으로서 기능하는 저저항 영역(314a)이 도전체(357)를 통하여 접속된다. 또한, 트랜지스터(300), 용량 소자(100), 및 이들을 포함하는 층의 구성은 도 19에 나타난 구성과 마찬가지로, 도 19에 나타난 구성에 따른 기재를 참조할 수 있다.
- [0523] 또한, 도 26의 (A)에 나타난 기억 장치에서는, 도 19에 나타난 기억 장치와 마찬가지로, 용량 소자(100)를 절연체(287), 절연체(152a), 및 절연체(152b)에 의하여 밀봉할 수 있다. 이로써, 절연체(287) 및 절연체(152b)의 외부로부터 용량 소자(100)로 수소가 확산되는 것을 억제하여, 용량 소자(100)의 절연체(130)의 산화물 반도체막의 수소 농도를 저감할 수 있다. 따라서, 절연체(130)의 강유전성을 높일 수 있다.
- [0524] 또한, 도 26의 (A)에 나타난 구성에서는, 트랜지스터(300)의 저저항 영역(314a)과 용량 소자(100)의 도전체

(110)를 도전체(357)로 직접 접속하였지만, 본 발명은 이에 한정되는 것이 아니다. 용량 소자(100)와 트랜지스터(300) 사이에 도 19 등에 나타낸 복수의 배선층이 제공되어도 좋다. 예를 들어, 도 26의 (B)에 나타낸 바와 같이, 트랜지스터(300) 위에 도전체(328)를 형성하고, 도전체(328) 위에 도전체(330)를 형성하고, 도전체(330) 위에 도전체(356)를 형성하고, 도전체(356) 위에 도전체(357)를 형성하여도 좋다. 트랜지스터(300)의 저저항 영역(314a)과 용량 소자(100)의 도전체(110)는 도전체(328), 도전체(330), 도전체(356), 및 도전체(357)를 통하여 전기적으로 접속된다. 또한, 도전체(328), 도전체(330), 도전체(356), 및 이들을 포함하는 배선층에 대해서는 [기억 장치의 구성예]의 기재를 참조할 수 있다.

[0525] <트랜지스터의 변형예>

[0526] 도 19 등에서는 트랜지스터(200)가 강유전성을 가질 수 있는 재료를 포함하는 용량 소자(100)와 접속하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 트랜지스터(200) 및 그 주위에 제공되는 절연체로서, 강유전성을 가질 수 있는 재료를 사용하는 구성으로 하여도 좋다. 이와 같은 구성의 트랜지스터를 도 27의 (A) 내지 (C)를 사용하여 설명한다. 또한, 도 27의 (A) 내지 (C)에 나타낸 트랜지스터(200)는, 도 11에 도시된 트랜지스터(200)에서 용량 소자(100) 대신에 도전체(240a), 도전체(240b), 도전체(246a), 도전체(246b), 절연체(241a), 절연체(241b)를 제공한 것이다.

[0527] 도 27의 (A)에 나타낸 트랜지스터(200)에는 절연체(222) 대신에 절연체(130a)를 사용하고 있다. 절연체(130a)에는 절연체(130)와 같은 강유전성을 가질 수 있는 재료를 사용할 수 있다. 즉, 도 27의 (A)에 나타낸 트랜지스터(200)에는 제 2 게이트 절연체에 강유전성을 가질 수 있는 재료를 사용하고 있다.

[0528] 도 27의 (B)에 나타낸 트랜지스터(200)에는 절연체(252), 절연체(250), 및 절연체(254) 대신에 절연체(130b)를 사용하고 있다. 절연체(130b)에는 절연체(130)와 같은 강유전성을 가질 수 있는 재료를 사용할 수 있다. 즉, 도 27의 (B)에 나타낸 트랜지스터(200)에는 제 1 게이트 절연체에 강유전성을 가질 수 있는 재료를 사용하였다. 이와 같은 구성으로 함으로써, 도 27의 (B)에 나타낸 트랜지스터(200)는 도 1의 (B1)에 나타낸 FeFET로서 기능시킬 수 있다. 또한, 도 27의 (B)에서는 제 1 게이트 절연체를 모두 강유전성 재료로 하였지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도 12의 (B)에 나타낸 절연체(252), 절연체(250a), 절연체(250b), 및 절연체(254) 중 하나 또는 복수에 강유전성을 가질 수 있는 재료를 사용하는 구성으로 하여도 좋다.

[0529] 도 27의 (C)에 나타낸 트랜지스터(200)에서는 도전체(260) 위에 절연체(130c)가 제공되고, 절연체(130c) 위에 도전체(262)가 제공된다. 절연체(130c)에는 절연체(130)와 같은 강유전성을 가질 수 있는 재료를 사용할 수 있다. 또한, 도전체(262)에는 도전체(260)에 사용할 수 있는 도전성 재료를 사용할 수 있다. 절연체(130c) 및 도전체(262)를 덮어 절연체(282)가 제공된다. 도 27의 (C)에 나타낸 반도체 장치는 트랜지스터(200)의 게이트 전극에 강유전 커패시터의 한쪽의 단자가 제공되어 있다고 간주할 수도 있다.

[0530] 또한, 상기에서는 트랜지스터(200)의 예를 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도 26에 도시된 트랜지스터(300)에서도, 도 27의 (A) 내지 (C)에 나타낸 트랜지스터(200)와 마찬가지로, 강유전성을 가질 수 있는 재료를 사용할 수 있다. 예를 들어, 트랜지스터(300)의 기판(311)에 실리콘 기판을 사용함으로써, Si 트랜지스터를 FeFET로서 기능시킬 수 있다.

[0531] 본 실시형태에 나타낸 구성, 방법 등은 적어도 그 일부를, 본 명세서 중에 기재하는 다른 실시형태, 다른 실시예 등과 적절히 조합하여 실시할 수 있다.

[0532] (실시형태 4)

[0533] 본 실시형태에서는, 도 28의 (A) 및 (B)를 사용하여 본 발명의 일 형태에 따른 산화물을 반도체에 사용한 트랜지스터(이하, OS 트랜지스터라고 부르는 경우가 있음), 및 강유전 커패시터가 적용되어 있는 기억 장치에 대하여 설명한다. 본 실시형태에 따른 장치는 적어도 용량 소자와 용량 소자의 충방전을 제어하는 OS 트랜지스터를 가지는 기억 장치이다. 본 실시형태에 따른 장치는 강유전 커패시터를 사용한 1 트랜지스터 1 커패시터형 강유전체 메모리로서 기능한다.

[0534] <기억 장치의 구성예>

[0535] 도 28의 (A)에 기억 장치의 구성의 일례를 나타내었다. 기억 장치(1400)는 주변 회로(1411) 및 메모리 셀 어레이(1470)를 가진다. 주변 회로(1411)는 행 회로(1420), 열 회로(1430), 출력 회로(1440), 및 컨트롤 로직 회로(1460)를 가진다.

[0536] 열 회로(1430)는, 예를 들어 열 디코더, 비트선 드라이버 회로, 프리차지 회로, 감지 증폭기, 기록 회로 등을

가진다. 프리차지 회로는 배선을 프리차지하는 기능을 가진다. 감지 증폭기는 메모리 셀로부터 판독된 데이터 신호를 증폭하는 기능을 가진다. 또한 상기 배선은 메모리 셀 어레이(1470)가 가지는 메모리 셀에 접속되는 배선이고, 자세한 내용은 후술한다. 증폭된 데이터 신호는 출력 회로(1440)를 통하여 데이터 신호(RDATA)로서 기억 장치(1400)의 외부에 출력된다. 또한 행 회로(1420)는 예를 들어 행 디코더, 워드선 드라이버 회로 등을 가지고, 액세스하는 행을 선택할 수 있다.

[0537] 기억 장치(1400)에는 외부로부터 전원 전압으로서 저전원 전압(VSS), 주변 회로(1411)용 고전원 전압(VDD), 메모리 셀 어레이(1470)용 고전원 전압(VIL)이 공급된다. 또한 기억 장치(1400)에는 제어 신호(CE, WE, RE), 어드레스 신호(ADDR), 데이터 신호(WDATA)가 외부로부터 입력된다. 어드레스 신호(ADDR)는 행 디코더 및 열 디코더에 입력되고, 데이터 신호(WDATA)는 기록 회로에 입력된다.

[0538] 컨트롤 로직 회로(1460)는 외부로부터 입력되는 제어 신호(CE, WE, RE)를 처리하고, 행 디코더, 열 디코더의 제어 신호를 생성한다. 제어 신호(CE)는 칩 인에이블 신호이고, 제어 신호(WE)는 기록 인에이블 신호이고, 제어 신호(RE)는 판독 인에이블 신호이다. 컨트롤 로직 회로(1460)가 처리하는 신호는 이들에 한정되지 않고, 필요에 따라 다른 제어 신호를 입력하면 좋다.

[0539] 메모리 셀 어레이(1470)는 매트릭스상으로 배치된 복수의 메모리 셀(MC)과 복수의 배선을 가진다. 또한 메모리 셀 어레이(1470)와 행 회로(1420)를 접속하는 배선의 수는 메모리 셀(MC)의 구성, 1열에 포함되는 메모리 셀(MC)의 개수 등에 따라 결정된다. 또한 메모리 셀 어레이(1470)와 열 회로(1430)를 접속하는 배선의 수는 메모리 셀(MC)의 구성, 1행에 포함되는 메모리 셀(MC)의 개수 등에 따라 결정된다.

[0540] 또한 도 28의 (A)에서는 주변 회로(1411)와 메모리 셀 어레이(1470)를 동일 평면상에 형성하는 예를 나타내었지만, 본 실시형태는 이에 한정되지 않는다. 예를 들어 도 28의 (B)에 나타낸 바와 같이, 주변 회로(1411)의 일부 위에 증첩되도록 메모리 셀 어레이(1470)가 제공되어도 좋다. 예를 들어 메모리 셀 어레이(1470) 아래에 증첩되도록 감지 증폭기를 제공하는 구성으로 하여도 좋다.

[0541] 또한 본 실시형태에서 설명한 주변 회로(1411), 메모리 셀 어레이(1470) 등의 구성은 상기에 한정되지 않는다. 이들 회로 및 상기 회로에 접속되는 배선, 회로 소자 등의 배치 또는 기능은 필요에 따라 변경, 삭제, 또는 추가되어도 좋다. 본 발명의 일 형태의 기억 장치는 동작 속도가 빠르고, 장기간에 걸쳐 데이터를 유지할 수 있다.

[0542] <메모리 셀의 구성예>

[0543] 상술한 메모리 셀(MC)의 구성예를 도 29의 (A)에 나타낸 회로도에 나타내었다. 메모리 셀(MC)은 트랜지스터(Tr)와 용량 소자(Fe)를 가진다. 여기서, 메모리 셀(MC)로서 앞의 실시형태에서 설명한 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치 등을 사용할 수 있다. 이 경우, 트랜지스터(Tr)는 트랜지스터(200)에 대응하고, 용량 소자(Fe)는 용량 소자(100)에 대응한다. 또한, 트랜지스터(Tr)는 게이트 외에 백 게이트를 가져도 좋고, 가지지 않아도 된다. 또한, 도 29의 (A)에서는 트랜지스터(Tr)를 n채널형 트랜지스터로 하였지만, p채널형 트랜지스터로 하여도 좋다.

[0544] 트랜지스터(Tr)의 소스 및 드레인 중 한쪽은 배선(BL)에 전기적으로 접속된다. 트랜지스터(Tr)의 소스 및 드레인 중 다른 쪽은 용량 소자(Fe)의 한쪽의 전극에 전기적으로 접속된다. 트랜지스터(Tr)의 게이트는 배선(WL)에 전기적으로 접속된다. 용량 소자(Fe)의 다른 쪽의 전극은 배선(PL)에 전기적으로 접속된다.

[0545] 배선(WL)은 워드선으로서의 기능을 가지고, 배선(WL)의 전위를 제어함으로써, 트랜지스터(Tr)의 온 오프를 제어할 수 있다. 예를 들어, 배선(WL)의 전위를 고전위로 함으로써 트랜지스터(Tr)를 온 상태로 하고, 배선(WL)의 전위를 저전위로 함으로써 트랜지스터(Tr)를 오프 상태로 할 수 있다. 배선(WL)은 행 회로(1420)가 가지는 워드선 드라이버 회로에 전기적으로 접속되고, 워드선 드라이버 회로에 의하여 배선(WL)의 전위를 제어할 수 있다.

[0546] 배선(BL)은 비트선으로서의 기능을 가지고, 트랜지스터(Tr)가 온 상태인 경우에 배선(BL)의 전위에 대응하는 전위가 용량 소자(Fe)의 한쪽의 전극에 공급된다. 배선(BL)은 열 회로(1430)의 비트선 드라이버 회로에 전기적으로 접속된다. 비트선 드라이버 회로는 메모리 셀(MC)에 기록될 데이터를 생성하는 기능을 가진다. 또한, 비트선 드라이버 회로는 메모리 셀(MC)로부터 출력된 데이터를 판독하는 기능을 가진다. 구체적으로는, 비트선 드라이버 회로에는 감지 증폭기가 제공되고, 메모리 셀(MC)로부터 출력된 데이터를 감지 증폭기를 사용하여 판독할 수 있다.

- [0547] 배선(PL)은 플레이트선으로서의 기능을 가지고, 배선(PL)의 전위를 용량 소자(Fe)의 다른 쪽 전극의 전위로 할 수 있다.
- [0548] 트랜지스터(Tr)로서 OS 트랜지스터를 적용하는 것이 바람직하다. OS 트랜지스터는 고내압 특성을 가진다. 따라서, 트랜지스터(Tr)를 OS 트랜지스터로 함으로써, 트랜지스터(Tr)를 미세화하여도 트랜지스터(Tr)에 고전압을 인가할 수 있다. 트랜지스터(Tr)를 미세화함으로써, 메모리 셀(MC)의 점유 면적을 작게 할 수 있다. 예를 들어, 도 29의 (A)에 나타난 메모리 셀(MC)의 하나당 점유 면적은 SRAM 셀의 하나당 점유 면적의 1/3 내지 1/6로 할 수 있다. 따라서, 메모리 셀(MC)을 고밀도로 배치할 수 있다. 이로써, 본 발명의 일 형태에 따른 기억 장치의 기억 용량이 큰 기억 장치로 할 수 있다.
- [0549] 용량 소자(Fe)는 2개의 전극 사이에 유전체층으로서 강유전성을 가질 수 있는 재료를 가진다. 이하에서는, 용량 소자(Fe)가 가지는 유전체층을 강유전체층이라고 부른다.
- [0550] 강유전성을 가질 수 있는 재료로서는 상술한 절연체(130)에 사용할 수 있는 재료를 사용하면 좋다. 이 중에서도 강유전성을 가질 수 있는 재료로서, 산화 하프늄, 또는 산화 하프늄 및 산화 지르코늄을 포함하는 재료는 수 nm 정도의 박막으로 가공하여도 강유전성을 가질 수 있기 때문에 바람직하다. 박막화할 수 있는 강유전체층으로 함으로써, 미세화된 트랜지스터와 조합된 기억 장치로 할 수 있다.
- [0551] 강유전체층은 히스테리시스 특성을 가진다. 도 29의 (B1)은 상기 히스테리시스 특성의 일례를 나타낸 그래프이다. 도 29의 (B1)에서 가로축은 강유전체층에 인가하는 전압을 나타낸다. 상기 전압은, 예를 들어 용량 소자(Fe)의 한쪽의 전극의 전위와 용량 소자(Fe)의 다른 쪽의 전극의 전위의 차로 할 수 있다.
- [0552] 또한, 도 29의 (B1)에서 세로축은 강유전체층의 분극량을 나타내고, 양의 값인 경우에는 음의 전하가 용량 소자(Fe)의 한쪽의 전극 측으로 치우치고, 양의 전하가 용량 소자(Fe)의 다른 쪽의 전극 측으로 치우치는 것을 나타낸다. 한편, 분극량이 음의 값인 경우에는 음의 전하가 용량 소자(Fe)의 다른 쪽의 전극 측으로 치우치고, 양의 전하가 용량 소자(Fe)의 한쪽의 전극 측으로 치우치는 것을 나타낸다.
- [0553] 또한, 도 29의 (B1)의 그래프의 가로축에 나타난 전압을 용량 소자(Fe)의 다른 쪽의 전극의 전위와 용량 소자(Fe)의 한쪽의 전극의 전위의 차로 하여도 좋다. 또한, 도 29의 (B1)의 그래프의 세로축에 나타난 분극량(또는 분극이라고도 함)을, 음의 전하가 용량 소자(Fe)의 다른 쪽의 전극 측으로 치우치고, 양의 전하가 용량 소자(Fe)의 한쪽의 전극 측으로 치우치는 경우에 양의 값으로 하고, 음의 전하가 용량 소자(Fe)의 한쪽의 전극 측으로 치우치고, 양의 전하가 용량 소자(Fe)의 다른 쪽의 전극 측으로 치우치는 경우에 음의 값으로 하여도 좋다.
- [0554] 도 29의 (B1)에 나타난 바와 같이, 강유전체층의 히스테리시스 특성은 곡선(51)과 곡선(52)으로 나타낼 수 있다. 곡선(51)과 곡선(52)의 교차점에서의 전압을 VSP 및 -VSP로 한다. VSP와 -VSP는 극성이 상이하다고 할 수 있다.
- [0555] 강유전체층에 -VSP 이하의 전압을 인가한 후에, 강유전체층에 인가하는 전압을 높이면, 강유전체층의 분극량은 곡선(51)을 따라 증가한다. 한편, 강유전체층에 VSP 이상의 전압을 인가한 후에, 강유전체층에 인가하는 전압을 낮추면, 강유전체층의 분극량은 곡선(52)을 따라 감소된다. 따라서, VSP 및 -VSP는 포화 분극 전압이라고 할 수 있다. 또한 예를 들어 VSP를 제 1 포화 분극 전압이라고 부르고, -VSP를 제 2 포화 분극 전압이라고 부르는 경우가 있다. 또한, 도 29의 (B1)에서는 제 1 포화 분극 전압의 절댓값과 제 2 포화 분극 전압의 절댓값이 동등한 것으로 하였지만, 상이하여도 좋다.
- [0556] 여기서, 강유전체층의 분극량이 곡선(51)을 따라 변화될 때, 강유전체층의 분극량이 0인 경우에 강유전체층에 인가되는 전압을  $V_c$ 로 한다. 또한, 강유전체층의 분극량이 곡선(52)을 따라 변화될 때 강유전체층의 분극량이 0인 경우에 강유전체층에 인가되는 전압을  $-V_c$ 로 한다.  $V_c$  및  $-V_c$ 는 보자 전압이라고 할 수 있다.  $V_c$ 의 값 및  $-V_c$ 의 값은 -VSP와 VSP 사이의 값이라고 할 수 있다. 또한 예를 들어  $V_c$ 를 제 1 보자 전압이라고 부르고,  $-V_c$ 를 제 2 보자 전압이라고 부르는 경우가 있다. 또한, 도 29의 (B1)에서는 제 1 보자 전압의 절댓값과 제 2 보자 전압의 절댓값이 동등한 것으로 하였지만 상이하여도 좋다.
- [0557] 상술한 바와 같이, 용량 소자(Fe)가 가지는 강유전체층에 인가되는 전압은 용량 소자(Fe)의 한쪽의 전극의 전위와 용량 소자(Fe)의 다른 쪽의 전극의 전위의 차에 의하여 나타낼 수 있다. 또한, 상술한 바와 같이, 용량 소자(Fe)의 다른 쪽의 전극은 배선(PL)에 전기적으로 접속된다. 따라서, 배선(PL)의 전위를 제어함으로써, 용량 소자(Fe)가 가지는 강유전체층에 인가되는 전압을 제어할 수 있다. 또한, 도 29의 (B2)는 이상적인 강유전체층의 분극량을 나타내는 히스테리시스 특성의 일례를 나타낸 그래프이다. 도 29의 (B2)에 나타난 직선(52i) 및

직선(51i)은 이상적인 강유전체층의 분극량이다. 도 29의 (B2)에 나타난 히스테리시스 특성을 얻기 위해서는, 강유전체 재료의 결정성을 향상시키거나, 강유전체 재료 및 상기 재료의 근방으로부터의 누설 성분을 없애거나, 및 강유전체 재료의 불순물 농도를 저감시키는 것 등을 수행하면 좋다. 본 발명의 일 형태의 금속 산화물막은 고순도화되어 있기 때문에, 도 29의 (B2)에 나타난 이상적인 강유전체층의 분극량을 나타내는 히스테리시스 특성의 일례에 가까워지는 것이 기대할 수 있다.

[0558] <메모리 셀의 구동 방법의 일례>

[0559] 이하에서는, 도 29의 (A)에 나타난 메모리 셀(MC)의 구동 방법의 일례를 설명한다. 이하의 설명에 있어서, 용량 소자(Fe)의 강유전체층에 인가되는 전압이란, 용량 소자(Fe)의 한쪽의 전극의 전위와 용량 소자(Fe)의 다른 쪽의 전극(배선(PL))의 전위의 차를 나타낸 것으로 한다. 또한, 트랜지스터(Tr)는 n채널형 트랜지스터로 한다.

[0560] 도 29의 (C)는 도 29의 (A)에 나타난 메모리 셀(MC)의 구동 방법의 일례를 나타낸 타이밍 차트이다. 도 29의 (C)에서는, 메모리 셀(MC)에 2레벨의 디지털 데이터를 기록하고 판독하는 예를 나타내었다. 구체적으로는, 도 29의 (C)에서는 시각 T01 내지 시각 T02에 있어서 메모리 셀(MC)에 데이터 "1"을 기록하고, 시각 T03 내지 시각 T05에 있어서 판독 및 재기록을 수행하고, 시각 T11 내지 시각 T13에 있어서 판독 및 메모리 셀(MC)에 대한 데이터 "0"의 기록을 수행하고, 시각 T14 내지 시각 T16에 있어서 판독 및 재기록을 수행하고, 시각 T17 내지 시각 T19에 있어서 판독 및 메모리 셀(MC)에 대한 데이터 "1"의 기록을 수행하는 예를 나타내었다.

[0561] 배선(BL)에 전기적으로 접속되는 감지 증폭기에는, 기준 전위로서  $V_{ref}$ 가 공급되는 것으로 한다. 도 29의 (C) 등에 나타난 판독 동작에 있어서, 배선(BL)의 전위가  $V_{ref}$ 보다 높은 경우에는 비트선 드라이버 회로에 의하여 데이터 "1"이 판독되는 것으로 한다. 한편, 배선(BL)의 전위가  $V_{ref}$ 보다 낮은 경우에는 비트선 드라이버 회로에 의하여 데이터 "0"이 판독되는 것으로 한다.

[0562] 시각 T01 내지 시각 T02에 있어서, 배선(WL)의 전위를 고전위로 한다. 이로써, 트랜지스터(Tr)가 온 상태가 된다. 또한, 배선(BL)의 전위를  $V_w$ 로 한다. 트랜지스터(Tr)는 온 상태이기 때문에 용량 소자(Fe)의 한쪽의 전극의 전위는  $V_w$ 가 된다. 또한, 배선(PL)의 전위를 GND로 한다. 이상에서, 용량 소자(Fe)의 강유전체층에 인가되는 전압은 " $V_w$ -GND"가 된다. 이로써, 메모리 셀(MC)에 데이터 "1"을 기록할 수 있다. 따라서, 시각 T01 내지 시각 T02는 기록 동작을 수행하는 기간이라고 할 수 있다.

[0563] 여기서,  $V_w$ 는 VSP 이상으로 하는 것이 바람직하고, 예를 들어 VSP와 동등하게 하는 것이 바람직하다. 또한, GND는, 예를 들어 접지 전위로 할 수 있지만, 메모리 셀(MC)을 본 발명의 일 형태의 취지를 충족하도록 구동시킬 수 있으면 반드시 접지 전위로 하지 않아도 된다. 예를 들어, 제 1 포화 분극 전압의 절댓값과 제 2 포화 분극 전압의 절댓값이 상이하고, 제 1 보자 전압의 절댓값과 제 2 보자 전압의 절댓값이 상이한 경우에는, GND는 접지 이외의 전위로 할 수 있다.

[0564] 시각 T02 내지 시각 T03에 있어서, 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한다. 이로써, 용량 소자(Fe)의 강유전체층에 인가되는 전압은 0V가 된다. 시각 T01 내지 시각 T02에 있어서 용량 소자(Fe)의 강유전체층에 인가되는 전압 " $V_w$ -GND"는 VSP 이상으로 할 수 있으므로, 시각 T02 내지 시각 T03에 있어서 용량 소자(Fe)의 강유전체층의 분극량은 도 29의 (B)에 나타난 곡선(52)을 따라 변화된다. 이상에서, 시각 T02 내지 시각 T03에 있어서, 용량 소자(Fe)의 강유전체층에서 분극 반전은 발생하지 않는다.

[0565] 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한 후, 배선(WL)의 전위를 저전위로 한다. 이로써, 트랜지스터(Tr)가 오프 상태가 된다. 이로써 기록 동작이 완료되고, 메모리 셀(MC)에 데이터 "1"이 유지된다. 또한, 배선(BL) 및 배선(PL)의 전위는 용량 소자(Fe)의 강유전체층에서 분극 반전이 발생되지 않는 경우, 즉 용량 소자(Fe)의 강유전체층에 인가되는 전압이 제 2 보자 전압인  $-V_c$  이상이 되기만 하면 임의의 전위로 할 수 있다.

[0566] 시각 T03 내지 시각 T04에 있어서, 배선(WL)의 전위를 고전위로 한다. 이로써, 트랜지스터(Tr)가 온 상태가 된다. 또한, 배선(PL)의 전위를  $V_w$ 로 한다. 배선(PL)의 전위를  $V_w$ 로 함으로써, 용량 소자(Fe)의 강유전체층에 인가되는 전압이 " $GND$ - $V_w$ "가 된다. 상술한 바와 같이, 시각 T01 내지 시각 T02에 있어서 용량 소자(Fe)의 강유전체층에 인가되는 전압은 " $V_w$ -GND"이다. 따라서, 용량 소자(Fe)의 강유전체층에서 분극 반전이 발생한다. 분극 반전 시, 배선(BL)에 전류가 흐르고, 배선(BL)의 전위는  $V_{ref}$ 보다 높아진다. 따라서, 비트선 드라이버 회로가 메모리 셀(MC)에 유지된 데이터 "1"을 판독할 수 있다. 따라서, 시각 T03 내지 시각 T04는 판독 동작을 수행하는 기간이라고 할 수 있다. 또한,  $V_{ref}$ 는 GND보다 높고,  $V_w$ 보다 낮은 것으로 하였지만, 예를 들어  $V_w$ 보다 높아도 좋다.

[0567] 상기 판독은 파괴 판독이기 때문에 메모리 셀(MC)에 유지된 데이터 "1"은 상실된다. 그러므로, 시각 T04 내지

시각 T05에 있어서, 배선(BL)의 전위를  $V_w$ 로 하고, 배선(PL)의 전위를 GND로 한다. 이로써, 메모리 셀(MC)에 데이터 "1"을 재기록한다. 따라서, 시각 T04 내지 시각 T05는 재기록 동작을 수행하는 기간이라고 할 수 있다.

[0568] 시각 T05 내지 시각 T11에 있어서, 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한다. 그 후, 배선(WL)의 전위를 저전위로 한다. 이로써 재기록 동작이 완료되고, 메모리 셀(MC)에 데이터 "1"이 유지된다.

[0569] 시각 T11 내지 시각 T12에 있어서, 배선(WL)의 전위를 고전위로 하고, 배선(PL)의 전위를  $V_w$ 로 한다. 메모리 셀(MC)에는 데이터 "1"이 유지되어 있기 때문에, 배선(BL)의 전위가  $V_{ref}$ 보다 높아지고, 메모리 셀(MC)에 유지되어 있는 데이터 "1"이 판독된다. 따라서, 시각 T11 내지 시각 T12는 판독 동작을 수행하는 기간이라고 할 수 있다.

[0570] 시각 T12 내지 시각 T13에 있어서, 배선(BL)의 전위를 GND로 한다. 트랜지스터(Tr)는 온 상태이기 때문에 용량 소자(Fe)의 한쪽의 전극의 전위는 GND가 된다. 또한, 배선(PL)의 전위를  $V_w$ 로 한다. 이상에서, 용량 소자(Fe)의 강유전체층에 인가되는 전압은 "GND- $V_w$ "가 된다. 이로써, 메모리 셀(MC)에 데이터 "0"을 기록할 수 있다. 따라서, 시각 T12 내지 시각 T13은 기록 동작을 수행하는 기간이라고 할 수 있다.

[0571] 시각 T13 내지 시각 T14에 있어서, 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한다. 이로써, 용량 소자(Fe)의 강유전체층에 인가되는 전압은 0V가 된다. 시각 T12 내지 시각 T13에 있어서 용량 소자(Fe)의 강유전체층에 인가되는 전압 "GND- $V_w$ "는 -VSP 이하로 할 수 있기 때문에, 시각 T13 내지 시각 T14에 있어서 용량 소자(Fe)의 강유전체층의 분극량은 도 29의 (B)에 나타난 곡선(51)을 따라 변화된다. 이상에서, 시각 T13 내지 시각 T14에 있어서, 용량 소자(Fe)의 강유전체층에서 분극 반전은 발생하지 않는다.

[0572] 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한 후, 배선(WL)의 전위를 저전위로 한다. 이로써, 트랜지스터(Tr)가 오프 상태가 된다. 이로써 기록 동작이 완료되고, 메모리 셀(MC)에 데이터 "0"이 유지된다. 또한, 배선(BL) 및 배선(PL)의 전위는 용량 소자(Fe)의 강유전체층에서 분극 반전이 발생하지 않는 경우, 즉 용량 소자(Fe)의 강유전체층에 인가되는 전압이 제 1 보자 전압인  $V_c$  이하가 되기만 하면 임의의 전위로 할 수 있다.

[0573] 시각 T14 내지 시각 T15에 있어서, 배선(WL)의 전위를 고전위로 한다. 이로써, 트랜지스터(Tr)가 온 상태가 된다. 또한, 배선(PL)의 전위를  $V_w$ 로 한다. 배선(PL)의 전위를  $V_w$ 로 함으로써, 용량 소자(Fe)의 강유전체층에 인가되는 전압이 "GND- $V_w$ "가 된다. 상술한 바와 같이, 시각 T12 내지 시각 T13에 있어서 용량 소자(Fe)의 강유전체층에 인가되는 전압은 "GND- $V_w$ "이다. 따라서, 용량 소자(Fe)의 강유전체층에서 분극 반전이 발생하지 않는다. 따라서, 배선(BL)에 흐르는 전류의 양은 용량 소자(Fe)의 강유전체층에서 분극 반전이 발생하는 경우보다 작다. 이로써, 배선(BL)의 전위의 상승폭은 용량 소자(Fe)의 강유전체층에서 분극 반전이 발생하는 경우보다 작아지고, 구체적으로는 배선(BL)의 전위는  $V_{ref}$  이하가 된다. 따라서, 비트선 드라이버 회로가 메모리 셀(MC)에 유지된 데이터 "0"을 판독할 수 있다. 따라서, 시각 T14 내지 시각 T15는 판독 동작을 수행하는 기간이라고 할 수 있다.

[0574] 시각 T15 내지 시각 T16에 있어서, 배선(BL)의 전위를 GND로 하고, 배선(PL)의 전위를  $V_w$ 로 한다. 이로써, 메모리 셀(MC)에 데이터 "0"을 재기록한다. 따라서, 시각 T15 내지 시각 T16은 재기록 동작을 수행하는 기간이라고 할 수 있다.

[0575] 시각 T16 내지 시각 T17에 있어서, 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한다. 그 후, 배선(WL)의 전위를 저전위로 한다. 이로써 재기록 동작이 완료되고, 메모리 셀(MC)에 데이터 "0"이 유지된다.

[0576] 시각 T17 내지 시각 T18에 있어서, 배선(WL)의 전위를 고전위로 하고, 배선(PL)의 전위를  $V_w$ 로 한다. 메모리 셀(MC)에는 데이터 "0"이 유지되어 있기 때문에, 배선(BL)의 전위가  $V_{ref}$ 보다 낮아지고, 메모리 셀(MC)에 유지되어 있는 데이터 "0"이 판독된다. 따라서, 시각 T17 내지 시각 T18은 판독 동작을 수행하는 기간이라고 할 수 있다.

[0577] 시각 T18 내지 시각 T19에 있어서, 배선(BL)의 전위를  $V_w$ 로 한다. 트랜지스터(Tr)는 온 상태이기 때문에 용량 소자(Fe)의 한쪽의 전극의 전위는  $V_w$ 가 된다. 또한, 배선(PL)의 전위를 GND로 한다. 이상에서, 용량 소자(Fe)의 강유전체층에 인가되는 전압은 " $V_w$ -GND"가 된다. 이로써, 메모리 셀(MC)에 데이터 "1"을 기록할 수 있다. 따라서, 시각 T18 내지 시각 T19는 기록 동작을 수행하는 기간이라고 할 수 있다.

[0578] 시각 T19 이후에 있어서, 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한다. 그 후, 배선(WL)의 전위를 저전위로 한다. 이로써 기록 동작이 완료되고, 메모리 셀(MC)에 데이터 "1"이 유지된다.

[0579] 본 실시형태에 나타난 구성, 방법 등은 본 실시형태에 나타난 다른 구성, 방법, 다른 실시형태에 나타난 구성,

방법 등과 적절히 조합하여 사용할 수 있다.

- [0580] (실시형태 5)
- [0581] 본 실시형태에서는, 앞의 실시형태에서 설명한 반도체 장치를 사용한 기억 장치의 응용예에 대하여 설명한다. 앞의 실시형태에서 설명한 반도체 장치는, 예를 들어 각종 전자 기기(예를 들어 정보 단말기, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 카메라(비디오 카메라도 포함함), 녹화 재생 장치, 내비게이션 시스템 등)의 기억 장치에 적용할 수 있다. 또한 여기서 컴퓨터에는 태블릿형 컴퓨터, 노트북형 컴퓨터, 데스크톱형 컴퓨터 뿐만 아니라, 서버 시스템과 같은 대형 컴퓨터도 포함된다. 또는 앞의 실시형태에서 설명한 반도체 장치는 메모리 카드(예를 들어 SD 카드), USB 메모리, SSD(Solid State Drive) 등의 각종 리무버블 기억 장치에 적용된다. 도 30의 (A) 내지 (E)에 리무버블 기억 장치의 몇 가지 구성예를 모식적으로 나타내었다. 예를 들어 앞의 실시형태에서 설명한 반도체 장치는 패키징된 메모리 칩으로 가공되고, 다양한 기억 장치, 리무버블 메모리에 사용된다.
- [0582] 도 30의 (A)는 USB 메모리의 모식도이다. USB 메모리(1100)는 하우징(1101), 캡(1102), USB 커넥터(1103), 및 기관(1104)을 가진다. 기관(1104)은 하우징(1101)에 수납되어 있다. 예를 들어 기관(1104)에는 메모리 칩(1105), 컨트롤러 칩(1106)이 장착되어 있다. 메모리 칩(1105) 등에 앞의 실시형태에서 설명한 반도체 장치를 포함시킬 수 있다. 이로써, USB 메모리(1100)의 기억 용량을 더 크게 할 수 있다.
- [0583] 도 30의 (B)는 SD 카드의 외관 모식도이고, 도 30의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(1110)는 하우징(1111), 커넥터(1112), 및 기관(1113)을 가진다. 기관(1113)은 하우징(1111)에 수납되어 있다. 예를 들어 기관(1113)에는 메모리 칩(1114), 컨트롤러 칩(1115)이 장착되어 있다. 기관(1113)의 뒷면 측에도 메모리 칩(1114)을 제공함으로써, SD 카드(1110)의 용량을 증가시킬 수 있다. 또한 무선 통신 기능을 가지는 무선 칩을 기관(1113)에 제공하여도 좋다. 이로써, 호스트 장치와 SD 카드(1110) 사이의 무선 통신에 의하여 메모리 칩(1114)의 데이터의 판독, 기록이 가능하게 된다. 메모리 칩(1114) 등에 앞의 실시형태에서 설명한 반도체 장치를 포함시킬 수 있다. 이로써, SD 카드(1110)의 기억 용량을 더 크게 할 수 있다.
- [0584] 도 30의 (D)는 SSD의 외관 모식도이고, 도 30의 (E)는 SSD의 내부 구조의 모식도이다. SSD(1150)는 하우징(1151), 커넥터(1152), 및 기관(1153)을 가진다. 기관(1153)은 하우징(1151)에 수납되어 있다. 예를 들어 기관(1153)에는 메모리 칩(1154), 메모리 칩(1155), 컨트롤러 칩(1156)이 장착되어 있다. 메모리 칩(1155)은 컨트롤러 칩(1156)의 작업 메모리이고, 예를 들어 DOSRAM 칩을 사용하면 좋다. 기관(1153)의 뒷면 측에도 메모리 칩(1154)을 제공함으로써, SSD(1150)의 용량을 증가시킬 수 있다. 메모리 칩(1154) 등에 앞의 실시형태에서 설명한 반도체 장치를 포함시킬 수 있다. 이로써, SSD(1150)의 기억 용량을 더 크게 할 수 있다.
- [0585] 본 실시형태에 나타난 구성, 방법 등은 적어도 그 일부를, 본 명세서 중에 기재하는 다른 실시형태, 다른 실시예 등과 적절히 조합하여 실시할 수 있다.
- [0586] (실시형태 6)
- [0587] 본 발명의 일 형태에 따른 반도체 장치는 CPU, GPU 등의 프로세서 또는 칩에 사용할 수 있다. 상기 실시형태에 나타난 반도체 장치를 CPU, GPU 등의 프로세서 또는 칩에 사용함으로써 이들을 소형화하고 기억 용량을 크게 할 수 있다. 도 31의 (A) 내지 (H)에 본 발명의 일 형태에 따른 CPU, GPU 등의 프로세서, 또는 칩을 가지는 전자 기기의 구체적인 예를 나타내었다.
- [0588] <전자 기기 · 시스템>
- [0589] 본 발명의 일 형태에 따른 GPU 또는 칩은 다양한 전자 기기에 탑재할 수 있다. 전자 기기의 예로서는 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 정보 단말기용 등의 모니터, 디지털 사이니지(Digital Signage: 전자 간판), 파친코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 전자책 단말기, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등이 있다. 또한 본 발명의 일 형태에 따른 GPU 또는 칩을 전자 기기에 제공함으로써, 전자 기기에 인공지능을 탑재할 수 있다.
- [0590] 본 발명의 일 형태의 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써, 표시부에서 영상, 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 가지는 경우, 안테나를 비접촉 전력 전송(傳送)에 사용하여도 좋다.
- [0591] 본 발명의 일 형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기,

온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 가지는 것)를 가져도 좋다.

[0592] 본 발명의 일 형태의 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록된 프로그램 또는 데이터를 관독하는 기능 등을 가질 수 있다. 도 31의 (A) 내지 (H)에 전자 기기의 예를 나타내었다.

[0593] [정보 단말기]

[0594] 도 31의 (A)에는 정보 단말기의 1종류인 휴대 전화기(스마트폰)가 도시되어 있다. 정보 단말기(5100)는 하우징(5101)과 표시부(5102)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5102)에 제공되고, 버튼이 하우징(5101)에 제공된다.

[0595] 정보 단말기(5100)는, 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서는, 예를 들어 회화를 인식하고 그 회화 내용을 표시부(5102)에 표시하는 애플리케이션, 표시부(5102)에 제공된 터치 패널에 사용자가 입력한 문자, 도형 등을 인식하고 표시부(5102)에 표시하는 애플리케이션, 지문, 성문 등의 생체 인증을 수행하는 애플리케이션 등이 있다.

[0596] 도 31의 (B)에는 노트북형 정보 단말기(5200)가 도시되어 있다. 노트북형 정보 단말기(5200)는 정보 단말기의 본체(5201)와, 표시부(5202)와, 키보드(5203)를 가진다.

[0597] 노트북형 정보 단말기(5200)는 상술한 정보 단말기(5100)와 마찬가지로, 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서는, 예를 들어 설계 지원 소프트웨어, 문장 첨삭 소프트웨어, 식단 자동 생성 소프트웨어 등이 있다. 또한 노트북형 정보 단말기(5200)를 사용함으로써 신규 인공 지능을 개발할 수 있다.

[0598] 또한, 앞에서는 전자 기기로서 스마트폰 및 노트북형 정보 단말기를 예로서, 각각 도 31의 (A), (B)에 나타내었지만, 스마트폰 및 노트북형 정보 단말기 이외의 정보 단말기를 적용할 수 있다. 스마트폰 및 노트북형 정보 단말기 이외의 정보 단말기로서는 예를 들어 PDA(Personal Digital Assistant), 데스크톱형 정보 단말기, 워크스테이션 등이 있다.

[0599] [게임기]

[0600] 도 31의 (C)는 게임기의 일례인 휴대용 게임기(5300)를 나타낸 것이다. 휴대용 게임기(5300)는 하우징(5301), 하우징(5302), 하우징(5303), 표시부(5304), 접속부(5305), 조작 키(5306) 등을 가진다. 하우징(5302) 및 하우징(5303)은 하우징(5301)에서 떼어낼 수 있다. 하우징(5301)에 제공된 접속부(5305)를 다른 하우징(도시하지 않았음)에 장착함으로써, 표시부(5304)에 출력되는 영상을 다른 영상 기기(도시하지 않았음)에 출력할 수 있다. 이때 하우징(5302) 및 하우징(5303)은 각각 조작부로서 기능할 수 있다. 이에 의하여, 복수의 플레이어가 동시에 게임을 할 수 있다. 하우징(5301), 하우징(5302), 및 하우징(5303)의 기관에 제공된 칩 등에 앞의 실시형태에서 설명한 칩을 포함시킬 수 있다.

[0601] 또한, 도 31의 (D)는 게임기의 일례인 거치형 게임기(5400)를 나타낸 것이다. 거치형 게임기(5400)에는 무선 또는 유선으로 컨트롤러(5402)가 접속된다.

[0602] 휴대용 게임기(5300), 거치형 게임기(5400) 등의 게임기에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 저소비 전력의 게임기를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0603] 또한 휴대용 게임기(5300)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 인공 지능을 가지는 휴대용 게임기(5300)를 실현할 수 있다.

[0604] 원래는 게임의 진행, 게임에 등장하는 생물의 언동, 게임에서 발생하는 현상 등의 표현은 그 게임이 가지는 프로그램에 의하여 정해져 있지만, 휴대용 게임기(5300)에 인공 지능을 적용함으로써, 게임의 프로그램에 의하여 한정되지 않는 표현이 가능하게 된다. 예를 들어 플레이어가 질문하는 내용, 게임의 진행 상황, 시각, 게임에 등장하는 인물의 언동이 변화되는 등의 표현이 가능해진다.

[0605] 또한 휴대용 게임기(5300)로 복수의 플레이어를 필요로 하는 게임을 하는 경우에는, 인공 지능이 의인적으로 게임 플레이어를 구성할 수 있기 때문에, 상대를 인공 지능에 의한 게임 플레이어로 함으로써 혼자서도 게임을 할

수 있다.

- [0606] 도 31의 (C), (D)에서는, 게임기의 일례로서 휴대용 게임기 및 거치형 게임기를 도시하였지만, 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기는 이에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기로서는, 예를 들어 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등이 있다.
- [0607] [대형 컴퓨터]
- [0608] 본 발명의 일 형태의 GPU 또는 칩은 대형 컴퓨터에 적용될 수 있다.
- [0609] 도 31의 (E)는 대형 컴퓨터의 일례인 슈퍼컴퓨터(5500)를 나타낸 도면이다. 도 31의 (F)는 슈퍼컴퓨터(5500)가 가지는 랙 마운트형 계산기(5502)를 나타낸 도면이다.
- [0610] 슈퍼컴퓨터(5500)는 랙(5501)과, 복수의 랙 마운트형 계산기(5502)를 가진다. 또한 복수의 계산기(5502)는 랙(5501)에 수용되어 있다. 또한 계산기(5502)에는 복수의 기관(5504)이 제공되고, 상기 기관 위에 앞의 실시형태에서 설명한 GPU 또는 칩을 탑재할 수 있다.
- [0611] 슈퍼컴퓨터(5500)는 주로 과학 기술 계산에 이용되는 대형 컴퓨터이다. 과학 기술 계산에서는 방대한 연산을 고속으로 처리할 필요가 있기 때문에, 소비 전력이 높고 칩의 발열이 크다. 슈퍼컴퓨터(5500)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 저소비 전력의 슈퍼컴퓨터를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.
- [0612] 도 31의 (E), (F)에서는, 대형 컴퓨터의 일례로서 슈퍼컴퓨터를 도시하였지만, 본 발명의 일 형태의 GPU 또는 칩을 적용하는 대형 컴퓨터는 이에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩이 적용되는 대형 컴퓨터로서는, 예를 들어 서비스를 제공하는 컴퓨터(서버), 대형 범용 컴퓨터(메인 프레임) 등이 있다.
- [0613] [이동체]
- [0614] 본 발명의 일 형태의 GPU 또는 칩은 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.
- [0615] 도 31의 (G)는 이동체의 일례인 자동차의 실내에서의 앞유리 주변을 나타낸 도면이다. 도 31의 (G)에서는 대시보드에 제공된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 외에, 필러에 제공된 표시 패널(5704)을 나타내었다.
- [0616] 표시 패널(5701) 내지 표시 패널(5703)은, 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시함으로써, 다양한 정보를 제공할 수 있다. 또한 표시 패널에 표시되는 표시 항목, 레이아웃 등은 사용자의 취향에 따라 적절히 변경할 수 있기 때문에, 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.
- [0617] 표시 패널(5704)에는 자동차에 제공된 활상 장치(도시하지 않았음)로부터의 영상을 표시함으로써, 필러로 가려진 시야(사각(死角))를 보완할 수 있다. 즉, 자동차의 외측에 제공된 활상 장치로부터의 화상을 표시함으로써, 사각을 보완하여 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써, 더 자연스럽게 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.
- [0618] 본 발명의 일 형태의 GPU 또는 칩은 인공 지능의 구성 요소로서 적용할 수 있기 때문에, 예를 들어 상기 칩을 자동차의 자율 주행 시스템에 사용할 수 있다. 또한 상기 칩을 도로 안내, 위험 예측 등을 하는 시스템에 사용할 수 있다. 표시 패널(5701) 내지 표시 패널(5704)은 도로 안내, 위험 예측 등의 정보를 표시하는 구성으로 하여도 좋다.
- [0619] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등도 있고, 이들 이동체에 본 발명의 일 형태의 칩을 적용하여 인공 지능을 이용한 시스템을 부여할 수 있다.
- [0620] [전자 제품]
- [0621] 도 31의 (H)는 전자 제품의 일례인 전기 냉동 냉장고(5800)를 나타낸 것이다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 문(5802), 냉동실용 문(5803) 등을 가진다.
- [0622] 전기 냉동 냉장고(5800)에 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 가지는 전기 냉동 냉장고

(5800)를 실현할 수 있다. 인공 지능을 이용함으로써, 전기 냉동 냉장고(5800)는 전기 냉동 냉장고(5800)에 보관되어 있는 식재료, 그 식재료의 소비 기한 등을 바탕으로 식단을 자동 생성하는 기능, 전기 냉동 냉장고(5800)에 보관되어 있는 식재료에 적합한 온도로 자동으로 조절하는 기능 등을 가질 수 있다.

- [0623] 전자 제품의 일례로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는 예를 들어 청소기, 전자 레인지, 전자 오븐, 밥솥, 운수기, IH 조리기, 생수기, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 시청각 기기 등이 있다.
- [0624] 본 실시형태에서 설명한 전자 기기, 그 전자 기기의 기능, 인공 지능의 응용예, 그 효과 등은 다른 전자 기기에 관한 기재와 적절히 조합할 수 있다.
- [0625] 본 실시형태에 나타낸 구성, 방법 등은 적어도 그 일부를, 본 명세서 중에 기재하는 다른 실시형태, 다른 실시예 등과 적절히 조합하여 실시할 수 있다.
- [0626] (실시예 1)
- [0627] 본 실시예에서는, 강유전성을 나타내는 절연체로서 산화 하프늄 지르코늄(HfZrOx)을 제작하고, 그 절연체의 전압-분극 특성 및 피로 특성 등의 측정 결과에 대하여 설명한다.
- [0628] <시료 구조>
- [0629] 도 32의 (A)는 평가에 사용한 시료(800)의 외관을 나타낸 광학식 현미경 사진이다. 도 32의 (B)에 시료(800)의 단면 개략도를 나타내었다.
- [0630] 시료(800)는 기판(801)으로서 단결정 실리콘을 사용하여 형성하였다. 구체적으로는, 기판(801) 위에 절연체(802)로서 두께 100nm의 열 산화막을 형성하고, 절연체(802) 위에 하부 전극으로서 기능하는 도전체(803)(도전체(803a) 및 도전체(803b))를 형성하고, 도전체(803) 위에 절연체(804)를 형성하고, 절연체(804) 위에 상부 전극으로서 기능하는 도전체(805)(도전체(805a) 및 도전체(805b))를 형성하였다.
- [0631] 또한, 도전체(803), 절연체(804), 및 도전체(805) 위에 절연체(806)를 형성하였다. 또한, 도전체(803)에 전기적으로 접속되는 도전체(807)와, 도전체(805)에 전기적으로 접속되는 도전체(808)를 절연체(806) 위에 형성하였다. 도전체(807)와 도전체(808)는 측정 신호가 입력되는 전극으로서 기능한다.
- [0632] 또한, 도전체(803), 도전체(805), 도전체(807), 및 도전체(808)의 형성, 절연체(806) 및 절연체(804)에 제공되는 콘택트 홀의 형성 등은 기지의 포토리소그래피법 및 에칭법을 사용하여 수행하였다.
- [0633] 시료(800)로서, 상부 전극으로서 기능하는 도전체(805)의 형성 조건 및 상부 전극 형성 후의 열처리 조건이 상이한 3개의 시료(시료(800A), 시료(800B), 및 시료(800C))를 제작하였다.
- [0634] 표 1에 시료(800A), 시료(800B), 및 시료(800C)의 각각이 가지는 도전체(803a), 도전체(803b), 절연체(804), 도전체(805a), 및 도전체(805b)의 성막 조건을 나타낸다.
- [0635] 또한, 표 1에는 기재하지 않았지만, 절연체(806)로서 두께 200nm의 산화질화 실리콘을 PECVD법으로 성막하였다. 또한, 도전체(807) 및 도전체(808)로서, 두께 50nm의 Ti, 두께 200nm의 Al, 및 두께 50nm의 Ti의 3층 적층막을 스퍼터링(SP)법으로 성막하였다.
- [0636] 시료(800A) 및 시료(800B)는 도전체(805a)를 스퍼터링법으로 성막하고, 시료(800C)는 도전체(805a)를 메탈 CVD(MCVD)법으로 성막하였다. 또한, 시료(800B)는 시료 제작 후에 RTA법으로 열처리를 수행하였다. 표 1에 상기 열처리 조건도 나타낸다.

[0637] [표 1]

시료명	800A	800B	800C
시료 제작 후의 열 처리 조건	없음	열 처리 방법: RTA 열 처리 온도: 500°C 가열 분위기: 질소 가열 시간: 60sec	없음
805b	성막 방법: SP법, 조성: W, 두께: 20nm 성막 온도: 130°C		성막 방법: SP법 조성: W, 두께: 20nm 성막 온도: 130°C
805a	성막 방법: SP법, 조성: TiNx, 두께: 10nm 성막 온도: 실온(가열하지 않음)		성막 방법: MCVD법 조성: TiNx, 두께: 10nm 성막 온도: 400°C
804	성막 방법: ALD법, 조성: HfZrOx, 두께: 10nm 전구체: 염화물계 전구체, 산화제: H <sub>2</sub> O, 성막 온도: 300°C		
803b	성막 방법: MCVD법, 조성: TiNx, 두께: 10nm 성막 온도: 400°C		
803a	성막 방법: SP법, 조성: W, 두께: 30nm 성막 온도: 130°C		

[0638]  
[0639] <측정 · 분석>

[0640] 도전체(807)와 도전체(803) 사이에 전압 진폭 3V, 주파수 100Hz의 삼각파를 인가하고, 절연체(804)의 자발적 분극의 변화(P-E 특성)를 측정하였다. 도 32의 (C)에 입력 전압 파형을 나타내었다. 또한, 시료(800A), 시료(800B), 및 시료(800C) 각각의 절연체(804)에 대응하는 HfZrOx막에 대하여, XRD 분석법의 1종류인 사인사 X선 회절법(GIXD: Grazing Incident X-ray Diffraction)을 사용하여 결정 상태를 조사하였다.

[0641] 여기서, 삼각파를 사용한 P-E 특성의 취득 방법에 대하여 설명한다. 우선, 측정하는 시료(용량 소자)의 2개의 전극 사이에 삼각파인 입력 전압 V를 인가하고(도 33의 (A)), 상기 전극 사이에 흐르는 전류(출력 전류 I)를 측정한다(도 33의 (B)). 또한, 도 33의 (A) 및 (B)의 가로축은 경과 시간 t이다. 다음으로, 입력 전압 V와 출력 전류 I의 관계를 나타내는 I-V 특성을 산출한다(도 33의 (C)).

[0642] 다음으로, 수학적식(1)을 사용하여 출력 전류 I를 분극 P로 변환함으로써, P-E 특성을 취득한다(도 33의 (D)).

[0643] [수학적식 1]

$$P = \frac{1}{A} \int I(t) dt \quad \cdot \cdot \cdot \quad (1)$$

[0644] 수학적식(1)에서 A는 용량 소자의 2개의 전극이 중첩되는 면적이다.  
[0645]

[0646] 또한, Q=CV이므로, 입력 전압 V와 용량 C의 관계를 산출할 수 있다(도 33의 (E)). 또한, 입력 전압 V와 비유전율  $\epsilon I$ 의 관계를 산출할 수 있다(도 33의 (F)).

[0647] 도 34의 (A)에 시료(800A), 시료(800B), 및 시료(800C)의 P-E 특성 측정 결과를 나타내었다. 도 34의 (A)는 절연체(804)에 인가되는 전계 강도 E와 분극 P의 관계를 시료마다 나타낸 것이다. 도 34의 (B)에 GIXD 측정 결과를 나타내었다. 도 34의 (B)는 X선의 회절 각도(2θ)와 검출된 신호 강도의 관계를 시료마다 나타낸 것이다.

[0648] 도 34의 (A)로부터, 3개의 시료(시료(800A), 시료(800B), 및 시료(800C))에서, 히스테리시스 특성을 얻을 수 있기 때문에, 3개의 시료가 강유전체로서 기능하는 것을 알 수 있다. 다만, 시료(800A)는 시료(800B) 및 시료(800C)보다 분극량(P-E 특성에 있어서 전계 강도 E가 0일 때의 최대 분극과 최소 분극의 차)이 작기 때문에, 상유전체에 가깝다는 것을 알 수 있다.

[0649] 도 34의 (B)로부터, 3개의 시료 모두 단사정(m: monoclinic crystal)이 검출되는 회절 각도 근방에 신호 강도의 피크는 검출되지 않았고, 직방정(o: orthorhombic crystal), 정방정(t: tetragonal crystal), 또는 입방정(c:

cubic crystal)을 나타내는 회절 각도 근방에 신호 강도의 피크가 확인되어 있다는 것을 알 수 있다. 도 34의 (A)에 나타낸 측정 결과를 감안하면, 강유전체로서 기능하는 직방정이 검출된 것으로 추측할 수 있다. 또한, 도 34의 (B)에서도 시료(800A)는 시료(800B) 및 시료(800C)보다 상유전체에 가깝다는 것을 알 수 있다.

- [0650] 또한, 일반적으로 강유전체는 분극량(히스테리시스 특성)이 클수록 바람직하다. 도전체(805a)를 스퍼터링법으로 성막한 시료(800A)와 시료(800B)를 비교하면, 시료 제작 후에 열처리를 하지 않은 시료(800A)에서는 큰 히스테리시스 특성을 얻을 수 없다는 것을 알 수 있다. 한편, 도전체(805a)를 메탈 CVD법으로 성막한 시료(800C)에서는 시료 제작 후에 열처리를 하지 않아도 열처리를 한 시료(800B)와 동등한 분극량(히스테리시스 특성)을 얻을 수 있었다. 도전체(805a)를 메탈 CVD법으로 성막함으로써, 시료의 제작 공정을 삭감할 수 있다.
- [0651] 상술한 바와 같이 제작한 시료(800A) 내지 시료(800C)의 절연체(804) 및 그 근방에 대하여, Hitachi High-Technologies Corporation 제조 'H-9500'을 사용하여, 가속 전압을 300kV로 하고, 단면 TEM 이미지의 촬영을 수행하였다. 도 35의 (A)에 시료(800A)의 단면 TEM 이미지를 나타내고, 도 36의 (A)에 시료(800B)의 단면 TEM 이미지를 나타내고, 도 37의 (A)에 시료(800C)의 단면 TEM 이미지를 나타내었다.
- [0652] 또한, 도 35의 (A)에 나타낸 TEM 이미지의 영역 A1 및 영역 A2, 도 36의 (A)에 나타낸 TEM 이미지의 영역 B1 및 영역 B2, 도 37의 (A)에 나타낸 TEM 이미지의 영역 C1 및 영역 C2에 대하여 FFT(Fast Fourier Transform) 해석을 수행하였다. TEM 이미지에 FFT 해석을 수행함으로써, 전자선 회절 패턴과 같은 역격자 공간 정보를 반영한 패턴을 가지는 FFT 도형을 얻을 수 있다. 예를 들어, 결정성을 가지는 HfZrO<sub>x</sub>막의 단면 TEM 이미지인 경우, FFT 도형에는 강한 강도의 스폿이 보이는 경우가 있다.
- [0653] FFT 해석의 결과를 도 35의 (B), 도 36의 (B), 및 도 37의 (B)에 나타내었다. 도 35의 (B)는 영역 A1의 FFT 도형이고, 도 35의 (C)는 영역 A2의 FFT 도형이고, 도 36의 (B)는 영역 B1의 FFT 도형이고, 도 36의 (C)는 영역 B2의 FFT 도형이고, 도 37의 (B)는 영역 C1의 FFT 도형이고, 도 37의 (C)는 영역 C2의 FFT 도형이다.
- [0654] 시료(800B)에서는 영역 B1 및 영역 B2에 복수의 강한 스폿의 존재를 확인할 수 있다. 시료(800C)에서도 마찬가지로, 영역 C1 및 영역 C2에 복수의 강한 스폿의 존재를 확인할 수 있다. 한편, 시료(800A)에서는, 영역 A1에 스폿을 확인할 수 있지만, 영역 A2에는 스폿을 확인할 수 없다. 즉, 시료(800B) 및 시료(800C)는 시료(800A)보다 결정성이 높다는 것을 알 수 있었다. 따라서, 분극량이 크고 강유전성이 더 높은 시료(800B) 및 시료(800C)는 결정성이 높다는 것을 알 수 있었다.
- [0655] 다음으로, 시료(800A) 내지 시료(800C)에서 절연체(804)와 도전체(805a)의 계면 근방에 대하여 Hitachi High-Technologies Corporation 제조 'H-9500'을 사용하여, 가속 전압을 300kV로 하고, 단면 TEM 이미지의 촬영을 수행하였다. 도 38의 (A)에 시료(800A)의 단면 TEM 이미지를 나타내고, 도 38의 (B)에 시료(800B)의 단면 TEM 이미지를 나타내고, 도 38의 (C)에 시료(800C)의 단면 TEM 이미지를 나타내었다. 또한, 도 38의 (A) 내지 (C)에서는, 주목한 결정의 격자 무늬를 확대하여 실선을 붙여 나타내었다.
- [0656] 도 38의 (A)에 나타낸 바와 같이, 시료(800A)에서는 도전체(805a)에 TiN<sub>x</sub>의 결정에서 유래된 격자 무늬가 보였다. 또한, 도 38의 (B)에 나타낸 바와 같이, 시료(800B)에서는 절연체(804)에 HfZrO<sub>x</sub>의 결정에서 유래된 격자 무늬가 보였다. 또한, 도 38의 (C)에 나타낸 바와 같이, 시료(800C)에서는 도전체(805a)에 TiN<sub>x</sub>의 결정에서 유래된 격자 무늬가 보이고, 절연체(804)에 HfZrO<sub>x</sub>의 결정에서 유래된 격자 무늬가 보였다. 이와 같이, 시료(800A) 내지 시료(800C)의 절연체(804)와 도전체(805a)의 계면 근방에서 TiN<sub>x</sub> 또는 HfZrO<sub>x</sub>의 결정에서 유래된 격자 무늬가 보였다. 한편, 도 38의 (A) 내지 (C)의 단면 TEM 이미지에 있어서, 절연체(804)와 도전체(805a)의 계면 근방에 이층(예를 들어, TiO<sub>x</sub> 등)을 확인할 수 없었다. 따라서, 절연체(804)와 도전체(805a)의 계면의 이층은 존재하더라도 막 두께 1nm 이하인 것으로 생각된다.
- [0657] 다음으로, 시료(800A) 내지 시료(800C)에서, 절연체(804)와 도전체(805a)의 계면 근방 및 절연체(804)와 도전체(803b)의 계면 근방에 대하여 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)으로 분석을 수행하였다. 상기 EDX 분석은 상기 계면을 종단하는 직선상의 각 점에서 수행하였다. 또한, 본 명세서 등에서 이와 같은 EDX 분석을 라인 EDX 분석이라고 부르는 경우가 있다. 또한, 라인 EDX 분석은 Hitachi High-Technologies Corporation 제조 'HD-2700'을 사용하여 가속 전압을 200kV로 하여 수행하였다.
- [0658] 상기 라인 EDX 분석에서는, 산소 원자[atomic%]와 하프늄 원자[atomic%]의 검출을 수행하고, 절연체(804)와 도전체(805a)의 계면 근방 및 절연체(804)와 도전체(803b)의 계면 근방에 대하여 산소 원자[atomic%]와 하프늄 원자[atomic%]의 반치를 산출하였다. 절연체(804)와 도전체(805a)의 계면 근방(또는 절연체(804)와 도전체(803b)의 계면 근방)에 TiO<sub>x</sub> 등의 이층이 형성되지 않은 경우, 산소 원자[atomic%]의 반치와 하프늄 원자[atomic%]

의 반치는 일치한다. 그러나, 상기 계면에 TiO<sub>x</sub> 등의 이층이 형성되어 있는 경우에는, 산소 원자[atomic%]의 반치가 도전체(805a)(또는 도전체(803b)) 측으로 이동한다. 즉, 산소 원자[atomic%]의 반치와 하프늄 원자[atomic%]의 반치의 차이가 TiO<sub>x</sub>의 막 두께인 것으로 추측된다.

- [0659] 라인 EDX 분석의 결과를 도 39에 나타내었다. 도 39에서는 세로축에 TiO<sub>x</sub>의 막 두께[nm]를 나타내었다. 도 39에 있어서, 각 시료의 절연체(804)와 도전체(805a)의 계면 근방을 각각 800A 상부, 800B 상부, 800C 상부로 나타내었다. 또한, 도 39에 있어서, 각 시료의 절연체(804)와 도전체(803b)의 계면 근방을 각각 800A 하부, 800B 하부, 800C 하부로 나타내었다.
- [0660] 도 39에 나타낸 바와 같이, 시료(800B)에서, 상부에서의 TiO<sub>x</sub> 막 두께가 0.2nm이고, 하부에서는 TiO<sub>x</sub>막의 이층이 검출되지 않았다. 시료(800C)에서도 마찬가지로, 상부에서의 TiO<sub>x</sub> 막 두께가 0.2nm이고, 하부에서는 TiO<sub>x</sub>막의 이층이 검출되지 않았다. 한편, 시료(800A)에서는 상부에서의 TiO<sub>x</sub> 막 두께가 0.4nm이고, 하부에서의 TiO<sub>x</sub> 막 두께가 0.3nm이었다. 즉, 시료(800B) 및 시료(800C)는 시료(800A)보다 TiO<sub>x</sub>막의 이층이 얇아진다는 경향이 보였다. 따라서, 분극량이 크고 강유전성이 더 높은, 시료(800B) 및 시료(800C)는 TiO<sub>x</sub>막의 이층이 얇아지는 경우가 있다는 것을 알 수 있었다.
- [0661] 다음으로, 시료(800C)에서 절연체(804)의 하지가 되는 도전체(803b)의 표면 거칠기의 평가를 수행하였다.
- [0662] 우선, 시료(800C)에서, 단면 N1 내지 단면 N6에 대하여 Hitachi High-Technologies Corporation 제조 'HD-2700'의 암시야 STEM 기능을 사용하여, Z 콘트라스트 이미지(ZC 이미지: Z Contrast Image)를 촬영하였다. 단면 N1 내지 단면 N6의 ZC 이미지에 대하여 화상 해석을 수행하고, 각각의 ZC 이미지의 절연체(804)와 도전체(803b)의 계면의 라인을 묘화하였다. 또한, 화상 해석에는 계면 추출을 수행하는 화상 처리 소프트웨어로서 'ImageJ'를 사용하였다. 단면 N1 내지 단면 N6의 상기 계면의 라인에 대하여 산술 평균 거칠기(Ra)와 제곱 평균 제곱근 거칠기(RMS: Root Mean Square)를 산출하였다.
- [0663] 단면 N1 내지 단면 N6의 Ra[nm]를 도 40의 (A)에 나타내고, 단면 N1 내지 단면 N6의 RMS[nm]를 도 40의 (B)에 나타내었다. 도 40의 (A) 및 (B)에 나타낸 바와 같이 시료(800C)에서의 상면의 거칠기는 단면 N1 내지 단면 N6에 있어서 Ra 및 RMS로 1nm 이하이다. 또한, 단면 N1 내지 단면 N5에 있어서 Ra 및 RMS로 0.4nm 이하이다. 따라서, 절연체(804)에서, 결정성을 향상시켜 강유전성을 발현시키기 위해서는 하지가 되는 도전체(803b)의 상면의 거칠기를 Ra 또는 RMS로 2nm 이하, 바람직하게는 1nm 이하, 더 바람직하게는 0.8nm 이하, 더욱 바람직하게는 0.5nm 이하, 더욱 바람직하게는 0.4nm 이하로 하면 좋다.
- [0664] 이어서, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)을 사용하여 시료(800A), 시료(800B), 및 시료(800C) 각각의 절연체(804) 내의 수소(H) 농도, 탄소(C) 농도, 질소(N) 농도, 및 염소(Cl) 농도를 측정하였다.
- [0665] SIMS 분석은 도전체(805b)로부터 도전체(803a)를 향하여 수행하였다. 도 41 내지 도 44에 SIMS 분석 결과를 나타내었다. 도 41 내지 도 44의 가로축은 도전체(805b)의 표면으로부터의 깊이를 나타낸 것이고, 도 41의 세로축은 절연체(804) 내의 수소 농도를 나타낸 것이고, 도 42의 세로축은 절연체(804) 내의 탄소 농도를 나타낸 것이고, 도 43의 세로축은 절연체(804) 내의 질소 농도를 나타낸 것이고, 도 44의 세로축은 절연체(804) 내의 염소 농도를 나타낸 것이다. 또한, 도 41 내지 도 44에서는 막 두께 및 SIMS 프로파일로부터 특정된 도전체(805b), 도전체(805a), 절연체(804), 도전체(803b), 및 도전체(803a)의 깊이 방향의 위치를 부기하였다.
- [0666] 도 41에 있어서, 곡선(811A)은 시료(800A)의 SIMS 분석 결과를 나타낸 것이고, 곡선(811B)은 시료(800B)의 SIMS 분석 결과를 나타낸 것이고, 곡선(811C)은 시료(800C)의 SIMS 분석 결과를 나타낸 것이다. 절연체(804)의 수소 농도는 시료(800A)에서 약  $4 \times 10^{20}$  atoms/cm<sup>3</sup>이고, 시료(800B)에서 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup>이고, 시료(800C)에서 약  $9 \times 10^{19}$  atoms/cm<sup>3</sup>이었다.
- [0667] 도 42에 있어서, 곡선(812A)은 시료(800A)의 SIMS 분석 결과를 나타낸 것이고, 곡선(812B)은 시료(800B)의 SIMS 분석 결과를 나타낸 것이고, 곡선(812C)은 시료(800C)의 SIMS 분석 결과를 나타낸 것이다. 절연체(804)의 탄소 농도는 시료(800A)에서 약  $9 \times 10^{18}$  atoms/cm<sup>3</sup>이고, 시료(800B)에서 약  $1 \times 10^{19}$  atoms/cm<sup>3</sup>이고, 시료(800C)에서 약  $6 \times 10^{18}$  atoms/cm<sup>3</sup>이었다(도 42 참조).
- [0668] 도 43에 있어서, 곡선(813A)은 시료(800A)의 SIMS 분석 결과를 나타낸 것이고, 곡선(813B)은 시료(800B)의 SIMS 분석 결과를 나타낸 것이고, 곡선(813C)은 시료(800C)의 SIMS 분석 결과를 나타낸 것이다. 시료(800A),

시료(800B), 및 시료(800C) 모두 절연체(804)의 질소 농도는 약  $8 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인 것으로 생각된다.

- [0669] 도 44에 있어서, 곡선(814A)은 시료(800A)의 SIMS 분석 결과를 나타낸 것이고, 곡선(814B)은 시료(800B)의 SIMS 분석 결과를 나타낸 것이고, 곡선(814C)은 시료(800C)의 SIMS 분석 결과를 나타낸 것이다. 시료(800A), 시료(800B), 및 시료(800C) 모두 절연체(804)의 염소 농도는 약  $1 \times 10^{21}$  atoms/cm<sup>3</sup>이었다.
- [0670] 도 41 및 도 42에서 절연체(804)의 수소 농도 및 절연체(804)의 탄소 농도 모두 도전체(805a)를 열 ALD법으로 성장한 시료(800C)가 가장 적다는 것을 알 수 있다. 도 43으로부터 절연체(804)의 질소 농도는 인접한 질화 타이타늄(TiNx)의 영향을 받은 가능성이 있지만, 약  $8 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인 것을 알 수 있다. 도 44 및 도 34에서 절연체(804) 내에 염소가  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 정도 존재하더라도, 강유전성 발현의 저해 요인이 되지 않는다는 것을 알 수 있다.
- [0671] 또한, 절연체(804) 내의 수소 농도는  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인 것이 바람직하고,  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하인 것이 더 바람직하다. 또한, 절연체(804) 내의 탄소 농도는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하인 것이 바람직하고,  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이하인 것이 더 바람직하다.
- [0672] (실시예 2)
- [0673] 본 실시예에서는, 실시예 1에 나타난 시료(800B) 및 시료(800C)에 대하여 수행한 피로 특성 측정 결과에 대하여 설명한다. 피로 특성의 측정은 2개의 시료(800B)(시료(800B\_1), 시료(800B\_2))와 3개의 시료(800C)(시료(800C\_1), 시료(800C\_2), 시료(800C\_3))에 대하여 수행하였다. 또한, 시료(800B\_1) 및 시료(800B\_2)는 시료(800B)와 같은 조건으로 제작된, 동일 기판 위에 있는 상이한 소자이다. 시료(800C\_1), 시료(800C\_2), 및 시료(800C\_3)는 시료(800B)와 같은 조건으로 제작된, 동일 기판 위에 있는 상이한 소자이다.
- [0674] 도 45의 (A)에 시료(800B\_1) 및 시료(800B\_2)의 피로 특성의 측정 결과를 나타내었다. 도 45의 (B)에 시료(800C\_1) 및 시료(800C\_2)의 피로 특성의 측정 결과를 나타내었다. 도 46의 (B)에 시료(800C\_3)의 피로 특성의 측정 결과를 나타내었다. 도 45의 (A), (B), 및 도 46의 (B)에서, 가로축은 사이클 수를 나타내고, 세로축은 분극 P를 나타낸다.
- [0675] 구체적으로는, 전압 진폭 3V, 주파수 100Hz의 사각파를 1주기 인가하는 것을 1사이클로 하고, 규정 사이클 수마다 실시예 1에 나타난 삼각파를 사용하여 P-E 특성을 측정하고, 전계 강도 E가 0일 때의 최소 분극과 최대 분극을 취득하였다.
- [0676] 도 45의 (A) 및 (B)에서는, 규정 사이클 수마다 취득한, 전계 강도 E가 0일 때의 최소 분극과 최대 분극의 값을 나타내었다.
- [0677] 시료(800B\_1) 및 시료(800C\_1)는  $1 \times 10^8$  사이클 종료 후에 측정을 중지하였다. 시료(800B\_2) 및 시료(800C\_2)는  $1 \times 10^8$  사이클 이후도 측정을 계속하였다. 시료(800B\_2)에 대해서는  $8.6 \times 10^{10}$  사이클까지의 측정 결과를 나타내었지만, 이후도 측정을 계속하였다. 또한, 시료(800C\_2)는  $4.6 \times 10^9$  사이클 종료 이후에 파괴되었다.
- [0678] 시료(800C\_3)에서는  $1 \times 10^{10}$  사이클 종료 후에 측정을 중지하였다. 도 46의 (A)는 시료(800C\_3)에서의 초기 P-E 특성(곡선(821))과  $1 \times 10^{10}$  사이클 종료 후의 P-E 특성(곡선(822))을 나타낸 것이다. 또한, 도 9(비특허문헌 2)에 기재된 피로 특성과 비교하면, 시료(800B\_1), 시료(800B\_2), 시료(800C\_1), 시료(800C\_2), 및 시료(800C\_3)는 피로 특성의 변화가 완만하다는 것을 알 수 있다. 따라서,  $1 \times 10^{15}$  사이클 이상의 피로 내성 실현을 기대할 수 있다.
- [0679] (실시예 3)
- [0680] 본 실시예에서는, 강유전성을 나타내는 절연체로서 산화 하프늄 지르코늄(HfZrOx)을 제작하고, 그 절연체의 전압-분극 특성, 피로 특성 등을 평가한 결과에 대하여 설명한다.
- [0681] <시료 구조>
- [0682] 평가에 사용한 시료(830)의 외관 및 단면 개략도는 실시예 1의 시료(800)에 따른 기재를 참조할 수 있기

때문에, 자세한 설명은 생략한다.

- [0683] 시료(830)는 기판(801)으로서 단결정 실리콘을 사용하여 형성하였다. 구체적으로는, 기판(801) 위에 절연체(802)로서 두께 100nm의 열 산화막을 형성하고, 절연체(802) 위에 하부 전극으로서 기능하는 도전체(803)(도전체(803a) 및 도전체(803b))를 형성하고, 도전체(803) 위에 절연체(804)를 형성하고, 절연체(804) 위에 상부 전극으로서 기능하는 도전체(805)(도전체(805a) 및 도전체(805b))를 형성하였다.
- [0684] 또한, 도전체(803), 절연체(804), 및 도전체(805) 위에 절연체(806)를 형성하였다. 또한, 도전체(803)에 전기적으로 접속되는 도전체(807)와, 도전체(805)에 전기적으로 접속되는 도전체(808)를 절연체(806) 위에 형성하였다. 도전체(807)와 도전체(808)는 측정 신호가 입력되는 전극으로서 기능한다.
- [0685] 또한, 도전체(803), 도전체(805), 도전체(807), 및 도전체(808)의 형성, 절연체(806) 및 절연체(804)에 제공되는 콘택트 홀의 형성 등은 기지의 포토리소그래피법 및 에칭법을 사용하여 수행하였다.
- [0686] 시료(830)로서, 절연체(804)의 형성 조건 및 두께, 상부 전극으로서 기능하는 도전체(805)의 형성 조건, 그리고 상부 전극 형성 후의 열처리 조건이 상이한 16개의 시료(시료(830A) 내지 시료(830P))를 제작하였다.
- [0687] <시료 제작 조건>
- [0688] 표 2 내지 표 5에 시료(830A) 내지 시료(830P)의 각각이 가지는 도전체(803a), 도전체(803b), 절연체(804), 도전체(805a), 및 도전체(805b)의 성막 조건을 나타낸다.
- [0689] 또한, 표 2 내지 표 5에는 기재하지 않았지만, 절연체(806)로서 두께 200nm의 산화질화 실리콘을 PECVD법으로 성막하였다. 또한, 도전체(807) 및 도전체(808)로서, 두께 50nm의 Ti, 두께 200nm의 Al, 및 두께 50nm의 Ti의 3층 적층막을 스퍼터링(SP)법으로 성막하였다.
- [0690] 시료(830A) 내지 시료(830H)에서는, 무기 전구체를 사용한 ALD법으로 절연체(804)를 성막하였다. 구체적으로는, 시료(830A) 내지 시료(830H)는, 무기 전구체로서  $\text{HfCl}_4$ (염화 하프늄) 및  $\text{ZrCl}_4$ (염화 지르코늄)를 사용하고, 산화제로서  $\text{H}_2\text{O}$ (물)를 사용하였다.
- [0691] 시료(830I) 내지 시료(830P)에서는 유기 전구체를 사용한 ALD법으로 절연체(804)를 성막하였다. 구체적으로, 시료(830I) 내지 시료(830P)는 유기 전구체로서  $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ (TEMAH: Tetrakis(ethylmethylamino)hafnium) 및  $\text{Zr}(\text{Cp})[(\text{N}(\text{CH}_3)_2)_3]$ (Cyclopentadienyltris(dimethylamino)zirconium)을 사용하고, 산화제로서  $\text{O}_3$ (오존)을 사용하였다.
- [0692] 시료(830A), 시료(830E), 시료(830I), 및 시료(830M)는 절연체(804)의 두께를 4nm로 하였다. 시료(830B), 시료(830F), 시료(830J), 및 시료(830N)는 절연체(804)의 두께를 6nm로 하였다. 시료(830C), 시료(830G), 시료(830K), 및 시료(830O)는 절연체(804)의 두께를 8nm로 하였다. 시료(830D), 시료(830H), 시료(830L), 및 시료(830P)는 절연체(804)의 두께를 10nm로 하였다.
- [0693] 시료(830A) 내지 시료(830D), 시료(830I) 내지 시료(830L)에서는 메탈 CVD(MCVD)법으로 도전체(805a)를 성막하였다. 시료(830E) 내지 시료(830H), 시료(830M) 내지 시료(830P)에서는 스퍼터링법으로 도전체(805a)를 성막하였다. 또한, 시료(830E) 내지 시료(830H), 시료(830M) 내지 시료(830P)에서는 시료 제작 후에 RTA법으로 열처리를 하였다. 표 2 내지 표 5에 상기 열처리 조건도 나타낸다.

[0694] [표 2]

시료명	830A	830B	830C	830D
시료 제작 후의 열 처리 조건	없음			
805b	성막 방법: SP법, 조성: W, 두께: 20nm 성막 온도: 130℃			
805a	성막 방법: MCVD법, 조성: TiN <sub>x</sub> , 두께: 10nm 성막 온도: 400℃			
804	성막 방법: ALD법, 조성: HfZrO <sub>x</sub> 전구체: 무기 전구체, 산화제: H <sub>2</sub> O, 성막 온도: 300℃			
	두께: 4nm	두께: 6nm	두께: 8nm	두께: 10nm
803b	성막 방법: MCVD법, 조성: TiN <sub>x</sub> , 두께: 10nm 성막 온도: 400℃			
803a	성막 방법: SP법, 조성: W, 두께: 30nm 성막 온도: 130℃			

[0695]

[0696] [표 3]

시료명	830E	830F	830G	830H
시료 제작 후의 열 처리 조건	열 처리 방법: RTA, 열 처리 온도: 500℃ 가열 분위기: 질소, 가열 시간: 60sec			
805b	성막 방법: SP법, 조성: W, 두께: 20nm 성막 온도: 130℃			
805a	성막 방법: SP법, 조성: TiN <sub>x</sub> , 두께: 10nm 성막 온도: 실온(가열하지 않음)			
804	성막 방법: ALD법, 조성: HfZrO <sub>x</sub> 전구체: 무기 전구체, 산화제: H <sub>2</sub> O, 성막 온도: 300℃			
	두께: 4nm	두께: 6nm	두께: 8nm	두께: 10nm
803b	성막 방법: MCVD법, 조성: TiN <sub>x</sub> , 두께: 10nm 성막 온도: 400℃			
803a	성막 방법: SP법, 조성: W, 두께: 30nm 성막 온도: 130℃			

[0697]

[0698] [표 4]

시료명	830I	830J	830K	830L
시료 제작 후의 열 처리 조건	없음			
805b	성막 방법: SP법, 조성: W, 두께: 20nm 성막 온도: 130℃			
805a	성막 방법: MCVD법, 조성: TiN <sub>x</sub> , 두께: 10nm 성막 온도: 400℃			
804	성막 방법: ALD법, 조성: HfZrO <sub>x</sub> 전구체: 유기 전구체, 산화제: O <sub>3</sub> , 성막 온도: 250℃			
	두께: 4nm	두께: 6nm	두께: 8nm	두께: 10nm
803b	성막 방법: MCVD법, 조성: TiN <sub>x</sub> , 두께: 10nm 성막 온도: 400℃			
803a	성막 방법: SP법, 조성: W, 두께: 30nm 성막 온도: 130℃			

[0699]

[0700] [표 5]

시료명	830M	830N	830O	830P
시료 제작 후의 열 처리 조건	열 처리 방법: RTA, 열 처리 온도: 500℃ 가열 분위기: 질소, 가열 시간: 60sec			
805b	성막 방법: SP법, 조성: W, 두께: 20nm 성막 온도: 130℃			
805a	성막 방법: SP법, 조성: TiN <sub>x</sub> , 두께: 10nm 성막 온도: 실온(가열하지 않음)			
804	성막 방법: ALD법, 조성: HfZrO <sub>x</sub> 전구체: 유기 전구체, 산화제: O <sub>3</sub> , 성막 온도: 250℃			
	두께: 4nm	두께: 6nm	두께: 8nm	두께: 10nm
803b	성막 방법: MCVD법, 조성: TiN <sub>x</sub> , 두께: 10nm 성막 온도: 400℃			
803a	성막 방법: SP법, 조성: W, 두께: 30nm 성막 온도: 130℃			

[0701]

[0702] <P-E 특성>

[0703] 도전체(807)와 도전체(803) 사이에 전압 진폭 3V, 주파수 100Hz의 삼각파를 인가하고, 절연체(804)의 자발적 분극의 변화(P-E 특성)를 측정하였다. 입력 전압 파형 및 P-E 특성의 취득 방법에 대해서는 실시예 1의 기재를 참조할 수 있기 때문에, 자세한 설명은 생략한다.

[0704] 도 47에 시료(830A) 내지 시료(830H)의 P-E 특성 측정 결과를 나타내었다. 도 48에 시료(830I) 내지 시료(830P)의 P-E 특성 측정 결과를 나타내었다. 도 47 및 도 48은 각각 절연체(804)에 인가되는 전계 강도 E와 분극 P의 관계를 시료마다 나타낸 것이다.

[0705] <I-V 특성>

- [0706] 도전체(807)와 도전체(803) 사이에 전압을 인가하고, 흐르는 전류(I-V 특성)를 측정하였다.
- [0707] 도 49에 시료(830A) 내지 시료(830H)의 I-V 특성 측정 결과를 나타내었다. 도 50에 시료(830I) 내지 시료(830P)의 I-V 특성 측정 결과를 나타내었다. 도 49 및 도 50은 각각, 인가 전압과 흐르는 전류의 관계를 시료마다 나타낸 것이다.
- [0708] <GIXD>
- [0709] 시료(830A) 내지 시료(830P) 각각의 절연체(804)에 대응하는 HfZrO<sub>x</sub>막에 대하여 XRD 분석법의 1종류인 경사 입사 X선 회절법(GIXD: Grazing Incident X-ray Diffraction)을 사용하여 결정 상태를 조사하였다.
- [0710] 도 51에 시료(830A) 내지 시료(830H)의 GIXD 측정 결과를 나타내었다. 도 52에 시료(830I) 내지 시료(830P)의 GIXD 측정 결과를 나타내었다. 도 51 및 도 52는 각각, X선의 입사 각도(2 $\theta$ )와 검출된 신호 강도의 관계를 시료마다 나타낸 것이다. 또한, 도 51 및 도 52에는 각각 HfZrO<sub>x</sub>의 결정의 피크 위치를 파선으로 나타내고, 단사정(monoclinic crystal)의 피크 위치를 m으로, 직방정(orthorhombic crystal)의 피크 위치를 o로, 정방정(tetragonal crystal)의 피크 위치를 t로, 입방정(cubic crystal)의 피크 위치를 c로 나타내었다. 또한, XRD로는 직방정(o), 정방정(t), 입방정(c)을 판별하기 어렵다.
- [0711] <피로 특성>
- [0712] 상술한 시료(830H) 및 시료(830P)에 대하여 수행한 피로 특성 측정 결과에 대하여 설명한다.
- [0713] 피로 특성의 측정은 전압 진폭 3V, 주파수 100Hz의 사각파를 1주기 인가하는 것을 1사이클로 하고, 규정 사이클 수마다 상술한 삼각파를 사용하여 P-E 특성을 측정하고, 전계 강도 E가 0일 때의 최소 분극과 최대 분극을 취득하였다.
- [0714] 도 53에 시료(830H) 및 시료(830P)의 피로 특성의 측정 결과를 나타내었다. 또한, 도 53의 첫 번째 단은 피로 특성 측정의 초기 및 종료 시의 P-E 특성을 나타낸다. 도 53의 두 번째 단은 피로 특성의 측정 결과를 나타내고, 가로축은 사이클 수를 나타내고, 세로축은 분극 P를 나타낸다. 도 53의 세 번째 단은 피로 특성 측정의 초기의 분극 P로 정규화한 값을 나타낸다.
- [0715] (실시예 4)
- [0716] 본 실시예에서는, 강유전성을 나타내는 절연체로서 산화 하프늄 지르코늄(HfZrO<sub>x</sub>)을 제작하고, 그 절연체의 전압-분극 특성에 대한 입력 전압(삼각파)의 주파수 의존성을 평가한 결과에 대하여 설명한다.
- [0717] <시료 구조>
- [0718] 평가에 사용한 시료의 외관 및 단면 개략도는 실시예 1의 시료(800)에 따른 기재를 참조할 수 있기 때문에, 자세한 설명은 생략한다.
- [0719] 시료는 기판(801)으로서 단결정 실리콘을 사용하여 형성하였다. 구체적으로는, 기판(801) 위에 절연체(802)로서 두께 100nm의 열 산화막을 형성하고, 절연체(802) 위에 하부 전극으로서 기능하는 도전체(803)(도전체(803a) 및 도전체(803b))를 형성하고, 도전체(803) 위에 절연체(804)를 형성하고, 절연체(804) 위에 상부 전극으로서 기능하는 도전체(805)(도전체(805a) 및 도전체(805b))를 형성하였다.
- [0720] 도전체(803a)로서, 두께 30nm의 W를 스퍼터링(SP)법으로 성막하였다. 도전체(803b)로서, 두께 20nm의 TiN<sub>x</sub>를 메탈 CVD(MCVD)법으로 성막하였다.
- [0721] 절연체(804)로서 무기 전구체를 사용한 ALD법으로 두께 10nm의 산화 하프늄 지르코늄(HfZrO<sub>x</sub>)을 성막하였다. 구체적으로는, 무기 전구체로서 HfCl<sub>4</sub>(염화 하프늄) 및 ZrCl<sub>4</sub>(염화 지르코늄)를 사용하고, 산화제로서 H<sub>2</sub>O(물)를 사용하였다. 산화 하프늄 지르코늄(HfZrO<sub>x</sub>)의 성막 시의 기판 온도를 300℃로 하였다.
- [0722] 도전체(805a)로서, 두께 10nm의 TiN<sub>x</sub>를 스퍼터링(SP)법으로 성막하였다. 도전체(805b)로서, 두께 20nm의 W를 스퍼터링(SP)법으로 성막하였다.
- [0723] 또한, 도전체(803), 절연체(804), 및 도전체(805) 위에 절연체(806)를 형성하였다. 또한, 도전체(803)에 전기적으로 접속되는 도전체(807)와, 도전체(805)에 전기적으로 접속되는 도전체(808)를 절연체(806) 위에 형성하였다. 도전체(807)와 도전체(808)는 측정 신호가 입력되는 전극으로서 기능한다.
- [0724] 또한, 도전체(803), 도전체(805), 도전체(807), 및 도전체(808)의 형성, 절연체(806) 및 절연체(804)에 제공되

는 콘택트 홀의 형성 등은 기지의 포토리소그래피법 및 에칭법을 사용하여 수행하였다.

[0725] 또한, 시료 제작 후에 RTA법으로 열처리를 하였다. 열처리는 질소 분위기에서 500℃, 60sec로 하였다.

[0726] <P-E 특성>

[0727] 도전체(807)와 도전체(803) 사이에 전압 진폭 3V의 삼각파를 인가하고, 절연체(804)의 자발적 분극의 변화(P-E 특성)를 측정하였다. 삼각파의 주파수를 각각 1kHz, 100Hz, 10Hz로 설정하여 평가를 수행하였다. 또한, 입력 전압 파형 및 P-E 특성의 취득 방법에 대해서는 실시예 1의 기재를 참조할 수 있기 때문에, 자세한 설명은 생략한다.

[0728] 도 54에 P-E 특성 측정 결과를 나타내었다. 도 54에는 절연체(804)에 인가되는 전계 강도 E와 분극 P의 관계를 나타내었다. 도 54에 있어서 실선(831)은 주파수 10Hz의 데이터를 나타낸 것이고, 파선(832)은 100Hz의 데이터를 나타낸 것이고, 점선(833)은 1kHz의 데이터를 나타낸 것이다.

[0729] 도 54의 일점쇄선으로 나타낸 영역의 확대도를 도 55의 (A) 및 (B)에 나타내었다. 도 55의 (C) 및 (D)에 분극 P와 삼각파의 주파수의 관계를 나타내었다. 도 55의 (C)는 전계 E가 0MV/cm일 때의 분극 P를 나타낸 것이고, 도 55의 (D)는 전계 E가 3MV/cm(전압 3V)일 때의 분극 P를 나타낸 것이다.

[0730] 도 54, 도 55의 (A) 내지 (D)에 나타낸 바와 같이, 삼각파의 주파수가 높을수록 분극 P가 작아지는 경향이 되었다.

[0731] (실시예 5)

[0732] <탄소의 영향에 관한 계산>

[0733] 본 항목에서는 산화 하프늄 지르코늄(HfZrOx)에 대한 탄소의 영향에 대하여 계산을 사용하여 평가하였다.

[0734] 계산에 사용하는 계산 모델에 대하여 설명한다.

[0735] 우선, 직방정계의 결정 구조인 산화 지르코늄의 단결정 모델을 준비하였다. 또한, 직방정계의 결정 구조는 공간군이 Pca2<sub>1</sub>(29)이다. 또한, 상기 단결정 모델 내의 원자 수는 96개이다.

[0736] 다음으로, 상기 단결정 모델에 포함되는 지르코늄 원자의 절반을 하프늄 원자로 치환하였다. 이로써, 상기 단결정 모델의 조성은 Hf:Zr:O=1:1:4가 된다.

[0737] 다음으로, 상기 단결정 모델 내의 하나의 하프늄 원자를 탄소 원자로 치환하였다. 상기 단결정 모델을 제 1 원리 계산에 사용하는 계산 모델로 하였다. 상기 계산 모델을 도 56의 (A)에 나타내었다. 또한, 도면을 보기 쉽게 원자의 일부를 생략하였다.

[0738] 도 56의 (A)에 나타낸 계산 모델을 사용하여, 계산에 의하여 원자 배치를 최적화하였다. 상기 계산에는 제 1 원리 계산 소프트웨어 VASP(The Vienna Ab initio simulation)를 사용하였다. 계산 조건을 표 6에 나타낸다.

[0739] [표 6]

계산 프로그램	VASP
기저 함수	평면파
범함수	GGA-PBE
의사 퍼텐셜	PAW
컷오프 에너지	500 eV
k점 격자	2×2×2

[0741] 전자 상태 의사 퍼텐셜에는 Projector Augmented Wave(PAW)법에 의하여 생성된 퍼텐셜을, 범함수에는 GGA/PBE(Generalized-Gradient-Approximation/Perdew-Burke-Ernzerhof)를 이용하였다. 또한, 계산 모델의 크기(격자 상수 및 축 간의 각도)는 일정하게 하였다.

[0742] 원자 배치를 최적화하는 계산을 실시한 후의 계산 모델을 도 56의 (B)에 나타내었다. 또한, 도면을 보기 쉽게 원자의 일부를 생략하였다.

[0743] 계산 전의 계산 모델(도 56의 (A) 참조)에서, 탄소 원자로 치환되기 전의 하프늄 원자에는 7개의 산소 원자가

배워되어 있다. 한편, 계산 후의 계산 모델(도 56의 (B) 참조)에서, 탄소 원자에는 3개의 산소 원자(도 56의 (B)에서 점선으로 둘러싸인 영역 내의 산소 원자)가 배워되어 있었다. 환언하면, 계산 전의 계산 모델에 있어서, 탄소 원자로 치환되기 전의 하프늄 원자에 배워되어 있는, 다른 4개의 산소 원자(도 56의 (A)에서 일점쇄선으로 둘러싸인 영역 내의 산소 원자)는 계산 후에 탄소 원자로부터 빠져나갔다는 것을 알 수 있었다. 구체적으로는, 계산 후의 계산 모델에 있어서, 탄소 원자와 상기 탄소 원자에 배워되어 있는 3개의 산소 원자 각각의 거리는 모두 0.13nm 정도이고, 탄소 원자와 상기 탄소 원자로부터 빠져나간 4개의 산소 원자 각각의 거리는 0.30nm 이상 0.35nm 이하이었다.

[0744] 이상에서, 산화 하프늄 지르코늄에 탄소가 혼입됨으로써, 산화 하프늄 지르코늄의 구조가 정렬을 잃어, 직방정계의 결정 구조를 형성하기 어려워진다는 것이 시사되었다.

[0745] 계산 후에, 탄소 원자에 배워되어 있는 산소 원자(도 56의 (B)에서 점선으로 둘러싸인 영역 내의 산소 원자)는 반전 대칭성을 가지지 않는, 즉 강유전성을 발현시키는 산소 원자이다. 상기 산소 원자가 탄소 원자로 강하게 속박됨으로써, 전계로 인한 변위의 영향을 받을 가능성이 있다.

[0746] 또한, 계산 후에 탄소 원자로부터 빠져나간 산소 원자(도 56의 (B)에서 일점쇄선으로 둘러싸인 영역 내의 산소 원자)는 하프늄 원자 또는 지르코늄 원자의 결합 수가 산화 하프늄 지르코늄의 단결정 모델에 비하여 감소되어 있다. 그러므로, 상기 산소 원자는 결손되기 쉬운 것으로 추측된다.

[0747] 이상에서, 산화 하프늄 지르코늄 내에 탄소가 혼입됨으로써, 강유전성에 대하여 악영향을 미칠 가능성이 시사되었다. 환언하면, 산화 하프늄 지르코늄이 강유전성을 발현하기 위해서는 산화 하프늄 지르코늄 내의 탄소 농도는 낮은 것이 바람직하다는 것이 시사되었다.

[0748] (실시에 6)

[0749] <리텐션 측정>

[0750] 본 실시예에서는, 실시예 1에 나타낸 시료(800B)에 대하여 수행한 리텐션 측정의 결과에 대하여 설명한다.

[0751] 도 57의 (A)에 리텐션 측정의 측정계를 나타내었다. 도 57의 (B)에 리텐션 측정의 동작 시퀀스를 나타내었다. 도 58의 (A), (B), 및 (C)에 리텐션 측정의 결과를 나타내었다.

[0752] 도 57의 (A)에 나타낸 바와 같이, 리텐션 측정의 측정계로서 적어도 펄스 생성기와 전류계를 가진다. 측정은 실온에서 수행하였다.

[0753] 리텐션 측정에서는, 펄스 생성기를 사용하여 시료에 전위를 인가하고, 그 때 흐르는 전류를 측정한다. 도 57의 (B)에 나타낸 리텐션 측정의 동작 시퀀스에 대하여 설명한다. 기간 T1에 있어서, 시료에 음의 전위를 인가하여, 음의 전위 측의 분극 상태로 한다. 기간 T2에 있어서, 0V의 전위를 거친 후, 기간 T3에 있어서, 양의 전위의 펄스(3V, 5sec의 사각파)를 두 번 공급하여, 음의 전위 측의 분극 상태로 한다. 여기서, 기간 T3에 있어서, 펄스를 두 번 공급하는 이유는 정상 누설을 상쇄하기 위한 것이다. 이어서, 약 10초의 기간 T4에 있어서, 0V의 전위를 거친 후, 기간 T5에 있어서, 기간 T3과 같은 양의 전위의 펄스를 두 번 공급한다. 또한, 기간 T4가 짧으며 시료의 분극이 유지되어 있기 때문에, 기간 T5에 있어서 분극의 변위로 인한 전류는 흐르지 않지만, 누설로 인한 전류는 존재한다. 다음으로, 기간 T6에 있어서, 리텐션 측정을 위하여 10분 및 10시간의 두 가지 조건의 유지 기간 동안 0V의 전위로 유지한다. 다음으로, 기간 T7에 있어서, 기간 T3 및 기간 T5와 같은 양의 전위의 펄스를 두 번 공급하고, 시료를 흐르는 전류를 비교한다. 여기서, 기간 T5에서 흐르는 전류에 비하여 기간 T7에서 흐르는 전류가 큰 경우에는, 기간 T6에 있어서 분극이 감소되어 있을 가능성이 높은 것으로 생각된다. 한편, 기간 T5에서 흐르는 전류와 기간 T7에서 흐르는 전류가 같은 정도인 경우, 또는 기간 T5에서 흐르는 전류에 비하여 기간 T7에서 흐르는 전류가 작은 경우에는, 기간 T6에 있어서 분극이 유지되어 있는 것으로 생각된다.

[0754] 시료(800B)에 대하여 수행한 리텐션 측정의 결과로서, 기간 T5에서의 전류 변화를 도 58의 (A)에 나타내고, 기간 T6에서 10분 동안 유지한 후의 기간 T7에서의 전류 변화를 도 58의 (B)에 나타내었다. 도 58의 (C)에는 기간 T6에서 10시간 동안 유지한 후의 기간 T7에서의 전류 변화를 나타내었다. 도 58의 (A), (B), 및 (C)를 비교하면, 10시간의 유지 시간을 거친 후에 있어서도, 기간 T7에서의 전류가 증가하지 않았기 때문에, 시료(800B)는 분극 상태를 적어도 10시간 유지할 수 있는 것으로 생각된다.

[0755] (실시에 7)

- [0756] 본 실시예에서는, 1Tr1C(1 트랜지스터, 1 커패시터)의 소자 구성을 제작하고, 그 전기 특성을 측정된 결과를 이하에 나타낸다.
- [0757] P-V 특성의 취득 방법에 대해서는, 앞의 실시예 1에서 설명한 바와 같기 때문에 여기서는 자세한 설명을 생략한다. 1 커패시터의 한 쌍의 전극 사이에 전압 진폭 3V, 주파수 100Hz의 삼각파를 인가하고, 절연체 또는 유전체의 자발적 분극의 변화(P-V 특성)를 측정하였다. 삼각파인 입력 전압 V를 가로축으로 하고, 수학적(1)을 사용하여 출력 전류 I를 분극 P로 변환한 값을 세로축으로 하였다.
- [0758] 트랜지스터는 실시형태 2에 나타낸 제작 방법에 의하여 제작하면 좋고, 트랜지스터 구조는 특별히 한정되지 않는다. 도 20의 (A)에 나타낸 바와 같은 트랜지스터(200), 구체적으로는 플레이너형 용량 소자(100)가 절연체(285) 위에 제공되는 구성을 사용하고, 비교예, CVD-TiN, SP-TiN의 P-V 특성 측정 결과를 도 59의 (A)에 나타내었다. 또한, 도 59의 (B)에 I-V 특성 측정 결과를 나타내었다.
- [0759] 또한, 전극 크기는  $1.265\ \mu\text{m} \times 1.05\ \mu\text{m}$ 의 300개 병렬로 하였기 때문에, 합계  $398.5\ \mu\text{m}^2$ 이다.
- [0760] 비교예는 하부 전극을 스퍼터링법으로 얻어지는 텅스텐막(기판 온도  $130^\circ\text{C}$ , 막 두께: 30nm)과 메탈 CVD법으로 얻어지는 질화 타이타늄막(기판 온도  $400^\circ\text{C}$ , 막 두께: 10nm)의 적층으로 하고, 하부 전극 위에 ALD법으로 얻어지는 산화 알루미늄막(기판 온도  $250^\circ\text{C}$ , 막 두께: 14nm)과 PECVD법으로 얻어지는 산화질화 실리콘막(기판 온도  $350^\circ\text{C}$ , 막 두께: 7nm)을 적층하고, 그 위에 상부 전극으로서 메탈 CVD법으로 얻어지는 질화 타이타늄막(기판 온도  $400^\circ\text{C}$ , 막 두께: 10nm)과 스퍼터링법으로 얻어지는 텅스텐막(기판 온도  $130^\circ\text{C}$ , 막 두께: 20nm)을 적층하였다.
- [0761] CVD-TiN으로 표기한 시료는, 하부 전극과 상부 전극에 끼워지는 막을 비교예와 달리 막 두께 10nm의 HfZrOx막으로 하였다. HfZrOx막의 성막 조건은 실시예 1의 절연체(804)와 같은 조건이고, ALD법을 사용하고, 염화물계 전구체를 사용하고, 기판 온도를  $300^\circ\text{C}$ 로 하고, 산화제로서  $\text{H}_2\text{O}$ 를 사용한다. CVD-TiN으로 표기한 시료의 단위 면적당 잔류 분극량 Pr는 대략 12.1이다.
- [0762] 또한, SP-TiN으로 표기한 시료는, 하부 전극과 상부 전극에 끼워진 막이 막 두께 10nm의 HfZrOx막이고, 그 위에 스퍼터링법으로 얻어지는 질화 타이타늄막과 스퍼터링법으로 얻어지는 텅스텐막(막 두께: 20nm)을 적층한 것이다. 스퍼터링법으로 얻어지는 질화 타이타늄막의 성막 조건은 기판 온도를 실온으로 하였다. SP-TiN으로 표기한 시료의 단위 면적당 잔류 분극량 Pr는 대략 12.8이다.
- [0763] 또한, 비교예, CVD-TiN, SP-TiN의 시료에 각각 사용되어 있는 트랜지스터의  $I_D$ - $V_G$  특성의 측정 결과를 도 60의 (A) 및 (B)에 나타내었다. 도 60의 (A) 및 (B)에서는 가로축에 톱 게이트 전위  $V_G$ [V]를 나타내고, 제 1 세로축에 드레인 전류  $I_D$ [A]를 나타내고, 제 2 세로축에  $V_D=0.1\text{V}$ 에서의 전계 효과 이동도  $\mu_{FE}[\text{cm}^2/\text{Vs}]$ 를 나타내었다. 또한  $V_D=0.1\text{V}$ 의 드레인 전류를 가는 실선으로 나타내고,  $V_D=1.2\text{V}$ 의 드레인 전류를 굵은 파선으로 나타내고,  $V_D=0.1\text{V}$ 의 전계 효과 이동도를 가는 점선으로 나타내었다.
- [0764] 또한, 상기  $I_D$ - $V_G$  측정의 결과로부터, 트랜지스터의 시프트 전압  $V_{sh}$ 를 각각 산출하고, 이의 표준 편차  $\sigma(V_{sh})$ 를 산출하였다. 여기서 시프트 전압  $V_{sh}$ 는 트랜지스터의  $I_D$ - $V_G$  커브에서, 커브의 기울기가 최대인 점에서의 접선이  $I_D=1\text{pA}$ 인 직선과 교차되는  $V_G$ 로 정의된다. 도 60의 (A)의 SP-TiN의 시료의 표준 편차  $\sigma(V_{sh})$ 는 64mV로 양호한 값을 얻을 수 있었다. 도 60의 (A)의 SP-TiN의 시료의 전계 효과 이동도  $\mu_{FE}$ 는  $14\text{cm}^2/\text{Vs}$ 이었다.
- [0765] 얻어진  $I_D$ - $V_G$  곡선으로부터, 트랜지스터의 시프트 전압( $V_{sh}$ ) 및 서브스레숄드 스윙값(S값)을 산출하였다. 시프트 전압( $V_{sh}$ )은 트랜지스터의  $I_D$ - $V_G$  곡선에 있어서 기울기가 최대인 점에서의 접선이  $I_D=1\text{pA}$ 의 직선과 교차되는  $V_G$ 로 정의한다. 도 60의 (A)의 SP-TiN의 시료의 S값은 107mV/dec이었다.
- [0766] 도 60의 (B)는 1Tr1C(1 트랜지스터, 1 커패시터)의 소자를 밀도  $8.4/\mu\text{m}^2$ 로 배치한 측정용 회로 중 하나의 트랜지스터의 전기 특성이다. 또한, 도 60의 (A)는 측정용 회로의 배치를 도 60의 (B)와 상이한 레이아웃으로 한 경우의 하나의 트랜지스터의 전기 특성이다.
- [0767] (실시예 8)

- [0768] 본 실시예에서는, 3Tr1C(3 트랜지스터, 1 커패시터)의 소자 구성을 제작하고, 이의 기록 동작과 판독 동작을 수행하고, 전기 특성을 측정한 결과를 이하에 나타낸다.
- [0769] 도 61의 (A)에서, 트랜지스터(OS1)는 게이트선(WWL), 신호선(WBL), 노드(SN)에 접속되어 있다. 또한, 트랜지스터(OS2)는 게이트가 노드(SN)에 접속되고, 소스선(SL)과 접속되어 있다. 또한, 트랜지스터(OS3)는 게이트선(RWL)과 신호선(RBL)에 접속되어 있다. 트랜지스터(OS2)의 드레인 전극(또는 소스 전극)과 트랜지스터(OS3)의 소스 전극(또는 드레인 전극)은 전기적으로 접속되어 있다. 또한, 트랜지스터(OS1)의 백 게이트 전위 BG1과 트랜지스터(OS2) 및 트랜지스터(OS3)의 백 게이트 전위 BG2는 고정 전위, 구체적으로는 0V로 하였다.
- [0770] 도 61의 (A)에서는 1C로서 용량 소자(MFM)를 사용하는 예를 나타내었다. 용량 소자(MFM)는 하부 전극과, 막 두께 10nm의 HfZrOx막과, 상부 전극을 적층한 구조이다. 용량 소자(MFM)의 면적은  $0.25\mu\text{m}^2$ 이다. 용량 소자(MFM)는 노드(SN)와 신호선(C)에 전기적으로 접속되어 있다.
- [0771] 하부 전극을 스퍼터링법으로 얻어지는 텅스텐막(기판 온도 130℃, 막 두께: 30nm)과 메탈 CVD법으로 얻어지는 질화 타이타늄막(기판 온도 400℃, 막 두께: 10nm)의 적층으로 하고, 상부 전극을 메탈 CVD법으로 얻어지는 질화 타이타늄막(기판 온도 400℃, 막 두께: 10nm)과 스퍼터링법으로 얻어지는 텅스텐막(기판 온도 130℃, 막 두께: 20nm)의 적층으로 하였다.
- [0772] 또한, 트랜지스터 및 용량 소자에는 실시예 7에 나타낸 CVD-TiN으로 표기된 시료와 같은 제작 프로세스를 사용하였다.
- [0773] 다음으로, 용량 소자(MFM)의 잔류 분극의 방향을 판독 트랜지스터(트랜지스터(OS3))의 전류 차이로서 확인하기 위한 측정을 수행하였다.
- [0774] 측정을 위한 타이밍 차트의 예를 도 62의 (A)에 나타내었다. 타이밍 차트 중의 WWL, WBL, C, RWL, SN, RBL 등의 명칭은 타이밍 차트에 나타낸 전위가 인가되는 배선을 나타낸 것이다. 소스선(SL)은 타이밍 차트에 도시하지 않았지만, 소정의 전위(정전위)를 인가한 상태로 한다.
- [0775] 우선, 용량 소자(MFM)의 기록 및 판독에 대하여 도 62의 (B1) 및 (B2)를 사용하여 설명한다. 또한, 도 62의 (B1)에 나타낸 등가 회로는 도 61의 (A)와 동일하지만, BG1 및 BG2가 0V이기 때문에 BG1 및 BG2의 기재를 생략하였다.
- [0776] 우선, 게이트선(WWL)의 전위를 트랜지스터(OS1)가 온 상태가 되는 전위로 하여, 트랜지스터(OS1)를 온 상태로 한다. 이로써, 신호선(WBL)의 전위가 트랜지스터(OS2)의 게이트 전극에 인가된다. 또한, 트랜지스터(OS1)가 온 상태인 10ms 동안 신호선(C)에 3V가 인가된다. 용량 소자(MFM)에 3V가 인가되는 이 기간을 Prtset 기간이라고 부른다. 트랜지스터(OS2)의 게이트 전극에는 소정의 전위가 인가되지만, 본 측정 방법에 있어서는 도 62의 (A)의 타이밍 차트에 나타낸 바와 같이 신호선(WBL)의 전위를 항상 0V로 하였다. 그리고, 도 62의 (B2)의 오른쪽 절반에 나타낸 바와 같이 용량 소자(MFM)에 양의 잔류 분극(Pr+)의 방향이 공급된다(제 1 기록). 또한, 도 62의 (B2)의 오른쪽 절반에 나타낸 화살표와, 도 62의 (A) 중의 Prtset 기간의 화살표가 대응한다.
- [0777] 그 후, 게이트선(WWL)의 전위를 트랜지스터(OS1)가 오프 상태가 되는 전위로 하여 트랜지스터(OS1)를 오프 상태로 한다.
- [0778] 메모리 셀로서 기능시키는 경우에는, 게이트선(RWL)은 판독 워드선에 상당하고, 게이트선(WWL)은 기록 워드선에 상당하고, 신호선(WBL)은 기록 비트선에 상당하고, 신호선(RBL)은 판독 비트선에 상당한다. 트랜지스터(OS1)를 오프 상태로 하고, 신호선(WBL)에 0V가 아닌 전위를 인가한 경우에는, 트랜지스터(OS2)의 게이트 전극에 공급된 전하는 유지될 수 있다(유지). 신호선(WBL)에 전위를 인가한 경우에는, 트랜지스터(OS1)의 오프 전류는 매우 작기 때문에, 트랜지스터(OS2)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다.
- [0779] 또한, 상기 기록 동작 중에는 트랜지스터(OS3)는 오프 상태로 한다.
- [0780] 다음으로, 트랜지스터(OS1)를 오프 상태로 함으로써, 노드(SN)를 플로팅 전위로 하고, 트랜지스터(OS3)를 온 상태로 하고, 신호선(C)에 0V로부터 3V까지 스위프(전위 스위프)시킴으로써 신호선(RBL)의 전류값  $I_{RBL}$ 를 측정하고, 그 때의 세로축을 전류값  $I_{RBL}$ , 가로축을 신호선(C)의 전압  $V_c$ 로 한 전기 특성(Pr+)을 실선으로 도 63의 (A)에 나타내었다.
- [0781] 다음으로, 게이트선(WWL)의 전위를 트랜지스터(OS1)가 온 상태가 되는 전위로 하여, 트랜지스터(OS1)가 온 상태

인 10ms 동안 신호선(C)에 -3V를 인가한다. 용량 소자(MFM)에 -3V를 인가하는 기간을 Pr-set 기간이라고 부른다. 즉, 트랜지스터(OS2)의 게이트 전극에는 소정의 전하가 공급되고, 도 62의 (B2)의 왼쪽 절반에 나타낸 바와 같이 용량 소자(MFM)에 음의 잔류 분극(Pr-)의 방향이 공급된다(제 2 기록). 또한, 도 62의 (B2)의 왼쪽 절반에 나타낸 화살표와, 도 62의 (A) 중의 Pr-set 기간의 화살표가 대응한다.

- [0782] 또한, 상기 기록 동작 중에는 트랜지스터(OS3)는 오프 상태로 한다.
- [0783] 다음으로, 도 62의 (C1)에 나타낸 바와 같이, 트랜지스터(OS1)를 오프 상태로 함으로써 노드(SN)를 플로팅 전위로 하고, 트랜지스터(OS3)를 온 상태로 하고, 신호선(C)에 0V로부터 3V까지 스위프시킴으로써 신호선(RBL)의 전류값  $I_{RBL}$ 를 측정하고, 그 때의 세로축을 전류값  $I_{RBL}$ , 가로축을 신호선(C)의 전압  $V_C$ 로 한 전기 특성(Pr-)을 도 63의 (A)에 점선으로 나타내었다. 또한, 도 62의 (C1)에 나타낸 등가 회로는 도 61의 (A)와 동일하지만, BG1 및 BG2가 0V이기 때문에 BG1 및 BG2의 기재를 생략하였다.
- [0784] 또한, 도 63의 (A)에서, 용량 소자(MFM)에 대한 3V 인가 후의 스위프 20번과, 용량 소자(MFM)에 대한 -3V 인가 후의 스위프 20번의 총 40번 중첩시켜 표시하였다.
- [0785] 신호선(C)에 3V 인가한 후 판독된 전류값  $I_{RBL}$ 과, 신호선(C)에 -3V 인가한 후 판독된 전류값  $I_{RBL}$  사이에서 전류 차이가 발생한다. 이 전류 차이는 도 62의 (C2)에 나타낸 용량 소자(MFM)의 양의 잔류 분극의 방향과, 도 62의 (C2)에 나타낸 용량 소자(MFM)의 음의 잔류 분극의 방향을 판독 트랜지스터(트랜지스터(OS3))의 전류 차이로 간주할 수 있다. 따라서, 도 63의 (A)에 나타낸 측정 결과에 의하여 용량 소자(MFM)의 잔류 분극의 방향을 판독 트랜지스터(트랜지스터(OS3))의 전류 차이로서 확인할 수 있었다.
- [0786] 또한, 도 61의 (A)에 나타낸 3Tr1C의 소자 구성에서는, 트랜지스터(OS1)의 오프 상태에서의 누설 전류가 매우 작기 때문에, 노드(SN)의 전위를 유지할 수 있다는 특징을 활용함으로써, 정보의 기록, 유지, 판독이 가능하다.
- [0787] 또한, 여기서는 하나의 소자 구성으로 이루어지는 메모리 셀을 나타내었지만, n(행)×m(열)으로 배열된 복수의 메모리 셀로 이루어지는 메모리 셀 어레이를 제작할 수도 있다.
- [0788] 또한, 같은 측정 방법으로, 실시예 7의 비교예와 같은 소자 구성을 사용하여 수행한 결과를 도 63의 (B)에 나타내었다. 또한, 비교예에 있어서는 용량 소자(MFM)에 대한 3V 인가 후의 스위프 두 번과, 용량 소자에 대한 -3V 인가 후의 스위프 두 번의 총 네 번의 측정 결과를 중첩시켰다. 전기 특성(Pr+)을 실선으로 나타내고, 전기 특성(Pr-)을 도 63의 (A)에 점선으로 나타내었다.
- [0789] 비교예는 실시예 7에 나타낸 비교예와 같은 프로세스이다. 하부 전극을 스퍼터링법으로 얻어지는 텅스텐막(기판 온도 130℃, 막 두께: 30nm)과, 메탈 CVD법으로 얻어지는 질화 타이타늄막(기판 온도 400℃, 막 두께: 10nm)의 적층으로 하고, 하부 전극 위에 ALD법으로 얻어지는 산화 알루미늄막(기판 온도 250℃, 막 두께: 14nm)과 PECVD법으로 얻어지는 산화질화 실리콘막(기판 온도 350℃, 막 두께: 7nm)을 적층하고, 그 위에 상부 전극으로서 메탈 CVD법으로 얻어지는 질화 타이타늄막(기판 온도 400℃, 막 두께: 10nm)과 스퍼터링법으로 얻어지는 텅스텐막(기판 온도 130℃, 막 두께: 20nm)을 적층하였다.
- [0790] 비교예에서는 도 63의 (B)에 나타낸 바와 같이 전류 차이는 확인할 수 없었다.
- [0791] (실시예 9)
- [0792] <f 특성의 측정>
- [0793] 본 실시예에서는, 실시예 7과 마찬가지로 제작한 시료를 사용하여 f 특성의 측정을 수행한 결과를 나타낸다.
- [0794] 특성의 측정을 수행한 시료의 구조는 도 20에 나타낸 바와 같은 용량 소자(100)이고, 전극 크기가  $1.265\mu\text{m} \times 1.05\mu\text{m}$ 의 소자를 300개 배선층을 통하여 접속하고, 면적 A는 합계  $398.5\mu\text{m}^2$ 이다.
- [0795] 도 64의 (A)에 f 특성의 측정계를 나타내었다. 도 64의 (B)에 f 특성의 측정의 동작 시퀀스를 나타내었다. 도 64의 (C) 및 (D)에 분극 변화의 상정도를 나타내었다. 도 65에 리텐션 측정의 결과를 나타내었다.
- [0796] 도 64의 (A)에 나타낸 바와 같이, f 특성의 측정계로서 적어도 펄스 생성기와 전류계를 가진다. 측정은 실온에서 수행하였다. 본 실시예에서는 펄스 생성기로서 TEKTRONIX 제조 DG2020A를 사용하고, 전류계로서 KEYSIGHT 제조 반도체 파라미터 애널라이저 B1500A를 사용하였다.
- [0797] f 특성의 측정에서는, 펄스 생성기를 사용하여 시료에 전위를 인가하고, 그 때 흐르는 전류를 측정한다. 도 64

의 (B)에 나타낸 f 특성 측정의 동작 시퀀스에 대하여 설명한다. 기간 T1에 있어서, 시료에 음의 전위의 펄스를 공급하여, 음의 전위 측의 분극 상태로 한다. 다음으로, 기간 T2에 있어서, 0V의 전위로 유지한 후, 기간 T3에 있어서, 양의 전위의 펄스를 공급하여, 시료를 흐르는 전류를 측정한다. 여기서, 기간 T3에서 공급하는 양의 전위의 펄스 폭(시간)을 복수의 조건으로 측정함으로써, 분극을 반전하기 위하여 필요한 시간을 평가할 수 있다. 분극을 반전하기 위하여 필요한 시간이 짧을수록, 기억 소자로서 고속으로 재기록이 가능하며, 소비 전력도 저감할 수 있기 때문에 바람직하다. 본 실시예에서는, 기간 T3의 조건으로서, 양의 전위의 사각파 펄스의 폭을 1sec로 한 조건에서 5nsec로 한 조건까지의 복수 조건으로 측정을 수행하였다. 사각파 펄스를 반주기로 생각하면, 1sec의 조건은 0.5Hz, 5nsec의 조건은 100MHz라고 부를 수 있다. 이어서, 기간 T4에 있어서, 0V의 전위로 유지한 후, 기간 T5에 있어서, 충분한 길이의 양의 전위 펄스를 인가하고, 시료를 흐르는 전류를 측정한다. 여기서 충분한 길이란, 시료를 흐르는 전류값의 변화가 실질적으로 없어질 때까지의 시간을 가리키고, 본 실시예에서는 1sec으로 하였다. 이어서, 기간 T6에 있어서, 기간 T5와 같은 양의 전위의 펄스를 공급하고, 시료를 흐르는 전류를 측정한다. 여기서, 기간 T5에서 흐른 전하량과 기간 T6에서 흐른 전하량의 차분  $\Delta C$ 를 취득함으로써, 기간 T5에서의 분극의 반전에서 유래되는 전하량과 누설 성분 등의 다른 요인에서 유래되는 전하량을 나눌 수 있다. 차분  $\Delta C$ 를 면적 A로 나눔으로써, 분극의 지표인  $\Delta Pr$ 를 얻을 수 있다. 여기서, 면적 A는 용량 소자의 2개의 전극이 중첩되는 면적이다. 측정 데이터의 해석으로 얻어진  $\Delta Pr$ 의 값과 기간 T3의 펄스 폭(시간)을 그래프로 함으로써, 어느 정도의 기간으로 분극을 반전할 수 있는지를 알 수 있다. 또한, 본 실시예의 측정 데이터의 해석으로는 사용하지 않았지만, 기간 T6의 후에 기간 T7 및/또는 기간 T8의 측정을 수행하고, 차분  $\Delta C$ 의 측정 정밀도의 향상을 도모하여도 좋다. f 특성의 측정의 동작 시퀀스의 자세한 조건을 표 7에 나타낸다.

[0798] [표 7]

기간	전압		시간	비고
T1	- 2.5V		5sec	
T2	0V		5sec	
T3	2.5V		1sec, 100nsec, 10nsec, 5nsec	0.5Hz, 5MHz, 50MHz, 100MHz
T4	0V		5sec	
T5	High	2.5V	1sec	
	Low	0V	1sec	
T6	High	2.5V	1sec	
	Low	0V	1sec	
T7	High	2.5V	1sec	
	Low	0V	1sec	
T8	High	2.5V	1sec	
	Low	0V	1sec	

[0799]

[0800]

도 64의 (B), (C) 및 (D)를 사용하여 f 특성의 측정에서 분극을 반전할 수 있는 경우와 분극을 반전할 수 없는 경우에 대하여 설명한다. 도 64의 (C)는 기간 T3에 있어서 분극을 반전할 수 있는 경우에서의 기간 T1 내지 기간 T5의 분극 변화의 상정도이고, 기간 T4에 있어서 P4a로 나타낸 바와 같이, 양의 분극 상태를 나타내고 있다. 도 64의 (D)는 기간 T3에 있어서 분극을 반전할 수 없는 경우에서의 기간 T1 내지 기간 T5의 분극 변화의 상정도이고, 기간 T4에 있어서 P4b로 나타낸 바와 같이 분극 상태로 반전할 수 없는 상태를 나타내고 있다. 기간 T3에 있어서 분극을 반전할 수 있었는지 여부는 기간 T5에서 흐르는 전하량으로 판단할 수 있으며, 분극을 유지할 수 있는 경우에는 기간 T5에서 흐르는 전하량이 적고, 분극을 유지할 수 없는 경우에는 기간 T5에서 흐르는 전하량이 많아진다.

[0801]

f 특성의 측정 결과를 도 65에 나타내었다. 기간 T3의 조건으로서, 1sec(0.5Hz), 100nsec(5MHz),

10nsec(50MHz), 5nsec(100MHz)의 네 가지 조건의 측정을 수행하였다. 1sec(0.5Hz)에 대해서는 N=2 번의 측정 결과를 나타내었다. 또한, 기간 T3에서의 기록을 수행하지 않은 경우의 측정 결과에 대해서도 함께 나타내었다. 어느 측정에서도, 기록을 수행하지 않은 경우에 비하여  $\Delta Pr$ 가 충분히 작고, 기간 T3의 기록에서 분극을 반전시킬 수 있었다고 판단할 수 있는 값이었다. 따라서, 본 실시예의 시료는 적어도 100MHz에서의 재 기록 동작이 가능하다는 결과를 나타내었다고 할 수 있다.

[0802] (실시예 10)

[0803] <리텐션 측정>

[0804] 본 실시예에서는, 실시예 1에 나타난 시료(800B)에 대하여 수행한 리텐션 측정의 결과에 대하여 설명한다.

[0805] 본 실시예에서는, 실시예 6에 나타난 리텐션 측정과 상이한 방법으로 측정을 수행하였다. 도 66의 (A)에 리텐션 측정의 측정계를 나타내었다. 도 66의 (B)에 리텐션 측정의 동작 시퀀스를 나타내었다. 도 66의 (C) 및 (D)에 분극 변화의 상정도를 나타내었다. 도 67의 (A)에 리텐션 측정의 결과를 나타내었다.

[0806] 도 66의 (A)에 나타난 바와 같이, 리텐션 측정의 측정계로서 적어도 펄스 생성기와 전류계를 가진다. 측정은 실온에서 수행하였다. 본 실시예에서는 펄스 생성기로서 KEYSIGHT 제조 M9185B를 사용하고, 전류계로서 KEYSIGHT 제조 반도체 파라미터 애널리저 B1500A를 사용하였다. 또한, 본 실시예에서는, 복수의 온도 조건으로 리텐션 측정을 수행하기 때문에, 온도 조정 기능을 가진 스테이지가 제공된 프로버를 사용하였다.

[0807] 리텐션 측정에서는, 펄스 생성기를 사용하여 시료에 전위를 인가하고, 그 때 흐르는 전류를 측정한다. 도 66의 (B)에 나타난 리텐션 측정의 동작 시퀀스에 대하여 설명한다. 기간 T1에 있어서, 시료에 음의 전위의 펄스를 공급하여, 음의 전위 측의 분극 상태로 한다. 다음으로, 기간 T2에 있어서, 리텐션 측정을 위하여, 후술하는 유지 기간을 0V의 전위로 유지한다. 다음으로, 기간 T3에 있어서, 양의 전위의 펄스를 공급하고, 시료를 흐르는 전류를 측정한다. 이어서, 기간 T4에 있어서, 기간 T3과 같은 양의 전위의 펄스를 공급하고, 시료를 흐르는 전류를 측정한다. 여기서, 기간 T3에서 흐른 전하량과 기간 T4에서 흐른 전하량의 차분  $\Delta C$ 를 취득함으로써, 기간 T3에서의 분극의 반전에서 유래되는 전하량과 누설 성분 등의 다른 요인에서 유래되는 전하량을 나눌 수 있다. 차분  $\Delta C$ 를 면적 A로 나눔으로써, 분극의 지표인  $\Delta Pr$ 를 얻을 수 있다. 여기서, 면적 A는 용량 소자의 2개의 전극이 중첩되는 면적이다. 측정 데이터의 해석으로 얻어진  $\Delta Pr$ 의 값과 기간 T2의 유지 기간의 길이를 그래프로 함으로써, 어느 정도의 기간에서 분극을 유지할 수 있는지를 알 수 있다. 또한, 본 실시예의 측정 데이터의 해석으로는 사용하지 않았지만, 기간 T4의 후에 기간 T5 및/또는 기간 T6의 측정을 수행하고, 차분  $\Delta C$ 의 측정 정밀도의 향상을 도모하여도 좋다. 리텐션 측정의 동작 시퀀스의 자세한 조건을 표 8에 나타낸다.

[0808] [표 8]

기간	전압		시간	비고
T1	-2.5V		5sec	
T2	0V		1, 10, 100, 1000, 259200sec	85℃ 측정
T2	0V		1, 10, 100, 1000 sec	150℃, 200℃ 측정
T3	High	2.5V	1sec	
	Low	0V	1sec	
T4	High	2.5V	1sec	
	Low	0V	1sec	
T5	High	2.5V	1sec	
	Low	0V	1sec	
T6	High	2.5V	1sec	
	Low	0V	1sec	

[0809]

[0810]

도 66의 (B), (C), 및 (D)를 사용하여 리텐션 측정으로 분극을 유지할 수 있는 경우와, 분극을 유지할 수 없는 경우를 설명한다. 도 66의 (C)는 기간 T2에 있어서 분극을 유지할 수 있는 경우에서의 기간 T1 내지 기간 T3의 분극 변화의 상정도이고, 기간 T2의 종료 시에도 P2a로 나타낸 바와 같이 분극을 유지한다. 도 66의 (D)는 기간 T2에서 분극을 유지할 수 없는 경우에서의 기간 T1 내지 기간 T3의 분극 변화의 상정도이고, 기간 T2의 종료 시에는, P2b로 나타낸 바와 같이, 분극이 감소되어 있다. 기간 T2에서 분극을 유지할 수 있었는지 여부는 기간 T3에서 흐르는 전하량으로 판단할 수 있으며, 분극을 유지할 수 있는 경우에는 기간 T3에서 흐르는 전하량이 많고, 분극을 유지할 수 없는 경우에는 기간 T3에서 흐르는 전하량이 적어진다.

[0811]

시료(800B)에 대하여 수행한 리텐션 측정의 결과를 도 67에 나타내었다. 온도 조건은 85℃, 150℃, 및 200℃의 세 가지 조건으로 실시하였다. 기간 T2의 조건으로서, 85℃에서는 1sec, 10sec, 100sec, 1000sec, 및 259200sec(3일 동안)의 다섯 가지 조건의 측정을 수행하고, 150℃ 및 200℃에서는 1sec, 10sec, 100sec, 및 1000sec의 네 가지 조건의 측정을 수행하였다. 어느 측정에 있어서도 ΔPr는 분극을 유지할 수 있었다고 판단할 수 있는 값이었다.

**부호의 설명**

[0812]

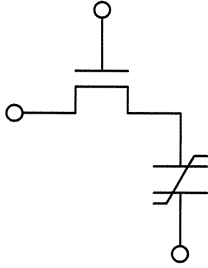
51: 곡선, 51i: 직선, 52: 곡선, 52i: 직선, 61: 점, 62: 점, 100: 용량 소자, 110: 도전체, 112: 도전체, 115a: 절연체, 115b: 절연체, 120: 도전체, 120a: 도전체, 120b: 도전체, 130: 절연체, 130a: 절연체, 130b: 절연체, 130c: 절연체, 131a: 다결정 영역, 131b: 다결정 영역, 132: c축, 134: 법선, 136: 그레인, 138a: 층, 138b: 층, 150: 절연체, 152a: 절연체, 152b: 절연체, 154a: 절연체, 154b: 절연체, 155: 절연체, 162: 도전체, 166: 절연체, 168a: 절연체, 168b: 절연체, 200: 트랜지스터, 205: 도전체, 205a: 도전체, 205b: 도전체, 210: 절연체, 212: 절연체, 214: 절연체, 216: 절연체, 217: 절연체, 218: 도전체, 222: 절연체, 224: 절연체, 230: 산화물, 230a: 산화물, 230b: 산화물, 230ba: 영역, 230bb: 영역, 230bc: 영역, 240: 도전체, 240a: 도전체, 240b: 도전체, 241: 절연체, 241a: 절연체, 241b: 절연체, 242: 도전체, 242a: 도전체, 242b: 도전체, 245: 절연체, 246: 도전체, 246a: 도전체, 246b: 도전체, 250: 절연체, 250a: 절연체, 250b: 절연체, 252: 절연체, 254: 절연체, 255: 도전체, 260: 도전체, 260a: 도전체, 260b: 도전체, 262: 도전체, 265: 밀봉부, 271: 절연체, 271a: 절연체, 271b: 절연체, 274: 절연체, 275: 절연체, 280: 절연체, 282: 절연체, 283: 절연체, 285: 절연체, 286: 절연체, 287: 절연체, 288: 도전체, 289: 절연체, 300: 트랜지스터, 311: 기판, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356:

도전체, 357: 도전체, 400: 개구 영역, 401: 전구체, 402: 전구체, 403: 산화성 가스, 404: 캐리어 퍼지 가스, 411: 전구체, 412: 전구체, 413: 전구체, 414: 산화성 가스, 500: 반도체 장치, 800: 시료, 800A: 시료, 800B: 시료, 800B\_1: 시료, 800B\_2: 시료, 800C: 시료, 800C\_1: 시료, 800C\_2: 시료, 800C\_3: 시료, 801: 기관, 802: 절연체, 803: 도전체, 803a: 도전체, 803b: 도전체, 804: 절연체, 805: 도전체, 805a: 도전체, 805b: 도전체, 806: 절연체, 807: 도전체, 808: 도전체, 811A: 곡선, 811B: 곡선, 811C: 곡선, 812A: 곡선, 812B: 곡선, 812C: 곡선, 813A: 곡선, 813B: 곡선, 813C: 곡선, 814A: 곡선, 814B: 곡선, 814C: 곡선, 821: 곡선, 822: 곡선, 830: 시료, 830A: 시료, 830B: 시료, 830C: 시료, 830D: 시료, 830E: 시료, 830F: 시료, 830G: 시료, 830H: 시료, 830I: 시료, 830J: 시료, 830K: 시료, 830L: 시료, 830M: 시료, 830N: 시료, 8300: 시료, 830P: 시료, 831: 실선, 832: 파선, 833: 점선, 900: 제조 장치, 901: 반응실, 903: 가스 도입구, 904: 입구, 905: 배기구, 907: 웨이퍼 스테이지, 908: 축, 950: 웨이퍼, 1001: 배선, 1002: 배선, 1003: 배선, 1004: 배선, 1005: 배선, 1006: 배선, 1007: 배선, 1008: 배선, 1009: 배선, 1100: USB 메모리, 1101: 하우징, 1102: 캡, 1103: USB 커넥터, 1104: 기관, 1105: 메모리 칩, 1106: 컨트롤러 칩, 1110: SD 카드, 1111: 하우징, 1112: 커넥터, 1113: 기관, 1114: 메모리 칩, 1115: 컨트롤러 칩, 1150: SSD, 1151: 하우징, 1152: 커넥터, 1153: 기관, 1154: 메모리 칩, 1155: 메모리 칩, 1156: 컨트롤러 칩, 1400: 기억 장치, 1411: 주변 회로, 1420: 행 회로, 1430: 열 회로, 1440: 출력 회로, 1460: 컨트롤 로직 회로, 1470: 메모리 셀 어레이, 2020A: DG, 5100: 정보 단말기, 5101: 하우징, 5102: 표시부, 5200: 노트북형 정보 단말기, 5201: 본체, 5202: 표시부, 5203: 키보드, 5300: 휴대용 게임기, 5301: 하우징, 5302: 하우징, 5303: 하우징, 5304: 표시부, 5305: 접속부, 5306: 조작 키, 5400: 거치형 게임기, 5402: 컨트롤러, 5500: 슈퍼컴퓨터, 5501: 랙, 5502: 계산기, 5504: 기관, 5701: 표시 패널, 5702: 표시 패널, 5703: 표시 패널, 5704: 표시 패널, 5800: 전기 냉동 냉장고, 5801: 하우징, 5802: 냉장실용 문, 5803: 냉동실용 문

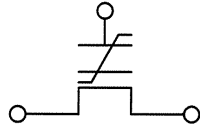
도면

도면1

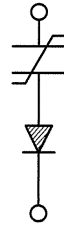
(A1)



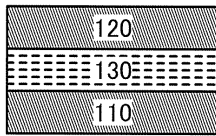
(B1)



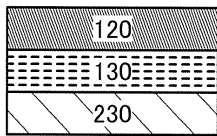
(C1)



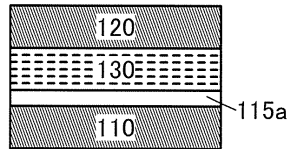
(A2)



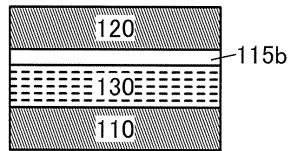
(B2)



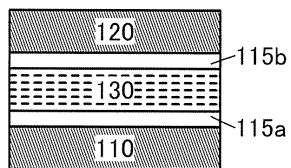
(C2)



(C3)

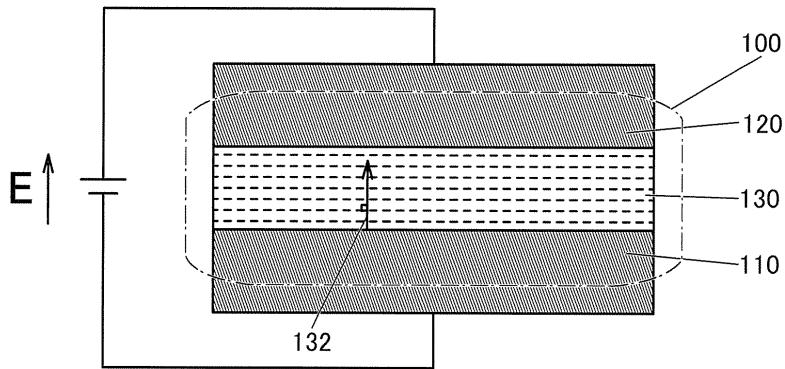


(C4)

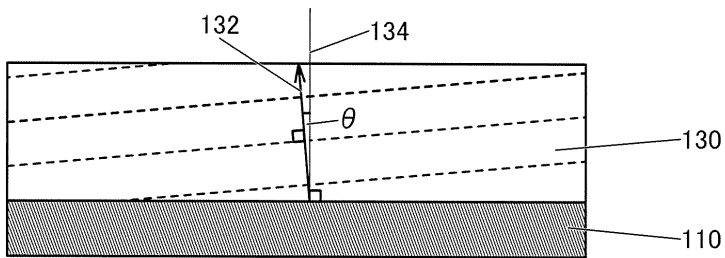


도면2

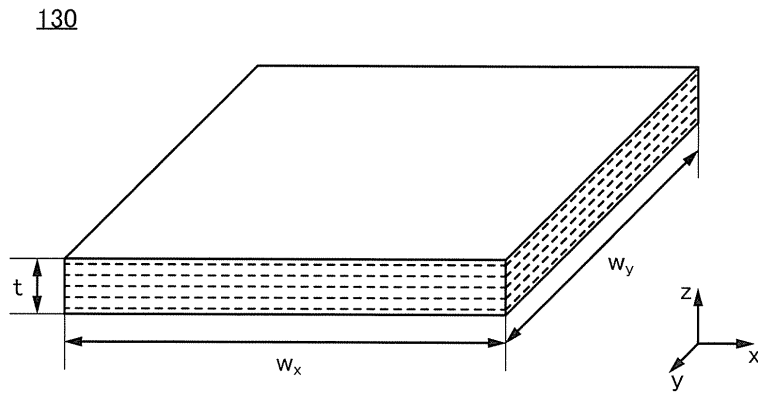
(A)



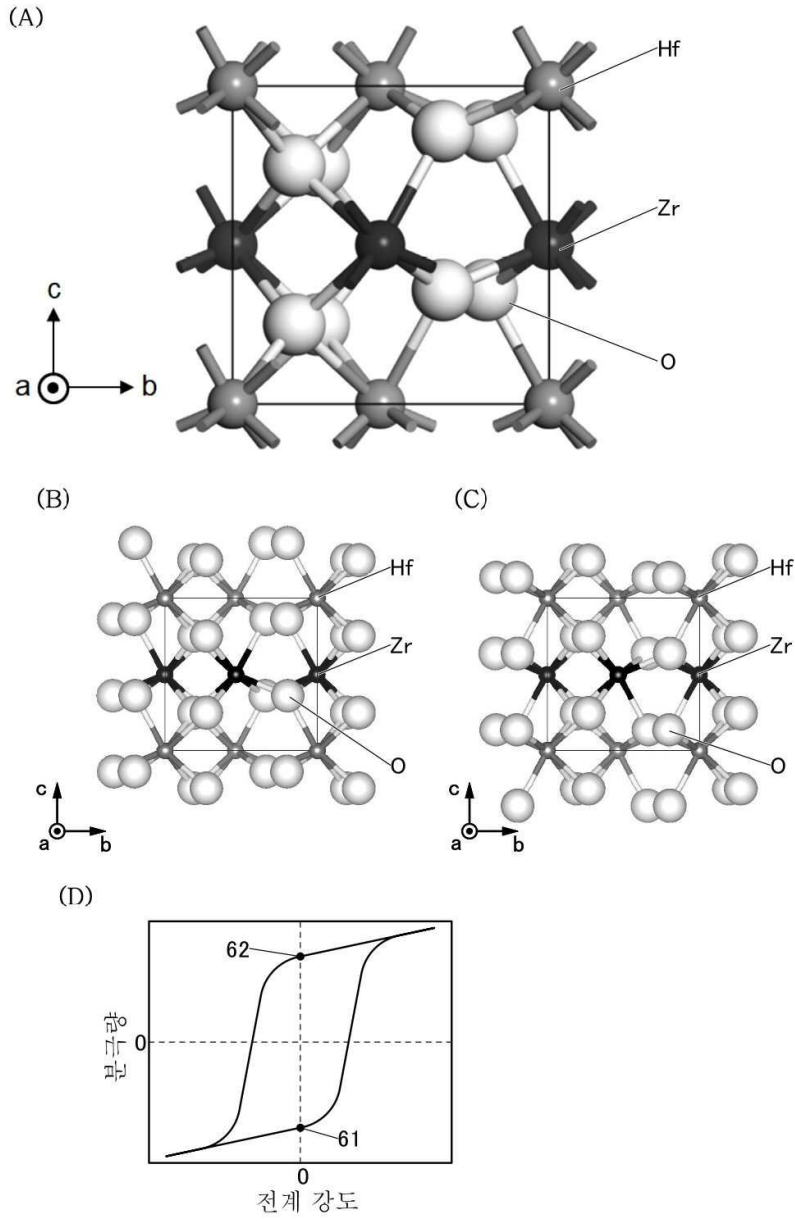
(B)



(C)

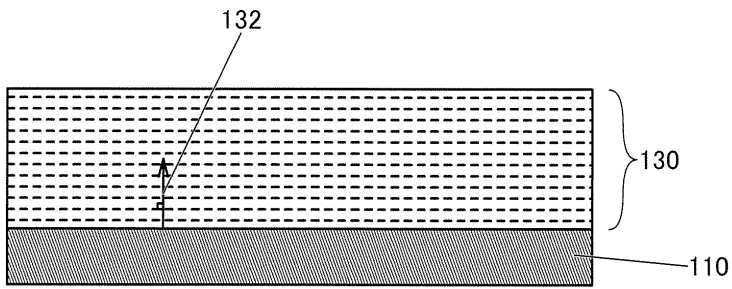


도면3

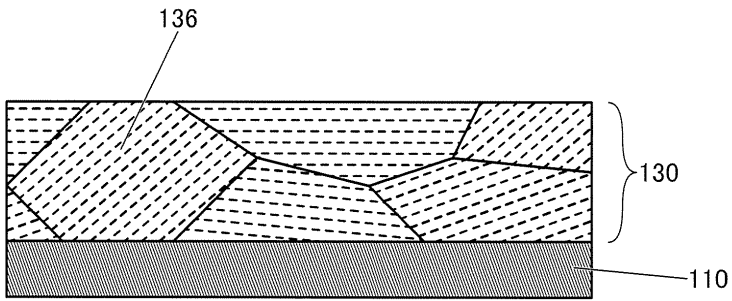


도면4

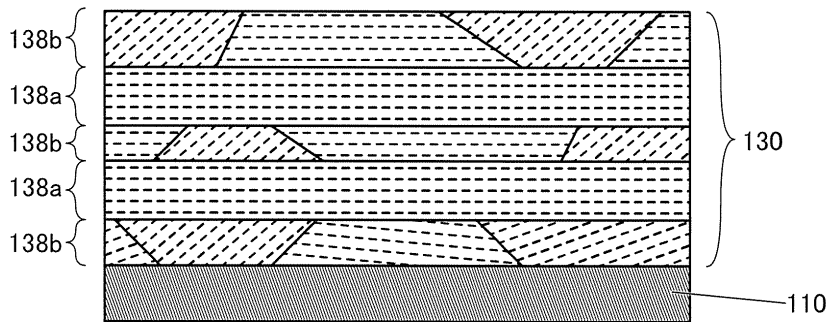
(A)



(B)

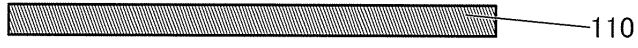


(C)

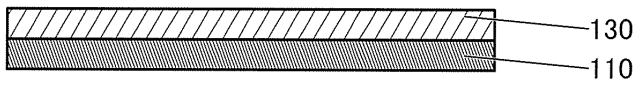


도면5

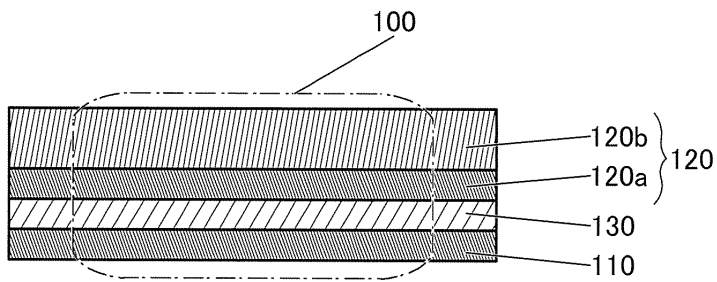
(A)



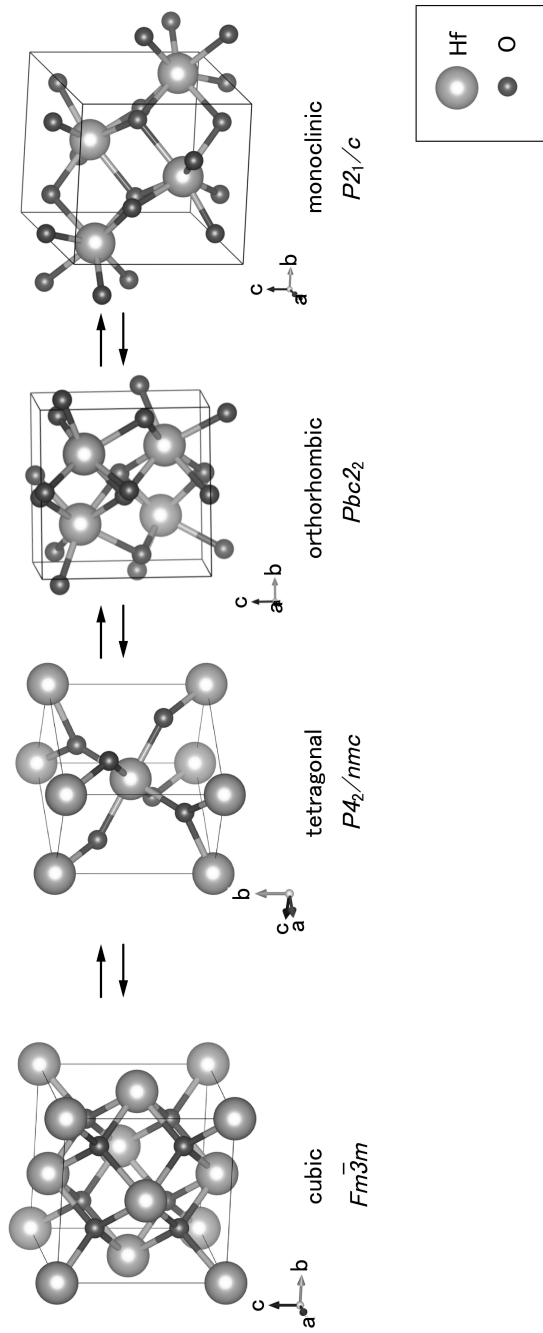
(B)



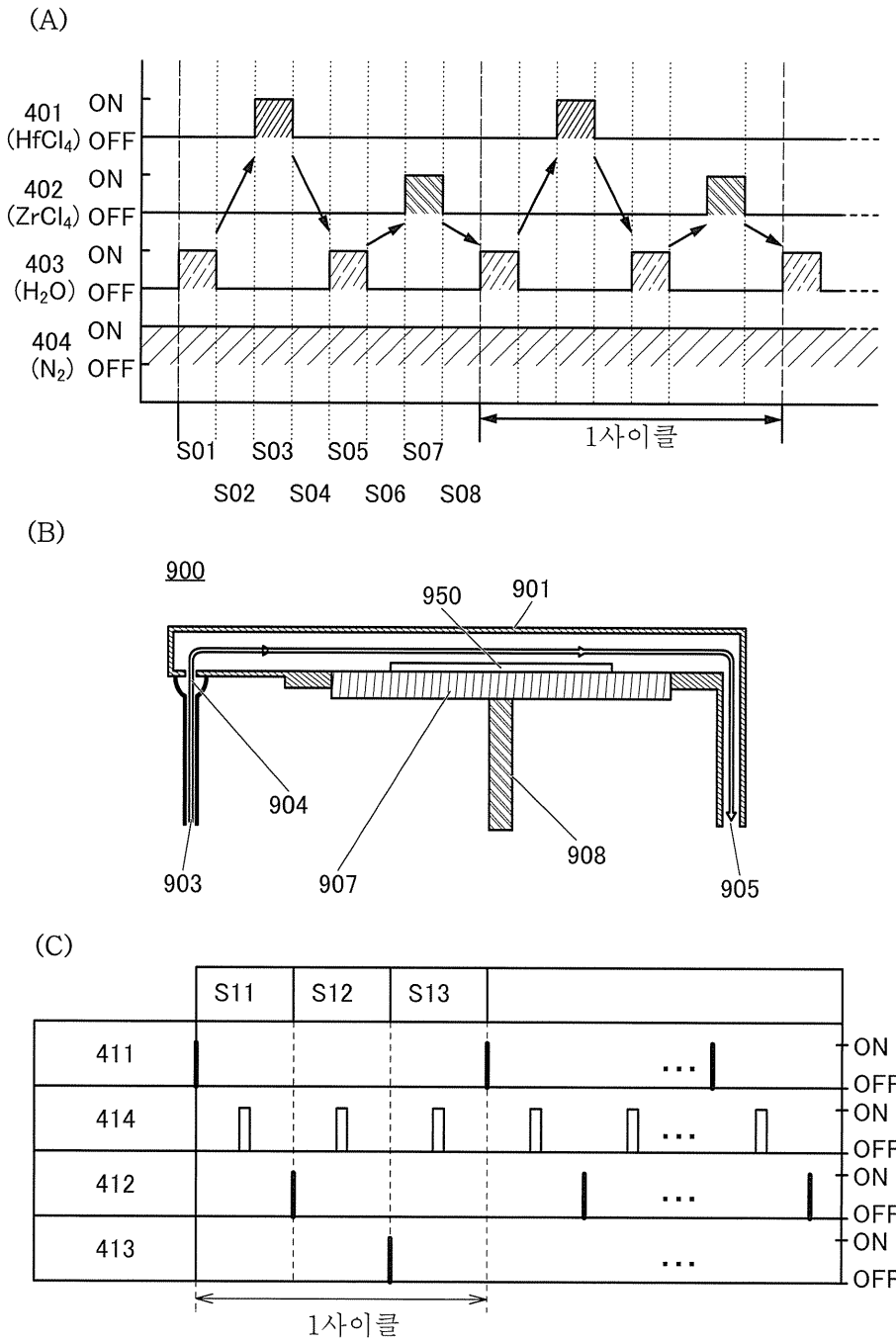
(C)



도면6

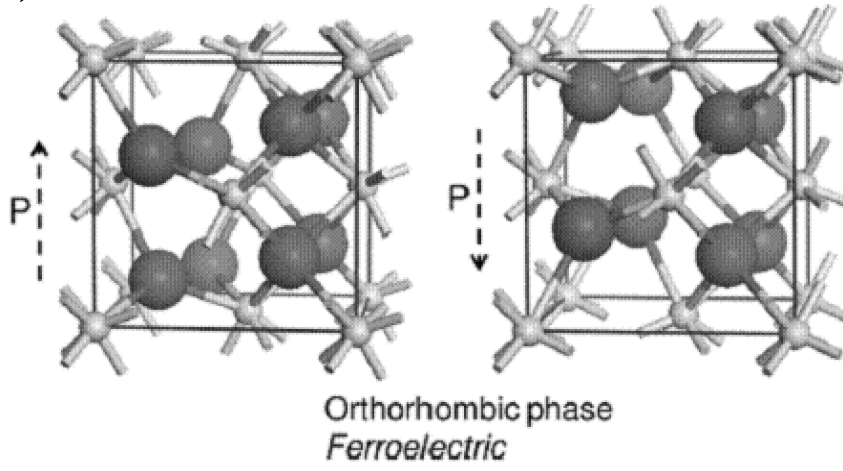


도면7

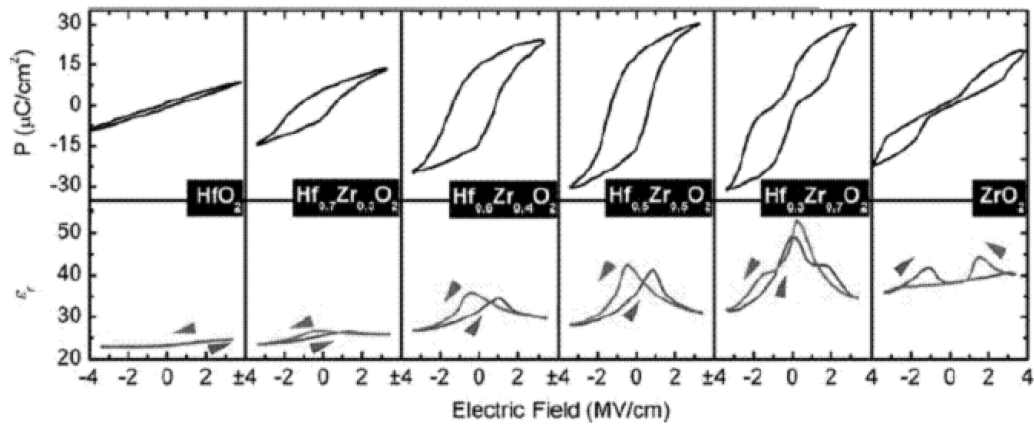


도면8

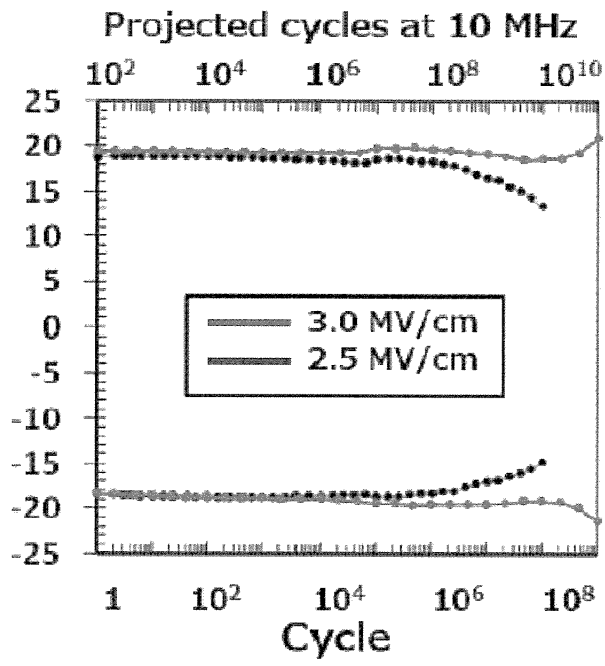
(A)



(B)

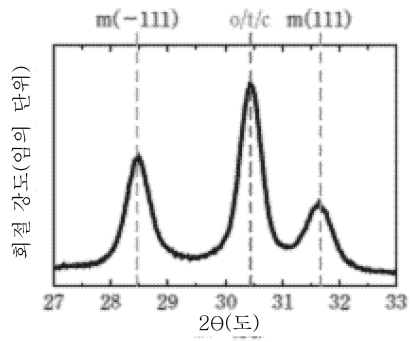


도면9

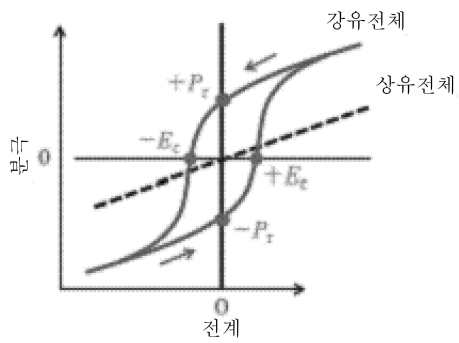


도면10

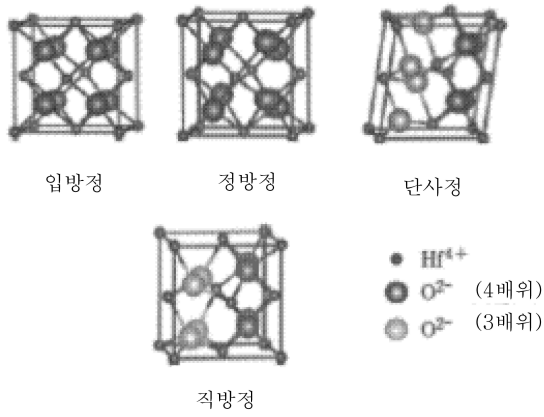
(A)



(B)

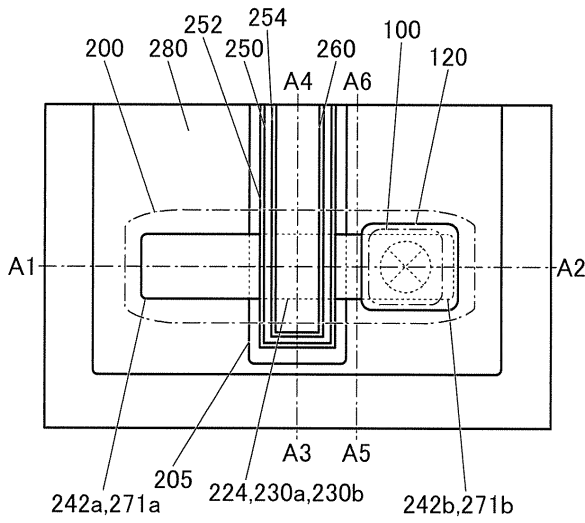


(C)

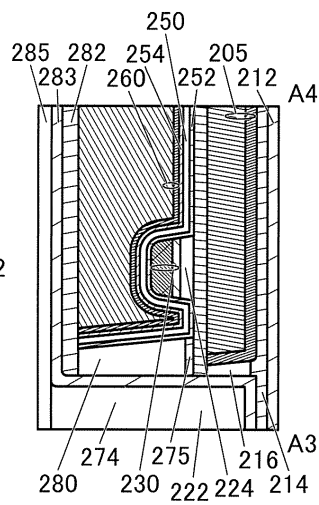


도면11

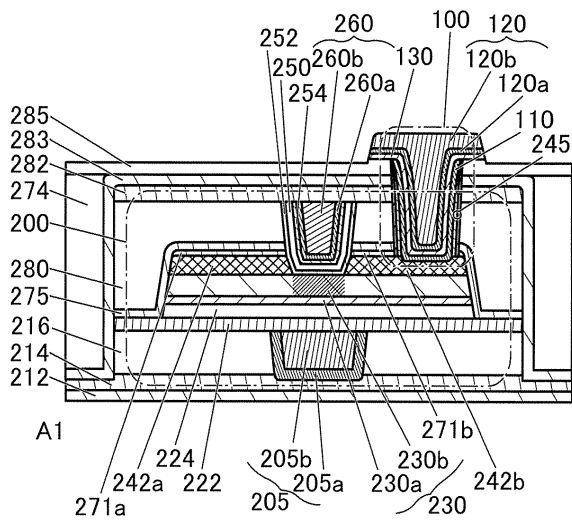
(A)



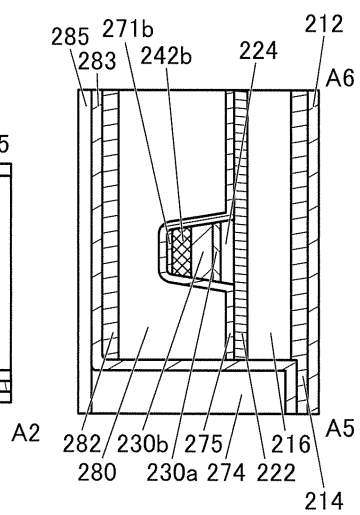
(C)



(B)

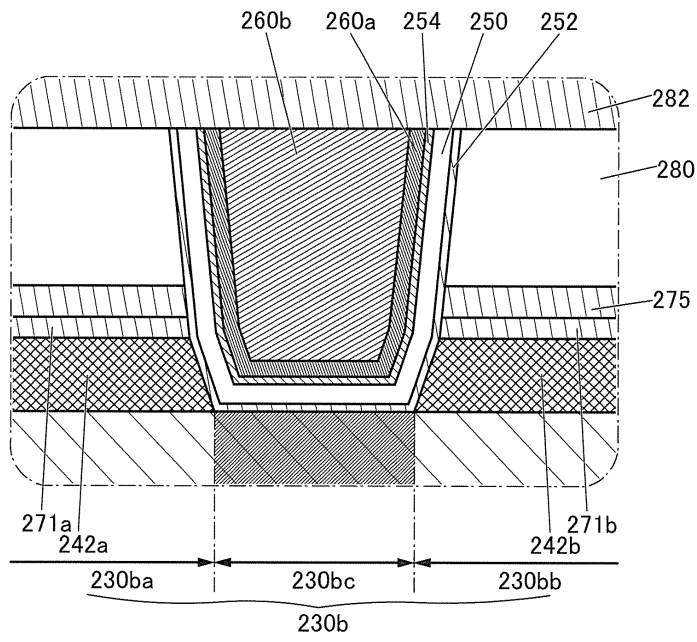


(D)

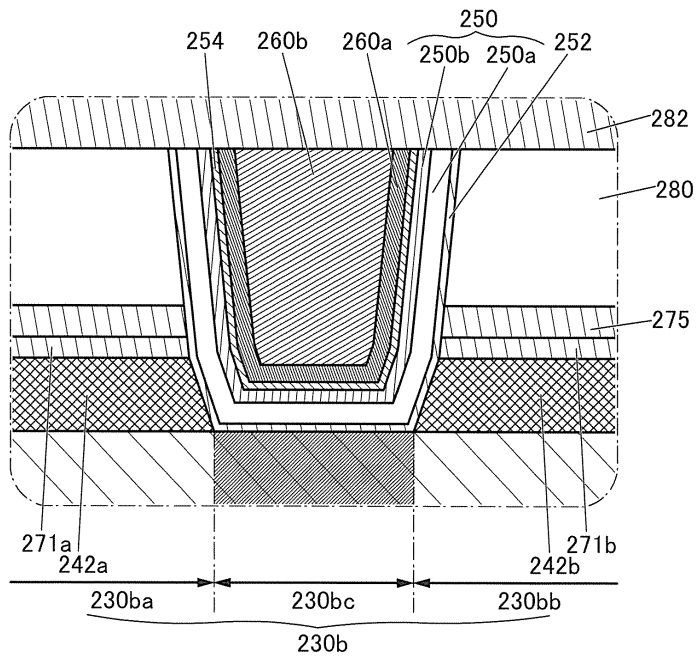


도면12

(A)



(B)



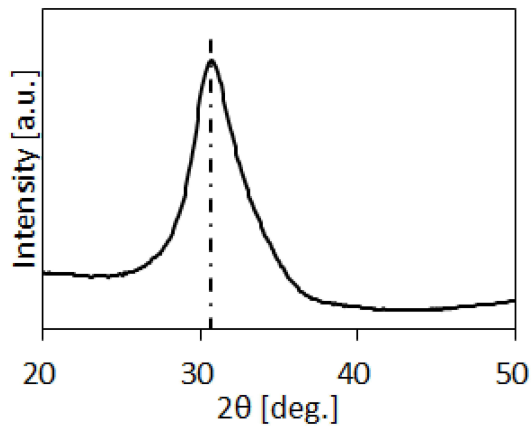
도면13

(A)

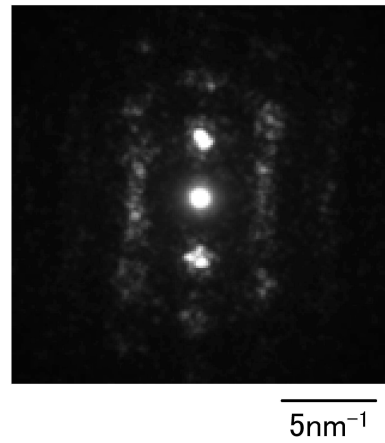
중간 상태  
새로운 경계 영역

Amorphous (무정형)	Crystalline (결정성)	Crystal (결정)
▪ completely amorphous	▪ CAAC ▪ nc ▪ CAC  excluding single crystal and poly crystal	▪ single crystal ▪ poly crystal

(B)

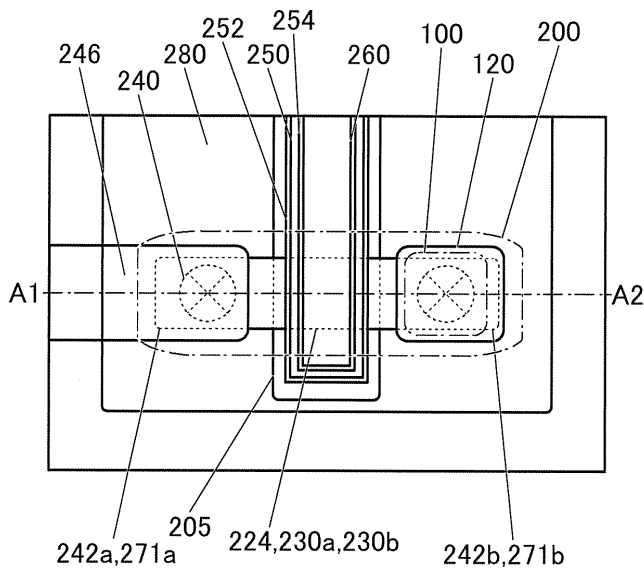


(C)

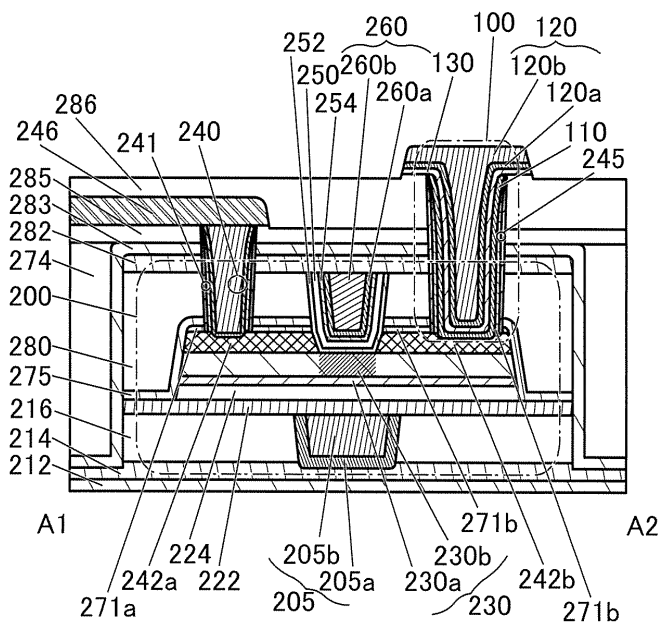


도면14

(A)

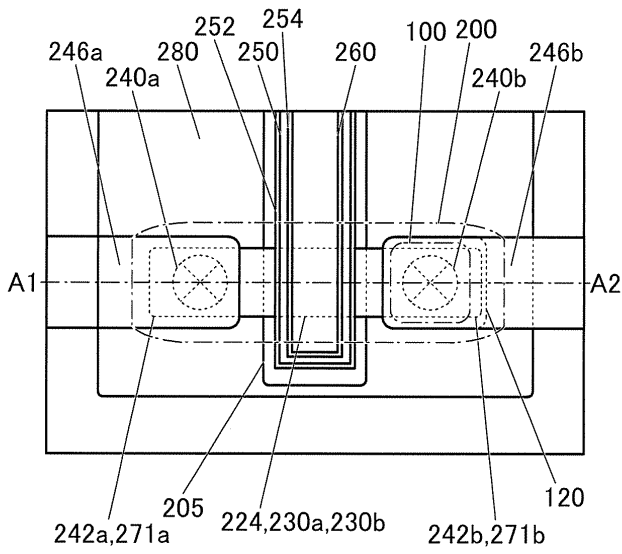


(B)

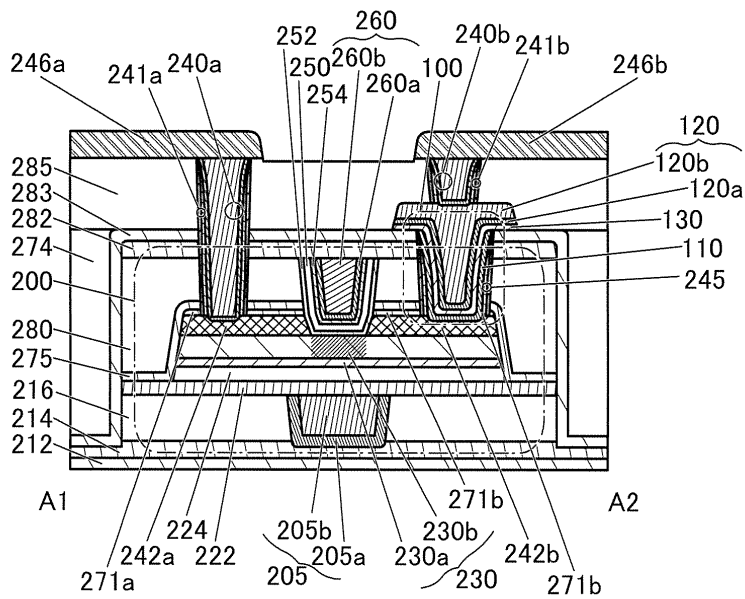


도면15

(A)

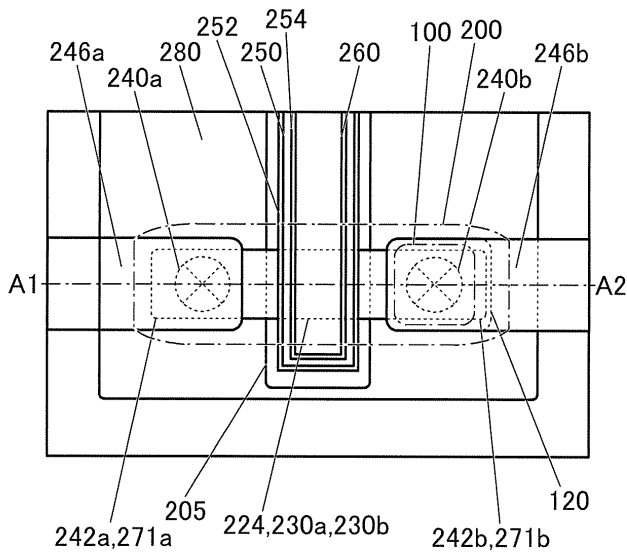


(B)

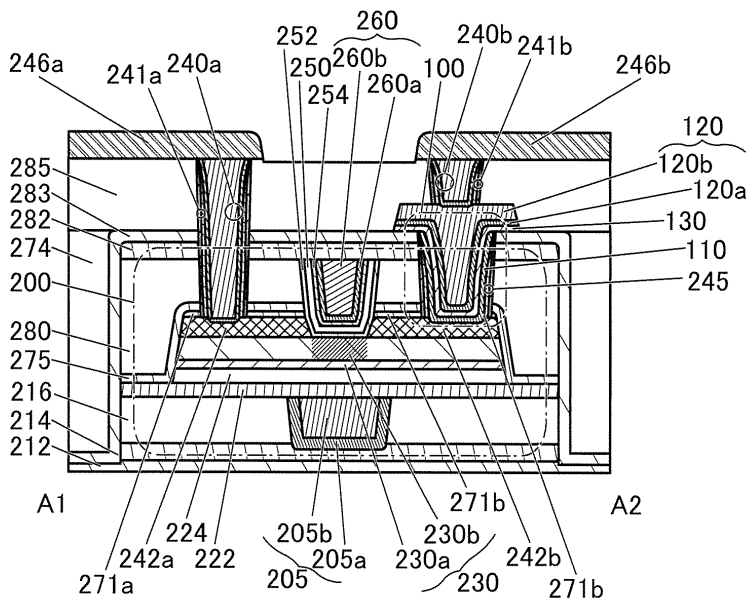


도면16

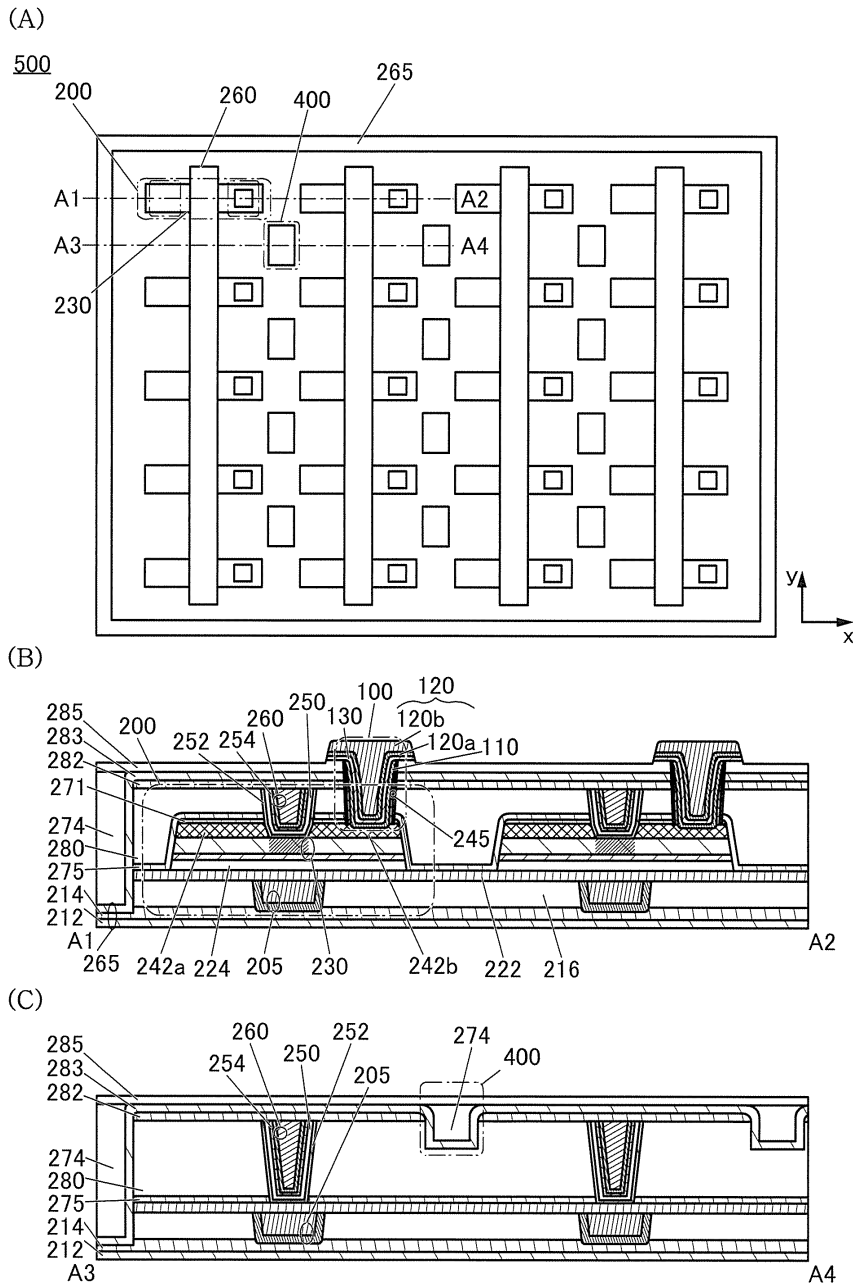
(A)



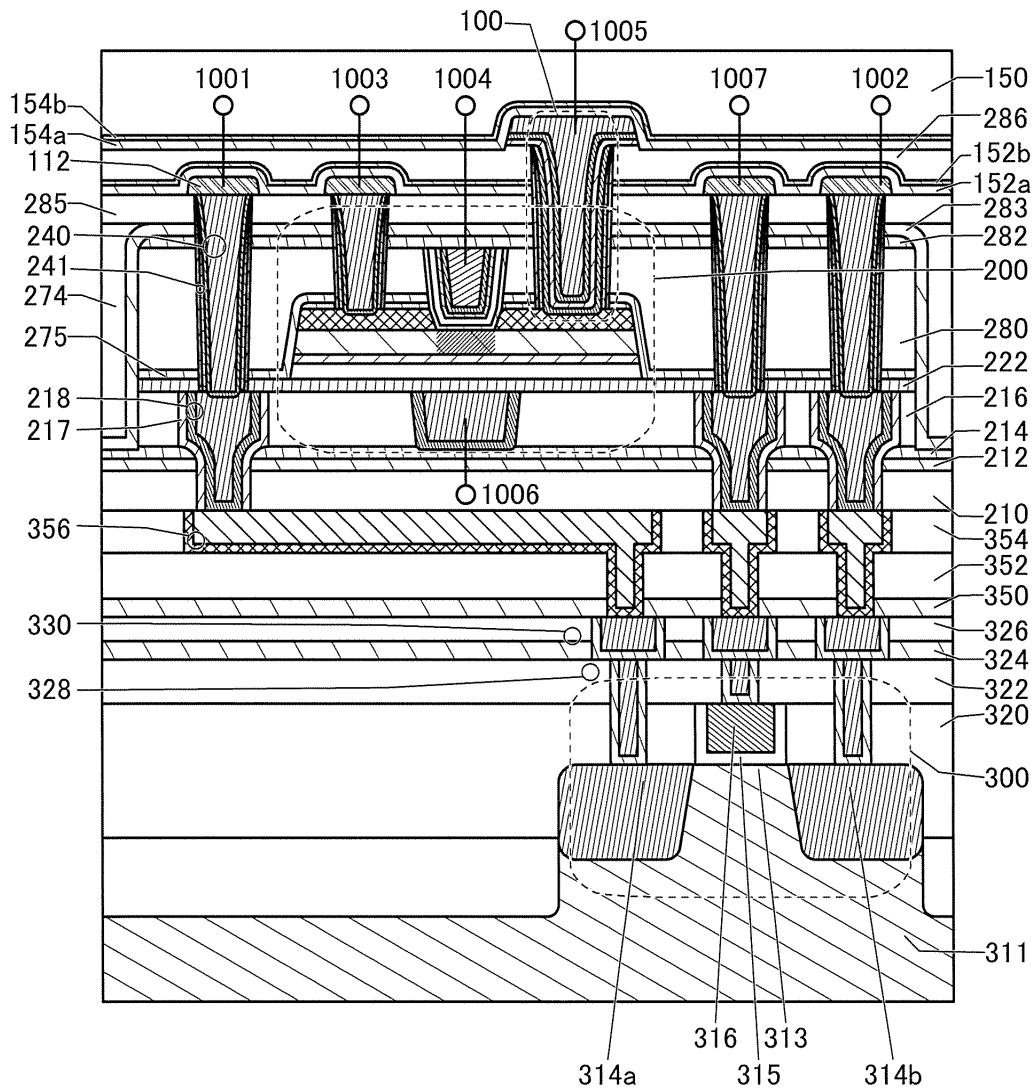
(B)



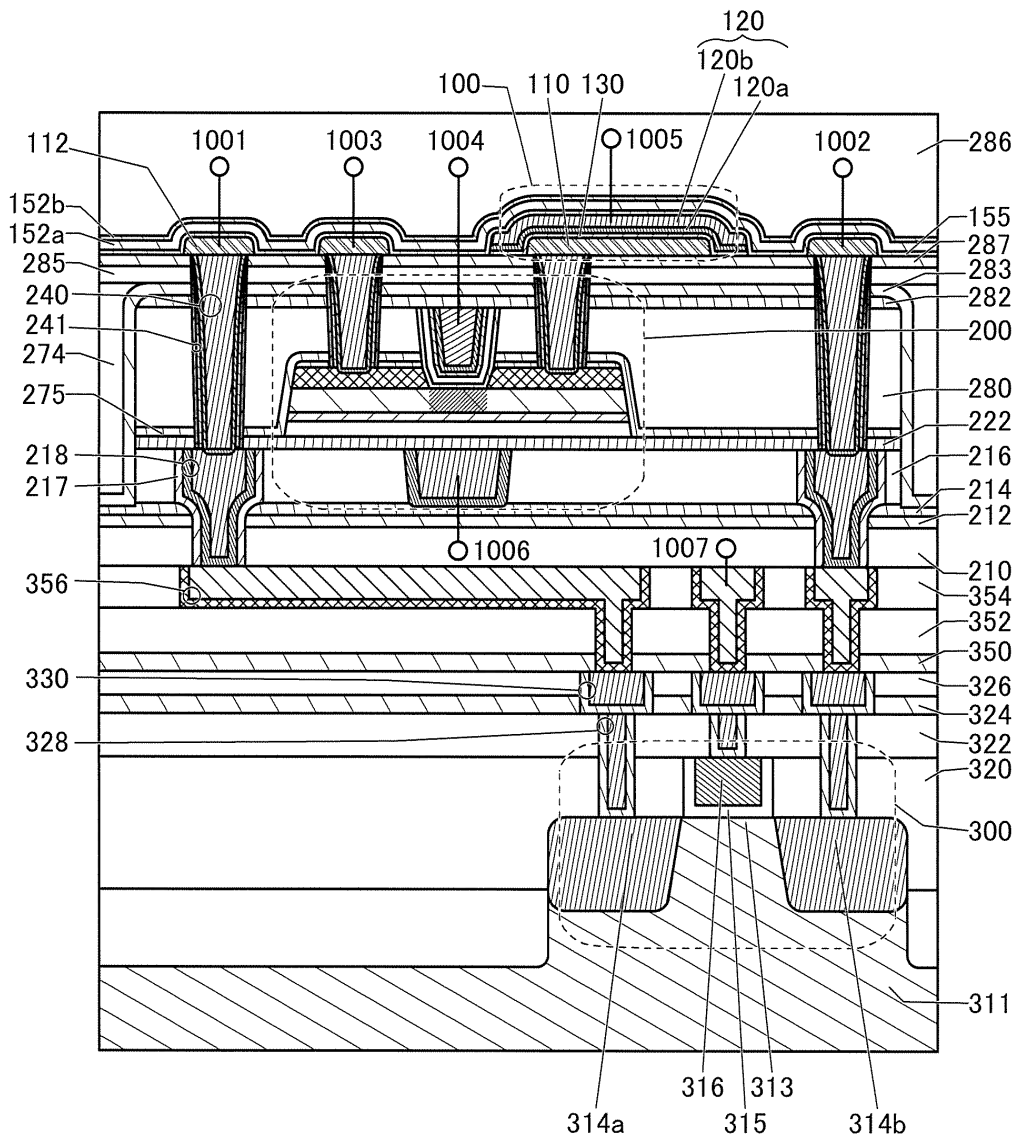
도면17



도면18

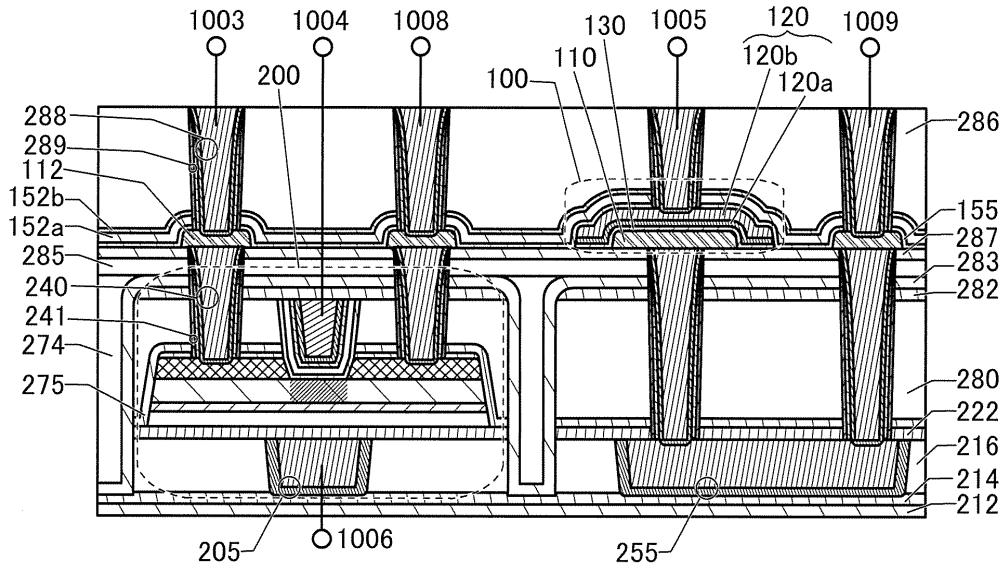


도면19

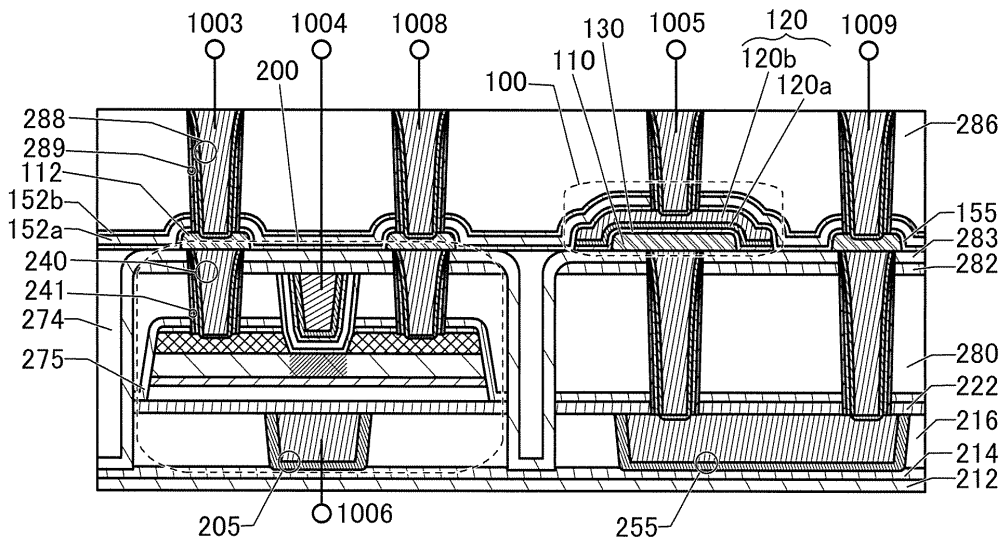


도면20

(A)

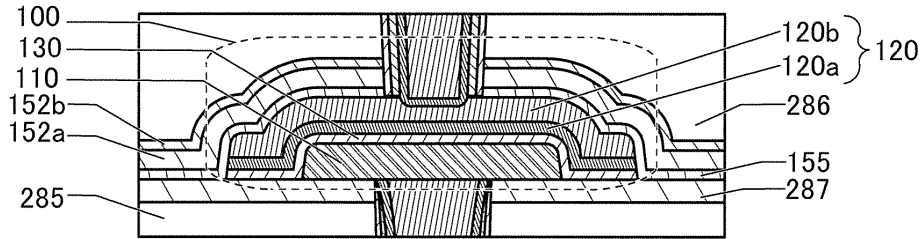


(B)

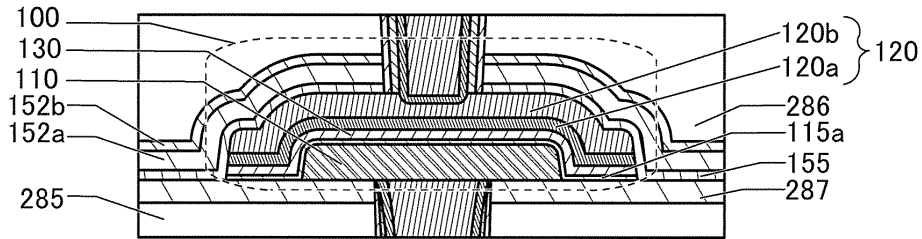


도면21

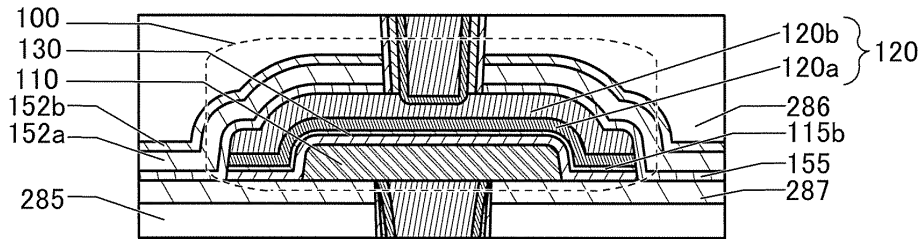
(A)



(B)

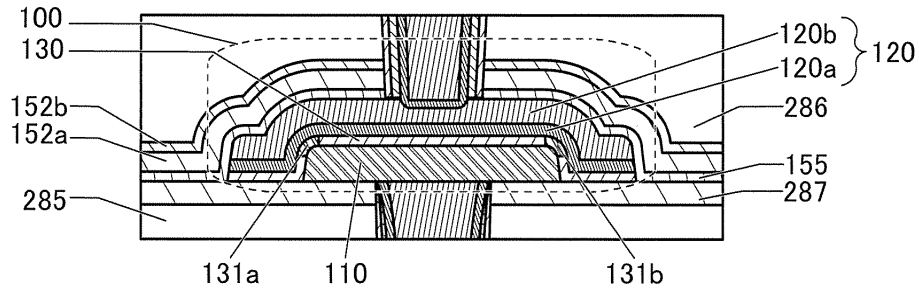


(C)

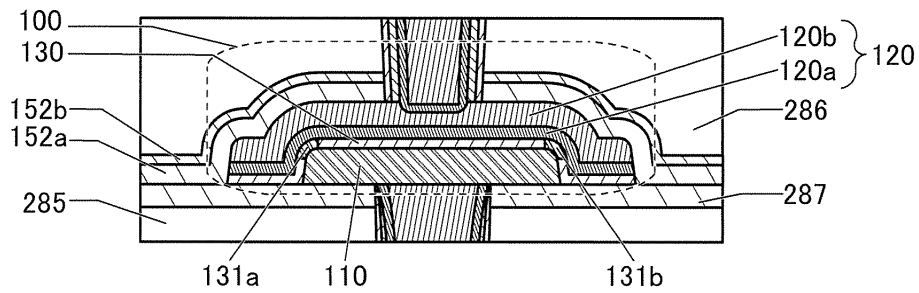


도면22

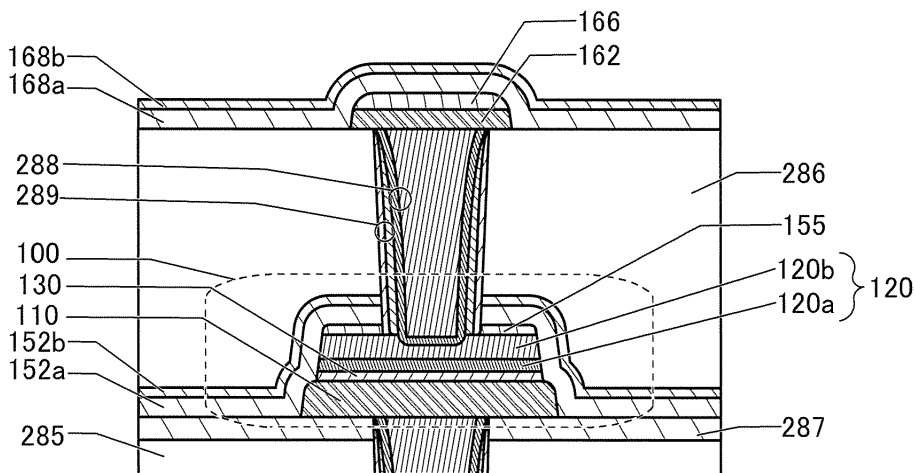
(A)



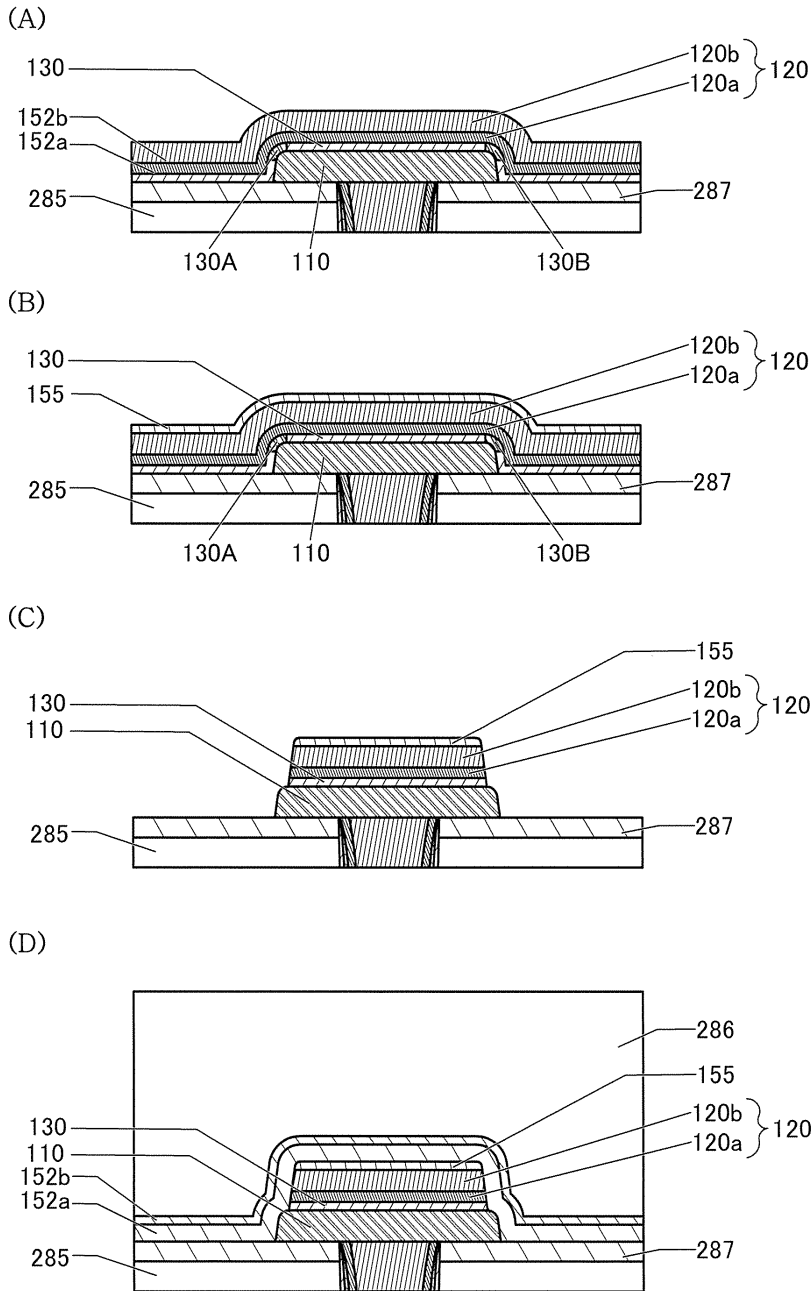
(B)



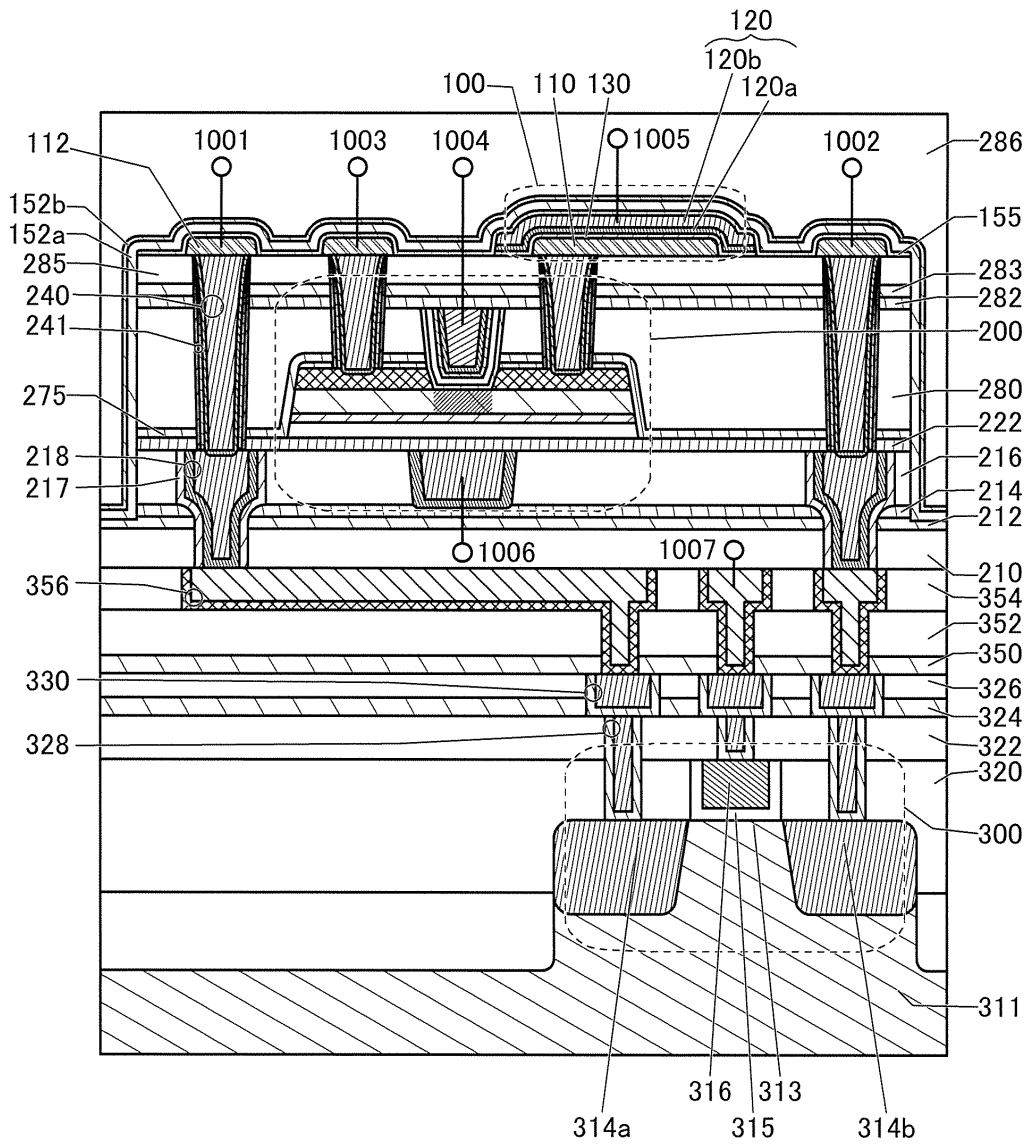
(C)



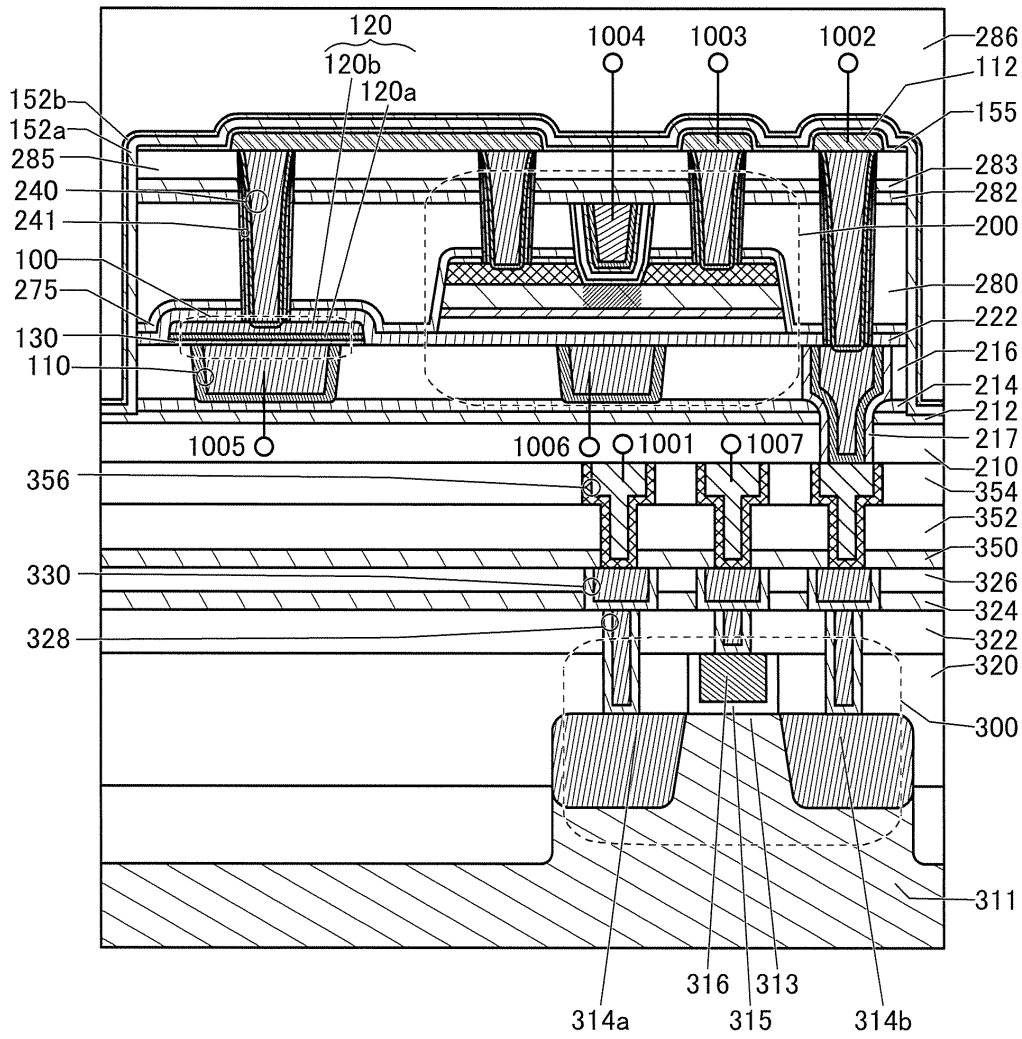
도면23



도면24

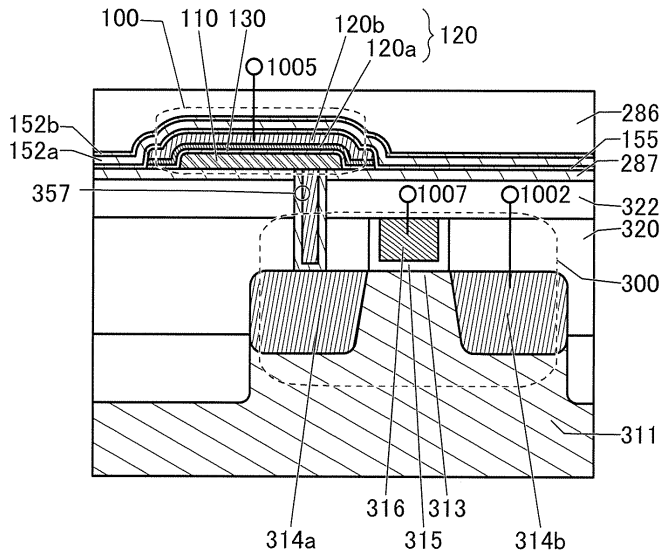


도면25

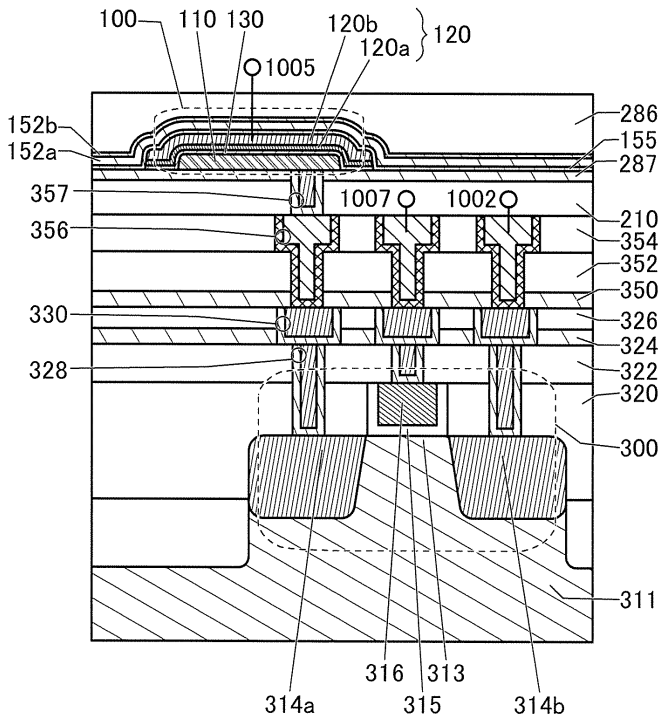


도면26

(A)

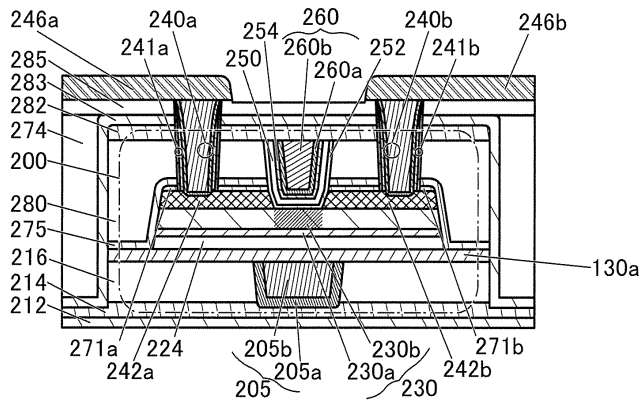


(B)

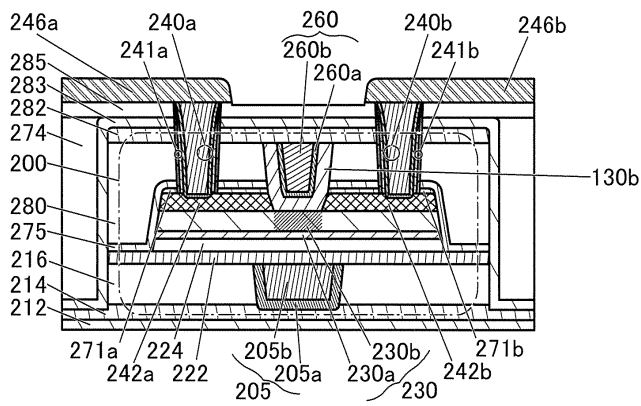


도면27

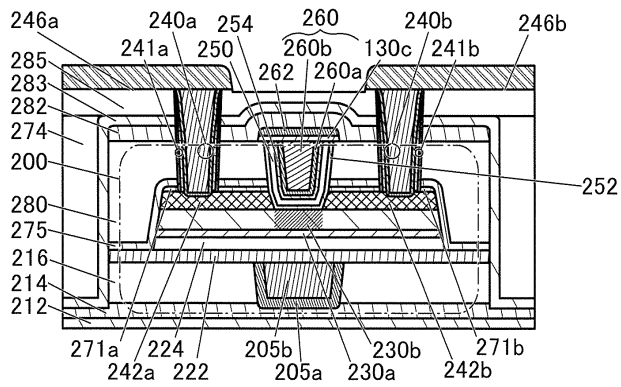
(A)



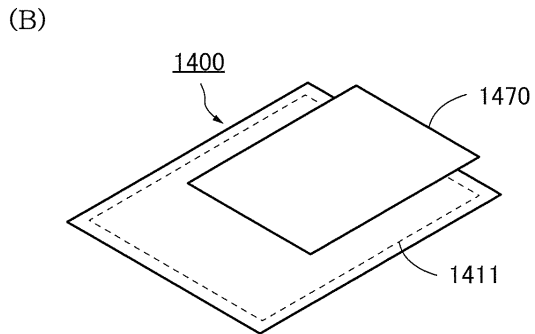
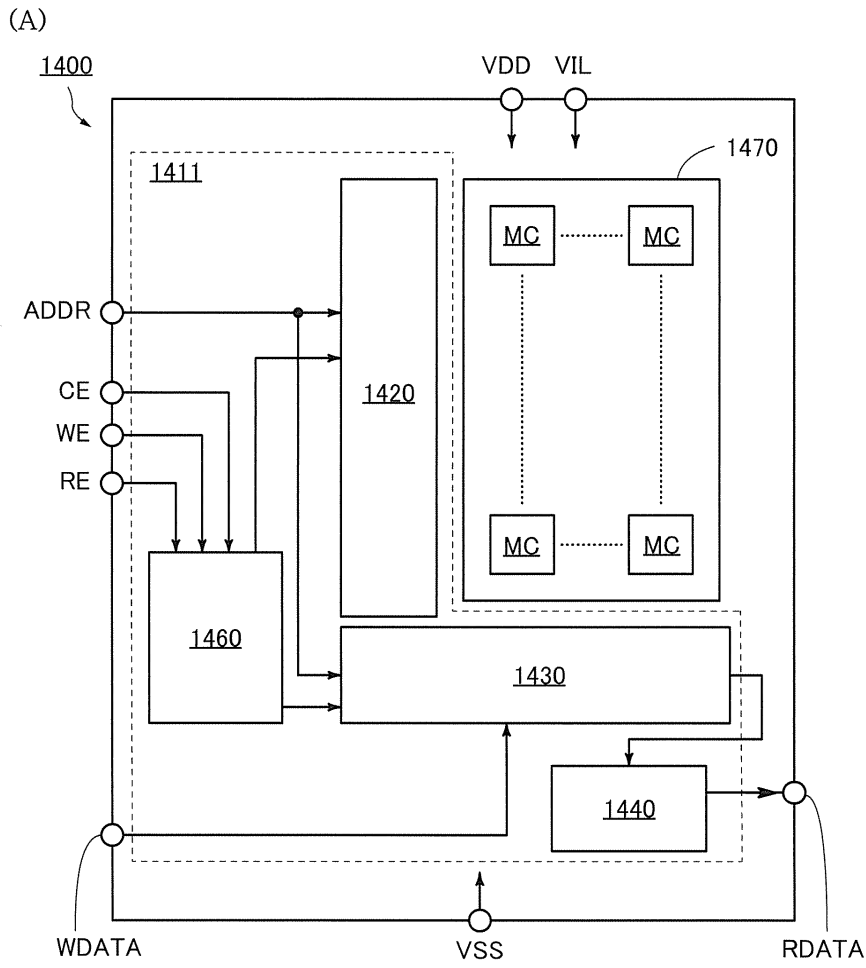
(B)



(C)

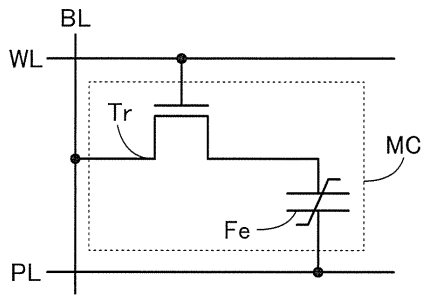


도면28

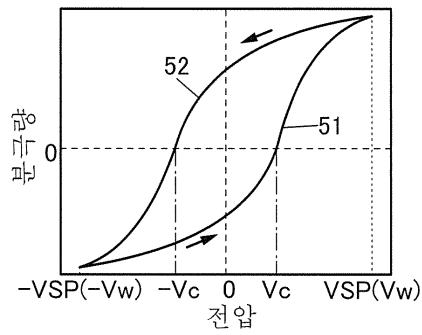


도면29

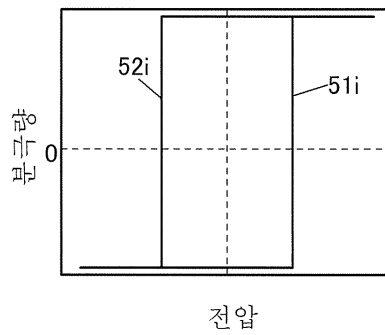
(A)



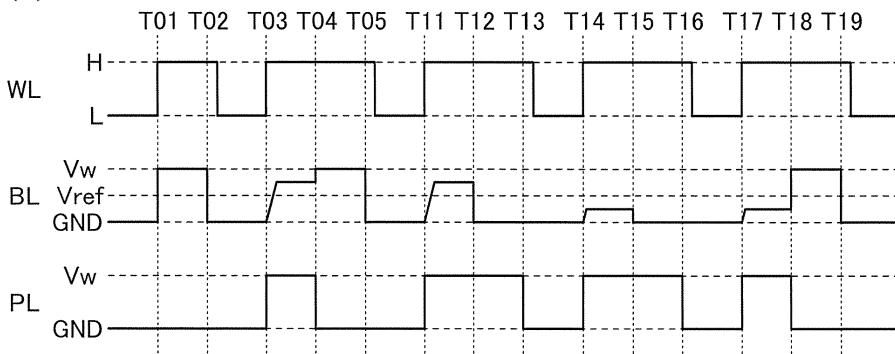
(B1)



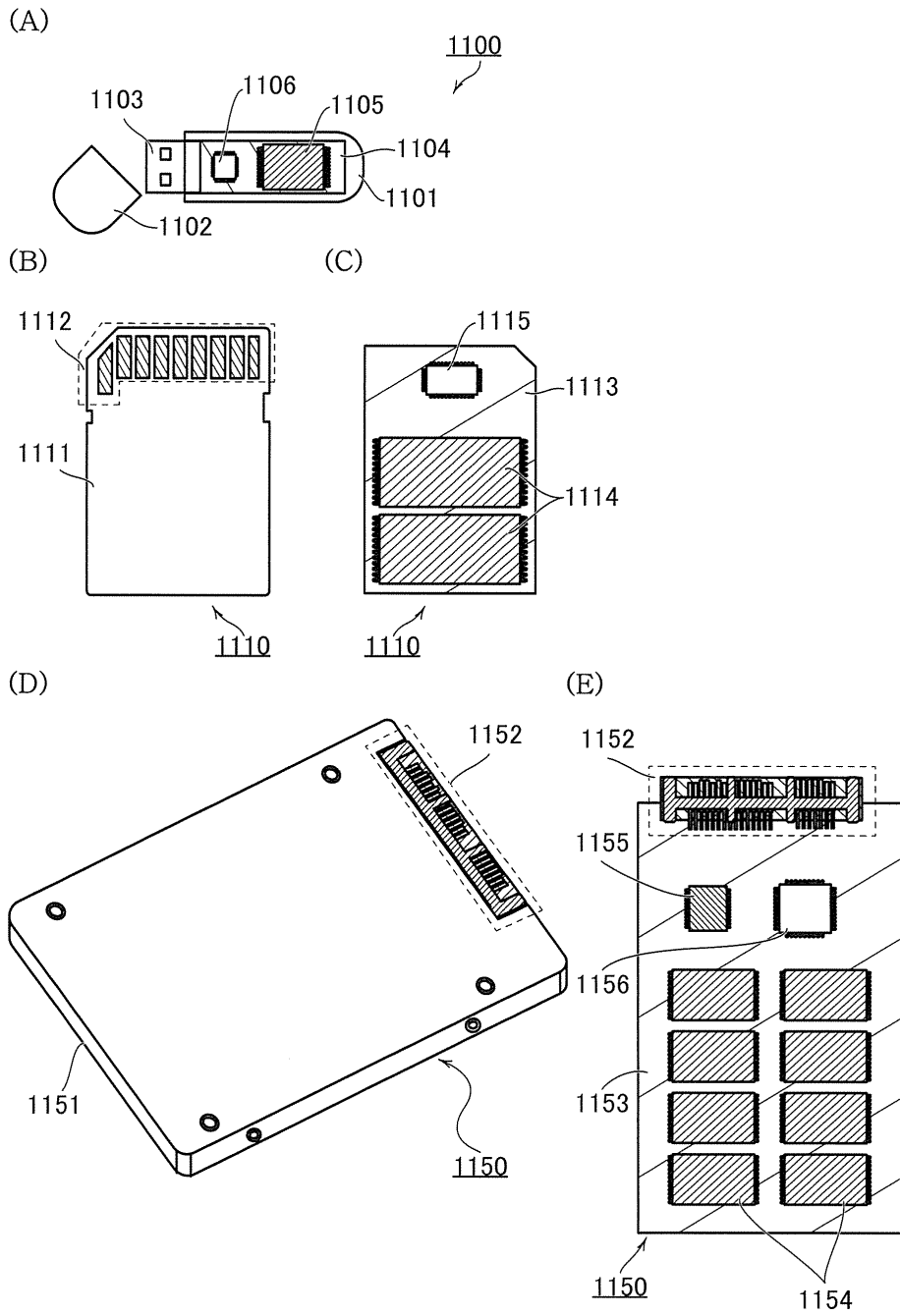
(B2)



(C)



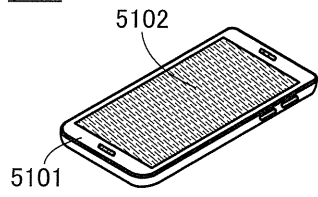
도면30



도면31

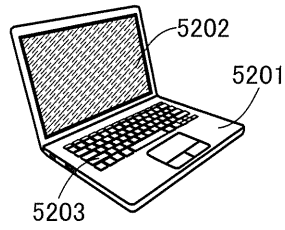
(A)

5100



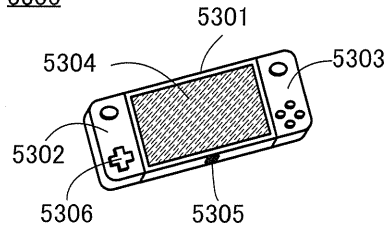
(B)

5200



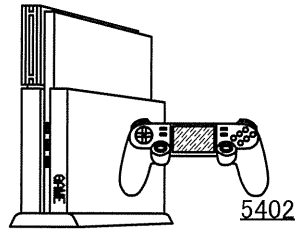
(C)

5300



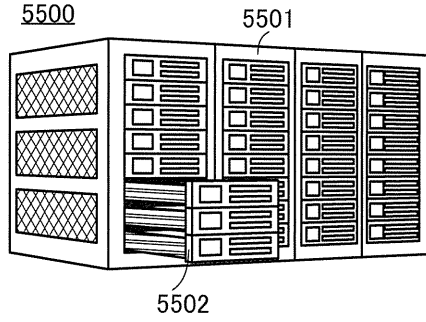
(D)

5400



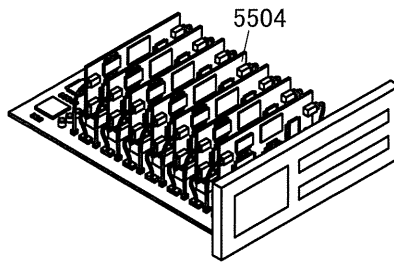
(E)

5500

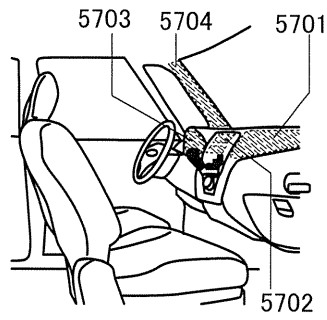


(F)

5502

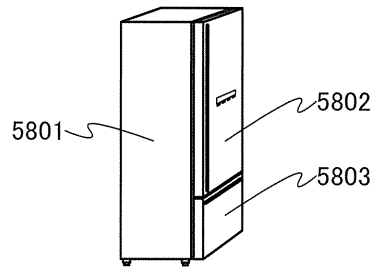


(G)

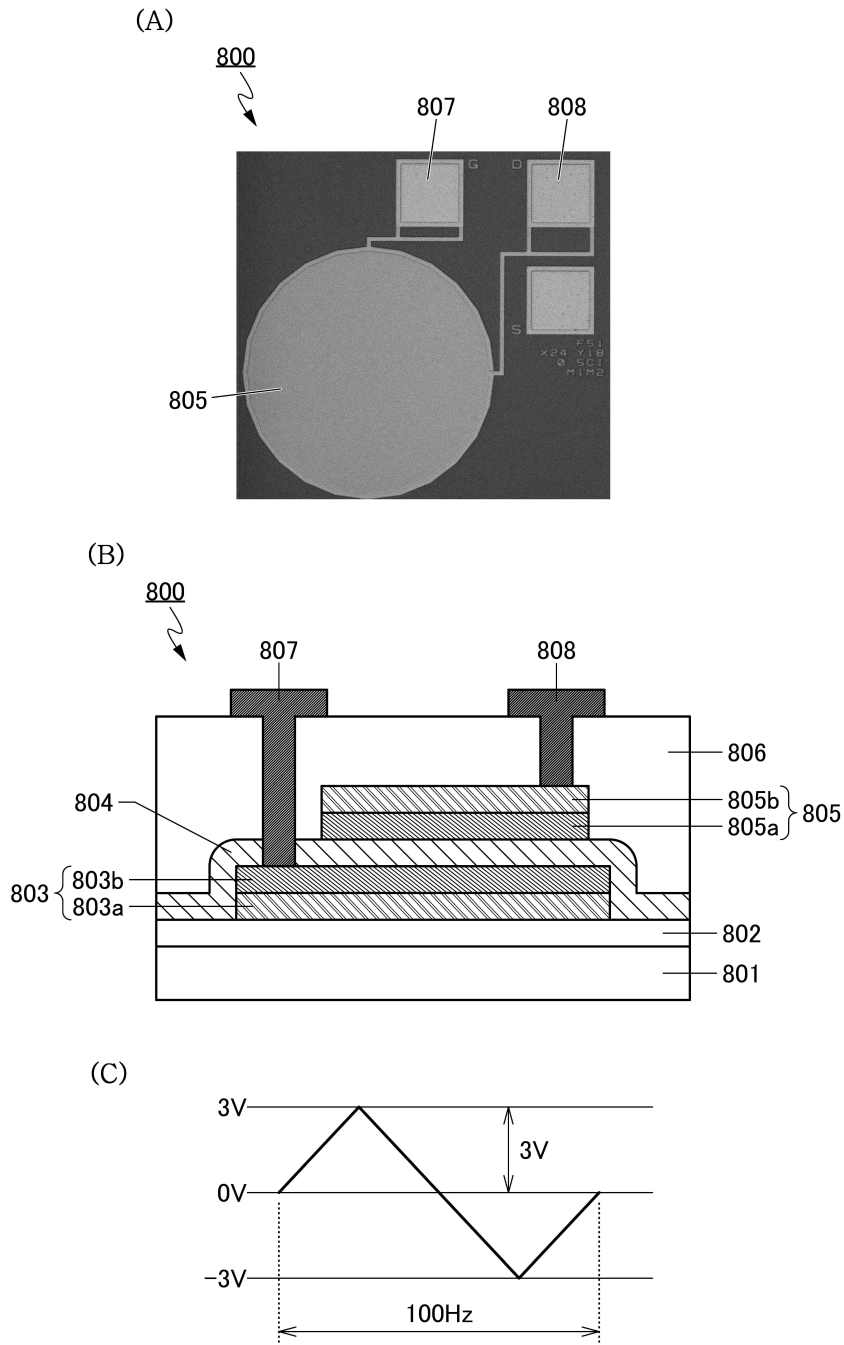


(H)

5800

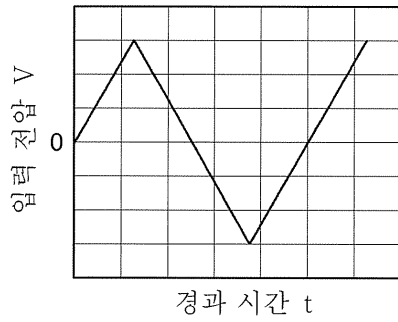


도면32

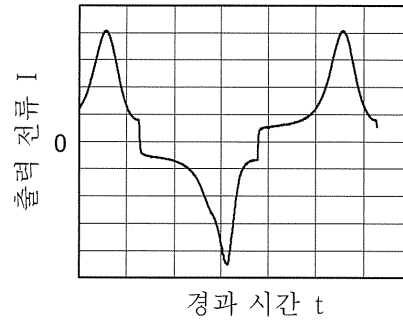


도면33

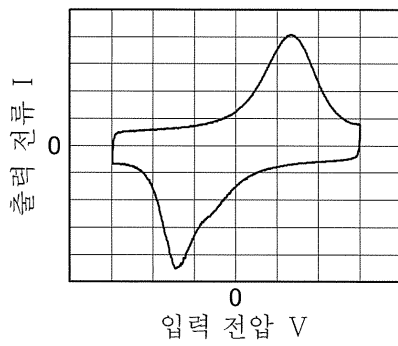
(A)



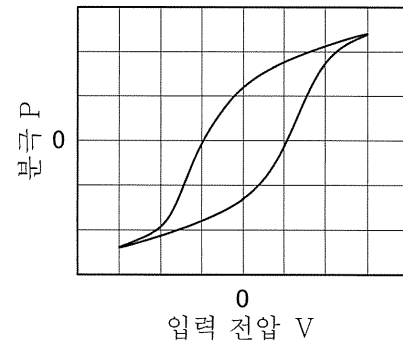
(B)



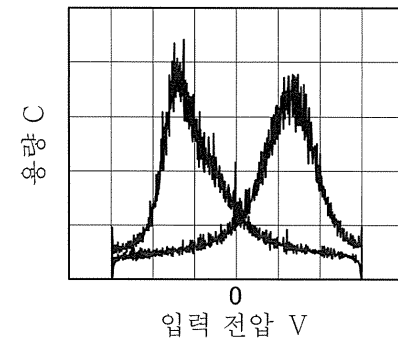
(C)



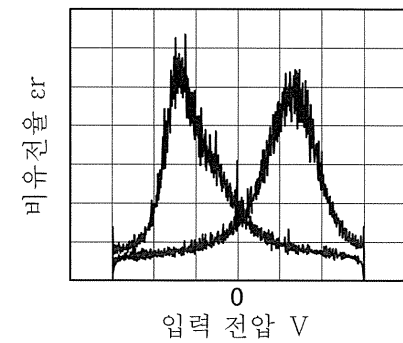
(D)



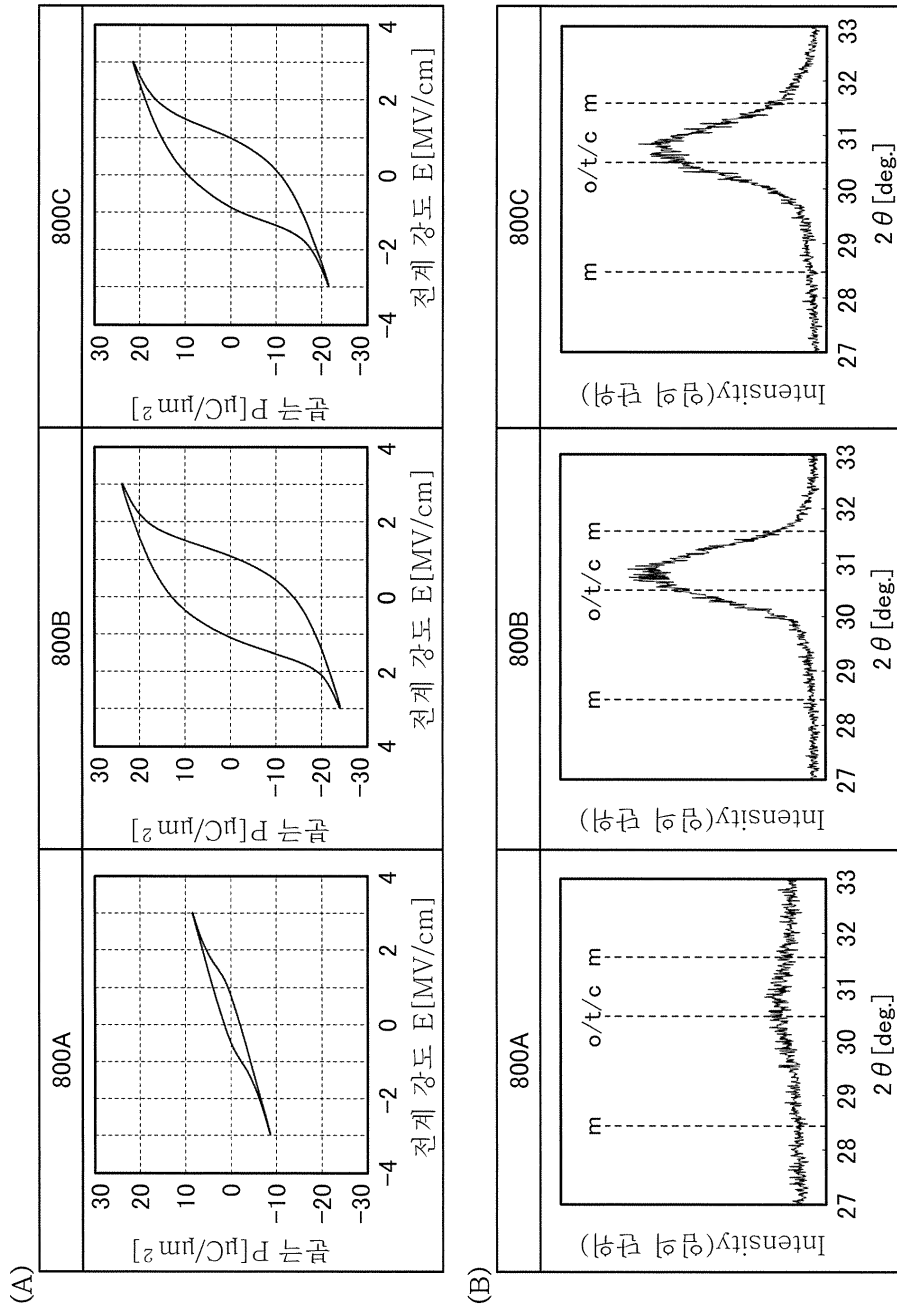
(E)



(F)

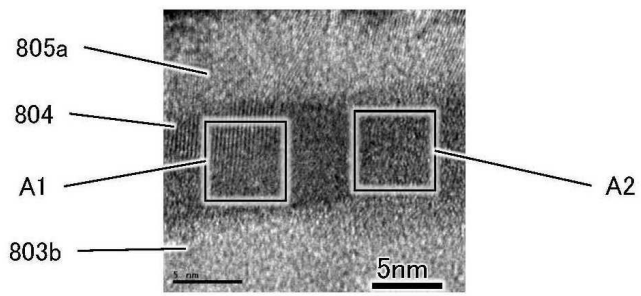


도면34

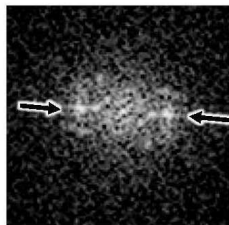


도면35

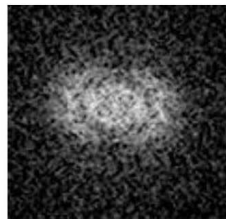
(A)



(B)

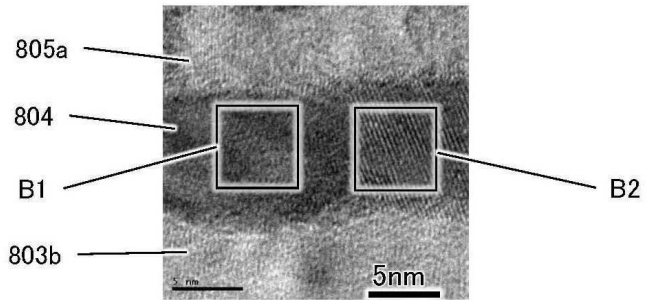


(C)

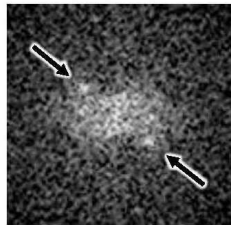


도면36

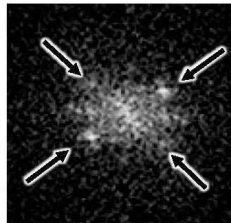
(A)



(B)

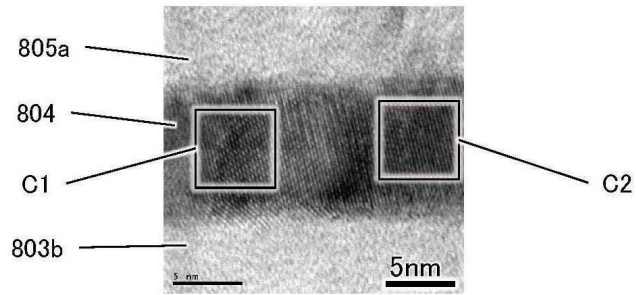


(C)

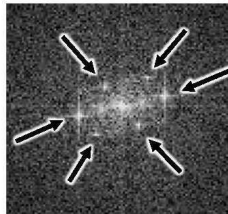


도면37

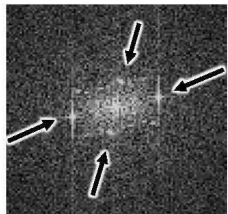
(A)



(B)

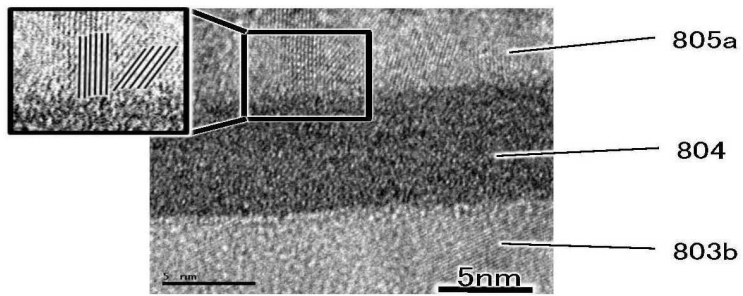


(C)

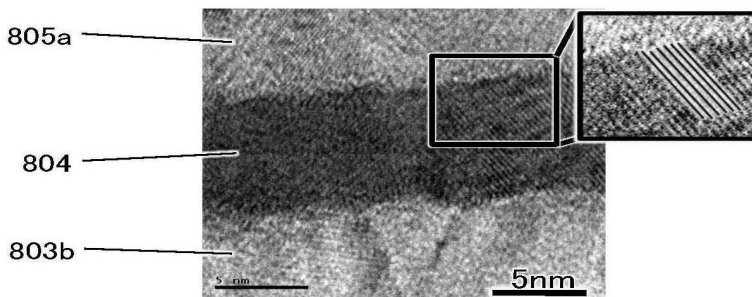


도면38

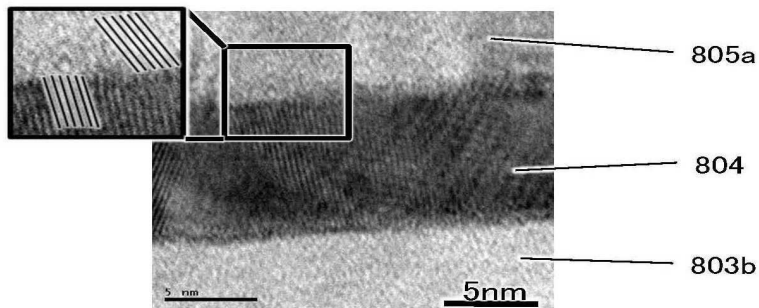
(A)



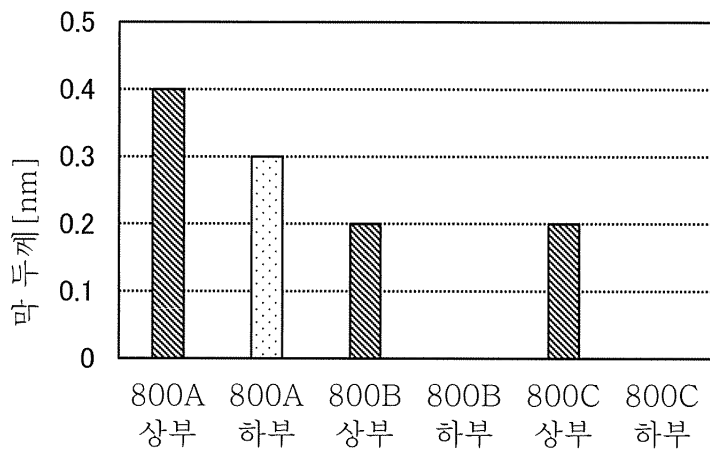
(B)



(C)

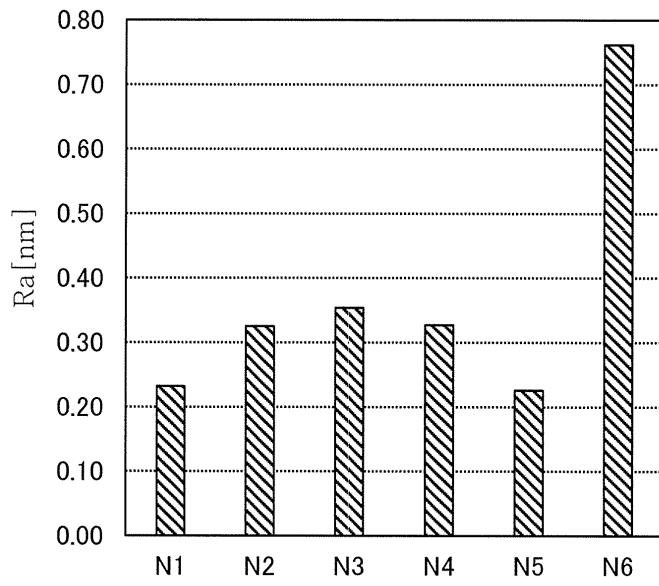


도면39

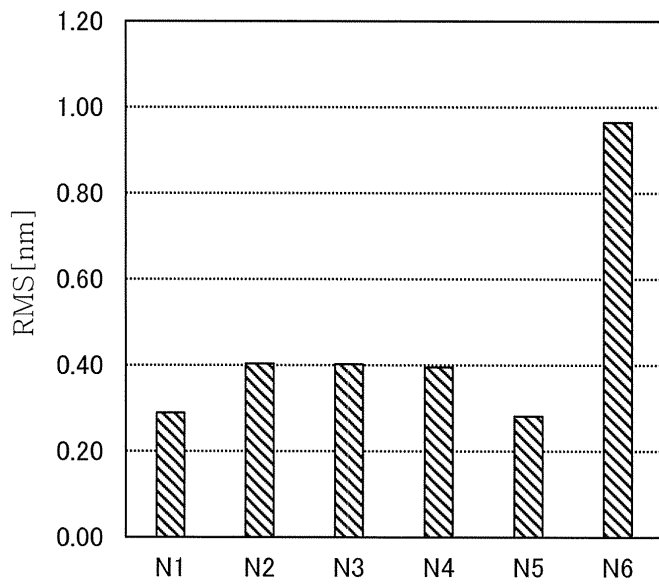


도면40

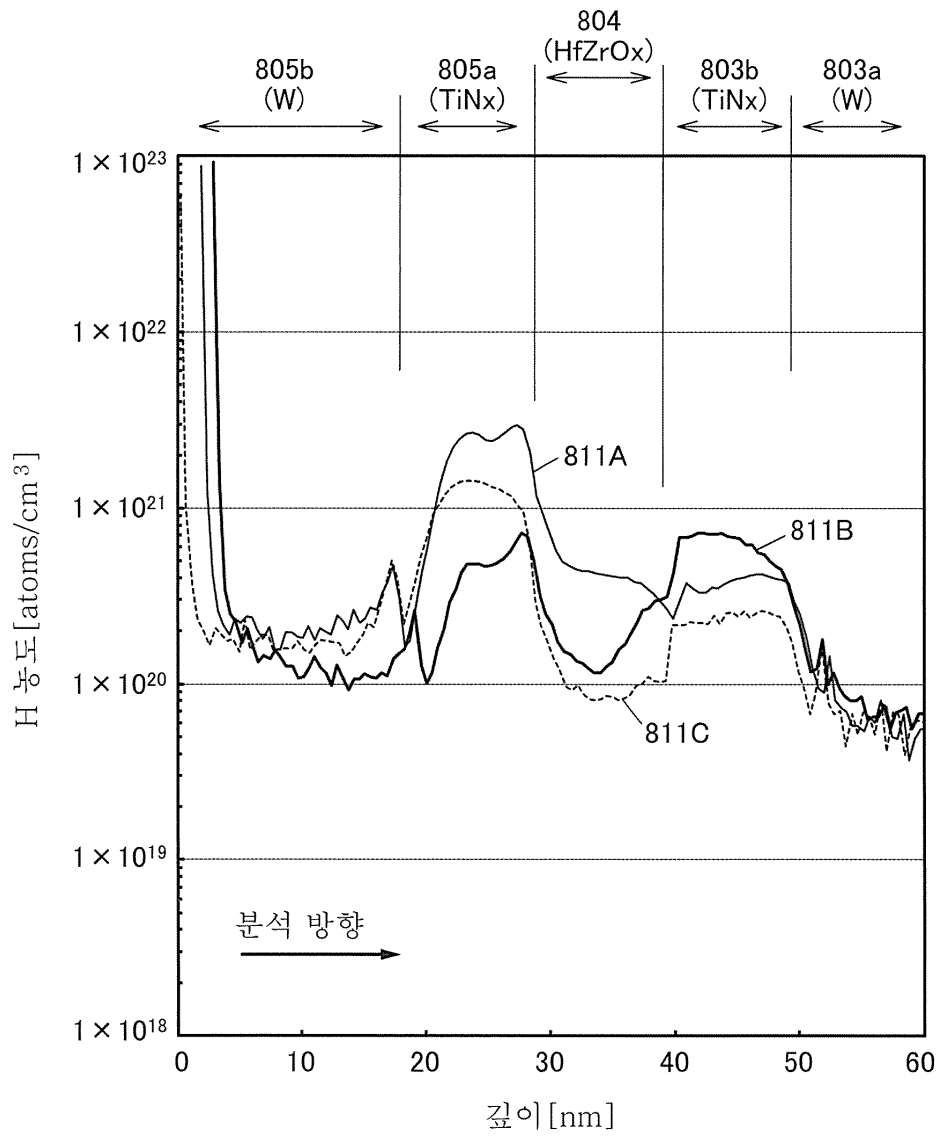
(A)



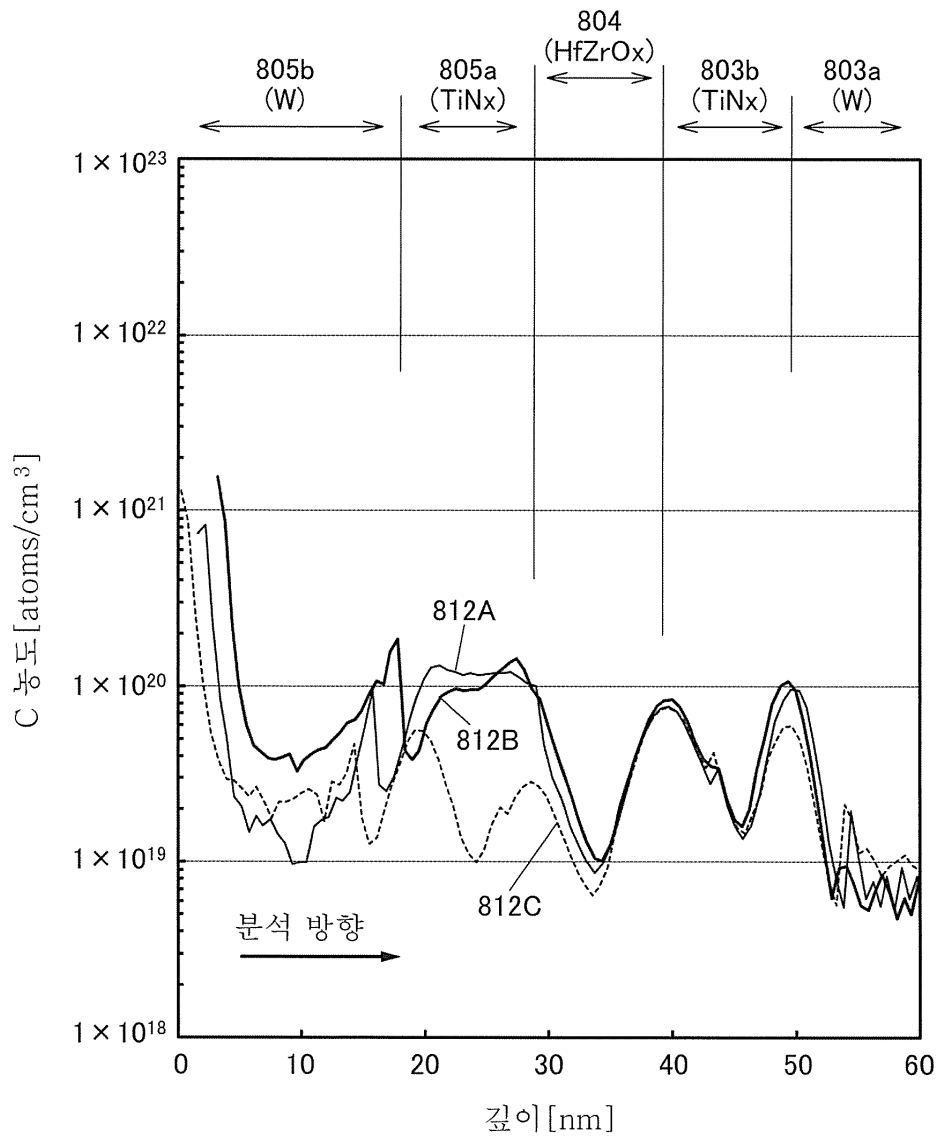
(B)



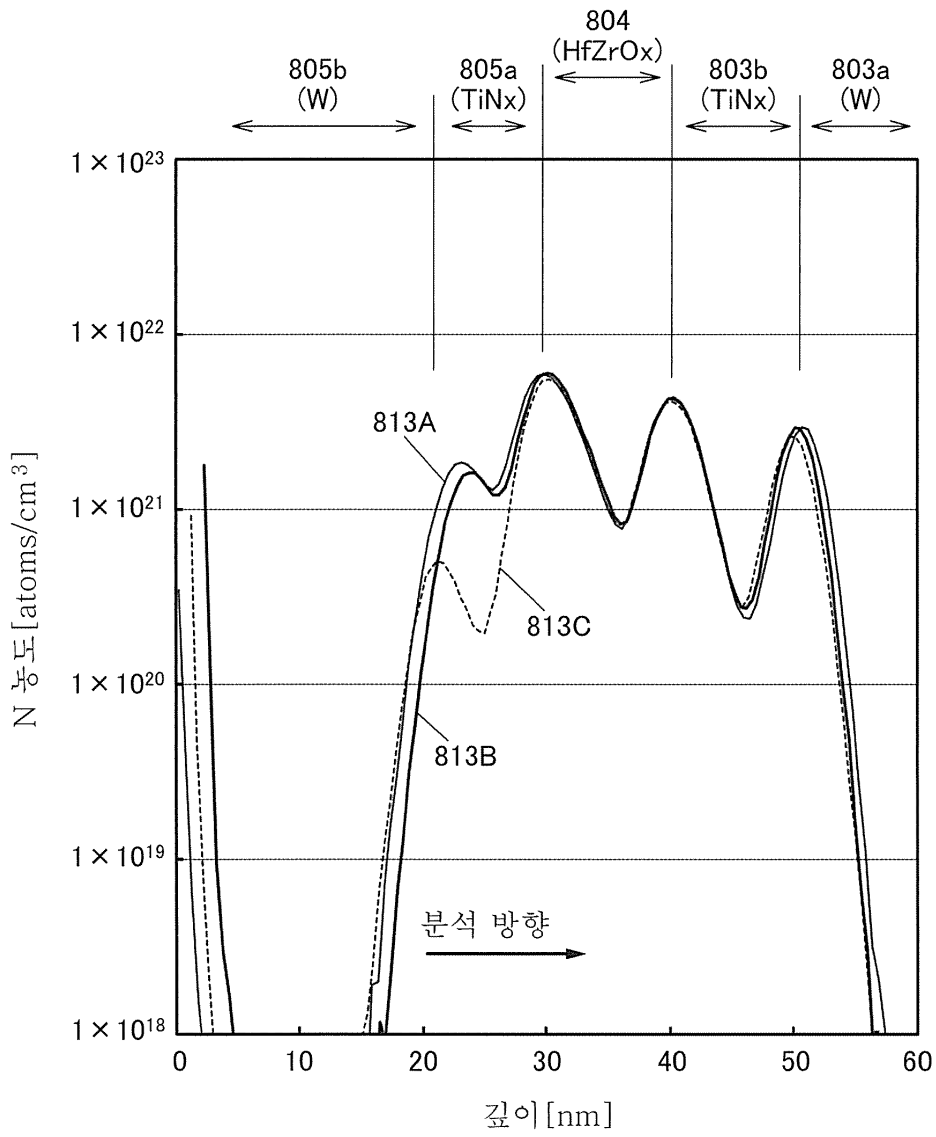
도면41



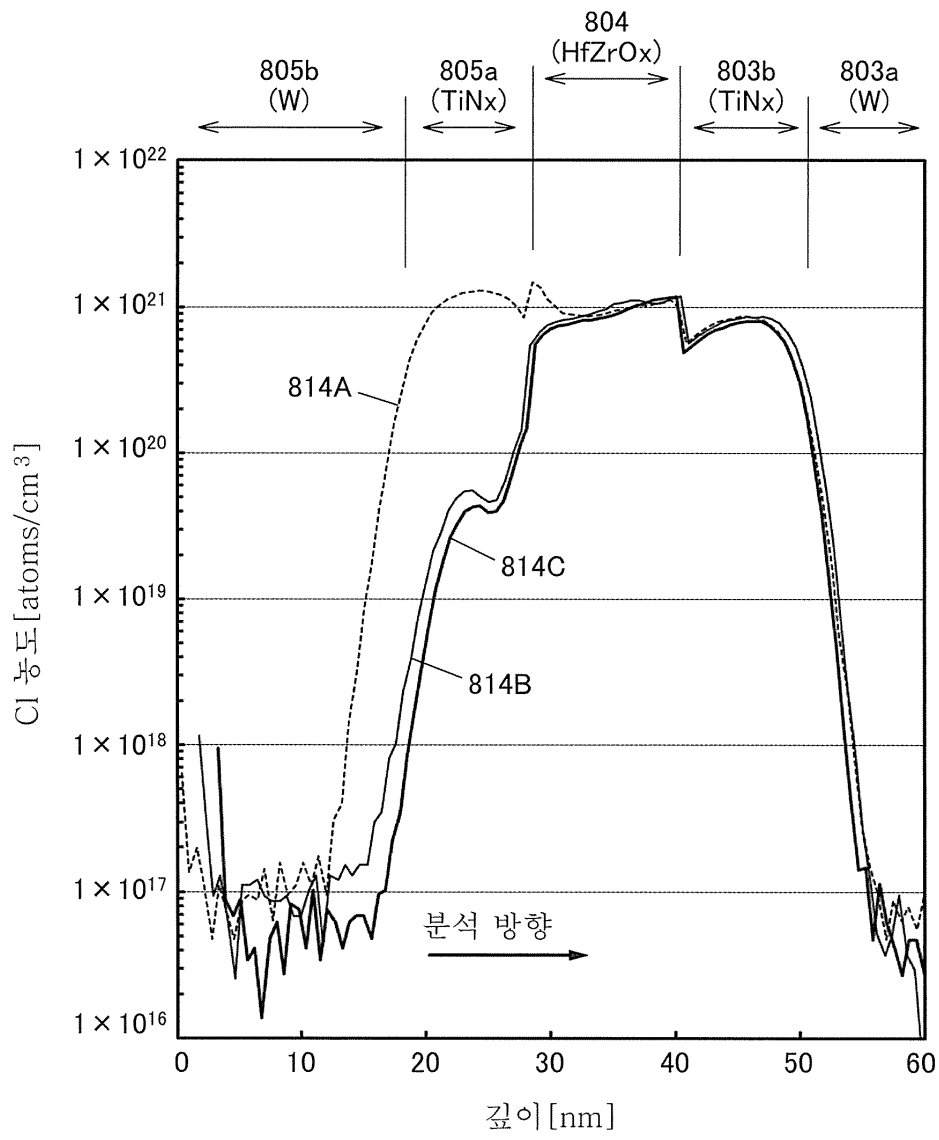
도면42



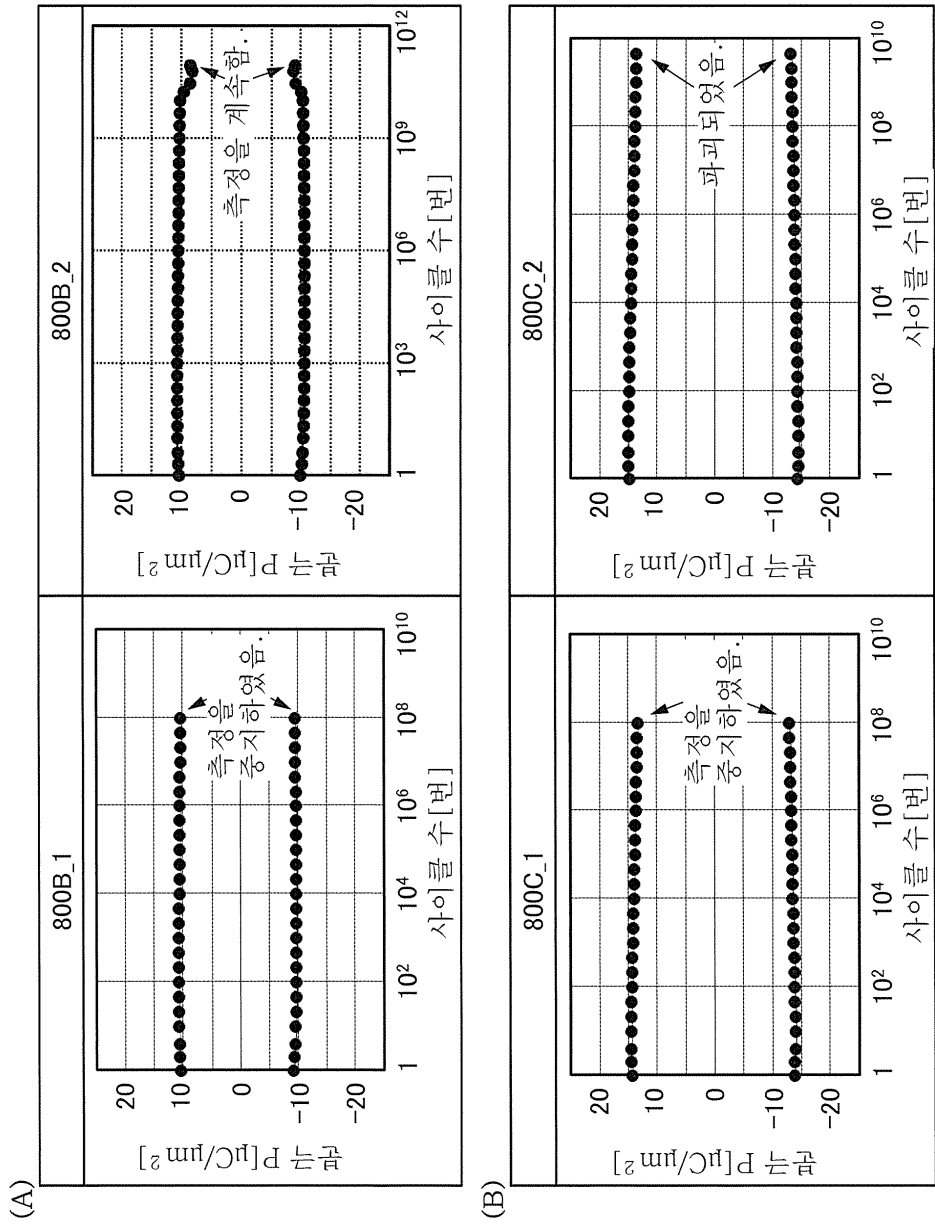
도면43



도면44

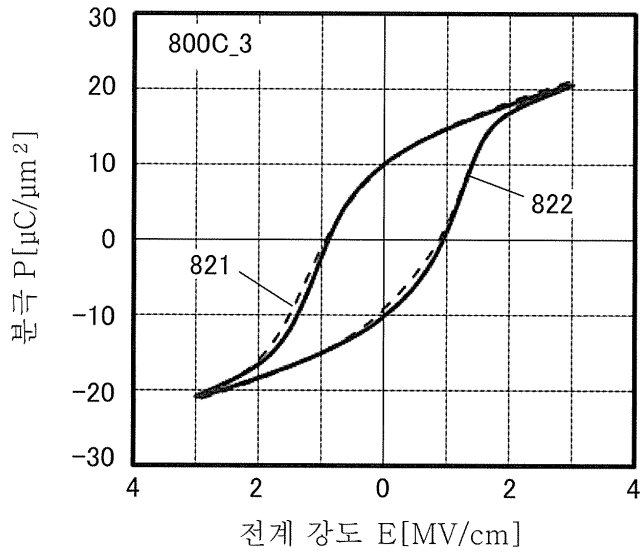


도면45

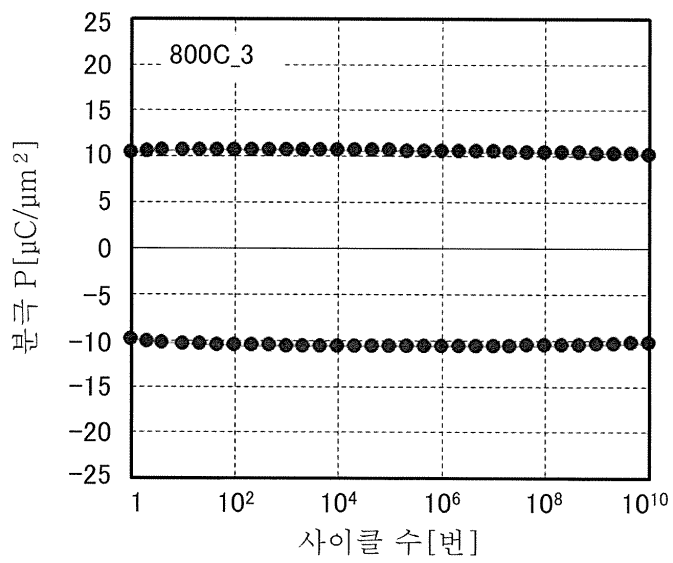


도면46

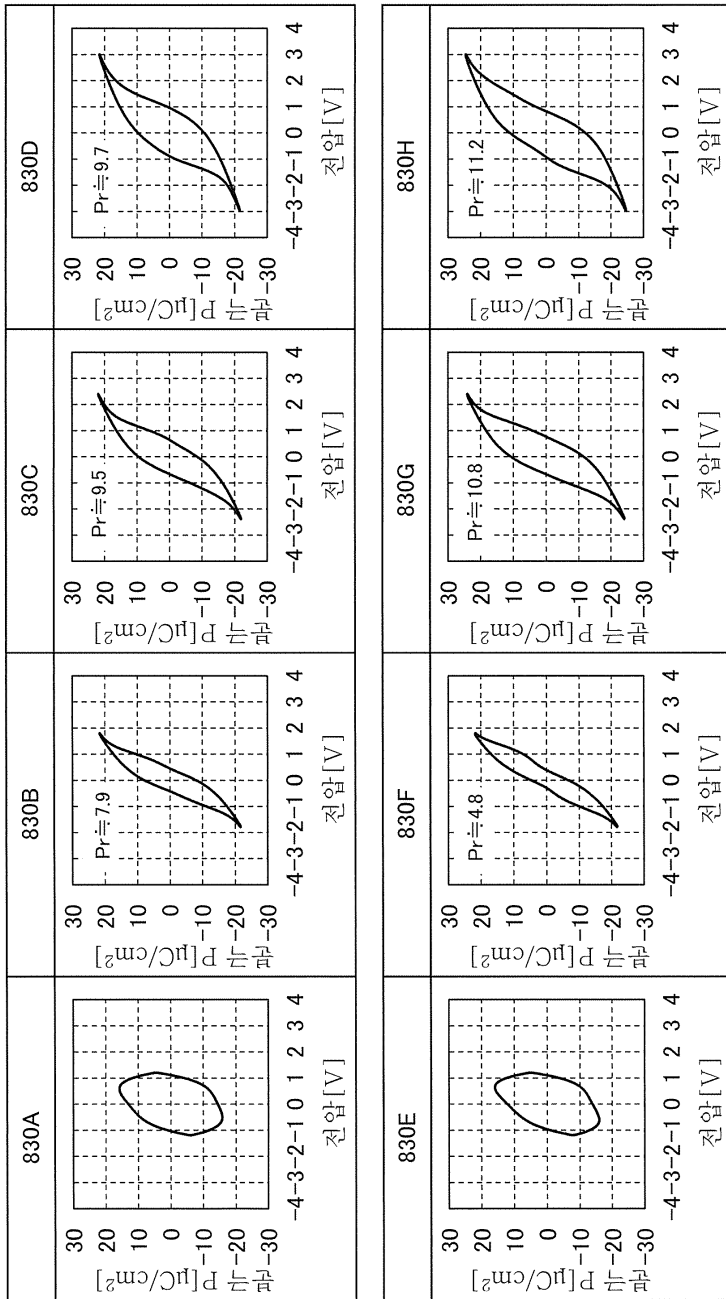
(A)



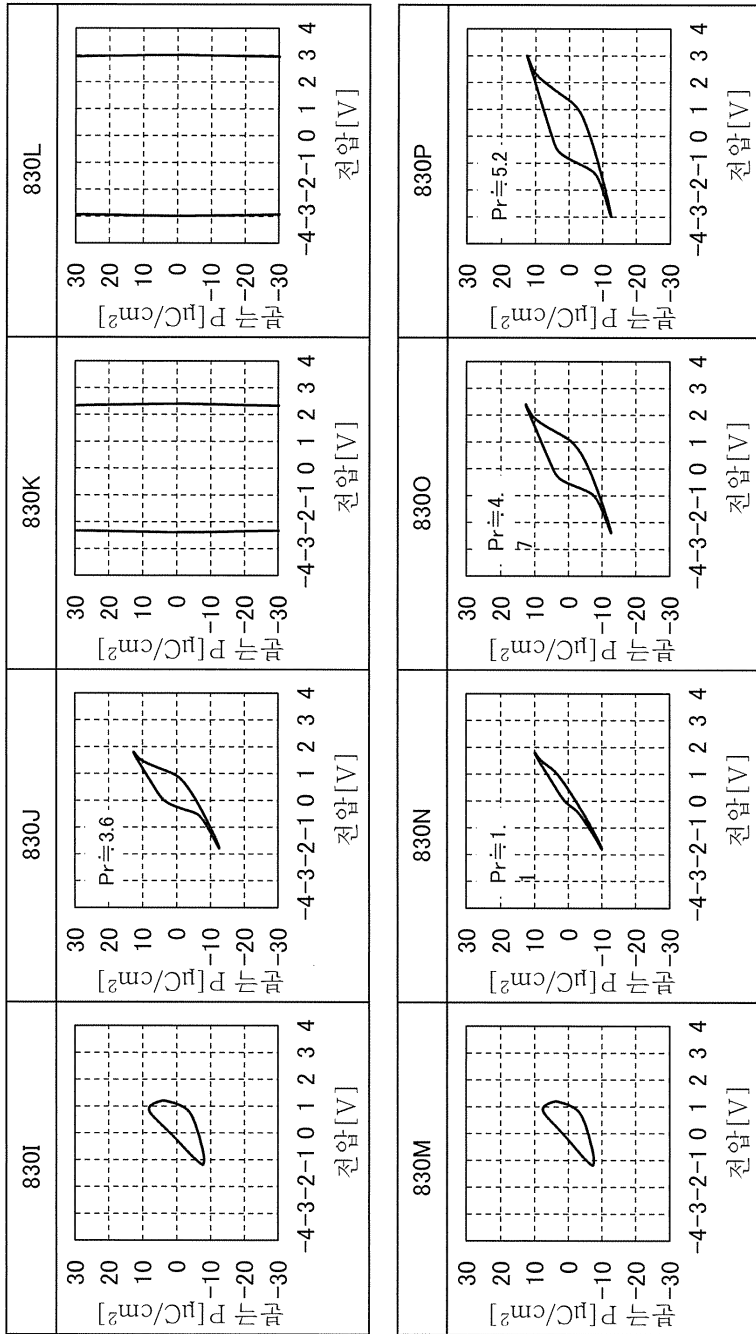
(B)



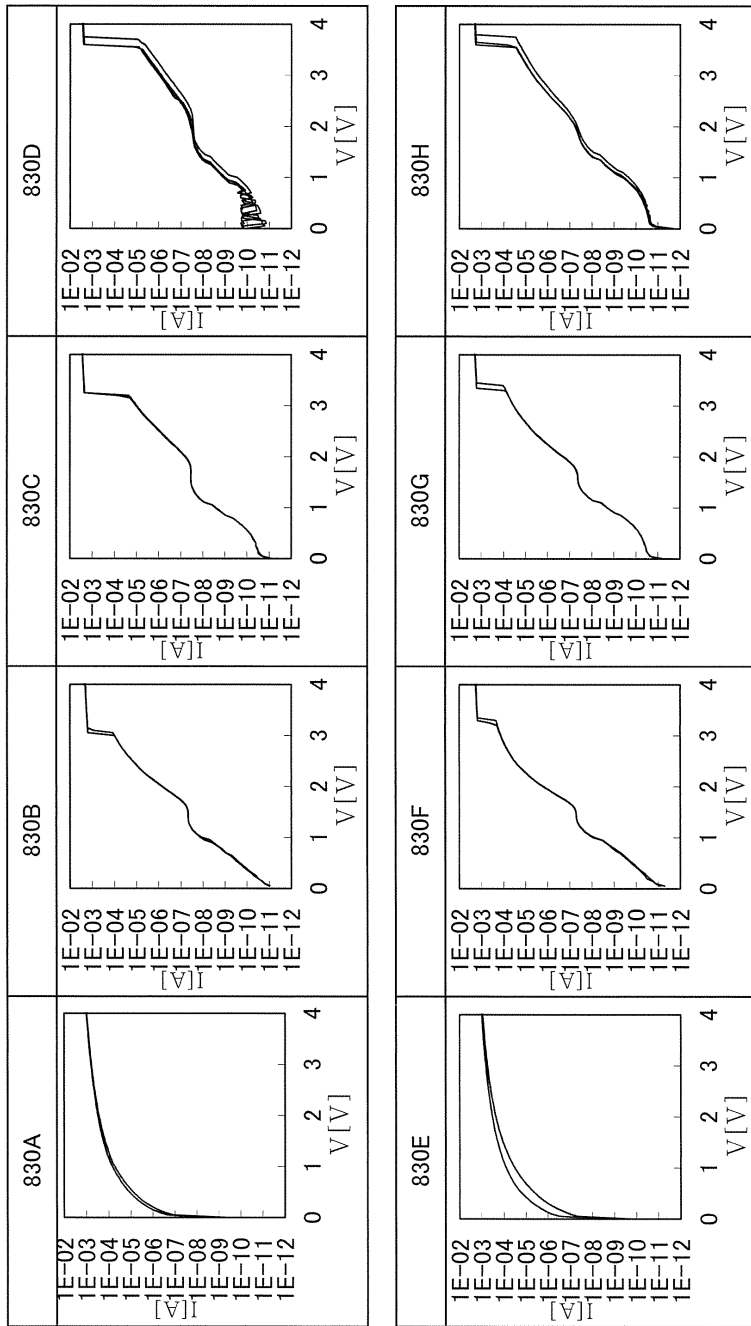
도면47



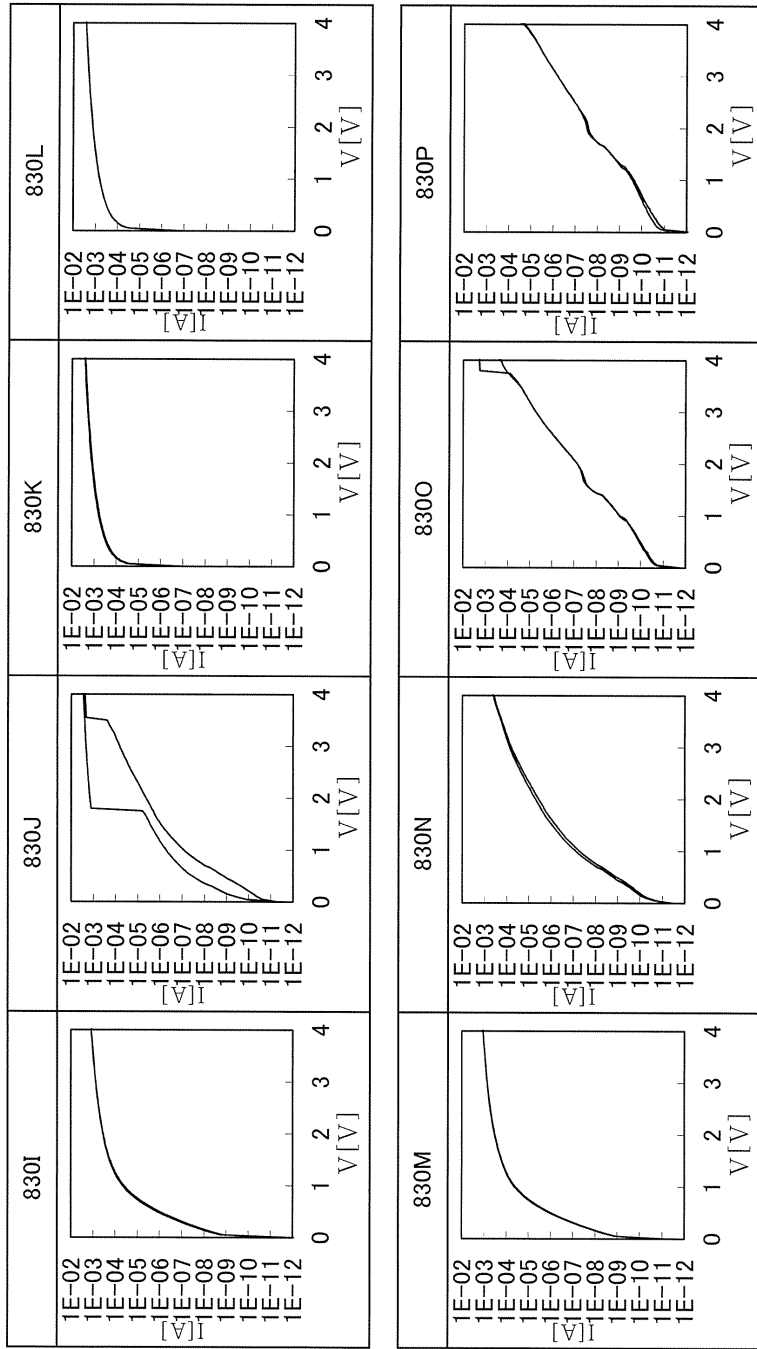
도면48



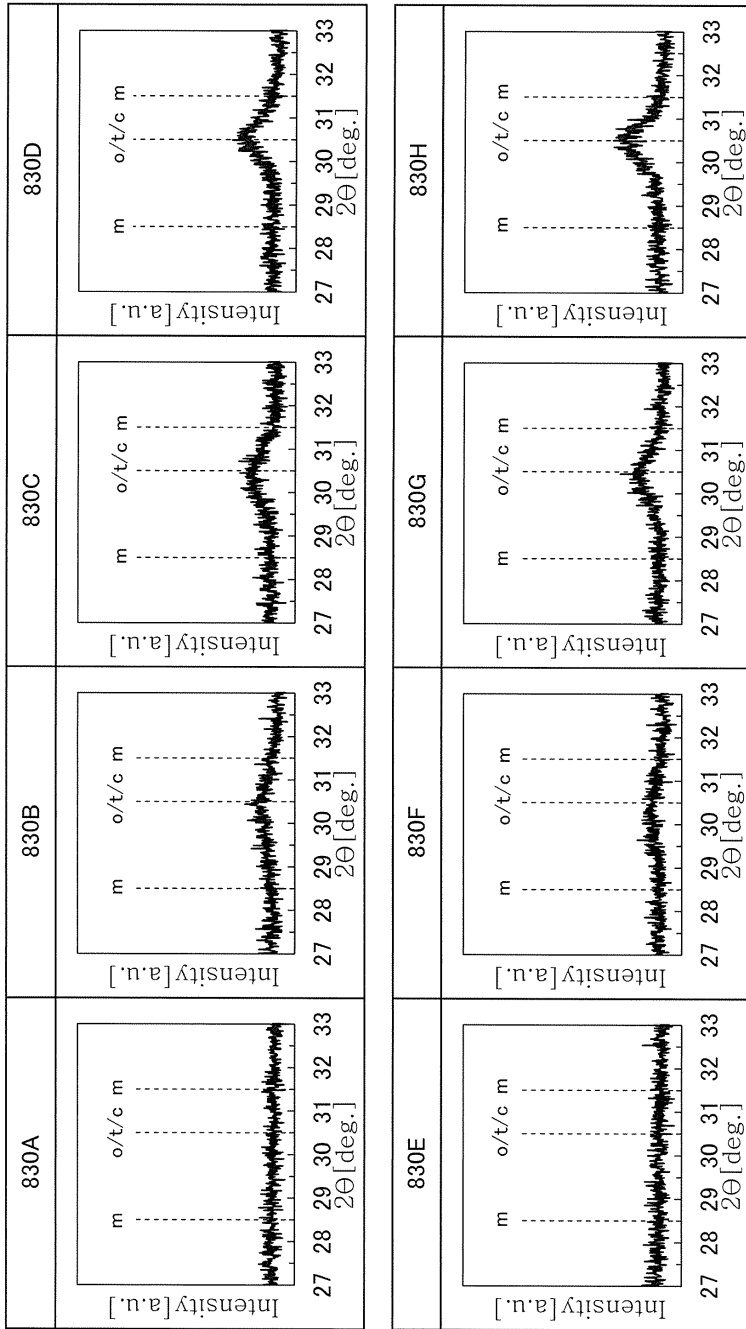
도면49



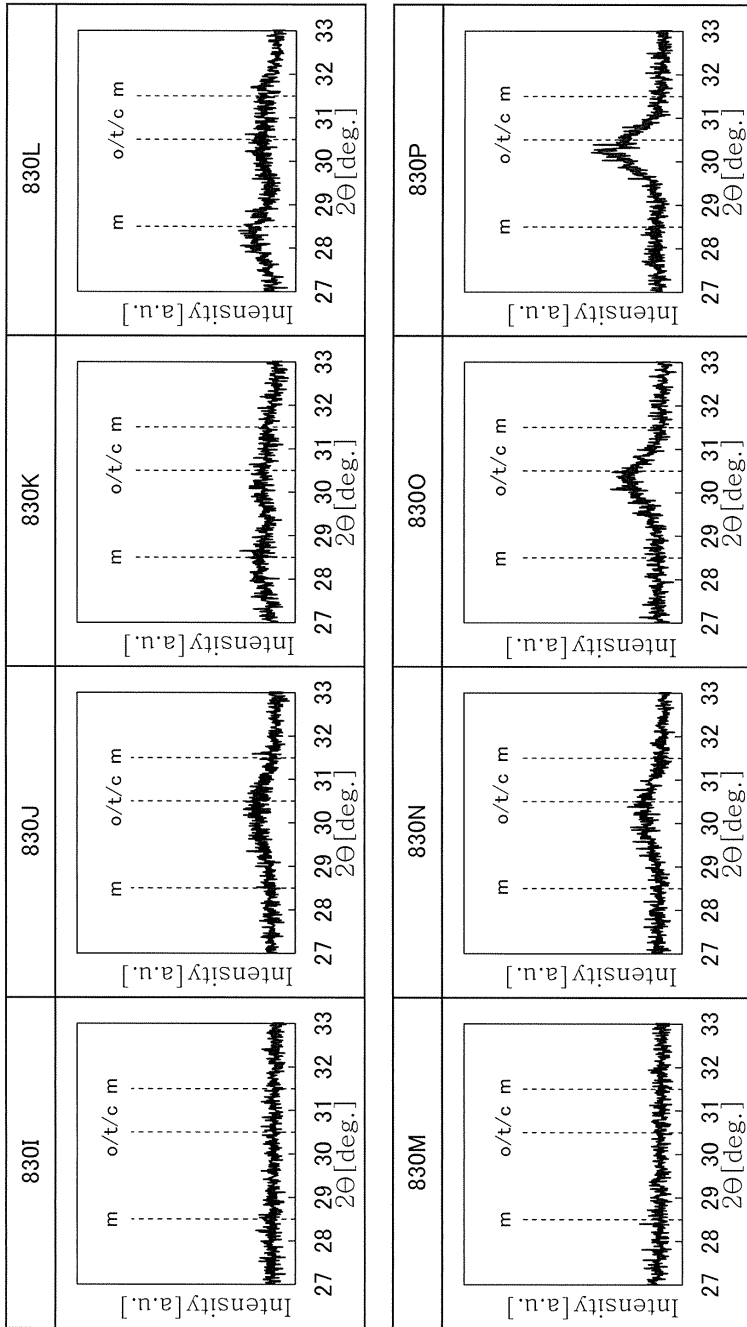
도면50



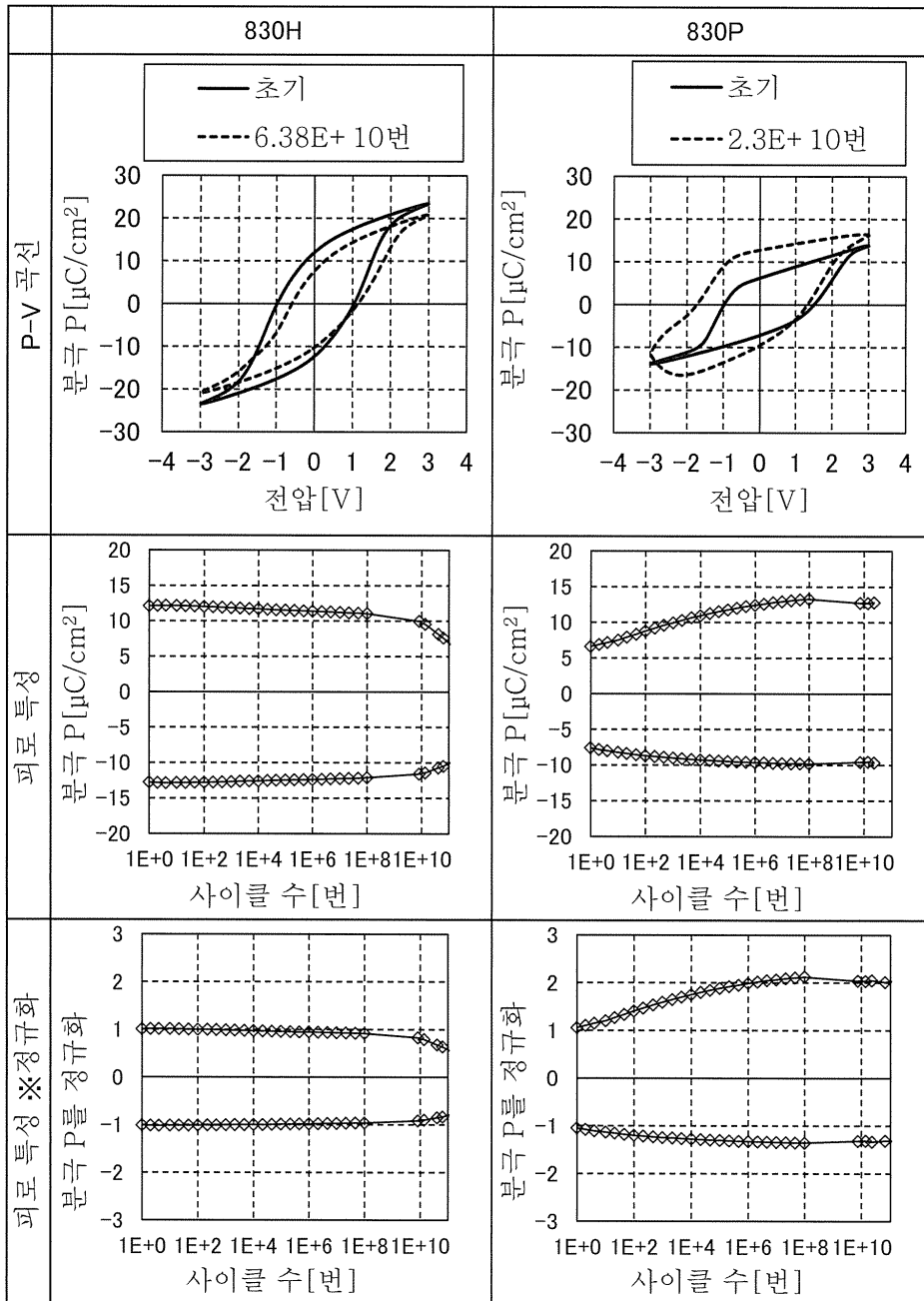
도면51



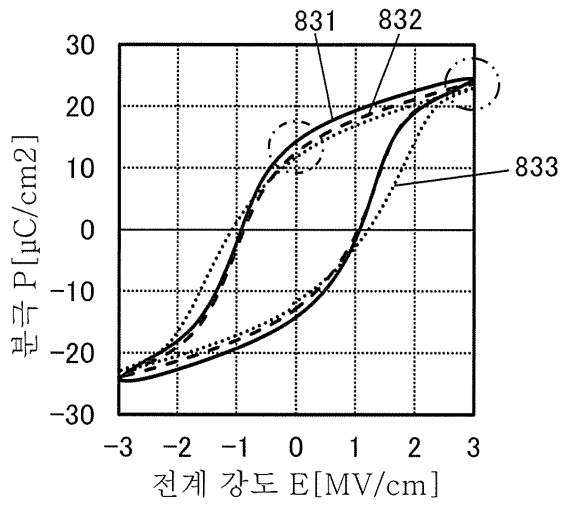
도면52



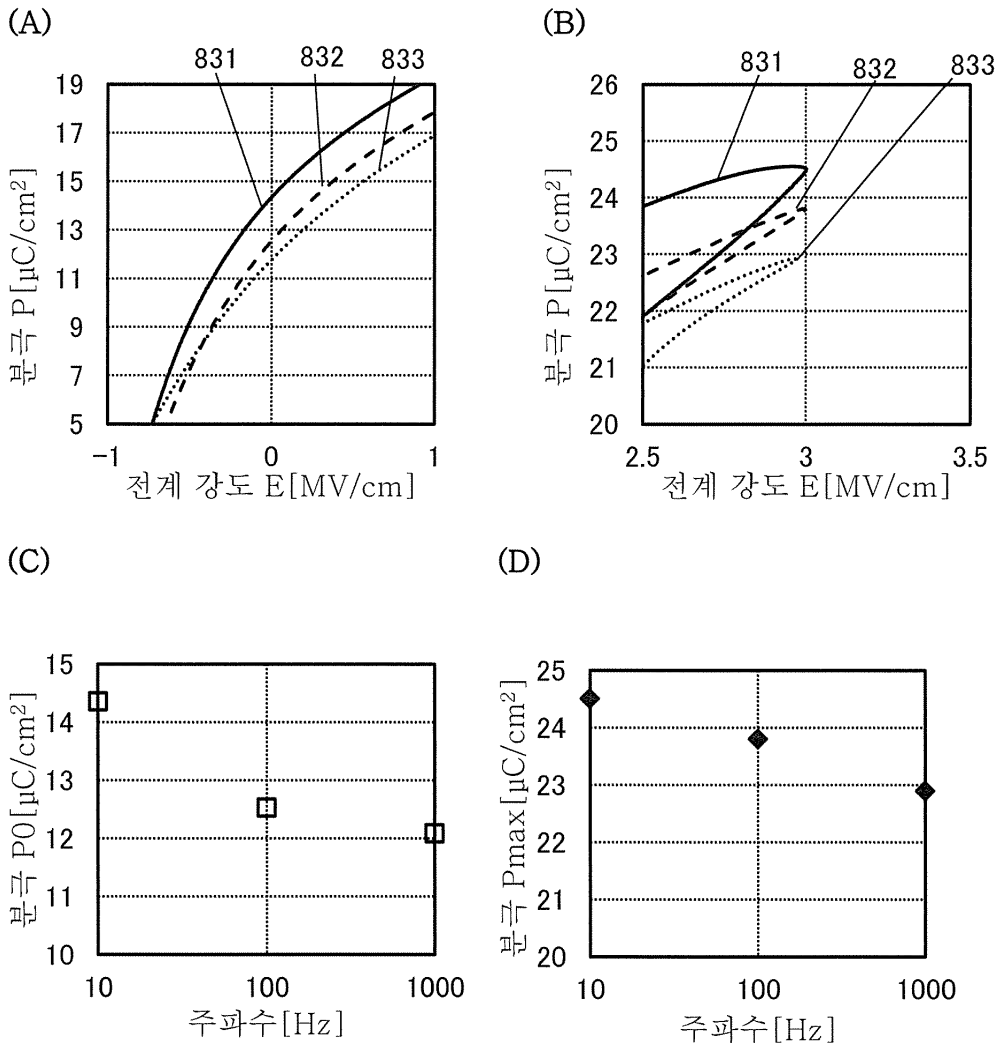
도면53



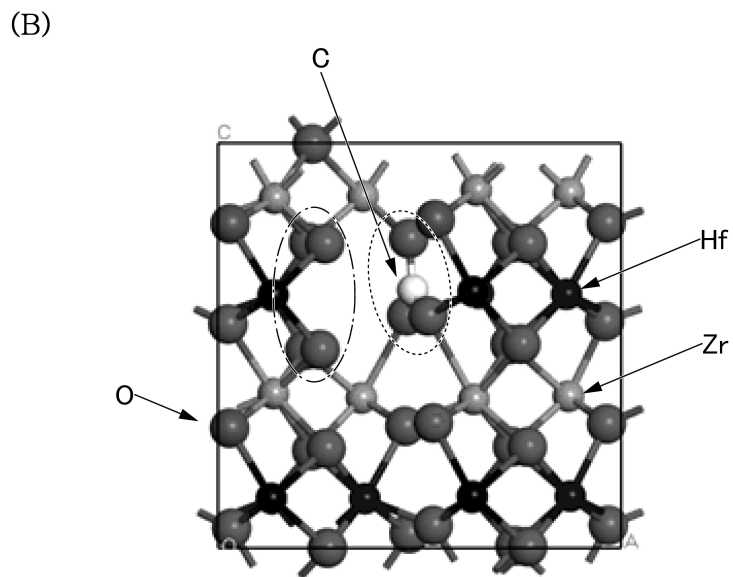
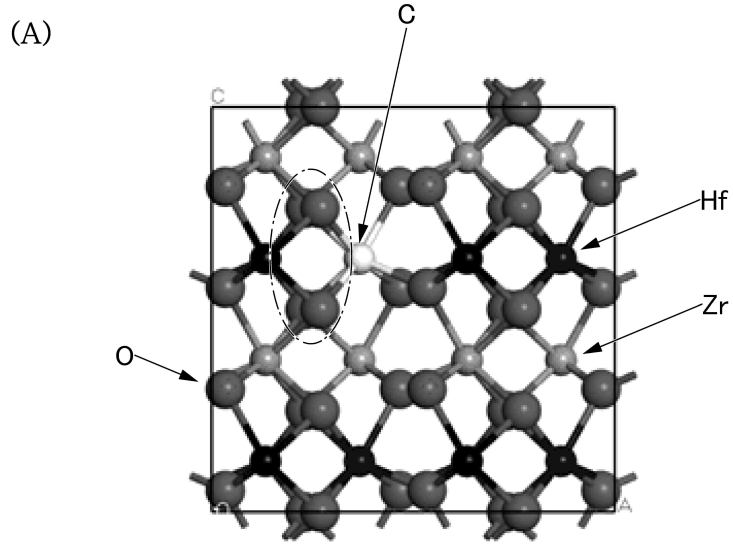
도면54



도면55

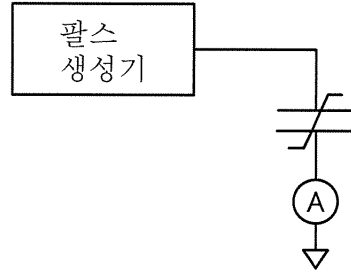


도면56

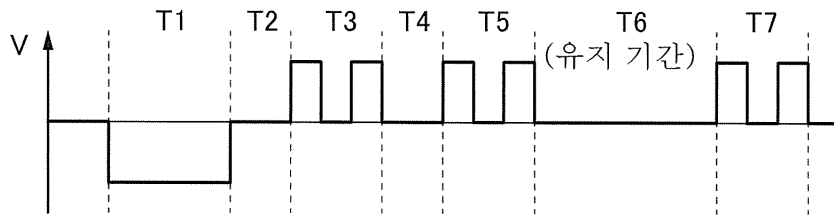


도면57

(A)

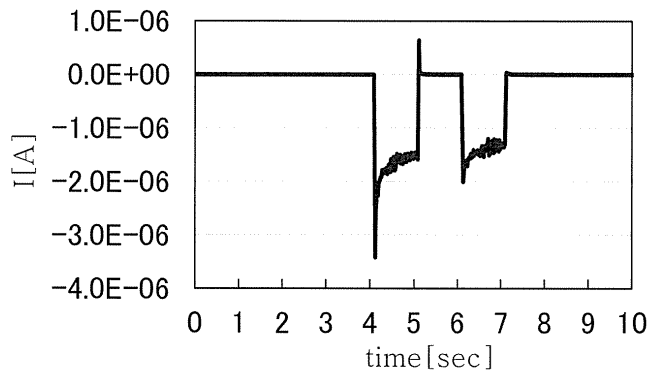


(B)

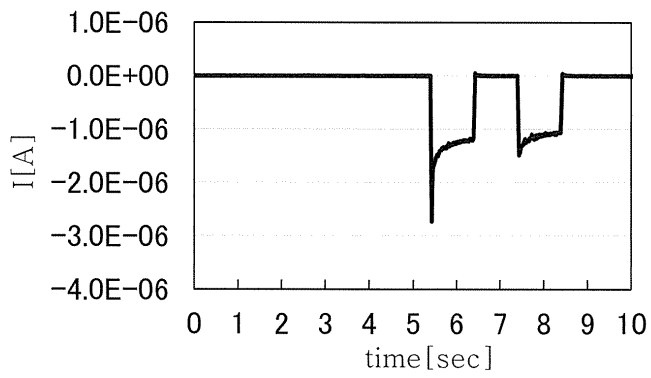


도면58

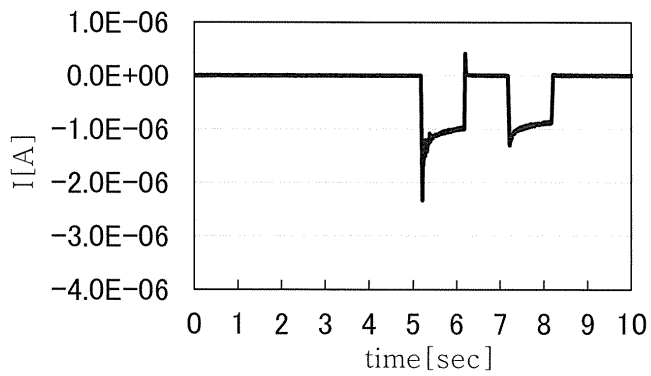
(A)



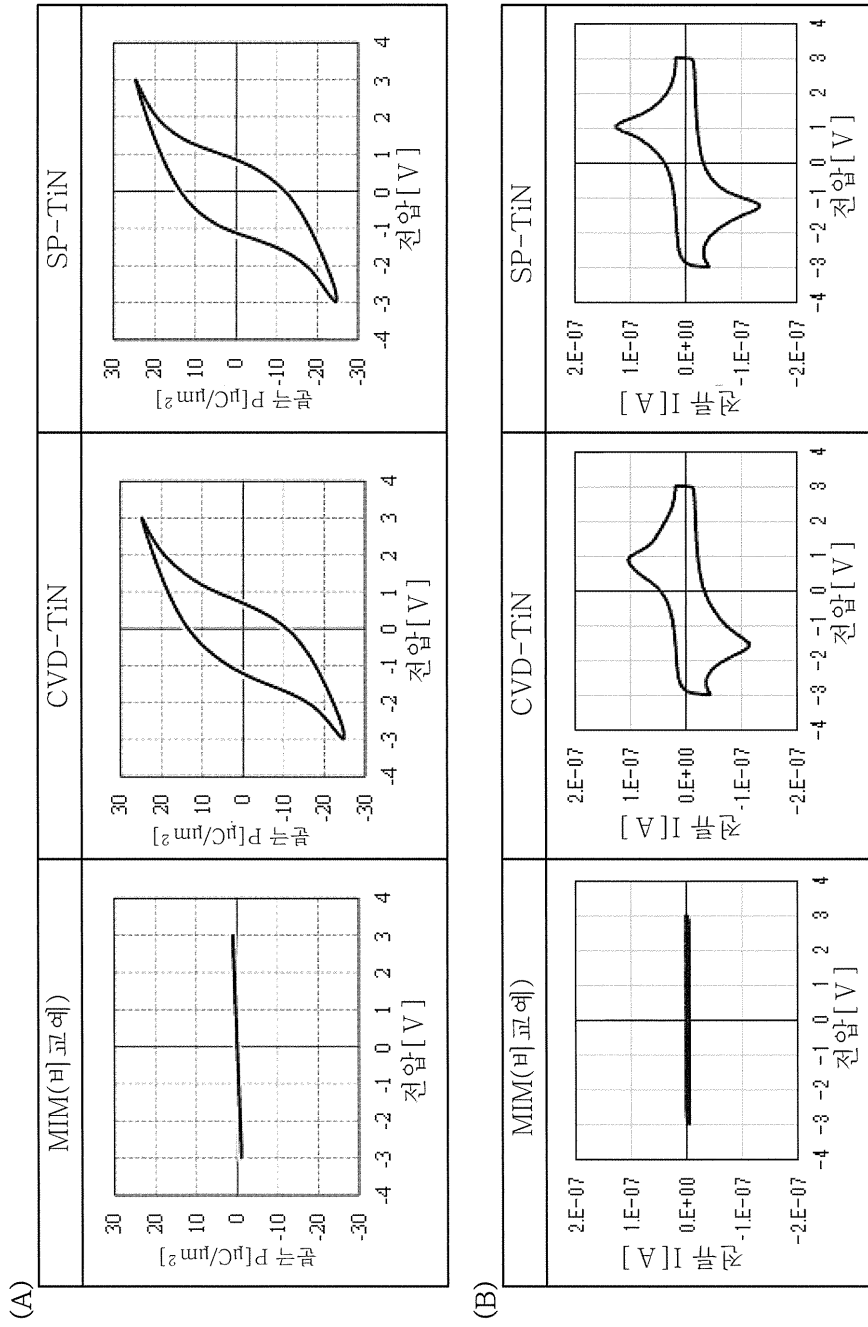
(B)



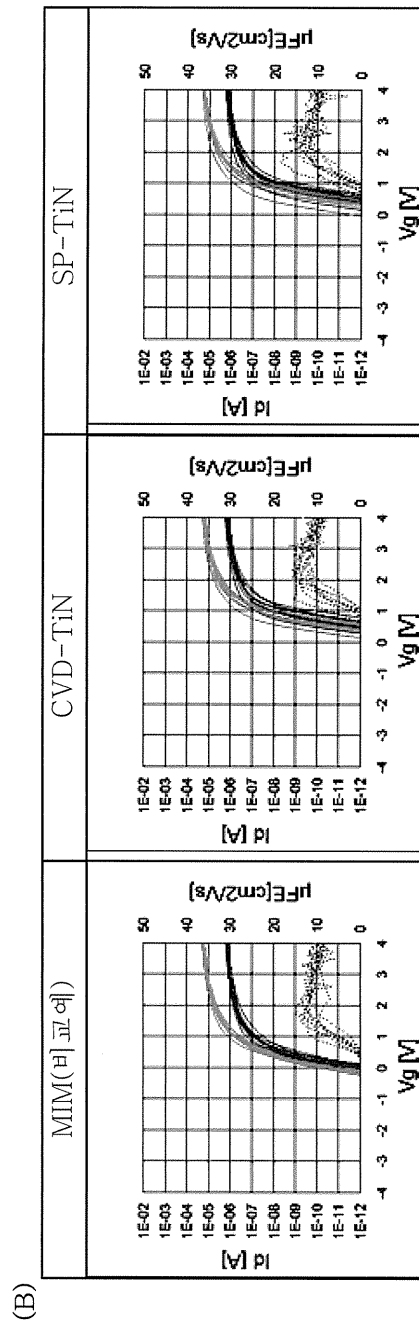
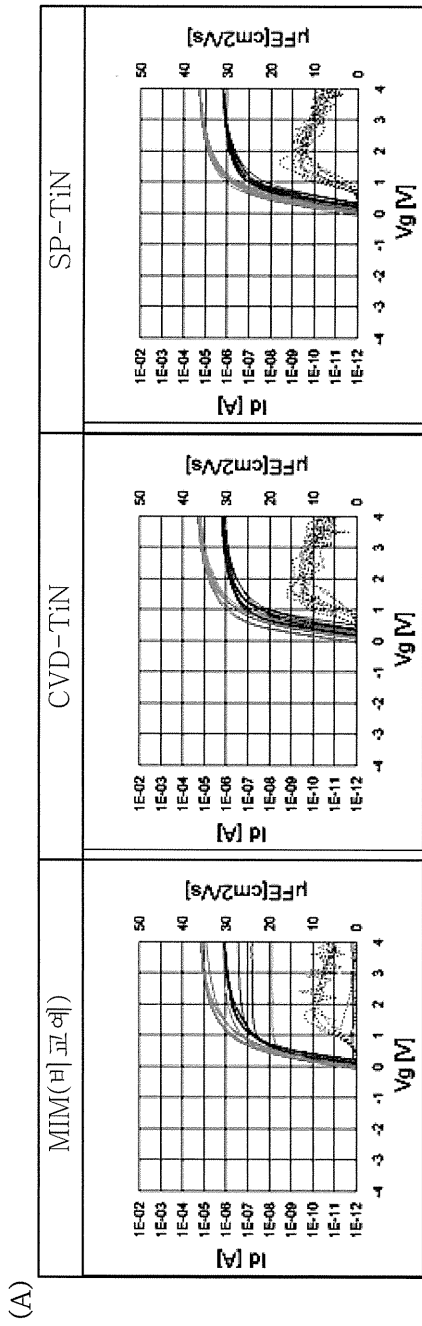
(C)



도면59

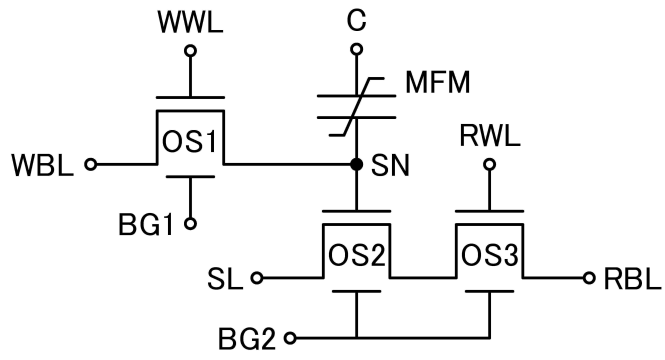


도면60

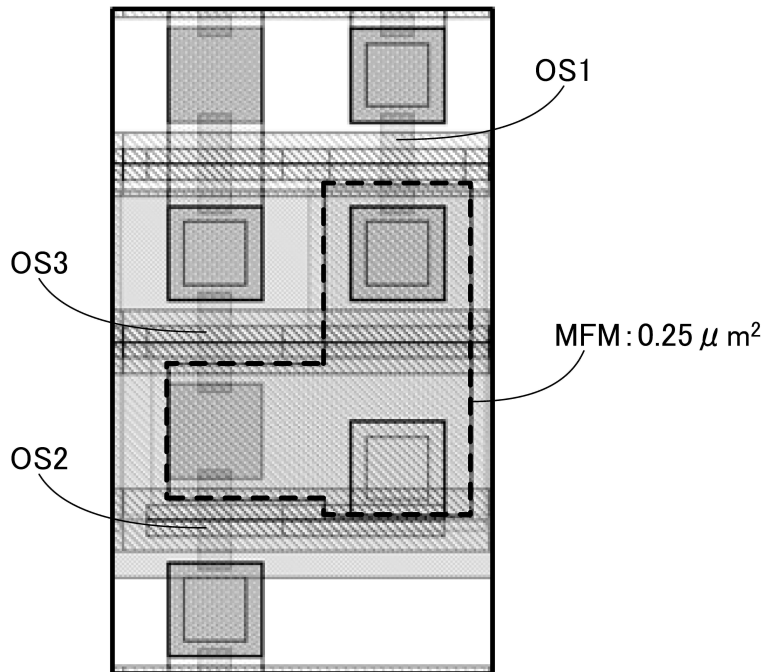


도면61

(A)

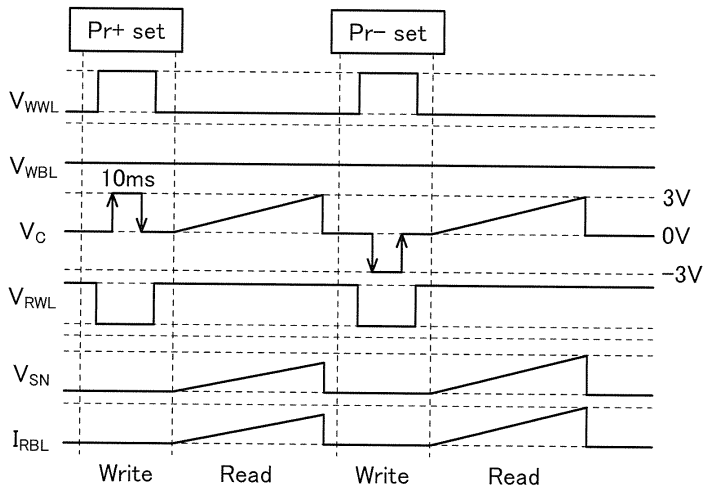


(B)

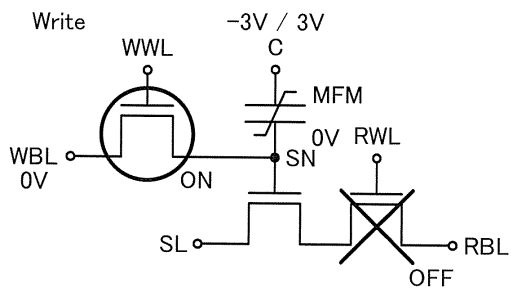


도면62

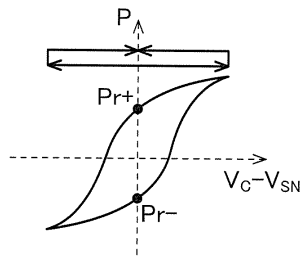
(A)



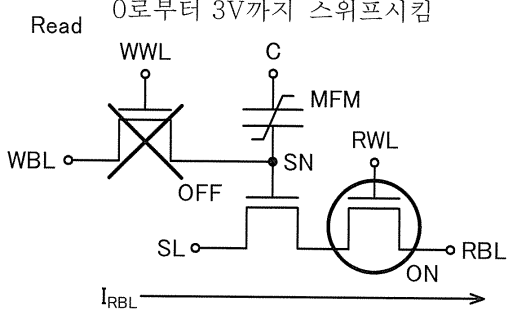
(B1)



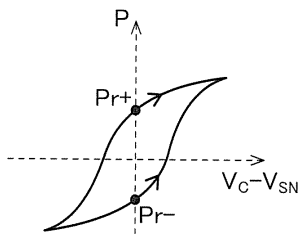
(B2)



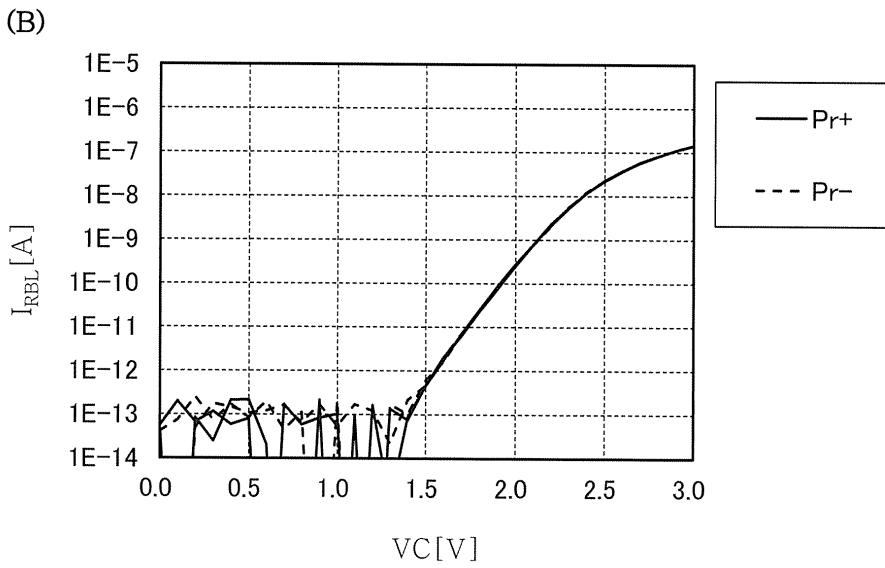
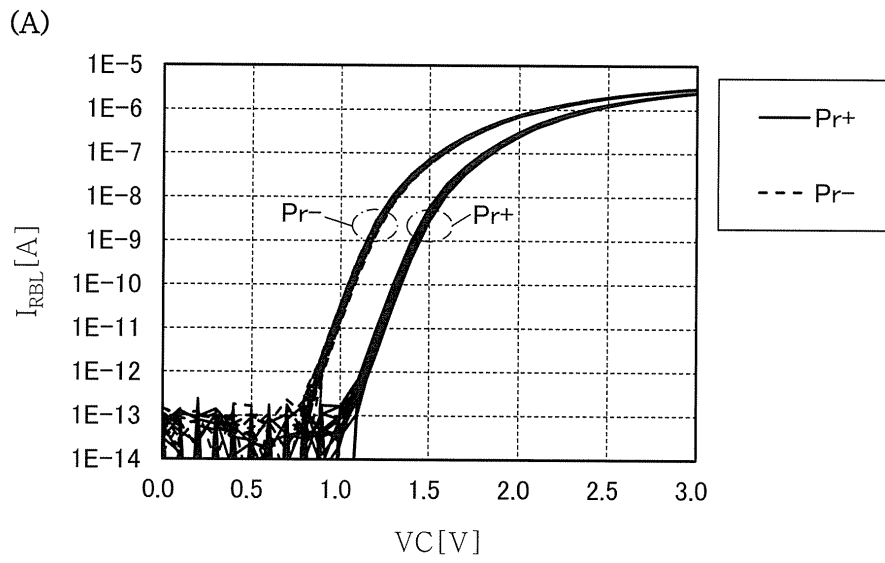
(C1)



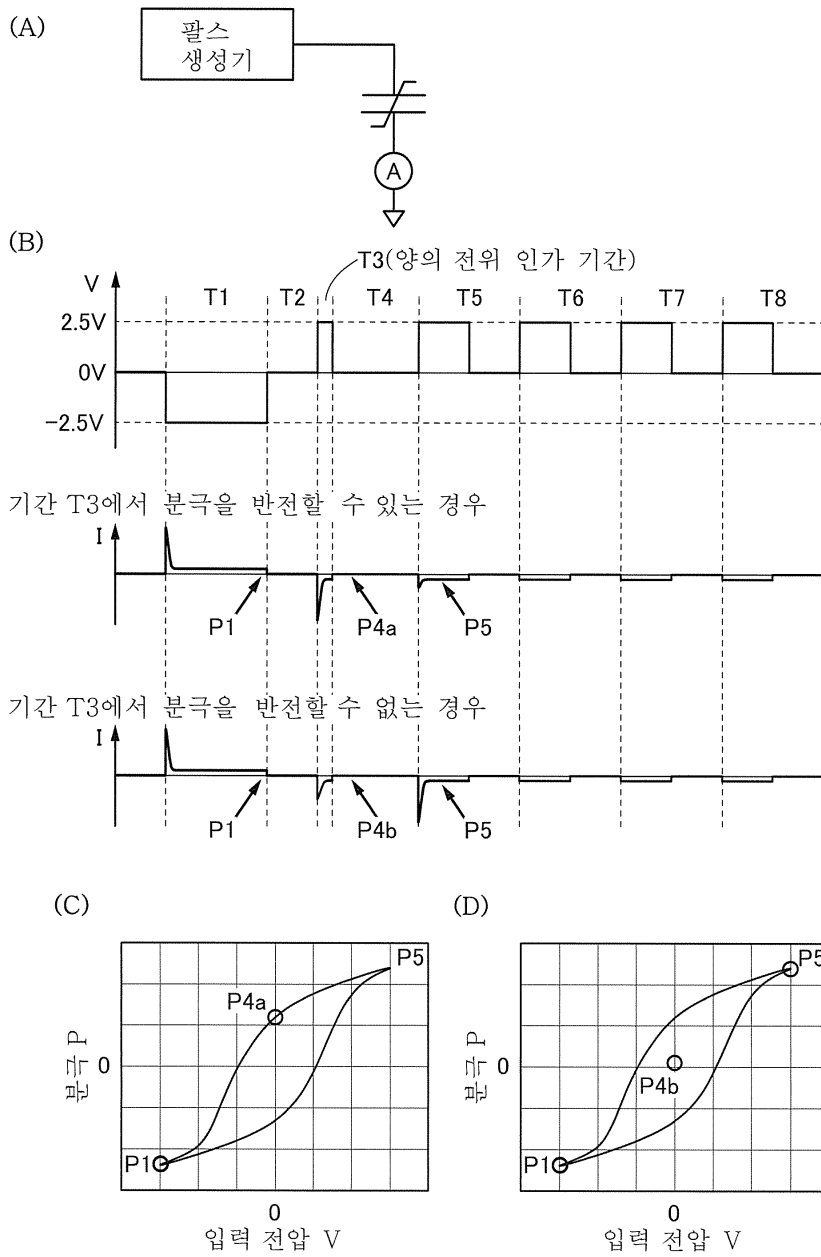
(C2)



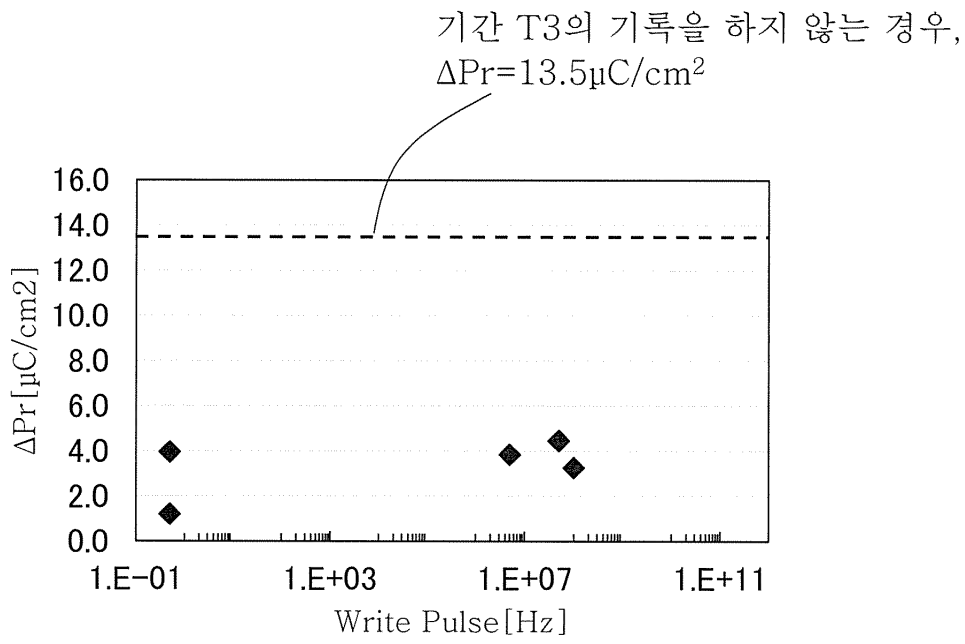
도면63



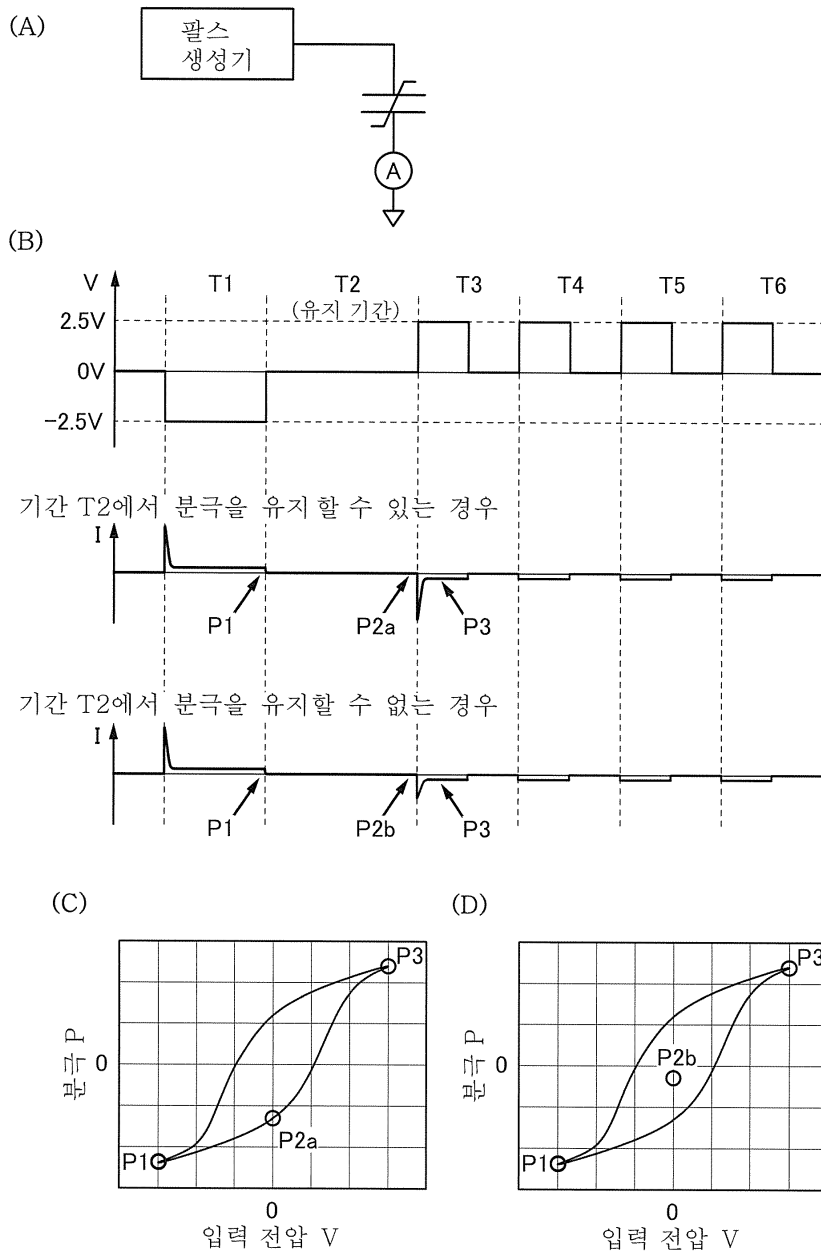
도면64



도면65



도면66



도면67

