[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 29/78
H01L 29/24 H01L 21/336

[12] 发明专利申请公开说明书

[21] 申请号 01820007.9

[43] 公开日 2004 年 2 月 25 日

[11] 公开号 CN 1478302A

[22] 申请日 2001.10.2 [21] 申请号 01820007.9

[30] 优先权

[32] 2000.10. 3 [33] US [31] 60/237,426

[32] 2000.10. 3 [33] US [31] 60/237,822

[32] 2001. 4.12 [33] US [31] 09/834,283

[32] 2001. 5.30 [33] US [31] 60/294,307

[32] 2001. 7.24 [33] US [31] 09/911,995

[86] 国际申请 PCT/US01/30715 2001.9.28

[87] 国际公布 WO02/29900 英 2002.4.11

[85] 进入国家阶段日期 2003.6.3

[71] 申请人 克里公司

地址 美国北卡罗来纳州

[72] 发明人 柳世衡 A·阿加瓦尔

M·K·达斯 L·A·利普金

J·W·帕尔穆尔 R·辛

[74] 专利代理机构 中国专利代理(香港)有限公司

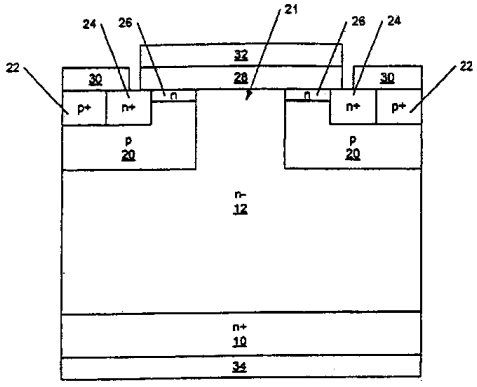
代理人 吴立明 梁 永

权利要求书 9 页 说明书 20 页 附图 19 页

[54] 发明名称 短沟道碳化硅功率 MOSFETS 及其制造方法

[57] 摘要

提供碳化硅金属－氧化物半导体场效应晶体管(MOSFET)及其制造方法。碳化硅 MOSFET 有 n 型碳化硅漂移层，在 n 型漂移层内包含有一定间隔的、其中又包含 n 型碳化硅区的 p 型碳化硅区，和氮化的氧化层。MOSFET 还有 n 型短沟道，从相应的 n 型碳化硅区穿过 p 型碳化硅区延伸到 n 型碳化硅漂移层。在另一个实施例中，提供碳化硅 MOSFET 及其制造方法，MOSFET 包括施加零栅偏压时为配置为自耗尽源区的一个区域，其处在 n 型碳化硅区和漂移层之间，与氧化层相邻。



ISSN1008-4274

知识产权出版社出版

1. 一种碳化硅金属-氧化物半导体场效应晶体管，其包括:

双注入碳化硅MOSFET，有n型碳化硅漂移层、在n型碳化硅漂移层内包含有一定间隔并且其中包含n型碳化硅区的p型碳化硅区，和在n型碳化硅漂移层上的氮化的氧化层；和

n型短沟道，从相应的n型碳化硅区穿过p型碳化硅区并延伸到n型碳化硅漂移层。

2. 根据权利要求1的碳化硅金属-氧化物半导体场效应晶体管，其中p型碳化硅区包含有一定间隔的其中有铝注入的碳化硅区。

3. 根据权利要求1的碳化硅金属-氧化物半导体场效应晶体管，其中n型短沟道延伸到但并没有进入n型碳化硅漂移层。

4. 根据权利要求1的碳化硅金属-氧化物半导体场效应晶体管，还包括在n型短沟道之间的n型碳化硅漂移层上的碳化硅外延层。

5. 根据权利要求1的碳化硅金属-氧化物半导体场效应晶体管，还包括在氧化层上的栅接触，栅接触包含p型多晶硅。

6. 根据权利要求1的碳化硅金属-氧化物半导体场效应晶体管，其中掺杂n型短沟道使得n型沟道在施加零伏栅偏压时是自耗尽的。

7. 根据权利要求1的碳化硅金属-氧化物场效应晶体管，还包括在n型碳化硅漂移层和p型碳化硅区上的碳化硅外延层，其中n型短沟道延伸进入和/或穿过碳化硅外延层。

8. 根据权利要求1的碳化硅金属-氧化物场效应晶体管，其中短沟道的薄层电荷小于约$10^{13}cm^{-2}$。

9. 根据权利要求1的碳化硅金属-氧化物场效应晶体管，其中短沟道具有与厚度约3500Å和载流子浓度约$2\times10^{16}cm^{-3}$的碳化硅外延层相对应的薄层电荷。

10. 根据权利要求1的碳化硅金属-氧化物场效应晶体管，其中碳化硅包括4H多型碳化硅，并且其中在氧化层和n型漂移层之间的界面对于在4H多型碳化硅的导带能量约0.3和约0.4eV之间的能级上有小于$10^{12}eV^{-1}cm^{-2}$的界面态密度。

11. 根据权利要求1的碳化硅金属-氧化物场效应晶体管，其中氮化氧化物包括氧化物-氮化物-氧化物结构和氮氧化物中的至少一种。

12. 一种碳化硅器件，其包括:

n 型碳化硅漂移层;

在漂移层内的第一 p 型碳化硅区，该第一 p 型碳化硅区以一定距离间隔，并具有确定其间的漂移层区的外围边缘;

第一 n 型碳化硅区，其具有大于第一 p 型碳化硅区内的漂移层的载流子浓度的载流子浓度，并距离第一 p 型碳化硅区外围边缘一定间隔;

第二 n 型碳化硅区，其具有小于第一 n 型碳化硅区的载流子浓度的载流子浓度，并从第一 n 型碳化硅区延伸到第一 p 型碳化硅区的外围边缘; 以及

在漂移层、第一 n 型碳化硅区和第二 n 型碳化硅区上的氮化的氧化层。

13. 根据权利要求 12 的碳化硅器件，其中第二 n 型碳化硅区具有小于约 $10^{13}cm^{-2}$ 的薄层电荷。

14. 根据权利要求 13 的碳化硅器件，其中第二 n 型碳化硅区的深度为从约 0.05μm 到约 1μm。

15. 根据权利要求 14 的碳化硅器件，其中第二 n 型碳化硅区从第一 n 型碳化硅区延伸到第一 p 型碳化硅区的外围约 0.5μm 到约 5μm 的距离。

16. 根据权利要求 12 的碳化硅器件，其中第二 n 型碳化硅区具有与厚度约 3500Å 和载流子浓度约 $2\times10^{16}cm^{-3}$ 的碳化硅外延层相对应的薄层电荷.

17. 根据权利要求 12 的碳化硅器件，其中在氧化层和漂移层、第一 n 型碳化硅区和第二 n 型碳化硅区之间的界面的界面态密度在 4H 多型碳化硅的导带能量约 0.3 和约 0.4eV 之间小于约 $10^{12}eV^{-1}cm^{-2}$。

18. 根据权利要求 12 的碳化硅器件，还包括: 被安排在相应的第一 p 型碳化硅区里的第二 p 型碳化硅区，其中该第二 p 型碳化硅区的载流子浓度大于第一碳化硅区的载流子浓度，第二碳化硅区与第一 n 型碳化硅区相邻，并与第二 n 型碳化硅区相对。

19. 根据权利要求 12 的碳化硅器件，还包括在氧化层上的栅接触。

20. 根据权利要求 19 的碳化硅器件，其中栅接触是 p 型多晶硅。

21. 根据权利要求 12 的碳化硅器件，其中第一 p 型碳化硅区相互

间隔为从约 1μm 到约 10μm 的距离。

22. 根据权利要求 21 的碳化硅器件，其中第一 p 型碳化硅区有载流子浓度从约 $1\times10^{16}cm^{-3}$ 到约 $2\times10^{19}cm^{-3}$。

23. 根据权利要求 12 的碳化硅器件，还包括第一 p 型碳化硅区和第一 n 型碳化硅区上的接触。

24. 根据权利要求 12 的碳化硅器件，还包括：

一层 n 型碳化硅层，其载流子浓度大于漂移层的载流子浓度，并被安排与漂移层相邻与氧化层相对；和

在该层 n 型碳化硅上的漏接触。

25. 根据权利要求 12 的碳化硅器件，还包括：在第一 p 型区和 n 型碳化硅漂移层上的碳化硅外延层，其中第二 n 型碳化硅区延伸进入外延层，第一 n 型碳化硅区延伸通过外延层，并且氧化层是在外延层、第一 n 型碳化硅区和第二 n 型碳化硅区上。

26. 根据权利要求 25 的碳化硅器件，其中外延层包括未掺杂的碳化硅。

27. 根据权利要求 25 的碳化硅器件，其中碳化硅外延层包括具有厚度从约 0.05μm 到约 1μm 的碳化硅外延层。

28. 根据权利要求 27 的碳化硅器件，其中碳化硅外延层包括具有厚度从约 1000 到约 5000Å 的碳化硅外延层。

29. 根据权利要求 25 的碳化硅器件，其中外延层包括具有薄层电荷小于约 $10^{13}cm^{-2}$ 的 n 型碳化硅。

30. 根据权利要求 25 的碳化硅器件，其中第二 n 型碳化硅区有薄层电荷小于约 $10^{13}cm^{-2}$。

31. 根据权利要求 30 的碳化硅器件，其中第二 n 型碳化硅区有深度从约 0.05μm 到约 1μm。

32. 根据权利要求 31 的碳化硅器件，其中第二 n 型碳化硅区从第一 n 型碳化硅区到第一 p 型碳化硅区外围延伸约 0.5μm 到约 5μm 的距离。

33. 根据权利要求 25 的碳化硅器件，其中在氧化层和外延层、第一 n 型碳化硅区和第二 n 型碳化硅区之间的界面的界面态密度在 4H 多型碳化硅的导带能量约 0.3 和约 0.4eV 之间小于约 $10^{12}eV^{-1}cm^{-2}$。

34. 根据权利要求 25 的碳化硅器件，还包括：被安排在相应的第

一 p 型碳化硅区里的第二 p 型碳化硅区，其中第二 p 型碳化硅区的载流子浓度大于第一碳化硅区的载流子浓度，第二碳化硅区与第一 n 型碳化硅区相邻与第二 n 型碳化硅区相对。

35. 根据权利要求 34 的碳化硅器件，还包括:

定位在外延层内用来曝露第二 p 型碳化硅区的窗口；和

在第二 p 型碳化硅区上和第一 n 型碳化硅区上的窗口内的第一源接触。

36. 根据权利要求 25 的碳化硅器件，还包括在氧化层上的栅接触。

37. 根据权利要求 36 的碳化硅器件，其中栅接触是 p 型多晶硅。

38. 根据权利要求 25 的碳化硅器件，其中第一 p 型碳化硅区相互间隔为从约 1μm 到约 10μm 的距离。

39. 根据权利要求 38 的碳化硅器件，其中第一 p 型碳化硅区具有载流子浓度从约 1×10^{16} 到约 $2\times10^{19}cm^{-3}$。

40. 根据权利要求 25 的碳化硅器件，还包括:

一层 n 型碳化硅层，其载流子浓度大于漂移层的载流子浓度，并被安排与漂移层相邻与氧化层相对；和

在该层 n 型碳化硅上的漏接触。

41. 根据权利要求 12 的碳化硅金属-氧化物场效应晶体管，其中氮化氧化层包括氧化物-氮化物-氧化物结构和氮氧化物层中的至少一种。

42. 一种制作碳化硅器件的方法，该方法包括:

在 n 型碳化硅层内注入 p 型杂质，以便提供第一 p 型碳化硅区，第一 p 型碳化硅区有一定间隔，并具有限定其间的 n 型碳化硅层的区域的外围边缘;

注入 n 型杂质进入第一 p 型碳化硅区，以提供载流子浓度大于碳化硅层的载流子浓度的第一 n 型碳化硅区，第一 n 型碳化硅区距离第一 p 型碳化硅区的外围边缘有一定间隔;

注入 n 型杂质进入第一 p 型碳化硅区，以提供载流子浓度小于第一 n 型碳化硅区的载流子浓度的第二 n 型碳化硅区，其从第一 n 型碳化硅区延伸到第一 p 型碳化硅区的外围边缘；和

在漂移层、第一 n 型碳化硅区和第二 n 型碳化硅区上制作氧化层

的图案，以便提供栅氧化物。

43. 根据权利要求 42 的方法，其中注入 p 型杂质、为提供第一 n 型碳化硅区而注入 n 型杂质和为提供第二 n 型碳化硅区而注入 n 型杂质的步骤包括:

在 n 型碳化硅层上制作第一掩模图案，该第一掩模有与第一 p 型碳化硅区相对应的开口以便曝露部分 n 型碳化硅层；然后

利用第一掩模注入 p 型杂质进入 n 型碳化硅层内；然后

利用第一掩模注入 n 型杂质进入第一 p 型碳化硅区内；然后

在 n 型碳化硅层上制作第二掩模图案，该第二掩模有与第一 n 型碳化硅区相对应的开口，以便曝露其中注入 p 型和 n 型杂质的部分 n 型碳化硅层；然后

利用第二掩模注入 n 型杂质进入 n 型碳化硅层内。

44. 根据权利要求 43 的方法，其中利用第一掩模注入 n 型杂质进入 n 型碳化硅层内的步骤后面跟随的是在至少约 1500℃温度下退火以激活注入的杂质的步骤。

45. 根据权利要求 44 的方法，其中 p 型杂质包括铝。

46. 根据权利要求 43 的方法，其中制作第二掩模图案，使得第二 n 型碳化硅区从第一 n 型碳化硅区到第一 p 型碳化硅区的外围延伸约 0.5μm 到约 5μm 的距离。

47. 根据权利要求 42 的方法，其中为提供第二 n 型碳化硅区而注入 n 型杂质的步骤包括注入杂质，使第二 n 型碳化硅区的薄层电荷为小于约 $10^{13}cm^{-2}$。

48. 根据权利要求 47 的方法，其中为提供第二 n 型碳化硅区而注入 n 型杂质的步骤还包括使用注入能量注入 n 型杂质，以便提供第二 n 型碳化硅区的深度从约 0.05μm 到约 1μm。

49. 根据权利要求 42 的方法，其中制作氧化层图案的步骤包括热生长氧化层的步骤。

50. 根据权利要求 49 的方法，其中热生长氧化层的步骤包括在 NO 或 N_2O 环境中热生长氧化层的步骤。

51. 根据权利要求 49 的方法，其中热生长氧化层的步骤包括热生长氮氧化物层的步骤。

52. 根据权利要求 42 的方法，其中制作氧化层图案的步骤包括形

成氧化物-氮化物-氧化物(ONO)层的步骤。

53. 根据权利要求 42 的方法，还包括在 NO 环境或 N_2O 环境中的至少一个环境中对所述氧化层退火的步骤。

54. 根据权利要求 53 的方法，其中退火步骤提供在氧化层和漂移层、第一 n 型碳化硅区和第二 n 型碳化硅区之间的界面的界面态密度在 4H 多型碳化硅的导带能量约 0.4eV 内小于约 $10^{12}eV^{-1}cm^{-2}$。

55. 根据权利要求 42 的方法，还包括注入 p 型杂质进入 n 型碳化硅层内，以便提供安排在相应的第一 p 型碳化硅区内的第二 p 型碳化硅区，其中第二 p 型碳化硅区的载流子浓度大于第一碳化硅区的载流子浓度，第二碳化硅区与第一 n 型碳化硅区相邻并与第二 n 型碳化硅区相对。

56. 根据权利要求 42 的方法，还包括在栅氧化层上形成栅接触。

57. 根据权利要求 56 的方法，其中形成栅接触的步骤包括制作 p 型多晶硅图案以便在栅氧化层上提供栅接触的步骤。

58. 根据权利要求 43 的方法，其中第一掩模有开口，它们之间的间隔从约 1μm 到约 10μm 的距离。

59. 根据权利要求 42 的方法，还包括:

注入 n 型杂质进入到 n 型碳化硅层与氧化层相对的一个面内，以便提供载流子浓度大于 n 型碳化硅层的载流子浓度的第二 n 型碳化硅层；和

在第二 n 型碳化硅层上形成漏接触。

60. 根据权利要求 42 的方法，其中 n 型碳化硅层包括碳化硅衬底。

61. 根据权利要求 42 的方法，其中其中注入 p 型杂质、为提供第一 n 型碳化硅区而注入 n 型杂质和为提供第二 n 型碳化硅区而注入 n 型杂质的步骤包括:

在 n 型碳化硅层上制作第一掩模图案，该第一掩模有与第一 p 型碳化硅区相对应的开口，以便曝露部分 n 型碳化硅层；然后

利用第一掩模注入 p 型杂质进入 n 型碳化硅层内；然后

在至少约 1500℃温度下对 n 型碳化硅层和第一 p 型碳化硅区进行退火；然后

在 n 型碳化硅层和第一 p 型碳化硅区上生长碳化硅外延层；然后

在 n 型碳化硅层上制作第二掩模图案，第二掩模有与第二 n 型碳

化硅区相对应的开口，以便曝露部分第一 p 型碳化硅区；

利用第二掩模注入 n 型杂质进入 n 型碳化硅外延层内；

然后在 n 型碳化硅层上制作第三掩模图案，第三掩模有与第一 n 型碳化硅区相对应的开口，以便曝露部分第一 p 型碳化硅区；

利用第三掩模注入 n 型杂质进入第一 p 型碳化硅区和碳化硅外延层内；并且

其中制作氧化层图案的步骤包括在外延层、第一 n 型碳化硅区和第二 n 型碳化硅区上制作氧化层图案以提供栅氧化物。

62. 根据权利要求 61 的方法，其中生长碳化硅外延层的步骤包括生长未掺杂的碳化硅外延层。

63. 根据权利要求 61 的方法，其中生长碳化硅外延层的步骤包括生长具有薄层电荷小于约 $10^{13}cm^{-2}$ 的碳化硅外延层。

64. 根据权利要求 61 的方法，其中生长碳化硅外延层的步骤包括生长具有厚度从约 0.05μm 到约 1μm 的碳化硅外延层。

65. 根据权利要求 64 的方法，其中生长碳化硅外延层的步骤包括生长具有厚度从约 1000 到约 5000Å 的碳化硅外延层。

66. 根据权利要求 61 的方法，其中 p 型杂质包括铝。

67. 根据权利要求 61 的方法，其中制作第三掩模图案，使得第二 n 型碳化硅区从第一 n 型碳化硅区到第一 p 型碳化硅区外围延伸约 0.5μm 到约 5μm 的距离。

68. 根据权利要求 61 的方法，其中为提供第二 n 型碳化硅区而注入 n 型杂质步骤包括注入杂质，使第二 n 型碳化硅区具有薄层电荷小于约 $10^{13}cm^{-2}$。

69. 根据权利要求 68 的方法，其中为提供第二 n 型碳化硅区而注入 n 型杂质的步骤还包括使用注入能量注入 n 型杂质，以便提供具有深度从约 0.05μm 到约 1μm 的第二 n 型碳化硅区。

70. 根据权利要求 61 的方法，其中制作氧化层图案的步骤包括热生长氧化层的步骤。

71. 根据权利要求 70 的方法，其中热生长氧化层的步骤包括在 NO 或 N_2O 环境中热生长氧化层。

72. 根据权利要求 70 的方法，其中热生长氧化层的步骤包括热生长氮氧化物层的步骤。

73. 根据权利要求 61 的方法，其中制作氧化层图案的步骤包括形成氧化物-氮化物-氧化物(ONO)层的步骤。

74. 根据权利要求 61 的方法，还包括在 NO 环境或 N_2O 环境中的至少一个中对所述氧化层通火的步骤。

75. 根据权利要求 74 的方法，其中退火步骤提供在氧化层和漂移层、第一 n 型碳化硅区和第二 n 型碳化硅区之间的界面的界面态密度，在 4H 多型碳化硅的导带能量从约 0.3eV 到约 0.4eV 内小于约 $10^{12}eV^{-1}cm^{-2}$。

76. 根据权利要求 61 的方法，其中在退火步骤之前有下列步骤：

制作第四掩模图案，第四掩模是在 n 型碳化硅层和第一 p 型碳化硅区上，第四掩模中有与安排在相应的第一 p 型碳化硅区内的第二 p 型碳化硅区相对应的开口，第二碳化硅区与第一 n 型碳化硅区相邻并与第二 n 型碳化硅区相对；和

利用第四掩模注入 p 型杂质，使第二 p 型碳化硅区的载流子浓度大于第一碳化硅区的载流子浓度。

77. 根据权利要求 76 的方法，还包括：

形成定位在外延层内的窗口以曝露第二 p 型碳化硅区；和

在第二 p 型碳化硅区和第一 n 型碳化硅区上的窗口内形成接触。

78. 根据权利要求 61 的方法，还包括在栅氧化层上面形成栅接触。

79. 根据权利要求 78 的方法，其中形成栅接触的步骤包括制作 p 型多晶硅图案以便在栅氧化层上提供栅接触的步骤。

80. 根据权利要求 61 的方法，其中第一掩模有开口，它们之间的间隔从约 1μm 到约 10μm 的距离。

81. 根据权利要求 61 的方法，还包括：

注入 n 型杂质进入 n 型碳化硅层与氧化层相对的一个面内，以便提供具有载流子浓度大于 n 型碳化硅层的载流子浓度的第二 n 型碳化硅层；和

在第二 n 型碳化硅层上形成漏接触。

82. 根据权利要求 61 的方法，其中 n 型碳化硅层包括碳化硅衬底。

83. 一种碳化硅金属-氧化物半导体场效应晶体管，包括：

一碳化硅 MOSFET，有 n 型碳化硅漂移层，在 n 型碳化硅漂移层内

有一定间隔的、其中包含 n 型碳化硅区的 p 型碳化硅区，和在 n 型碳化硅漂移层上的氮化的氧化层；和

在 n 型碳化硅区和漂移层之间的一个区域，与氮化的氧化层相邻，配置成在施加零栅偏压时自耗尽。

84. 根据权利要求 83 的碳化硅金属-氧化物半导体场效应晶体管，其中 p 型碳化硅区包括有一定间隔的、其中注入铝的碳化硅区域。

85. 根据权利要求 83 的碳化硅金属-氧化物半导体场效应晶体管，其中配置为自耗尽的所述区域延伸到但并不进入 n 型碳化硅漂移层。

86. 根据权利要求 83 的碳化硅金属-氧化物半导体场效应晶体管，还包括在 p 型区之间的 n 型碳化硅漂移层上的碳化硅外延层。

87. 根据权利要求 83 的碳化硅金属-氧化物半导体场效应晶体管，其中配置为自耗尽的所述区域包括碳化硅区，其具有与具有厚度约 3500Å 和载流子浓度约 $2 \times 10^{16} cm^{-3}$ 的碳化硅外延层的薄层电荷相对应的薄层电荷。

88. 根据权利要求 83 的碳化硅金属-氧化物半导体场效应晶体管，还包括在氧化层上的栅接触，该栅接触包括 p 型多晶硅。

89. 根据权利要求 83 的碳化硅金属-氧化物场效应晶体管，其中碳化硅包括 4H 多型碳化硅，并且其中在氧化层和 n 型漂移层之间的界面具有对于在 4H 多型碳化硅的导带能量在约 0.3eV 和约 0.4eV 之间的能级的小于 $10^{12} eV^{-1} cm^{-2}$ 的界面态密度。

短沟道碳化硅功率 MOSFETS 及其制造方法

涉及的申请

本申请要求下列申请的优先权，在 2000 年 10 月 3 日提交的标题为“改善碳化硅层和氧化层间界面的方法”的美国临时申请序列号 No. 60/237,822 和标题为“SiC 功率 MOSFET 及制造方法”的美国临时申请序列号 No. 60/237,426，在 2001 年 5 月 30 日提交的标题为“在碳化硅层上氧化层的 N_2O 生长方法”的美国临时申请序列号 No. 60/294,307，在 2001 年 4 月 12 日提交的标题为“在碳化硅层上的氧化层的 N_2O 退火方法”的美国专利申请序列号 No. 09/834,283，它们的公开内容在此引入作为参考，如同在此处完全陈述。

发明领域

本发明涉及半导体器件及半导体器件的制造，更具体而言，涉及碳化硅(SiC)金属-氧化物半导体晶体管(MOSFET)及这样的 MOSFET 的制造。

发明背景

到目前为止，制造大电流、高电压、低导通电阻的垂直 SiC 功率 MOSFET 还是不实际的，至少部份原因是在反型层中的电子表面迁移率很低。最近，已经开发了一些关于横向 MOSFET 结构的工艺技术，它们可以改善表面电子迁移率。然而，功率 MOSFET 结构牵涉到另外的工艺，例如，包括温度高于 1500℃的退火用于激活 p 型掺杂剂，如 p 阱/p^+ 接触/p-结端延伸(JTE)注入。这样的退火对用这种技术制造的功率 MOSFET 的性能有不利的影响。

许多碳化硅功率 MOSFET 结构在文献里已经描述。例如可见，美国专利 No.5,506,421；A.K.Agarwal, J.B.Casady, L.B.Rowland, W.F.Valek, M.H.White, 和 C.D.Brandt, “1.1kV 4H-SiC 功率 UMOSFET's (1.1kV 4H-SiC Power UMOSFET's)”, IEEE Electron Device Letters, 第 18 卷，第 12 期，586 页-588 页 ,1997 年 12 月；A .K.Agarwal, J.B.Casady, L.B.Rowland, W.F.Valek 和 C.D.Brandt, “1400 V 4H-SiC 功率 MOSFETs (1400V 4H-SiC Power MOSFETs)”, Materials Science Forum 第 264-268 卷，989 页-992

页,1998 年; J.Tan, J.A.Cooper, Jr.,和 M.R.Melloch,“4H-SiC 中的高压积累层 UMOSFET(High-Voltage Accumulation-Layer UMOSFETs in 4H-SiC)”, IEEE Electron Device Letters, 第 19 卷,第 12 期,487 页-489 页 ,1998 年 12 月;J.N.Shenoy, J.A.Cooper 和 M.R.Melloch,“6H-SiC 中的高压双注入功率 MOSFET's (High-Voltage Double-Implanted Power MOSFET's in 6H-SiC)”, IEEE Electron Device Letters,第 18 卷, 第 3 期, 93 页-95 页, 1997 年 3 月; J.B.Casady, A.K.Agarwal, L.B.Rowland, W.F.Valek, 和 C.D.Brandt,“900V DMOS 和 1100V UMOS 4H-SiC 功率 FET (900V DMOS 和 1100V UMOS 4H-SiC Power FET's)”, IEEE Device Research Conference, Ft.Collins, CO, 1997 年 6 月 23 日-25 日; R.Schorner, P.Friedrichs, D.Peters, H.Mitlehner, B.Weis 和 D.Stephani,“阻挡能力到 1800V 的坚固的 6H-SiC 功率 MOSFET(Rugged Power MOSFETs in 6H-SiC with Blocking Capability up to 1800V)”, Materials Science Forum 第 338-342 卷,1295 页-1298 页,2000 年; V.R.Vathulya 和 M.H.White,“离子注入 SiC 的沟道迁移率特性以确定功率 DIMOS 结构的多型适用性(Characterization of Channel Mobility on Implanted SiC to determine Polytype Suitability for the Power DIMOS structure)”, Electronic Materials Conference, Santa Barbara, CA, 1999 年 6 月 30 日-7 月 2 日; A.V.Suvorov, L.A.Lipkin, G.M.Johnson, R.Singh 和 J.W.Palmour,“用于功率 DMOSFET 的 4H-SiC 自对准注入扩散结构(4H-SiC Self-Aligned Implant-Diffused Structure for Power DMOSFETs)”, Materials Science Forum 第 338-342 卷,1275 页-1278 页, 2000 年; P.M.Shenoy 和 B.J.Baliga,“平面型 6H-SiC ACCUFET: 一种新的高压功率 MOSFET 结构(The Planar 6H-SiC ACCUFET:A New High-Voltage Power MOSFET Structure)”, IEEE Electron Device Letters,第 18 卷, 第 12 期, 589 页-591 页, 1997 年 12 月; Ranbir Singh, Sei-Hyung Ryu 和 John W. Palmour,“高温大电流 4H-SiC 积累型-DMOSFET(High Temperature, High Current, 4H-SiC Accu-DMOSFET)”, Materials Science Forum 第 338-342 卷, 1271 页-1274 页, 2000 年; Y.Wang, C.Weitzel 和 M.Bhatnagar,“积累模式 SiC

功率MOSFET设计问题(Accumulation-Mode SiC Power MOSFET Design Issues)”，Materials Science Forum第338-342卷，1287页-1290页，2000年；A.K.Agarwal，N.S.Saks，S.S.Mani，V.S.Hegde和P.A.Sanger，“横向RESURF，6H-SiC MOSFET的研究(Investigation of Lateral RESURF，6H-SiC MOSFETs)”，Materials Science Forum第338-342卷，1307页-1310页，2000年。

现有的SiC结构可以分成三类：(1)槽形或UMOSFET，(2)垂直双注入MOSFET(DIMOSFET)，和(3)横向扩散MOSFET(LDMOSFET)。图1A，1B，1C和1D示出了这些结构。图1A说明槽形MOSFET，然而，它难以获得高击穿电压和沿槽的侧壁的可再现的高反型层迁移率。结果，导通电阻可变得很高，使这个结构成为不实用。横向DMOSFET在图1C和1D中说明，它与一给定击穿电压的垂直DIMOSFET相比，栅氧化层可以承受高电场和更高的导通电阻。

垂直DIMOSFET结构在图1B中说明，它是在硅工艺中采用的扩散(DMOSFET)结构的变种。典型地，p阱用铝或硼注入，源区(n^+)用氮或磷注入，P^+区通常用铝注入。注入在1400℃-1700℃之间的温度下激活。对n^+层的接触是用镍(Ni)形成并退火，对p^+的接触用Ni、Ti或Ti/Al形成。两种接触均在高温下退火。典型地，栅介质或者被热生长(热SiO_2)或者用低压化学气相淀积技术(LPCVD)被淀积，然后在各种气氛下退火。淀积的介质可以是SiO_2或氧化物/氮化物/氧化物(ONO)叠层。DIMOSFET结构的一个困难是反型层电子的低迁移率，这导致非常高的导通电阻。这个问题的起因，是图2示出的在导带边缘附近的高密度界面态。见R.Schorner，P.Friedrichs，D.Peters，和D.Stephani，“采用15R-SiC多型的碳化硅明显改善的MOSFET的性能(Significantly Improved Performance of MOSFETs on Silicon Carbide using the 15R-SiC polytype)”，IEEE Electron Device Letters，第20卷，第5期，241页-244页，1999年5月。

在导带边缘附近的界面态，倾向俘获来自反型层中的另外的自由电子，在反型层中留下相对少量的自由电子。被俘获的电子也可以在界面产生荷负电的状态，它们对自由电子产生库仑散射。减少的自由电子数目和增加的散射可以减小从源到漏的电流传导，这可能导致低有效电子迁移率和高导通电阻。有几个因素对导带边缘附近的高密度

态起作用：(1)碳或硅的悬挂键，(2)碳簇，和(3)在界面产生薄无定形硅层的 Si-Si 键。见 S.T.Pantelides，“碳化硅介质界面的原子尺度工程(Atomic Scale Engineering of SiC Dielectric Interfaces)”，DARPA/MTO High Power and ONR Power Switching MURI Reviews, Rosslyn, VA, 8月 10-12 日，1999 and V.V.Afanas′ev, M.Bassler, G.Pensl, 和 M.Schulz，“本征 SiC/SiO_2 界面态(Intrinsic SiC/SiO_2 Interface States)”，Phys. Stat. Sol. (a)，第 162 卷，321 页-337 页，1997 年。

除了高密度界面态外，还有几种机理对反型层电子的低迁移率起作用：(1)出自铝掺杂的 p 型 SiC 的铝分凝，和(2)注入杂质的高温激活产生的表面粗糙。见 S.Sridevan, P.K.McLarty 和 B.J.Baliga，“在 6H-SiC 上热生长氧化物中铝的存在(On the Presence of Aluminum in Thermally Grown Oxides on 6H-Silicon Carbide)”，IEEE Electron Device Letters，第 17 卷，第 3 期，136 页-138 页，1996 年 3 月和 M.A.Capano, S.Ryu, J.A.Cooper, Jr., M.R.Melloch, K.Rottner, S.Karlsson, N.Nordell, A.Powell, 和 D.E.Walker, Jr.，“离子注入的 4H-碳化硅的表面粗糙 (Surface Roughening in Ion Implanted 4H-Silicon Carbide)”，Journal of Electronic Materials，第 28 卷，第 3 期，214 页-218 页，1999 年 3 月。Purdue University 的研究人员得到结论，在反型层电子迁移率和注入激活温度之间存在直接相关性。这项研究也得到结论，比较低的注入激活温度(1200℃)导致比较高的电子迁移率，而比较高的激活温度(1400℃)导致低电子迁移率。见 M.K.Das, J.A.Cooper, Jr., M.R.Melloch, 和 M.A.Capano，“在 4H-和 6H-SiC MOSFET 中的反型沟道迁移率(Inversion Channel Mobility in 4H- and 6H-SiC MOSFETs)”，IEEE Semiconductor Interface Specialists Conference, San Diego, CA, 1998 年 12 月 3 日-5 日。这些结果已在平面 MOSFET(图 3)得到，它没有采用 p 阱注入。p 阱注入杂质(铝或硼)典型地要求至少 1500℃的激活温度。

图 4 示出所谓的“ACCUFET”结构。由于穿过积累层而不是反型层的导通导致高迁移率。在这种结构中，p 阱是用 Al 注入，以便留下一个薄的未注入的 n 型表面层。由于 pn 结的内建电压，这个 n 型层完全

耗尽。然而，注入激活温度典型地限于1400℃，以避免前面指明的表面粗糙。剩余n层的掺杂和生长的n型层的掺杂相同。这种结构已经示出在6H-SiC中有高电子迁移率，但是在4H-SiC中有非常低的电子迁移率。

Sridevan和Alok已经报道，在p型外延层（p-epi)上的平面型MOSFET中4H-SiC中的高电子迁移率。S. Sridevan和B. Jayant Baliga，“横向N沟道反型模式4H-SiC MOSFET（Lateral N-Channel Inversion Mode 4H-SiC MOSFET's）”，IEEE Electron Device Letters,第19卷，第7期，228页-230页，1998年7月；D. Alok, E. Arnold，和R. Egloff，“4H-SiC器件中反型层迁移率的工艺相关性（Process Dependence of Inversion Layer Mobility in 4H-SiC Devices）”，Materials Science Form第338-342卷，1077页-1080页，2000年。然而，这不是高压功率MOSFET结构。使用p-epi，可以潜在地避免与p阱激活相关和由此产生的表面粗糙的问题。使用淀积的氧化物并且对源区和漏区氮注入的激活温度保持最低(1250℃)以避免表面粗糙度。为保护栅氧化物/SiC界面，对源区和漏区的接触没有退火。高电子迁移率已经归因于淀积SiO_2层的特别的湿退火。这是在1100℃在通过98℃的去离子(DI)水鼓泡的N_2中退火400min，然后在1100℃原地Ar气退火60min，再后在950℃湿N_2退火60min。实行这种退火使淀积的氧化物致密并减少界面态密度。不幸，这个方法具有重复性问题。几个研究组，包括Purdue University的Rensealar Polytechnic Institute (RPI)，和Cree Inc.，企图重复这个结果，都没有成功。

已经报道有希望的另一个方法是反掺杂法。K. Ueno和Tadaaki Oikawa，“反掺杂的4H-SiC MOSFET(Counter-Doped MOSFET's of 4H-SiC)”，IEEE Electron Device Letters，第20卷，第12期，624页-626页，1999年12月。同样，这个技术在没有p阱注入的情况下在平面型MOSFET上已经实现。这不是高压功率MOSFET结构。使用p-epi，可以避免与p阱激活相关和由此产生的表面粗糙度的问题。用反掺杂法，n型杂质的薄层例如氮是注入在源区和漏区之间。注入在低温(1300℃)激活以避免表面粗糙。n型区的掺杂浓度可以通过控制n型注入的剂量和能量来加以控制。通过采用这种注入削弱表面电场，

比较高的沟道迁移率已被报道。

最近，在不需要 p 阱注入的平面型 4H-SiC MOSFET 结构中，热氧化物在氧化氮 (NO) 气氛下退火已经指出是有希望的。见，M.K.Das, A.Lipkin, J.W.Palmour, G.Y.Chung, J.R.Williams, K.McDonald, 和 L.C.Feldman，“采用热生长、NO 退火的 SiO_2 的高迁移率 4H-SiC 反型模式的 MOSFET(High Mobility 4H-SiC Inversion Mode MOSFETs Using Thermally Grown, NO Annealed SiO_2)”，IEEE Device Research Conference, Denver, CO, 2000 年 6 月 19 日-21 日以及 G.Y.Chung, C.C.Tin, J.R.Williams, K.McDonald, R.A.Weller, S.T.Pantelides, L.C.Feldman, M.K.Das, 和 J.W.Palmour，“在氧化氮中高温退火后 4H-SiC MOSFET 改善的反型沟道迁移率 (Improved Inversion Channel Mobility for 4H-SiC MOSFETs Following High Temperature Anneals in Nitric Oxide)”，IEEE Electron Device Letters 已接受待发表，它们的公开内容在此引入作为参考，看作在此处完全陈述。已经指出，这种退火明显减小导带边缘附近的界面态密度。C.Y.Chung, C.C.Tin, J.R.Williams, K.McDonald, M.Di Ventra, S.T.Pantelides, L.C.Feldman, 和 R.A.Weller，“氧化氮退火对 4H 多型碳化硅能带边缘附近界面陷阱密度的影响(Effect of nitric oxide annealing on the interface trap densities near the band edges in the 4H polytype of silicon carbide)”，Applied Physics Letters，第 76 卷，第 13 期，1713 页-1715 页，2000 年 3 月，它们的公开内容在此引入，看作在此处完全陈述。由于改善的 MOS 界面，在表面反型层中得到高电子迁移率 (35-95cm^2/Vs)。

不幸，NO 对健康有害，国家防火协会(NFPA)的健康危险等级为 3，典型地其中实现氧化后退火的设备，是开放到超净间的大气中。虽然经常排气，但是超过在房间内的 NO 沾污安全等级的危险是不可以忽略的。

在 N_2O 中生长氧化物是可能的。J.P.Xu, P.T.Lai, C.L.Chan, B.Li, 和 Y.C.Cheng，“在 6H-SiC 上 N_2O 生长氮氧化物的改进的性能和可靠性(Improved Performance and Reliability of N_2O-Grown Oxynotride on 6H-SiC)”，IEEE Electron Device Letters，第

21 卷，第 6 期，298 页-300 页，2000 年 6 月，它们的公开内容在此引入作为参考，看作在此处完全陈述。在 6H-SiC 上的氧化物在 N_2O 气氛下 1100℃生长后氮化，也由 Lai 等人研究过。P.T.Lai, Supratic Chakraborty, C.L.Chan, 和 Y.C.Cheng, “氮化和退火对热氧化 SiO_2/SiC 金属-氧化物-半导体系统的界面性质的影响(Effect of nitridation and annealing on interface properties of thermally oxidized SiO_2/SiC metal-oxide-semiconductor system)”, Applied Physics Letters, 第 76 卷，第 25 期，3744 页-3746 页，2000 年 6 月，它们的公开内容在此引入作为参考，看作在此处完全陈述。然而，Lai 等人得到结论，这样的处理使界面质量恶化，它可以用随后的在 O_2 中湿或干退火而改善，退火可以修复 N_2O 中的氮化引起的损伤。此外，即使使用随后的 O_2 退火，与没有在 N_2O 中氮化的情况相比，Lai 等人没有看到界面态密度的任何明显减小。然而，这个工作使用 6H-SiC，不清楚是否应该用 4H-SiC，因为对 6H-SiC MOSFET 的许多改善以前没有导致对 4H-SiC MOSFET 的任何明显改善。

发明概述

本发明的实施例提供碳化硅金属-氧化物半导体场效应晶体管(MOSFET)和制作碳化硅 MOSFET 的方法，该碳化硅 MOSFET 包括 n 型碳化硅漂移层、在漂移层中相互有一定间隔的，并且其中包含 n 型碳化硅区的 p 型碳化硅区、在漂移层上的氧化层。MOSFET 还有从相应的 n 型碳化硅区延伸到 n 型碳化硅漂移层的 n 型短沟道。

在本发明的具体实施例中，p 型碳化硅区是其中注入铝的相互有一定间隔的碳化硅区域。在本发明的另一个实施例中，n 型短沟道对于相应的 p 型碳化硅源区是自对准的。

在本发明的可供选择的实施例中，碳化硅外延层提供在 n 型短沟道之间的 n 型碳化硅漂移层上。在一些实施例中，碳化硅外延层是在 n 型碳化硅漂移层和 p 型碳化硅源区上。在本发明的这样的实施例中，n 型短沟道可以延伸进入和/或通过碳化硅外延层。

在本发明的另一个实施例中，栅接触提供在氧化层上。在本发明的具体实施例中，栅接触是 p 型多晶硅。

在本发明的再一个实施例中，n 型短沟道是掺杂的，以致施加零伏栅偏压时，n 型沟道是自耗尽区。在本发明的具体实施例中，短沟道的

薄层电荷小于约 $10^{13}cm^{-2}$。例如，n 型短沟道可以有与厚度为约 3500Å 的和载流子浓度为约 $2\times10^{16}cm^{-3}$ 的碳化硅外延层的薄层电荷相对应的薄层电荷。此外，在本发明 4H 多型碳化硅的实施例中，在氧化层和 n 型漂移层之间的界面，对在 4H 多型碳化硅的导带能量约 0.3 和约 0.4eV 之间的能级，优选地，界面态密度小于约 $10^{12}eV^{-1}cm^{-2}$。

在本发明的另一个实施例中，碳化硅器件有 n 型碳化硅漂移层和在漂移层内的第一 p 型碳化硅区。第一 p 型碳化硅区相互有一定间隔，并具有确定了其间的漂移层区的外围边缘。第一 n 型碳化硅区，其载流子浓度大于漂移层的载流子浓度，提供在第一 p 型碳化硅区内并距第一 p 型碳化硅区外围边缘有一定间距。第二 n 型碳化硅区，其载流子浓度小于第一 n 型碳化硅区的载流子浓度，从第一 n 型碳化硅区延伸到第一 p 型碳化硅区的外围边缘。氧化层提供在漂移层、第一 n 型碳化硅区和第二 n 型碳化硅区上。

在本发明的具体实施例中，第二 n 型碳化硅区的薄层电荷小于约 $10^{13}cm^{-2}$。例如，第二碳化硅区可以有与具有厚度为约 3500Å 和载流子浓度为约 $2\times10^{16}cm^{-3}$ 的碳化硅外延层的薄层电荷相对应的薄层电荷。此外，第二 n 型碳化硅区深度从约 0.05μm 到约 1μm。第二 n 型碳化硅区可以从第一 n 型碳化硅区到第一 p 型碳化硅区的外围延伸约 0.5μm 到约 5μm 的距离。

在本发明使用 4H 多型碳化硅的另一个实施例中，在氧化层和漂移层、第一 n 型碳化硅区和第二 n 型碳化硅区之间的界面的界面态密度在 4H 多型碳化硅的导带能量约 0.3 和约 0.4eV 之间小于约 $10^{12}eV^{-1}cm^{-2}$。

在本发明的另外的实施例中，提供安排在相应第一 p 型碳化硅区内的第二 p 型碳化硅区。第二 p 型碳化硅区载流子浓度大于第一碳化硅区的载流子浓度。第二碳化硅区也与第一 n 型碳化硅区相邻并与第二 n 型碳化硅区相对。

在本发明的具体实施例中，第一 p 型碳化硅区以从约 1μm 到约 10μm 的间距隔开。第一 p 型碳化硅区可以有载流子浓度从约 $1\times10^{16}cm^{-3}$ 到约 $2\times10^{19}cm^{-3}$。

此外，也可以提供第一 p 型碳化硅区和第一 n 型碳化硅区上的源接触。也可以提供一层 n 型碳化硅层，其载流子浓度大于漂移层的载流子浓度并安排与漂移层相邻与氧化层相对。在这样的实施例中，漏

接触可以提供在 n 型碳化硅层上。

在本发明的再一个实施例中，碳化硅外延层提供在第一 p 型区和 n 型碳化硅的漂移层上。第二 n 型碳化硅区延伸进入外延层，第一 n 型碳化硅区延伸通过外延层，氧化层在外延层、第一 n 型碳化硅区和第二 n 型碳化硅区上。外延层可以是未掺杂的碳化硅。外延层也可以是具有薄层电荷小于约 $10^{13}cm^{-2}$ 的 n 型碳化硅。碳化硅外延层也可以是具有厚度从约 0.05μm 到约 1μm 的碳化硅外延层。优选地，碳化硅外延层有厚度从约 1000 到约 5000Å。

在本发明的另一个实施例中，提供布置在相应第一 p 型碳化硅区内的第二 p 型碳化硅区。第二 p 型碳化硅区有大于第一碳化硅区的载流子浓度的载流子浓度，并与第一 n 型碳化硅区相邻与第二 n 型碳化硅区相对。外延层内的窗口可以被定位以曝露第二 p 型碳化硅区，并在第二 p 型碳化硅区上的窗口内提供第一源接触。第二源接触也可以提供在第一源接触和第一 n 型碳化硅区上。

在本发明的各个实施例中，制造碳化硅器件的方法包括：在 n 型碳化硅层内注入 p 型杂质以便提供第一 p 型碳化硅区，第一 p 型碳化硅区相互有一定间隔，并具有确定其间的一 n 型碳化硅层区的外围边缘。n 型杂质也注入到第一 p 型碳化硅区里以提供第一 n 型碳化硅区，其载流子浓度大于碳化硅层的载流子浓度，第一 n 型碳化硅区距第一 p 型碳化硅区的外围边缘有一定间隔。n 型杂质注入到第一 p 型碳化硅区里以提供第二 n 型碳化硅区，其载流子浓度小于第一 n 型碳化硅区的载流子浓度，并且它从第一 n 型碳化硅区延伸到第一 p 型碳化硅区的外围边缘。在漂移层、第一 n 型碳化硅区和第二 n 型碳化硅区上形成氧化层图案，以便提供一栅氧化。

在具体的实施例中，注入 p 型杂质、为提供第一 n 型碳化硅区注入 n 型杂质和为提供第二 n 型碳化硅区注入 n 型杂质，是这样被提供的：在 n 型碳化硅层上制作第一掩模图案，该第一掩模有开口部分与第一 p 型碳化硅区相对应，以便使 n 型碳化硅层部分曝露，然后利用第一掩模注入 p 型杂质到 n 型碳化硅层里，利用第一掩模注入 n 型杂质到第一 p 型碳化硅区里。在 n 型碳化硅层上制作第二掩模图案，第二掩模有开口部分与第一 n 型碳化硅区相对应，以便使具有其中注入 p 型杂质和 n 型杂质的 n 型碳化硅层部分曝露。利用第二掩模，n 型杂质

注入到 n 型碳化硅层里。

在本发明的一些实施例中，利用第一掩模注入 n 型杂质到 n 型碳化硅层里，接着通过在至少约 1500℃的温度下退火激活注入的杂质。优选地，p 型杂质是铝。

此外，可以制作第二掩模图案，以便第二 n 型碳化硅区扩展从第一 n 型碳化硅区延伸到第一 p 型碳化硅区的外围约 0.5μm 到约 5μm 的距离。同样，可以注入杂质，以便第二 n 型碳化硅区的薄层电荷小于约 $10^{13}cm^{-2}$。可以使用注入能量注入 n 型杂质，以便提供第二 n 型碳化硅区，其深度从约 0.05μm 到约 1μm。

在本发明的具体的实施例中，氧化层是热生长的。氧化层也可以通过形成氧化物-氮化物-氧化物(ONO) 层提供。优选地，ONO 结构的第一氧化层是热生长的。无论如何，氧化层可以在 NO 环境或 N_2O 环境中退火。优选的是，在 4H 多型碳化硅的导带能量约 0.3 和 0.4eV 之间退火提供在氧化层和漂移层、第一 n 型碳化硅区和第二 n 型碳化硅区之间的界面的界面态密度小于约 $10^{12}eV^{-1}cm^{-2}$。这样的界面态密度可以如下述描述来确定，Sze, Physics of Semiconductor Devices（半导体器件物理），第二版，John Wiley & Sons, 1981, pp.383-390。

在本发明的再一个实施例中，p 型杂质注入到 n 型碳化硅层里，以便提供安排在相应的第一 p 型碳化硅区内的第二 p 型碳化硅区。第二 p 型碳化硅区的载流子浓度大于第一碳化硅区的载流子浓度。第二碳化硅区与第一 n 型碳化硅区相邻并与第二 n 型碳化硅区相对。

在本发明的一些实施例中，第一掩模有相互间距从约 1μm 到约 10μm 的开口部分。同样，n 型杂质可以注入到 n 型碳化硅层与氧化层相对的面上，以便提供具有载流子浓度大于 n 型碳化硅层的载流子浓度的第二 n 型碳化硅层。漏接触可以形成在第二 n 型碳化硅层上。此外，n 型碳化硅层可以是碳化硅衬底。

在本发明的再一个实施例中，注入的 p 型杂质、为提供第一 n 型碳化硅区注入 n 型杂质和为提供第二 n 型碳化硅区注入 n 型杂质是被这样提供的：在 n 型碳化硅层上制作第一掩模图案，该第一掩模有与第一 p 型碳化硅区相对应的开口，以便使 n 型碳化硅层部分曝露。然后利用第一掩模，注入 p 型杂质（优选铝）到 n 型碳化硅层里，n 型碳化硅层和第一 p 型碳化硅区在至少约 1500℃的温度下退火。然后，碳

化硅外延层生长在 n 型碳化硅层和第一 p 型碳化硅区上。在 n 型碳化硅层上制作第二掩模图案。第二掩模有与第二 n 型碳化硅区相对应的开口，以便使第一 p 型碳化硅区部分曝露。利用第二掩模注入 n 型杂质到 n 型碳化硅外延层里。在 n 型碳化硅层上制作第三掩模图案。第三掩模有与第一 n 型碳化硅区相对应的开口，以便使第一 p 型碳化硅区部分曝露。利用第三掩模注入 n 型杂质到第一 p 型碳化硅区里和碳化硅外延层里。在外延层、第一 n 型碳化硅区和第二 n 型碳化硅区上制作氧化层图案，以提供栅氧化物。

在本发明的再一个实施例中，通过生长未掺杂的碳化硅外延层提供生长碳化硅外延层的步骤。在本发明的再一个实施例中，生长碳化硅外延层的步骤是由生长具有薄层电荷小于约 $10^{13}cm^{-2}$ 的碳化硅外延层提供的。此外，碳化硅外延层可以生长到从约 0.05μm 到约 1μm 的厚度。优选地，碳化硅外延层生长到约 1000 到 5000Å 的厚度。

在本发明的另外的实施例中，退火步骤之前是制作第四掩模图案，第四掩模是在 n 型碳化硅层和第一 p 型碳化硅区上，其中的开口部分与安排在相应的第一 p 型碳化硅区内的第二 p 型碳化硅区相对应，第二碳化硅区与第一 n 型碳化硅区相邻与第二 n 型碳化硅区相对。P 型杂质利用第四掩模被注入，以便第二 p 型碳化硅区的载流子浓度大于第一碳化硅区的载流子浓度。此外，在外延层内可以形成窗口定位曝露第二 p 型碳化硅区。第一源接触也可以形成在第二 p 型碳化硅区上面的窗口内。第二源接触也可以形成在第一源接触和第一 n 型碳化硅区上面。

附图说明

图 1A 是常规的 UMOSFET 的图解；

图 1B 是常规的 DIMOSFET 的图解；

图 1C 和 1D 是常规的 LDMOST 的图解；

图 2 是在 6H 和 4H 多型碳化硅上的 ONO 和热生长氧化物的界面陷阱密度与电压的曲线图；

图 3 是常规的平面型 MOSFET 的示意图；

图 4 是 n 沟道 SiC ACCUFET 的示意图；

图 5 是粗糙的 SiC/SiO_2 界面和不连续的电子反型层的示意图；

图 6 是根据本发明的实施例的 SiC MOSFET 的示意图；

图 7 是根据本发明的另一个实施例的 SiC MOSFET 的示意图;

图 8A 至 8H 说明根据本发明的各个实施例的制作 MOSFET 的工艺步骤;

图 9A 至 9J 说明根据本发明的另一个实施例的制作 MOSFET 的工艺步骤;

图 10A 至 10C 说明根据本发明的具体实施例的短沟道的工作;

图 11 是适于本发明的实施例中使用的示例性掺杂分布曲线;

图 12 是在氧化后经 NO 和 N_2O 退火情况下界面陷阱密度(Dit)和导带(Ec-E)的能级的关系曲线;

图 13 是根据本发明的实施例的器件的正向 I-V 特性曲线;

图 14 是根据本发明的实施例的器件的沟道迁移率与栅电压的关系曲线。

发明详述

下面参考附图更加详细说明本发明，其中给出本发明的优选实施例。然而，本发明可以以很多不同形式实施，不应该解释为局限于此处给出的实施例；相反，提供这些实施例，为的是使内容公开得彻底和完整，将把发明的范围完全传达到本领域的技术人员。如各图说明的那样，出于说明目的，各层或各区域的尺寸被放大，由此提供说明本发明的一般结构。同样的数字始终指示同样的元件。可以理解，当一个元件，例如一层，或一个区域或衬底，表明是在另一个元件“上”，它可以是直接在另一个元件上，或者也可以是有一个插入元件存在。与此不同，当一个元件表明是“直接在”另一个元件上，则没有插入元件存在。

本发明的实施例提供碳化硅 MOSFET 和/或它们的制作方法，由于 SiC 和 MOSFET 的氧化物之间的界面，这个制作方法可以减小器件的性能退化。前面的讨论很清楚，使用常规制作技术的常规器件，SiC 和 SiO_2 之间的界面没有足够的质量来提供 4H-SiC 中电子的高表面迁移率。发明者不希望被任何工作理论束缚，已经提出，减小的电子迁移率可以是由于高的界面陷阱密度或由于产生表面势起伏的粗糙界面或由于这两者。在图 5 中示意地示出这种粗糙界面。高粗糙度可以导致电子反型层不连续，因而导致低的有效迁移率。在注入的 p 阱经 1500℃以上的温度退火时，这是尤其真实的。

图 6 说明了根据本发明实施例的 MOSFET。正如图 6 看到的那样，在本发明的具体实施例中，碳化硅的轻掺杂 n^- 漂移层 12 在碳化硅 n^+ 层 10 上。n^- 漂移层 12 可以是衬底或碳化硅外延层，优选是 4H 多型碳化硅。优选地，n^- 漂移层 12 有载流子浓度从约 10^{14} 到约 $10^{17}cm^{-3}$。此外，n^+层 10 可以是注入层或注入区或外延层。优选地，n^+层有载流子浓度从约 10^{18} 到约 $10^{21}cm^{-3}$。

正如图 6 还看到的那样，相互有一定间隔的 p 型碳化硅区在 n^- 漂移层 12 内提供 p 阱 20。优选地，p 阱 20 是用 Al 注入，并在至少约 1500℃温度下退火。p 阱 20 有载流子浓度从约 1×10^{16} 到约 $2\times10^{19}cm^{-3}$，可延伸进入 n^- 漂移层 12 从约 0.1μm 到约 3μm。虽然可以使用各种 p 型掺杂剂，铝优选于硼作为 p 阱 20 的掺杂剂，因为在超过 1500℃的温度下退火时硼往往是要扩散超过几微米。因此，难以控制 p 阱 20 之间的精确缝隙(这个区域可以称为 JFET 区域 21)。如果这缝隙太大，当器件处于阻塞状态时，栅氧化物中的电场可能变得太高。然而，如果缝隙太窄，JFET 区 21 的电阻可以变得很高。相应地，优选的缝隙是从约 1μm 到约 10μm。对给定器件的具体使用的缝隙，可以根据要求的器件阻塞电压和导通态电阻而定。

n^+碳化硅区 24 和任选的的 p^+层碳化硅区 22 是安排在 p 阱 20 内。优选地，n^+碳化硅区 24 距离与 JFET 区 21 相邻的 p 阱 20 的边缘的间距从约 0.5μm 到约 5μm。优选地，任选的 p^+碳化硅区 22 与 n^+碳化硅区 24 相邻、与 p 阱 20 的边缘相对。薄层 n 型碳化硅，例如是用 n 型杂质如氮或磷以预先选定的剂量掺杂的层，从 n^+碳化硅区 24 延伸到与栅氧化物 28 相邻的 n^- 漂移层 12 的 JFET 区域以提供短沟道 26。短沟道 26 可以在 p 阱内被注入，并在至少约 1500℃的温度下与 p 阱一起激活。优选地，短沟道 26 延伸进入 p 阱 20 有从约 0.05μm 到约 1μm 的深度。短沟道 26 的掺杂可取决于层的深度，栅接触材料 32 的功函数和 p 阱 20 的掺杂如下面参考图 10A 至 10C 的描述。然而，一般来说，短沟道 26 可以有小于 $10^{13}cm^{-2}$ 的薄层电荷。在对 p 阱 20 注入 Al 后，对短沟道 26 优选使用同一掩模注入 n 型杂质，以避免不得不再次对准掩模，这样使短沟道 26 与 p 阱 20 是自对准的。如上所述，优选短沟道不延伸进入 JFET 区，因为延伸这些层进入 JFET 区可以在器件处于阻塞状态时增加氧化物中的电场。

栅氧化物 28 至少在 n^+碳化硅区 24 之间延伸，优选是用 NO 或 N_2O 退火的热生长氧化物，或者是氧化物/氮化物/氧化物(ONO)，其中第一氧化物是热氧化物，跟着 NO 或 N_2O 退火。栅接触材料可以是任何适用的接触材料，然而，p 型多晶硅是优选的，因为它的高功函数。栅氧化物 28 的厚度可取决于栅接触 32 的材料的功函数。然而，一般来说，优选厚度从约 100Å 到约 5000Å。

也提供一个或多个源接触 30 和漏接触 34。优选地，源接触 30 用镍(Ni)形成，在从约 600℃到约 1000℃之间的温度下，例如 825℃下退火，以便提供对 p^+区 22 和 n^+区 24 的欧姆接触。漏接触 34 也可以是 Ni 或其它合适的材料，用于形成对 n 型碳化硅的欧姆接触。

图 7 说明使用再生长外延层的本发明的另一个实施例。正如图 7 看到的那样，碳化硅薄层 27 在 p 阱注入和退火后再生长在 p 阱 20 上，并延伸穿过 JFET 区的 n-漂移层 12。短沟道 26′由再生长外延层形成，或者优选地，它们可以通过注入进入和/或穿过再生长碳化硅层 27 形成。类似地，n^+碳化硅区 24 也可以穿过再生长碳化硅层 27 形成。再生长碳化硅层 27 可以有厚度从约 0.05μm 到约 1μm，然而，优选地是从约 1000 到约 5000Å 的厚度。优选地，再生长碳化硅层 27 是未掺杂的、非有意掺杂的或轻掺杂的。然而，如果再生长碳化硅层 27 形成短沟道 26′，再生长碳化硅层 27 应该是 n 型碳化硅。因此，如果再生长碳化硅层 27 提供短沟道，优选地，再生长碳化硅层 27 有薄层电荷小于约 $10^{13}cm^{-2}$。例如，具有载流子浓度为 2×10^{16} 的、3500Å 厚的碳化硅层 27 可以特别适于提供一个在零栅偏压常关的器件。这样的再生长可以减小由注入激活退火产生的表面粗糙。此外，再生长把沟道区放在外延层上，可以减小损伤，使能有更高的沟道迁移率。

还如图 7 看到的那样，因为再生长碳化硅层 27，通过碳化硅层 27 提供一个接触窗，提供对任选的 p^+区 22 或如果 p^+区 22 不存在则对 p 阱 20 的接触 30′。接触 30′可以用任何合适的材料制造，用于形成对 p 型碳化硅的欧姆接触，然而，镍是优选的。

虽然图 6 和图 7 说明本发明的实施例为分立器件，它将被本领域的技术人员理解，图 6 和图 7 可以看做具有多个单元的器件的一个单位单元。因此，例如，其它的单位单元可以合并入图 6 和图 7 中说明的器件，沿着它的中心轴划分器件(在图 6 和图 7 中表示为垂直轴)，

并且已划分的器件绕图 6 和图 7 中说明的器件的边界轴(在图 6 和图 7 中说明的器件的垂直边缘)旋转。相应地，本发明的实施例包括例如图 6 和图 7 说明的那些器件，以及有多个合并图 6 和图 7 说明的短沟道的单位单元的器件。

根据本发明的实施例的器件制作现在可以参照图 8A 到 8H，图 9A 到 9J 描述。如图 8A 所示，在 n 型层 12 上形成掩模 100 并制作图案，杂质注入到 n 型层 12 里，以提供 p 阱 20。优选地，杂质是注入到上述深度的 A1，激活时提供所要求的载流子浓度。在形成 p 阱 20 后，利用掩模 100 执行 n 型注入 102，见图 8B。合适的注入 n 型层的杂质包括氮和磷。注入这样的杂质以提供这里所述的短沟道深度和载流子浓度。一个合适的 p 阱 20 和 n 型注入 102 的合成掺杂分布的实例见图 11。在注入 p 阱和 n 型层 102 两者后，产生的结构被加热到温度至少约 1500℃，并保持在该温度约 30 秒到约 60 分钟的时间，以激活注入的杂质。或者，这样的退火可以在注入 n^+区 24、p^+区 22 和背侧(backside)注入之后进行，如图 8E 所示。

如图 8C 所示，去掉掩模 100，形成掩模 104 并制作图案，n 型杂质利用掩模 104 被注入，以提供 n^+区 24。形成掩模 104 用于提供在 p 阱 20 的外围和 n^+区 24 之间所要求的间隔，其确定短沟道 26 的沟道长度。合适的 n 型杂质包括氮和磷。此外，杂质可以注入，用于提供这里所述的 n^+区 24 的维度和载流子浓度。

图 8D 说明任选的 p^+区的形成。去掉掩模 104，形成掩模 106 并制作图案，利用掩模 106 注入 p 型杂质，用于提供 p^+区 22。可注入 p 型杂质用于提供这里所述的 p^+区 22 的维度和载流子浓度。优选地，p 型杂质是铝，然而，其它合适的 p 型杂质也是可以使用的。

图 8E 说明去除掩模 106 以及建立 n^+层 10，n^+层 10 可以由 n 型杂质背侧注入到衬底内形成，或可以是外延层，可以在图 8A 之前形成。任选地，上述结构的退火可以激活注入的 p 型和 n 型杂质。做为选择，在实施例中，栅氧化物是在形成之后退火以改善 SiC/SiO_2 界面，这些杂质的激活可以由这样的退火实现。

图 8F 说明栅氧化物 28 的形成和图案制作。优选地，栅氧化物是热氧化生长并且氮化的氧化物。氮化的氧化物可以是任何合适的栅氧化物，然而，SiO_2、氮氧化物或 ONO 可以是优选的。优选的是，形成

栅氧化物或ONO栅介质的初始氧化物之后跟着是N_2O或NO中的退火，以便减少SiC/氧化物界面的缺陷密度。在具体的实施例中，栅氧化物或者是由热生长或者是由淀积形成，然后在N_2O环境中在大于约1100℃的温度和从约2到约8SLM的流速中退火，该流速可提供N_2O的初始滞留时间从约11到约45秒。在碳化硅上的氧化层的这样的形成和退火通常由美国专利申请序列号No.09/834,283、标题为“N_2O退火碳化硅层上氧化层的方法(Method of N_2O Annealing an Oxide Layer on a Silicon Carbide Layer)”（代理人文档No.5308-156），或者美国临时申请序列号No.＿＿＿、2001年5月30日提交的标题为“碳化硅层上氧化层的N_2O生长方法(Method of N_2O growth of an Oxide Layer on a Silicon Carbide Layer)”描述，它们的内容在此引入作为参考，看作在此处完全陈述。另外，也可以使用N_2O生长氧化物，如下列文献描述：J.P.Xu, P.T.Lai, C.L.Chan, B.Li, 和Y.C.Cheng, “在6H-SiC上N_2O生长氮氧化物的改善的性能和可靠性(Improved Performance and Reliability of N_2O-Grown Oxynitrde on 6H-SiC)”, IEEE Electron Device Letters, 第21卷, 第6期, 298页-300页, 2000年6月。也如下列文献描述的技术：L.A.Lipkin and J.W. Palmour, “在p型SiC上的低界面态密度氧化物(Low interface state density oxides on p-type SiC)”, Materials Science Forum第264-268卷, 853页-856页, 1998年。另一方面，对热生长氧化物，热生长SiO_2层的后续NO退火可以被提供以减小界面陷阱密度，如下列文献描述：M.K.Das, L.A.Lipkin, J.W.Palmour, G.Y.Chung, J.R.Williams, K.McDonald 和 L.C.Feldman, “使用热生长、NO退火的SiO_2的高迁移率4H-SiC反型模式MOSFET(High Mobility 4H-SiC Inversion Mode MOSFETs Using Thermally Grown, NO Annealed SiO_2)”, IEEE Device Research Conference, Denver, CO, 6月19-21, 2000; G.Y.Pantelides, L.C.Feldman, M.K.Das 和 J.W.Palmour, “氧化氮高温退火的4H-SiC MOSFET改善的反型沟道迁移率(Improved Inversion Channel Mobility for 4H-SiC MOSFETs Following High Temperature Aneals in Nitric Oxide)”, IEEE Electron Device Letters 已接受待发表; G.Y.Chung, C.C.Tin, J.R.Williams, K.McDonald, M.Di Ventra, S.T.Pantelides,

L.C.Feldman 和 R.A.Weller, “氧化氮退火对 4H 多型碳化硅的带边缘附近界面陷阱密度的影响(Effect of nitric oxide annealing on the interface trap densities near the band edges in the 4H polytype of silicon carbide)”, Applied Physics Letters, 第 76 卷, 第 13 期, 1713 页-1715 页, 2000 年 3 月。也可以提供氮氧化物, 如美国专利申请序列号 No._____、2001 年 6 月 11 日提交的标题为“高压高温电容器结构和制作方法(High Voltage, High Temperature Capacitor Structure and Methods of Fabrication)”中描述, 它的内容在此引入作为参考, 看作在此处完全陈述。

作为一个形成氮化的氧化物层的实施例, 通过在 N_2O 环境中至少约 1200℃温度下氧化碳化硅层, 氧化物层可以被提供在碳化硅层上。在氧化期间, 提供预定的温度曲线和预定的 N_2O 流速曲线。预定的温度曲线和/或预定的流速曲线可以是恒定的或可变化的, 可以包括斜坡至稳定状态的条件。预定的温度曲线和预定的流速曲线可以被选择以便减小具有 SiC 导带附近能量的氧化物/碳化硅界面的界面态。预定的温度曲线可以导致大于约 1200℃的氧化温度。优选地, 氧化温度是约 1300℃。氧化时间随所要求的氧化层的厚度而改变。因此, 氧化可以在约 15 分钟至约 3 小时或更长的时间里实现。

另外, 预定的流速曲线可以包括一个或多个流速, 从约 2 每分钟标准升(SLM)到约 6SLM。优选地, 流速从约 3.5 到约 4 每分钟标准升。此外, 形成得到的氧化层, 随后氧化层在 Ar 或 N_2 中退火。这样的 Ar 或 N_2 中的退火操作可以进行例如约一个小时。

优选地, 预定的流速曲线提供从约 0.37cm/s 到约 1.11cm/s 的 N_2O 的一种速度或多种速度。特别是, 预定的流速曲线优选提供从约 0.65cm/s 到约 0.74cm/s 的 N_2O 的一种速度或多种速度。另外, 可以执行氧化层的湿再氧化, 和/或 N_2O 氧化也可以在部分蒸汽或蒸汽分压环境中进行。

另外, 通过在 N_2O 环境中在包括大于约 1200℃的氧化温度的预定温度曲线和预定的 N_2O 流速曲线下在碳化硅层上形成氧化层的方法, 可以在碳化硅上形成氧化层。预定的流速曲线可以被选择以提供 N_2O 的初始滞留时间至少是 11 秒。优选地, 初始滞留时间为从约 11 秒到约 33

秒。更优选地，初始滞留时间为从约 19 秒到约 22 秒。另外，N_2O 总滞留时间可以为从约 28 秒到约 84 秒。优选地，总滞留时间为从约 48 秒到约 56 秒。

界面态密度与来自导带的能级的关系曲线图由图 12 说明。线 200 表示未退火的氧化物。线 202 表示在 NO 环境中干退火的氧化物。线 204 表示在 N_2O 环境中干退火的氧化物和线 206 表示在 NO 环境中湿退火的氧化物。

图 8G 说明栅接触 32 的形成。如上所述，栅接触 32 可以是 p 型多晶硅，或者也可以是其它合适的接触材料，使用本领域的技术人员已知的技术，可以形成栅接触和制作其图案。另一方面，图 8F 的氧化物 28 和栅接触 32 也可以一起形成和制作图案。最后，图 8H 说明源接触 30 和漏接触 34 的形成，它们可以由蒸发，淀积，溅射或本领域的技术人员已知的其它技术形成。优选地，源接触 30 和漏接触 34 是镍，在形成后在约 825℃温度下退火，以便改善欧姆接触的质量。

图 9A 至 9J 说明根据本发明的另一个实施例使用再生长外延层制作器件的操作。如图 9A 所示，在 n 型层 12 上形成掩模 120 并制作图案，杂质注入进入 n 型层 12，提供 p 阱 20。优选地，杂质是注入到上述深度的 Al，激活时提供所要求的载流子浓度。在形成 p 阱 20 后，去除掩模 120，形成掩模 122 并形成与任选的 p^+ 区 22 相对应的图案。利用掩模 122 进行 p 型注入，见图 9B。优选地，p 型注入注入剂铝作为 p 型杂质。注入这样的杂质以提供此处描述的 p^+ 区 22 的维度和载流子浓度。在注入 p 阱 20 和 p^+ 区 22 后，得到的结构被加热到至少约 1500℃的温度，保持在该温度的时间从约 30 秒到约 60 分，以激活注入杂质。

如图 9C 所示，去除掩模 122，使用生长碳化硅外延层的常规技术，在 p^+ 区 22、p 阱 20 和 n 型碳化硅层 12 上形成 SiC 外延层 124。如上所述，再生长外延层 124 优选是未掺杂碳化硅，但也可以是轻掺杂碳化硅。

图 9D 说明提供短沟道 26′ 的任选的 n 型杂质注入。如图 9D 所示，形成掩模 126 并制作图案，利用掩模 126 注入 n 型杂质以提供短沟道 26′。形成掩模 126 以提供所要求的短沟道 26′ 的位置，优选地，这样短沟道基本上没有扩展进入器件的 JFET 区。合适的 n 型杂质包括氮和磷。优选地，注入杂质以提供此处描述的短沟道 26′ 的维度和载流子浓

度。

图 9E 说明 n^+区 24 的形成。如图 9E 所示，去除掩模 126，形成掩模 128 并制作图案以提供与 n^+区 24 相对应的开口。掩模 128 用于注入 n 型杂质，以便提供此处描述的 n^+区 24 的维度和载流子浓度。

图 9F 说明去除掩模 128 以及产生 n^+层 10，其可以通过在衬底中背面注入 n 型杂质来形成，或可以是外延层，或可在图 9A 之前形成。任选地，结构的退火优选是在低于 1500℃的温度下可以被执行以激活注入的 p 型和 n 型杂质。或者，在栅氧化物形成后退火以改善 SiC/SiO_2 界面的实施例中，这样杂质的激活可以是由这样的退火来提供。

图 9G 说明栅氧化物 28 的形成和图案制作。栅氧化物 28 优选地是热生长形成，并且优选地是氮化的氧化物。氮化的氧化物可以是任何合适的栅氧化物，然而，SiO_2、氮氧化物或 ONO 可以是优选的。栅氧化物的形成可以参照图 8F 的如上所述来执行。

图 9H 说明源接触 30′ 的形成。如图 9H 所示，在再生长层 124 中相对应于 p^+区 22 的位置开窗口。接触 30′ 在窗口中形成。图 9I 说明栅接触 32 和源接触 30′的形成。或者，图 9G 中的氧化物 28 和栅接触 32 可以一起形成并制作图案。如上所述，栅接触 32 可以是 p 型多晶硅，或者可以是其它合适的接触材料并且可以用本领域的技术人员已知的技术来形成和制作图案。源接触 30′可以用蒸发淀积、溅射或本领域的技术人员已知的其它技术形成。最后，图 9J 说明漏接触 34 的形成，它可以用蒸发淀积、溅射或本领域的技术人员已知的其它技术形成。优选地，源接触 30′和漏接触 34 是镍，它是在形成之后在从约 600℃到约 1000℃的温度下例如约 825℃退火的，用来改善欧姆接触的质量。

如上所述，本发明的实施例在器件的 JFET 区之间提供通过 p 阱 20 直到 n^+区 24 的短沟道 26 和 26′。在形成短沟道 26 和 26′时，优选控制 n 型杂质的剂量和能量，以便使器件在零栅偏压下正常关闭。这是可以做到的，因为 pn 结的内建电压、栅金属和 SiC 的功函数差以及氧化物中和界面态中的净电荷，产生浅 n 型层的自耗尽。然而，应该注意，通过隐埋 pn 结 n 型层不是完全耗尽的。这保证在薄积累层下存在体沟道。该体沟道的宽度随正栅偏压增加，直到在 MOS 界面上形成积累层，如图 10A 至图 10C 所示。由于表面粗糙和表面势的起伏这个积

累层可以是不连续的。

图 10A 说明没有加栅偏压时的短沟道 26 和 26′。如图 10B 所示，由正栅偏压产生的体沟道连接不连续的表面积累层区，产生从 MOSFET 的源到漏的平坦的电流路径。如图 10C 所示，当加更大的栅偏压时，体沟道最后延伸到积累层。

如上简述，为了获得更有效的短沟道，可以使用有高功函数的栅金属(例如 p^+多晶硅)和比较薄的栅介质。在 MOS 栅在零栅偏压时，高功函数的栅金属和比较薄的栅介质可以耗更多的电荷，它们进入在正栅偏压下有更多自由载流子的体沟道(见图 10A)。然而，单独提供短沟道可能不足以获得非常高的有效沟道迁移率，因为体沟道中的自由载流子数目是很有限的。然而，优选，在 4H 多型碳化硅的导带能量约 0.4eV 内的表面态密度减小到小于约 $10^{12}eV^{-1}cm^{-2}$，短沟道与其结合以减少载流子的表面散射，这可提供非常高的有效沟道迁移率。

根据本发明的实施例，器件的开态 I-V 特性在图 13 中示出。器件是 3.3mm × 3.3mm 的 4H-SiC 功率 MOSFET。如图 13 所示， 10A 电流是在 4.4V 正向压降下得到的。这个器件在 V_G=0V 时，由于在 p 阱中氮注入剂量相对高，处于常通态。然而，器件也可以通过减小这个剂量，做成常闭态。根据本发明的实施例，100μm × 100μm 的 MOSFET 的电子迁移率与栅电压的关系在图 14 中示出。在低电场区，由于沟道的隐埋特性，得到了极高的迁移率(接近体迁移率的)值。在更高的栅偏压，由于沟道限定在表面，迁移率减小。即使这样，也可以获得～50cm^2/Vs 的高场迁移率。

本发明的实施例已经参照具体的操作顺序描述，这将被本领域的技术人员理解，受益于本发明的教授，顺序内的某些操作也可以重排顺序。例如，在本发明的具体实施例中，形成 n^+区 24 和 p^+区 22 可被颠倒。相应地，本发明应该不被解释为局限于此处描述的确切的操作顺序。

在附图和说明书中，已经公开本发明的典型的优选实施例，虽然使用了特别术语，但它们仅是使用于一般的描述意义，而不是用于限制目的，本发明的范围在下列权利要求中提出。

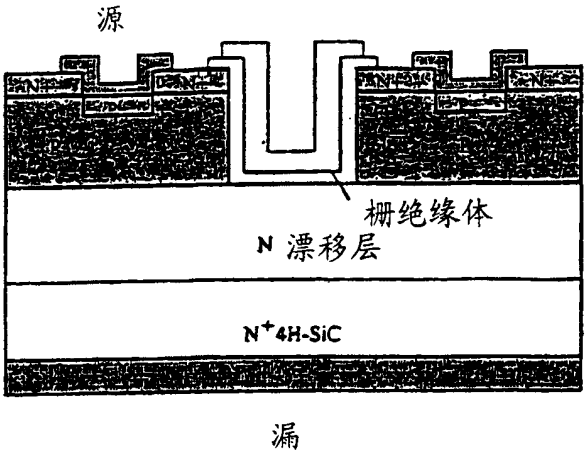


图 1A

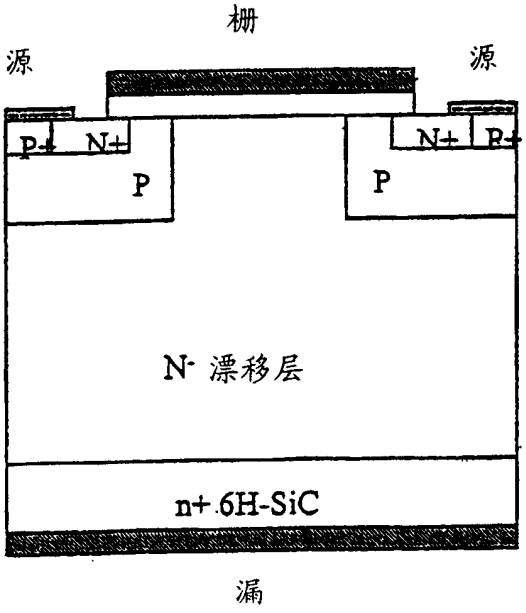


图 1B

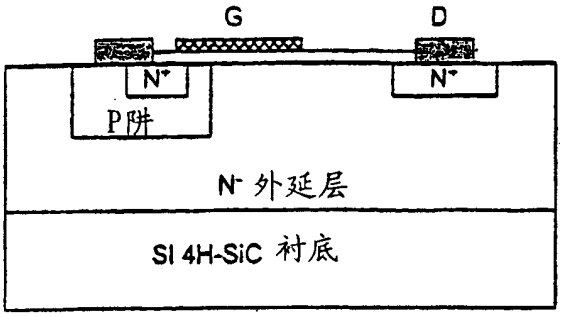


图 1C

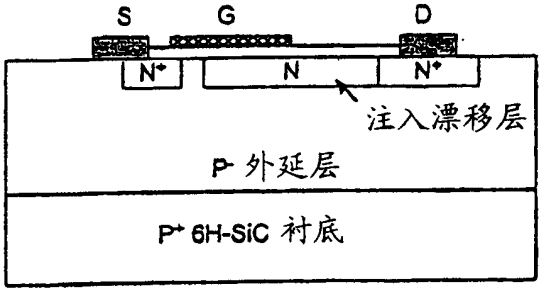


图 1D

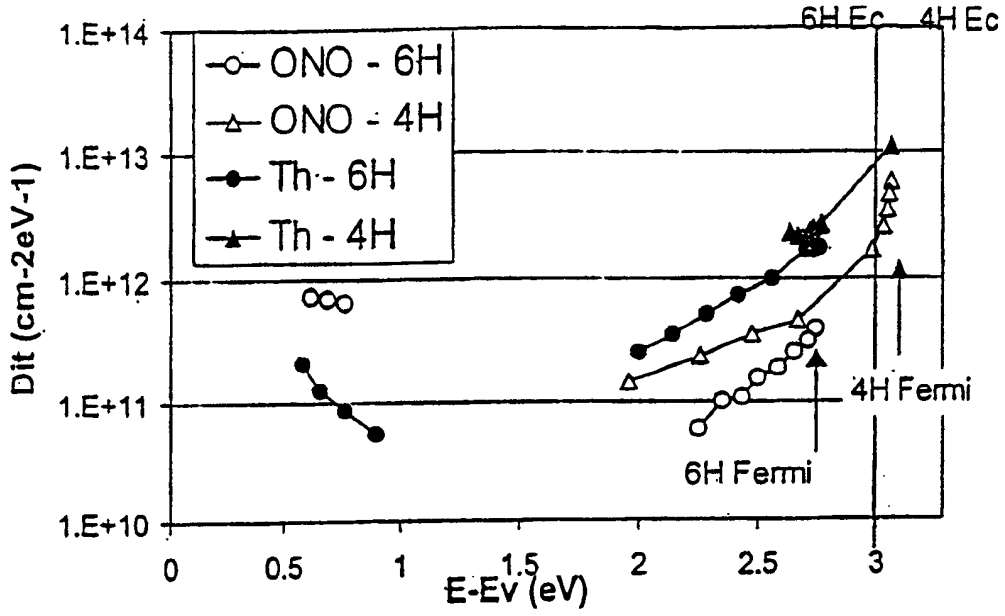

6H Ec
4H Ec
1.E+14
1.E+13
1.E+12
1.E+11
1.E+10
Dit (cm-2eV-1)
ONO - 6H
ONO - 4H
Th - 6H
Th - 4H
4H Fermi
6H Fermi
0
0.5
1
1.5
2
2.5
3
E-Ev (eV)

图 2

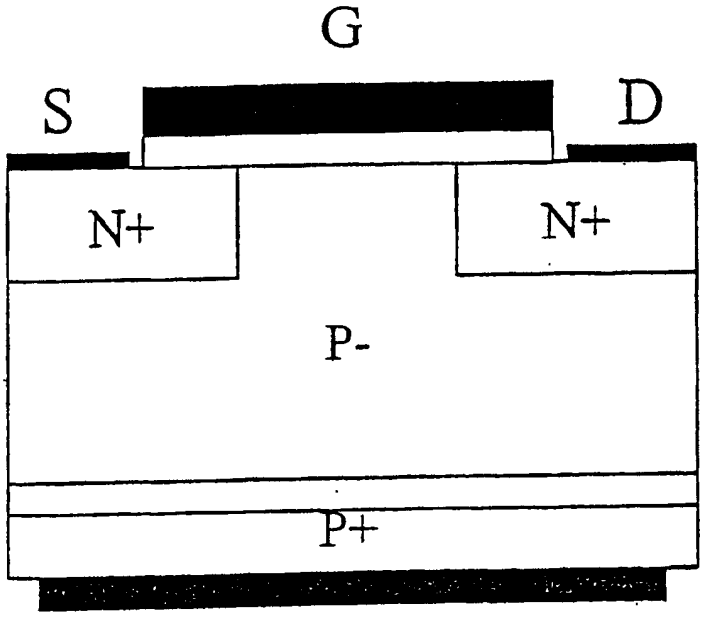

G
S
D
N+
N+
P-
P+

图 3

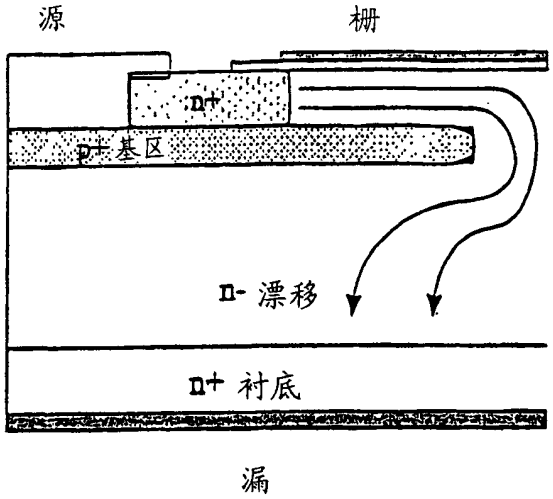


图 4

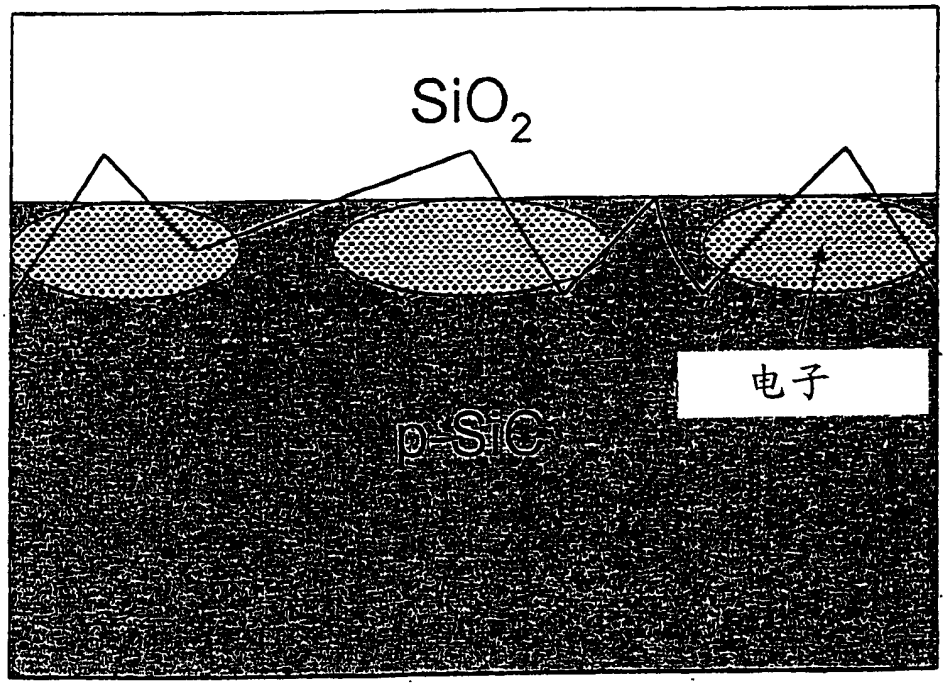


图 5

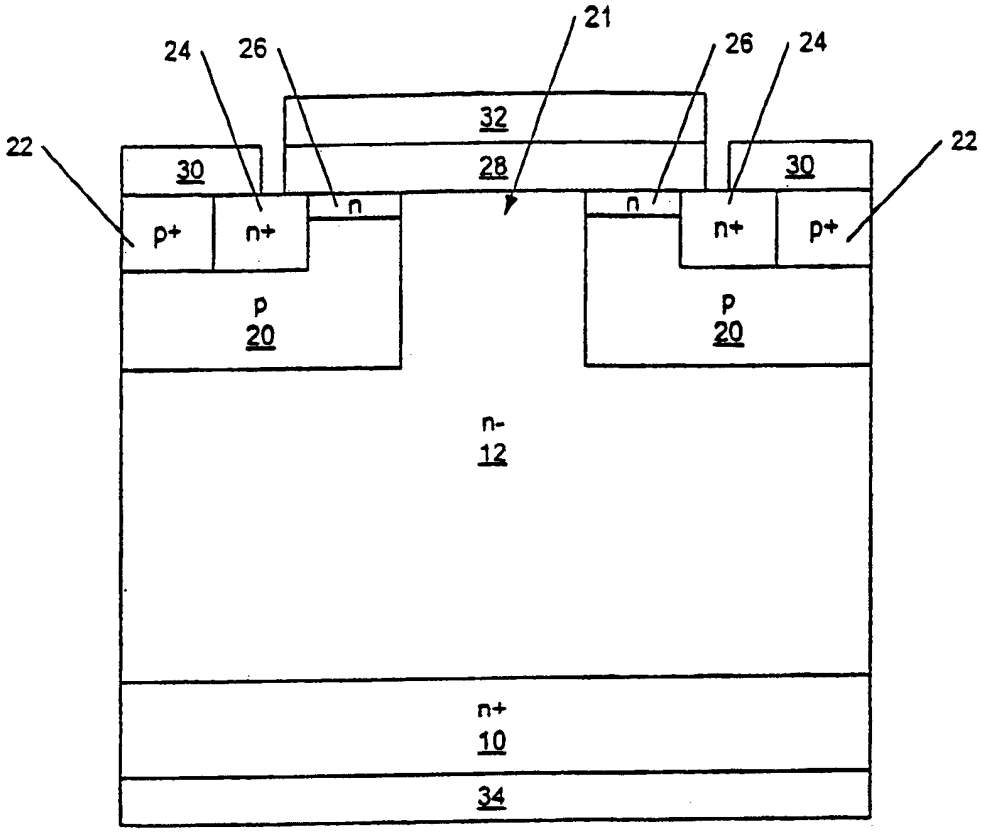

21
24
26
26
24
22
22
32
28
30
30
n
n
p+
n+
n+
p+
p
20
p
20
n-
12
n+
10
34

图 6

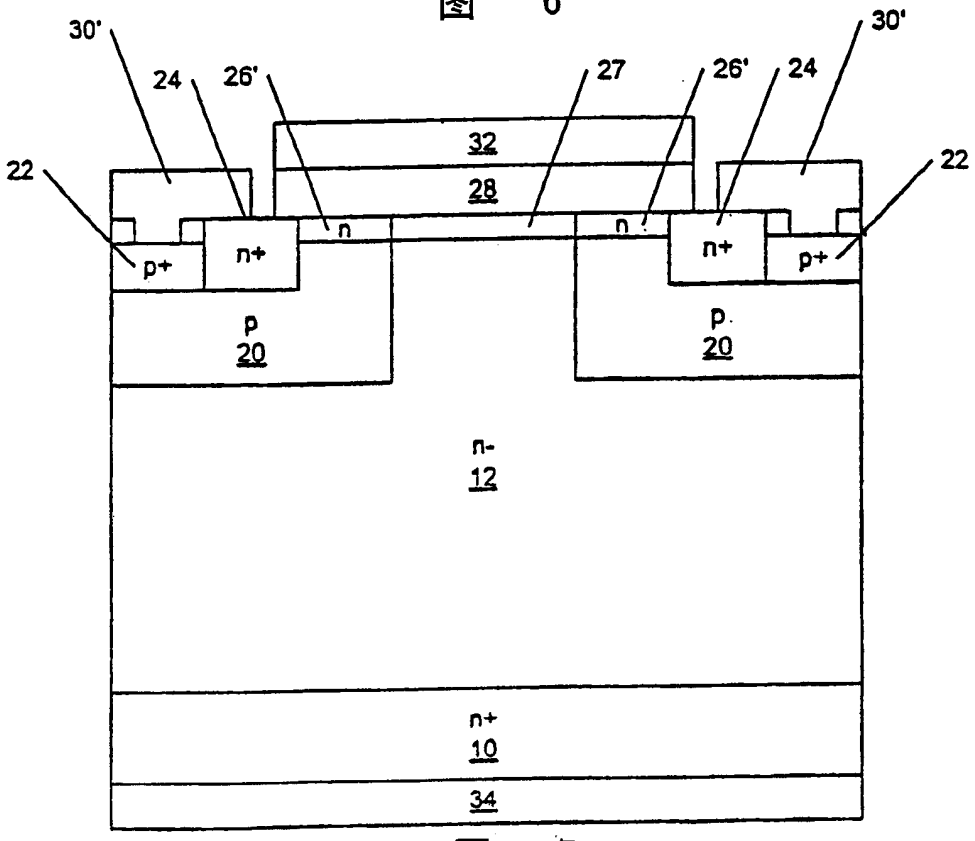

30'
24
26'
27
26'
24
30'
22
22
32
28
n
n
p+
n+
n+
p+
p
20
p
20
n-
12
n+
10
34

图 7

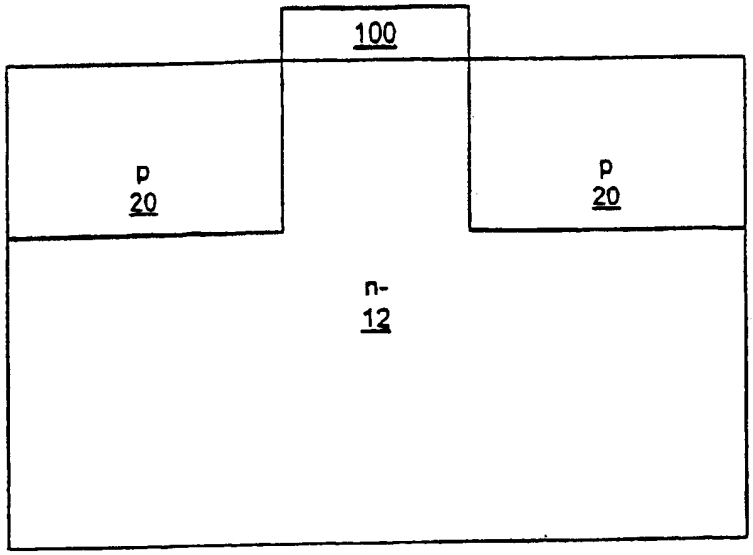


图 8A

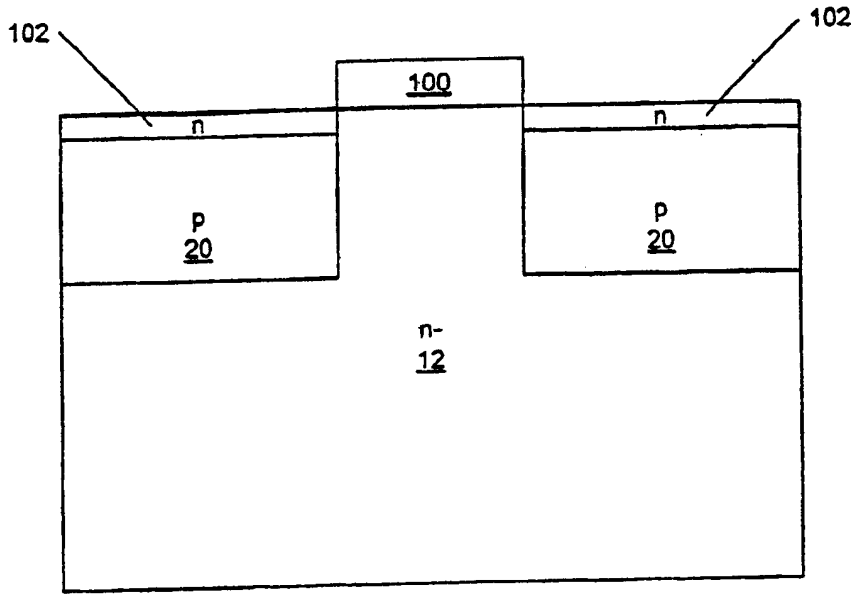


图 8B

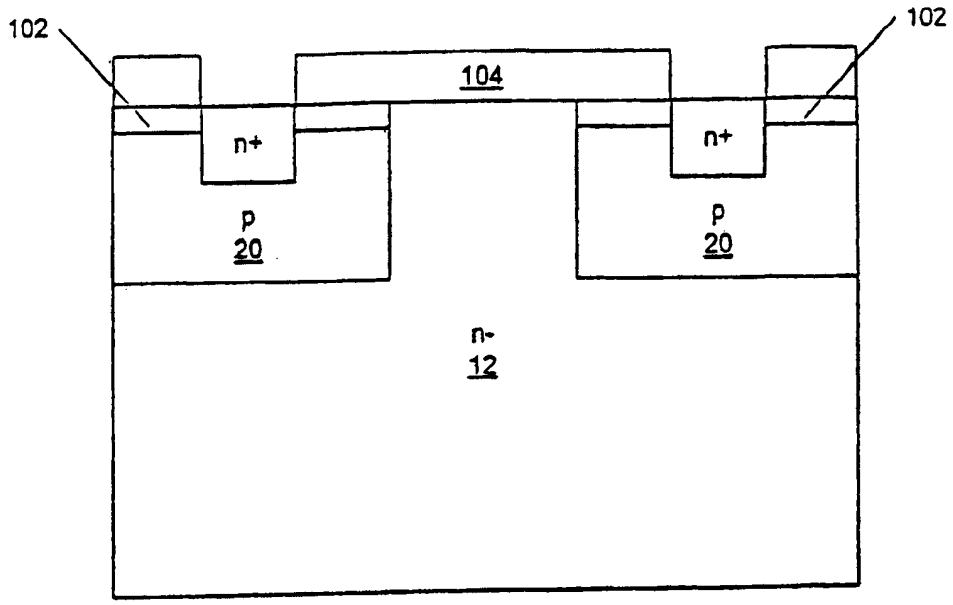

102
102
104
n+
n+
p
20
p
20
n-
12

图 8C

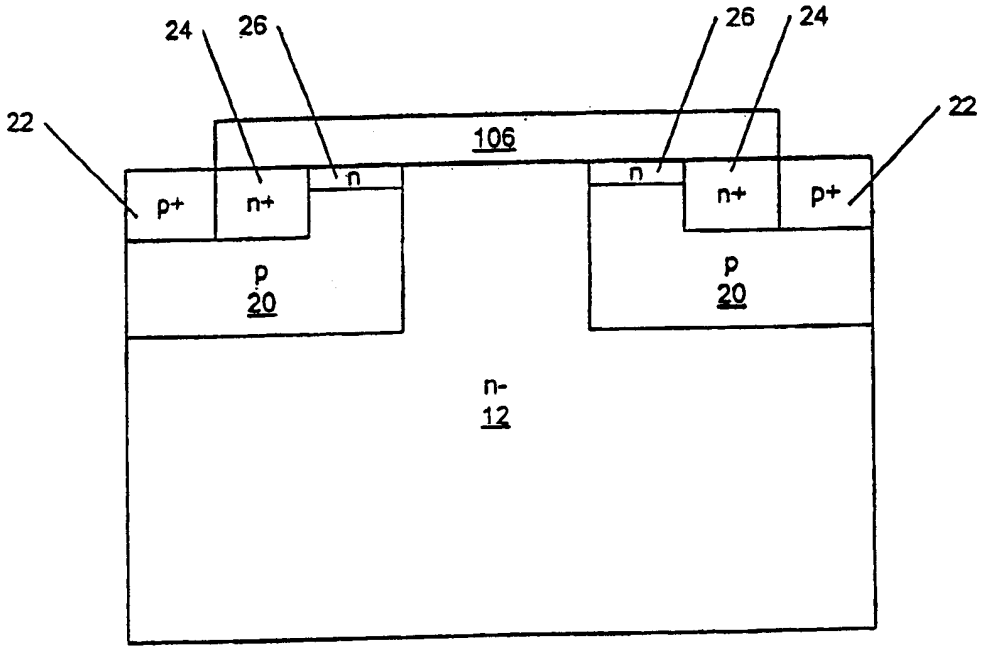

24
26
26
24
22
22
106
n
n
p+
n+
n+
p+
p
20
p
20
n-
12

图 8D

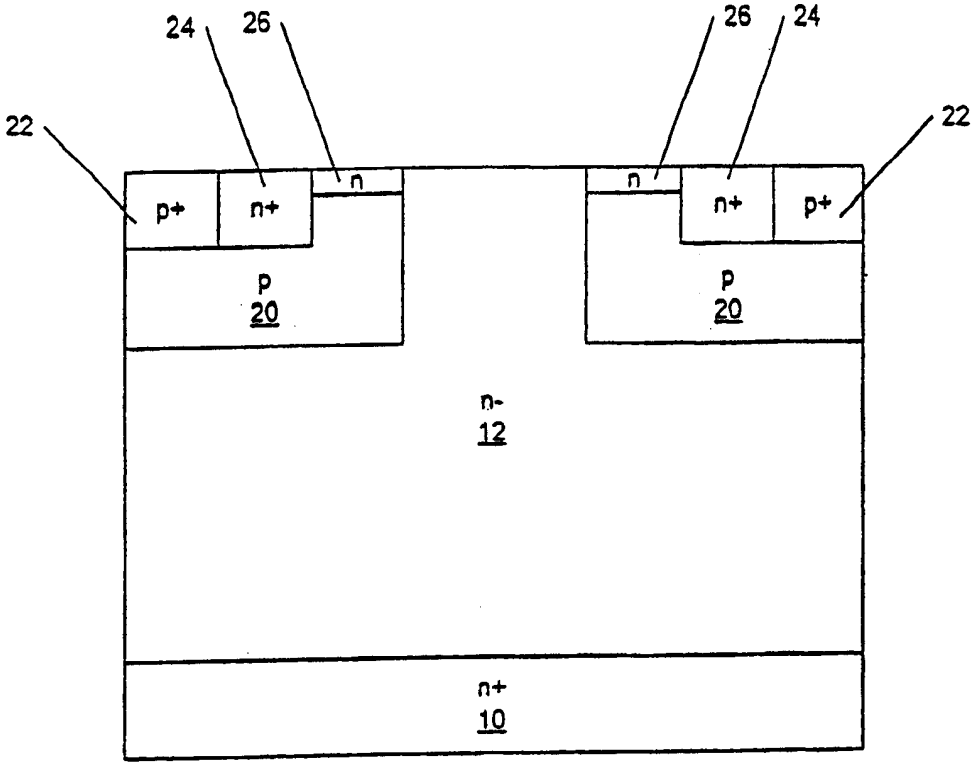

24
26
26
24
22
22
p+
n+
n
n
n+
p+
p
20
p
20
n-
12
n+
10

图 8E

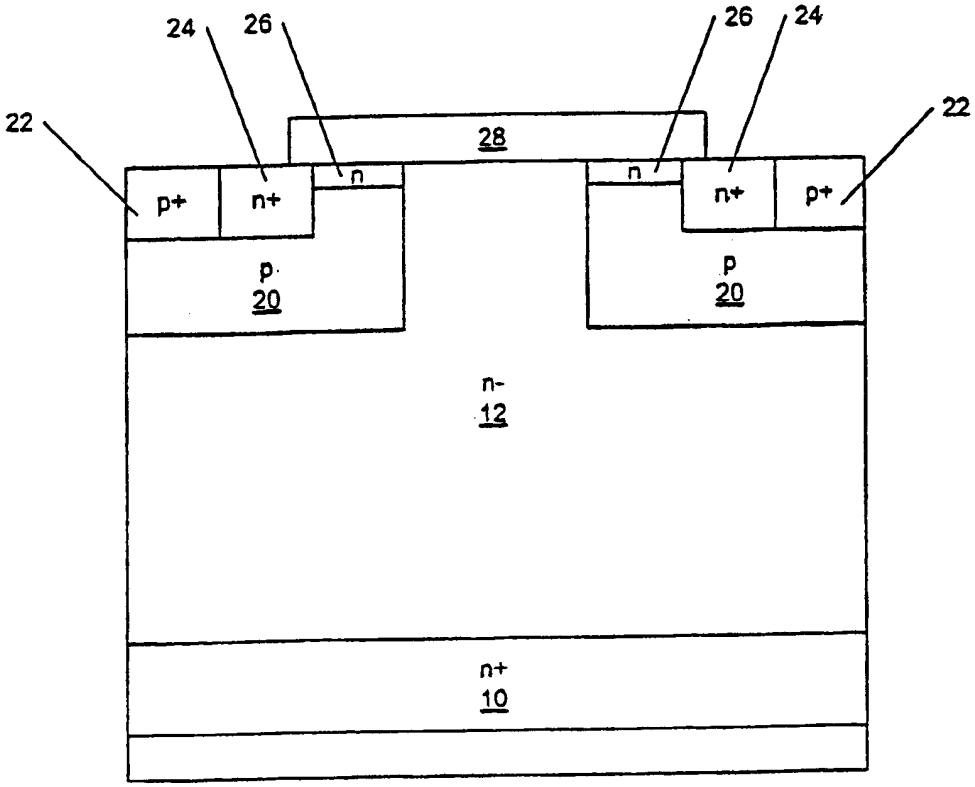

24
26
26
24
22
22
28
p+
n+
n
n
n+
p+
p
20
p
20
n-
12
n+
10

图 8F

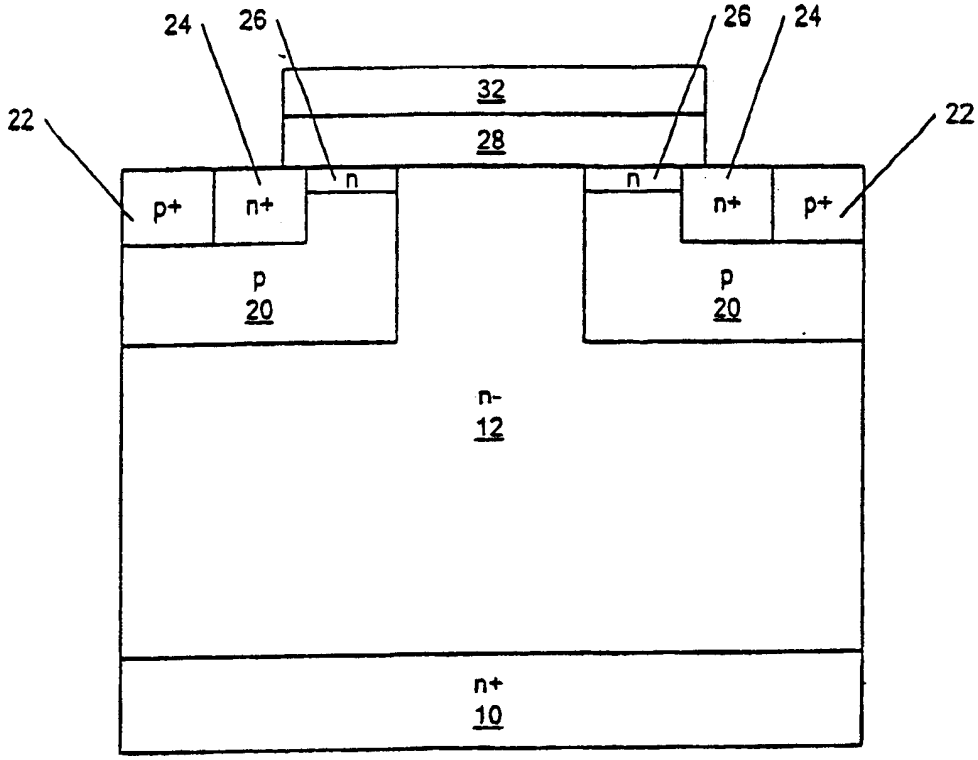

24
26
26
24
32
28
22
22
p+
n+
n
n
n+
p+
p
20
p
20
n-
12
n+
10

图 8G

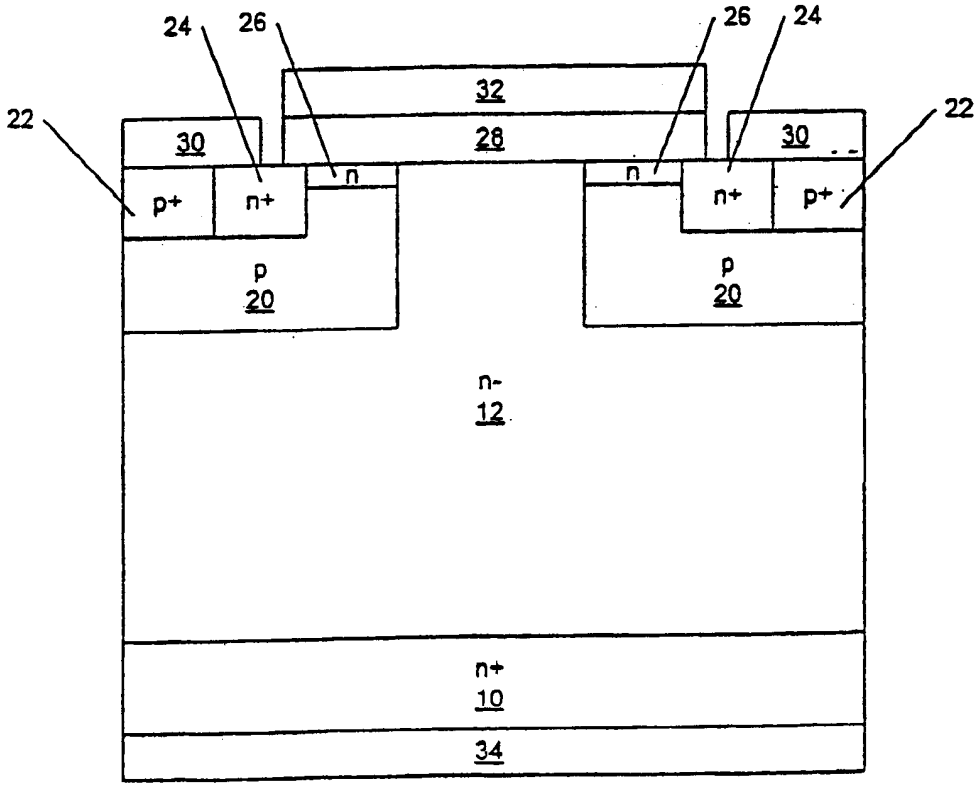

24
26
26
24
32
28
30
30
22
22
p+
n+
n
n
n+
p+
p
20
p
20
n-
12
n+
10
34

图 8H

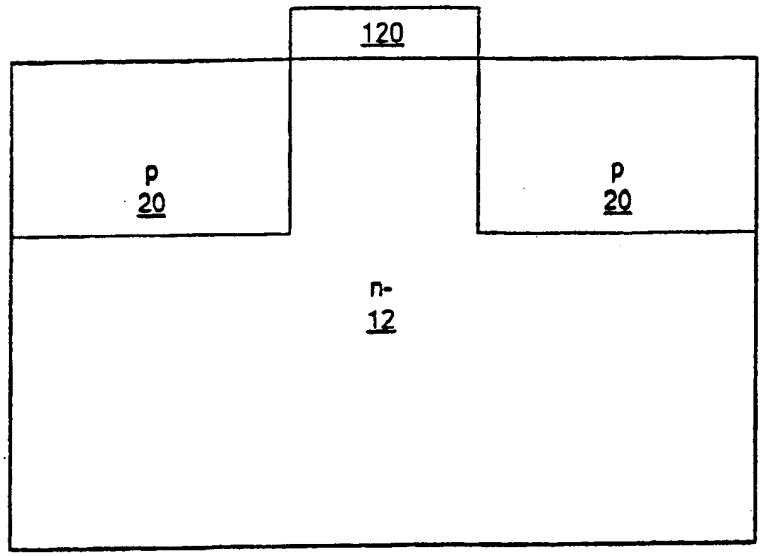


图 9A

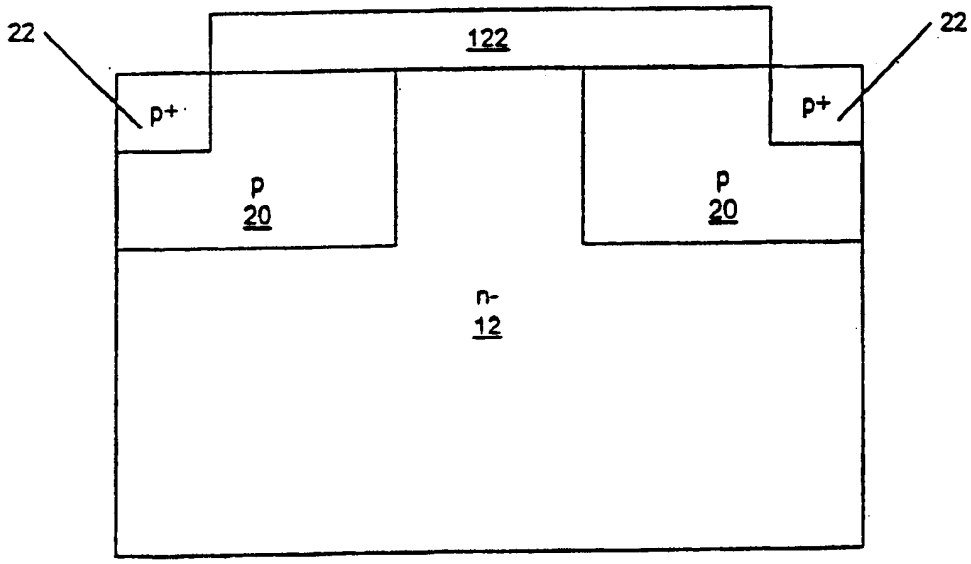


图 9B

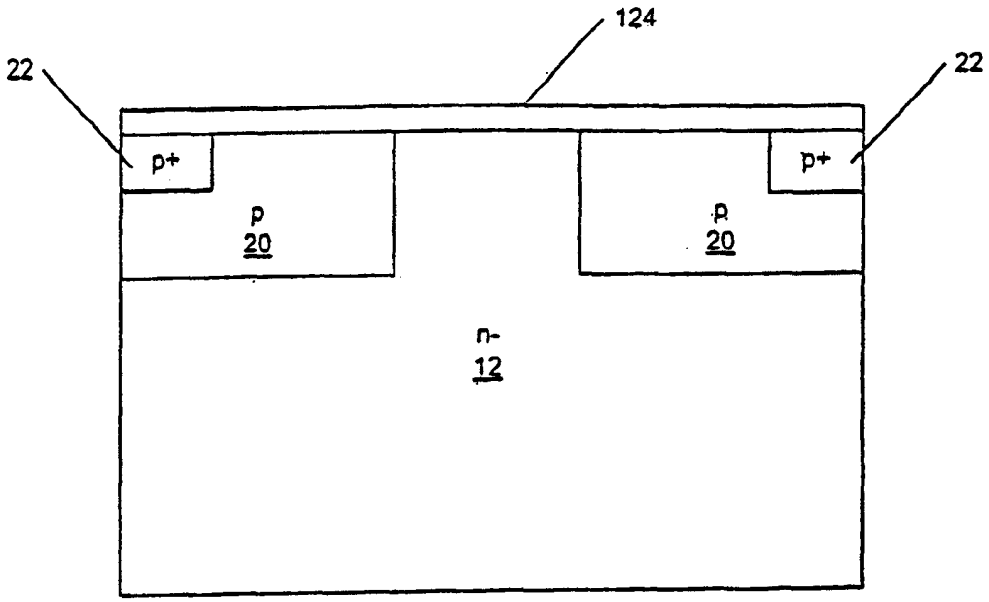

124
22
22
p+
p+
p
20
p
20
n-
12

图 9C

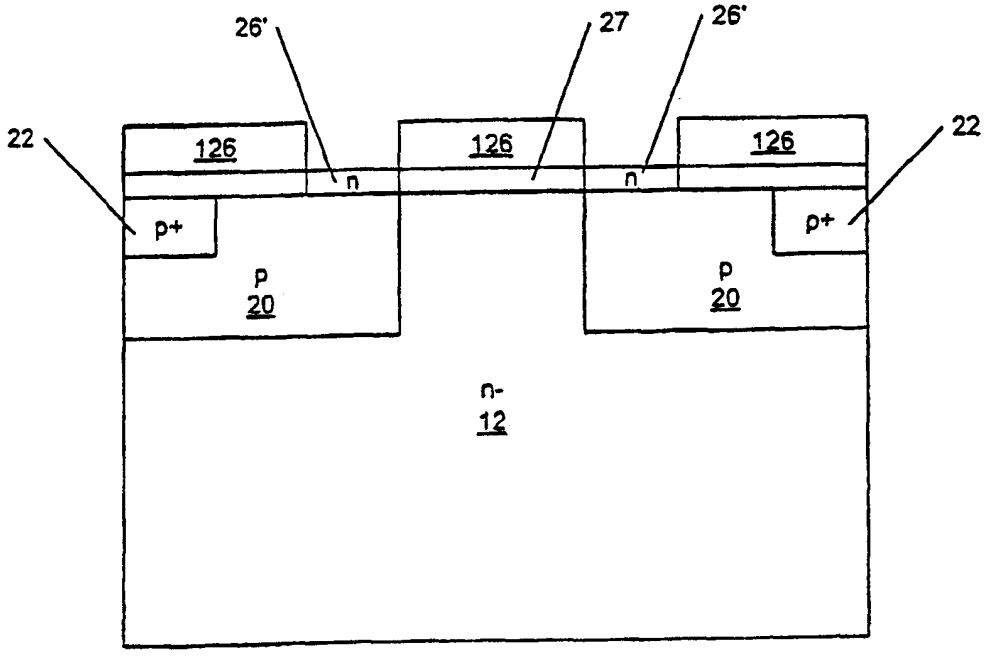

26'
27
26'
22
126
126
126
n
n
p+
p+
p
20
p
20
n-
12
22

图 9D

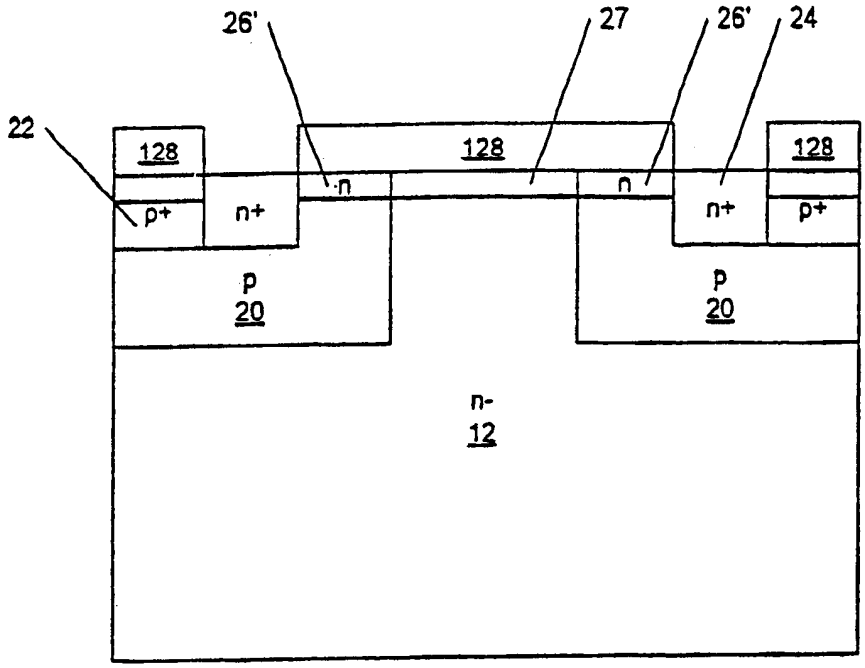

26'
27
26'
24
22
128
128
128
n
n
p+
n+
n+
p+
p
20
p
20
n-
12

图 9E

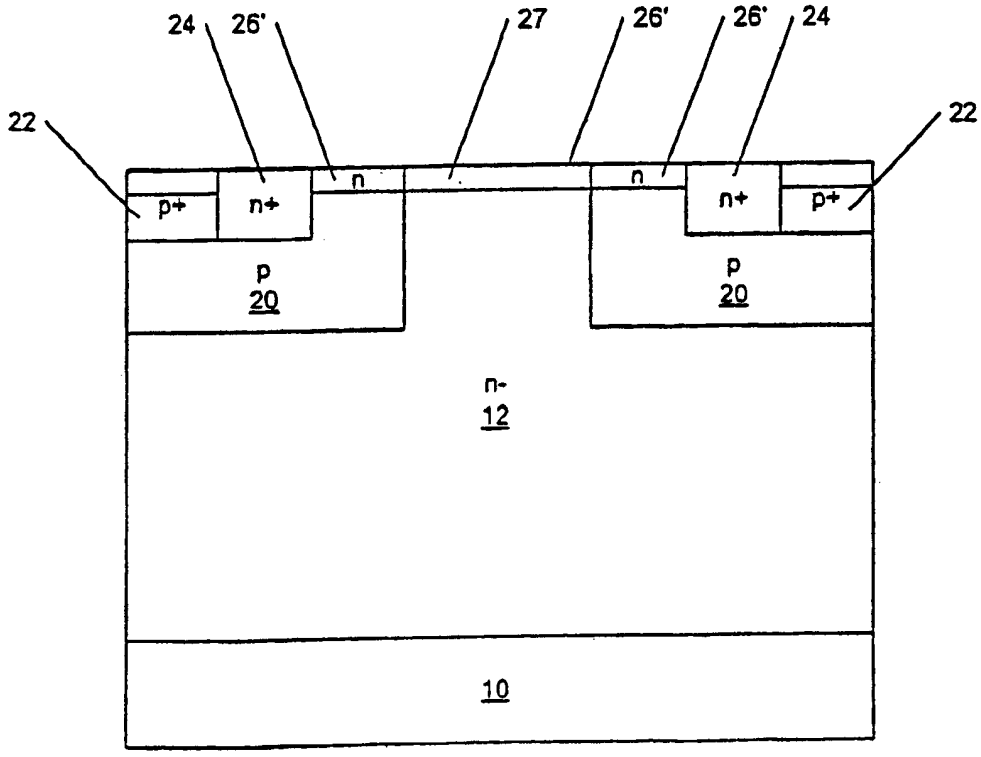

24
26'
27
26'
26'
24
22
22
n
n
p+
n+
n+
p+
p
20
p
20
n-
12
10

图 9F

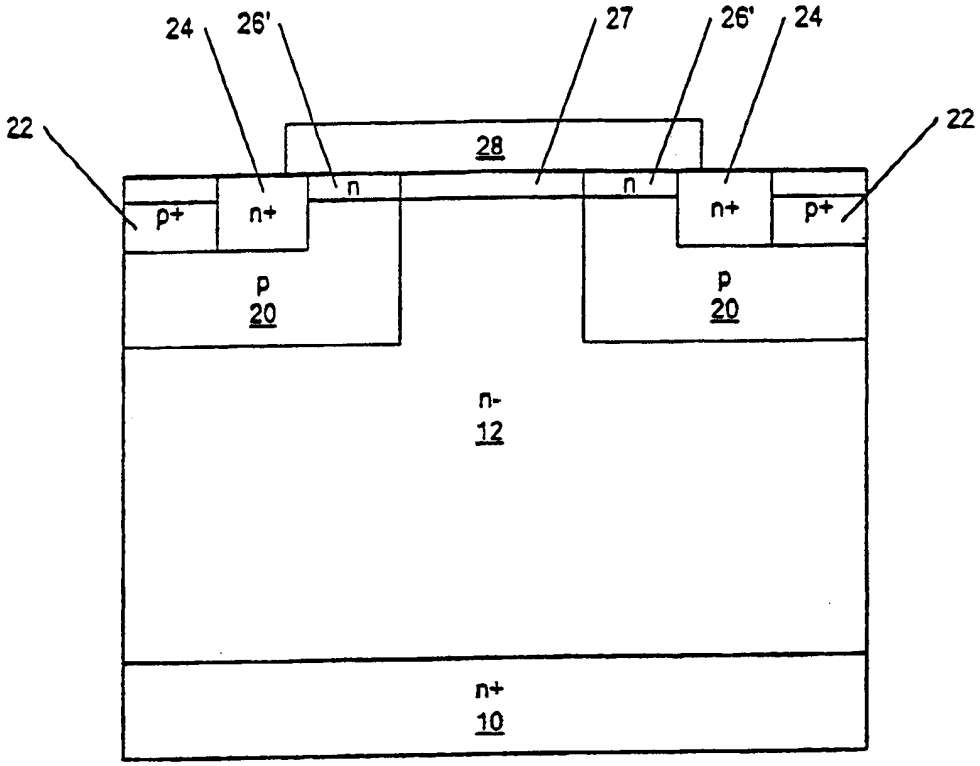

24
26'
27
26'
24
22
22
28
n
n
p+
n+
n+
p+
p
20
p
20
n-
12
n+
10

图 9G

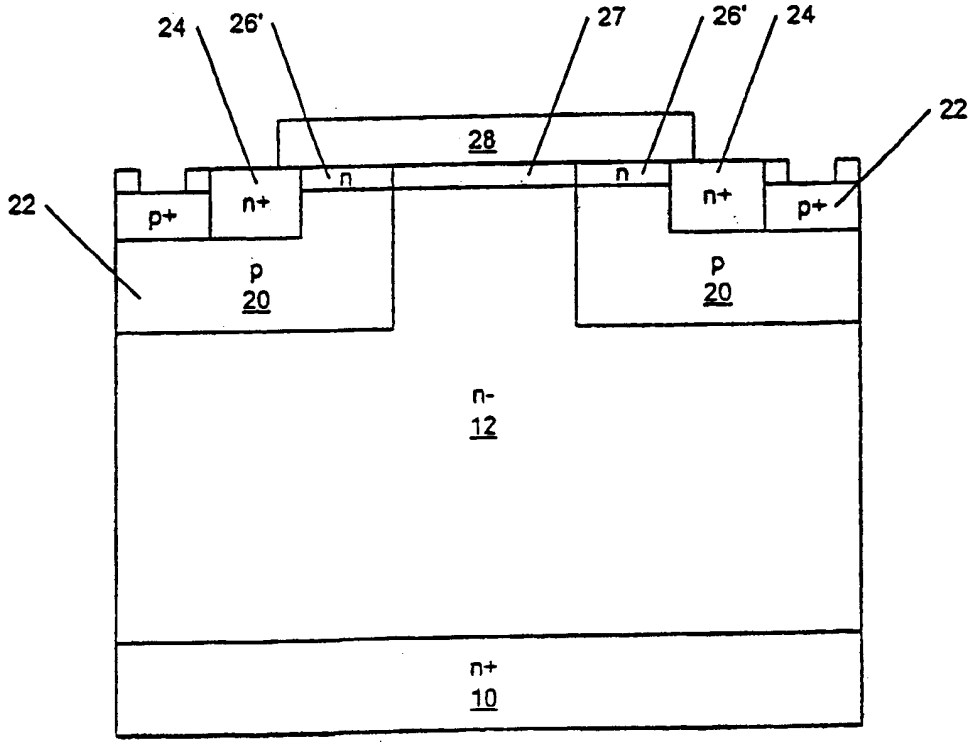

24
26'
27
26'
24
22
22
28
n
n
p+
n+
n+
p+
p
20
p
20
n-
12
n+
10

图 9H

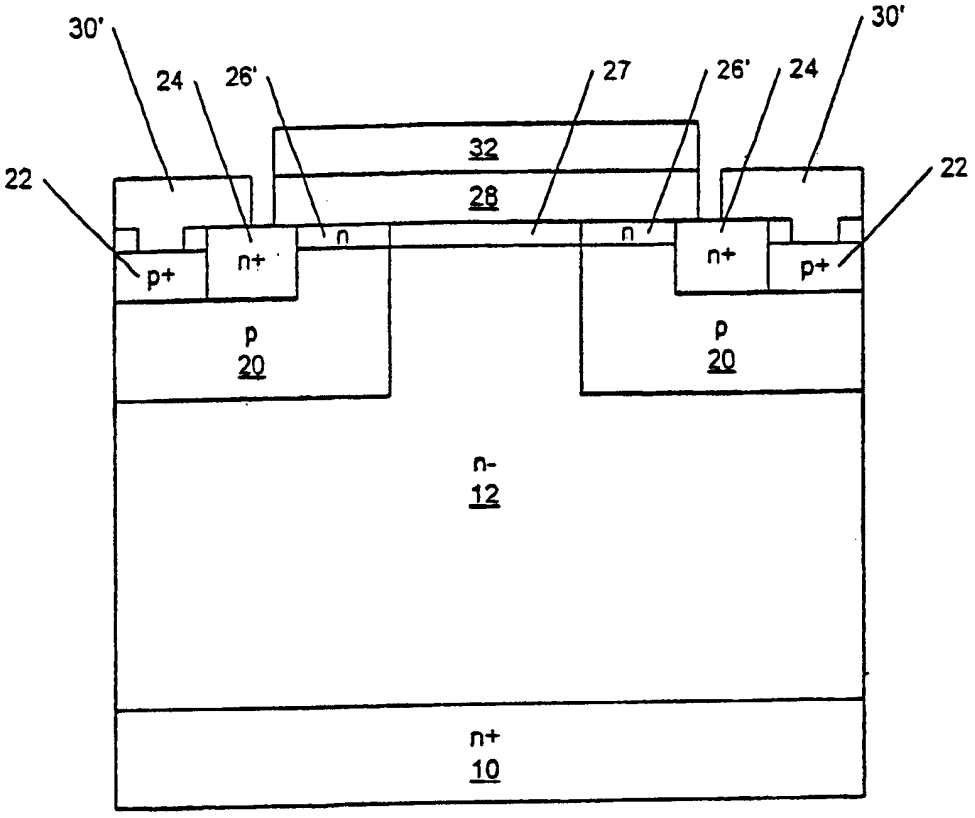

30'
24
26'
27
26'
24
30'
22
22
32
28
n
n
p+
n+
n+
p+
p
20
p
20
n-
12
n+
10

图 9I

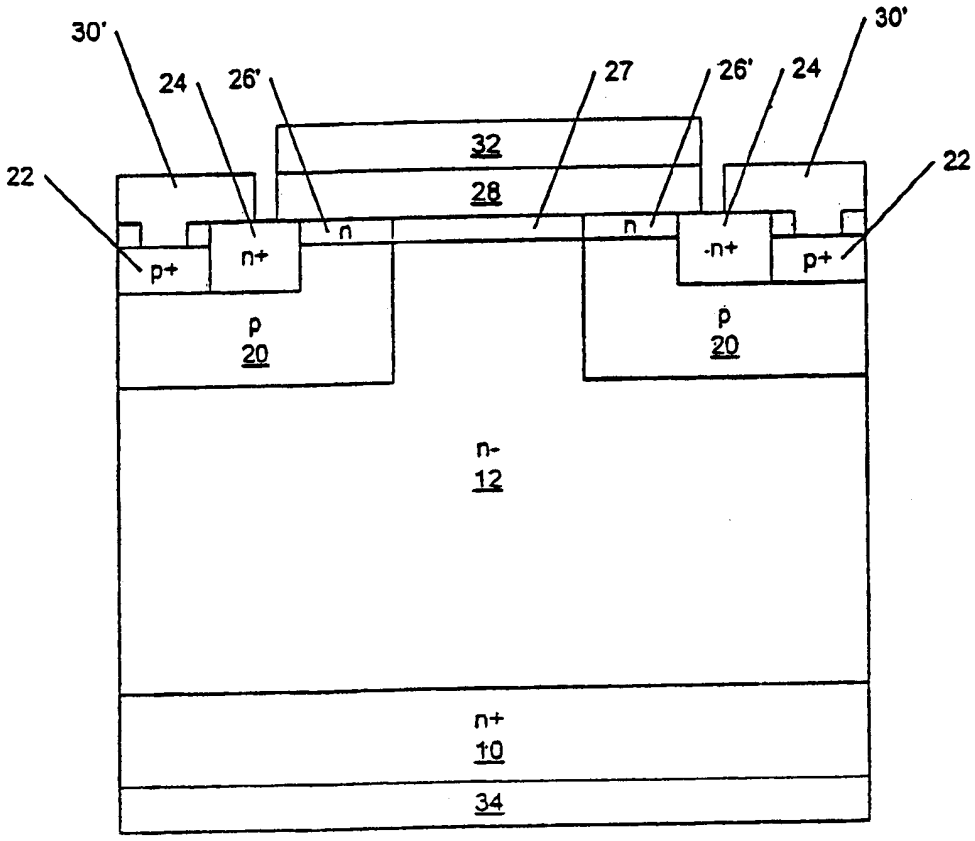

30'
24
26'
27
26'
24
30'
22
22
32
28
n
n
p+
n+
n+
p+
p
20
p
20
n-
12
n+
10
34

图 9J

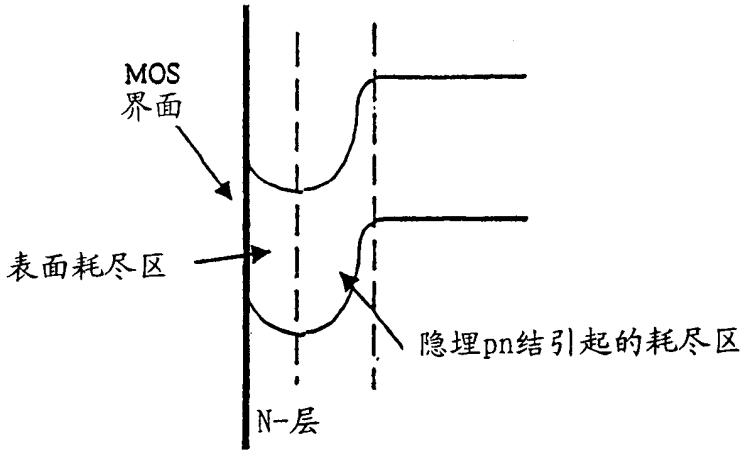


图 10A

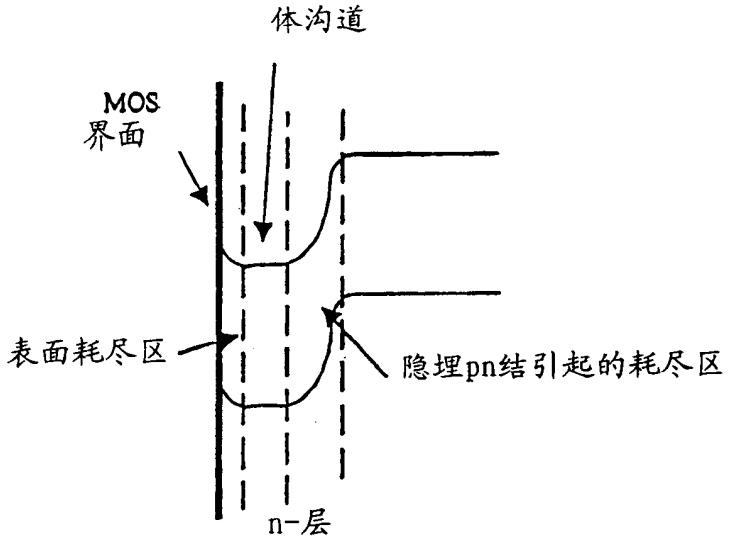


图 10B

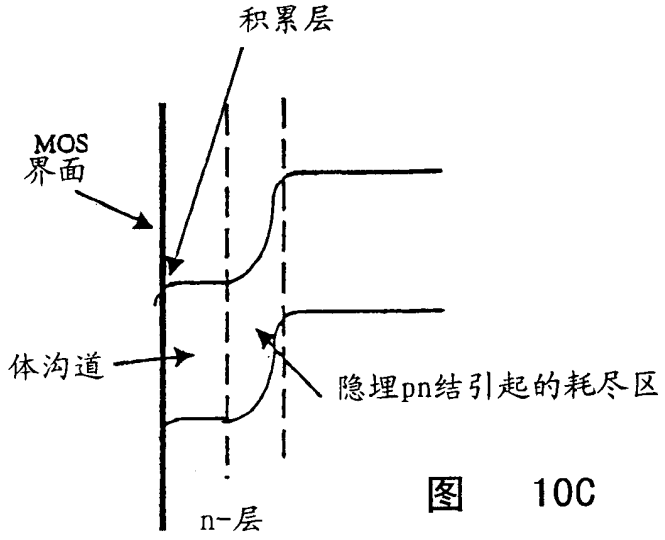


图 10C

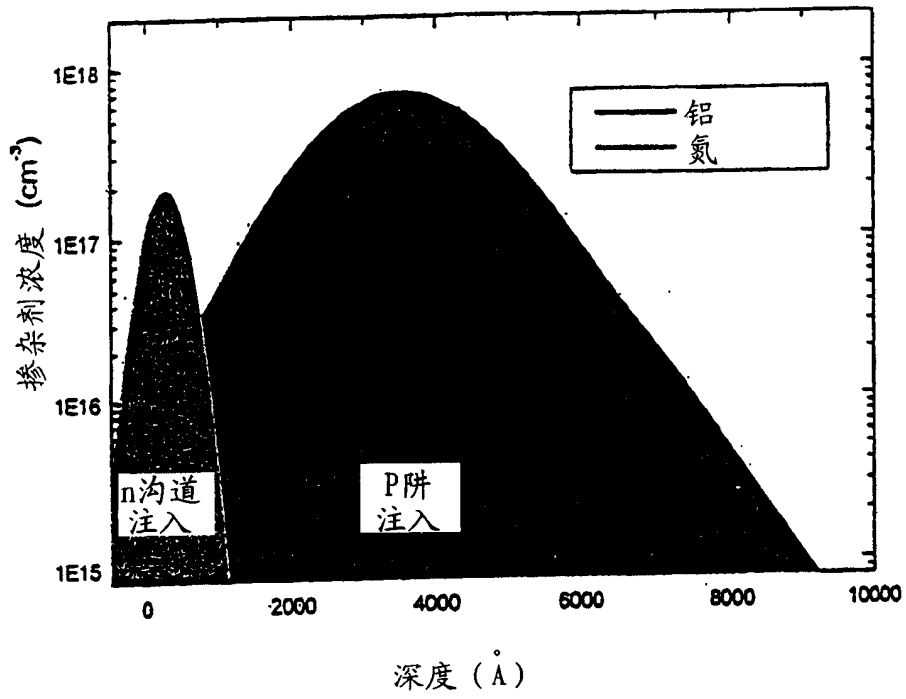

1E18
1E17
1E16
1E15
掺杂剂浓度 (cm-3)
铝
氮
n沟道
注入
P阱
注入
0
2000
4000
6000
8000
10000
深度（Å）

图 11

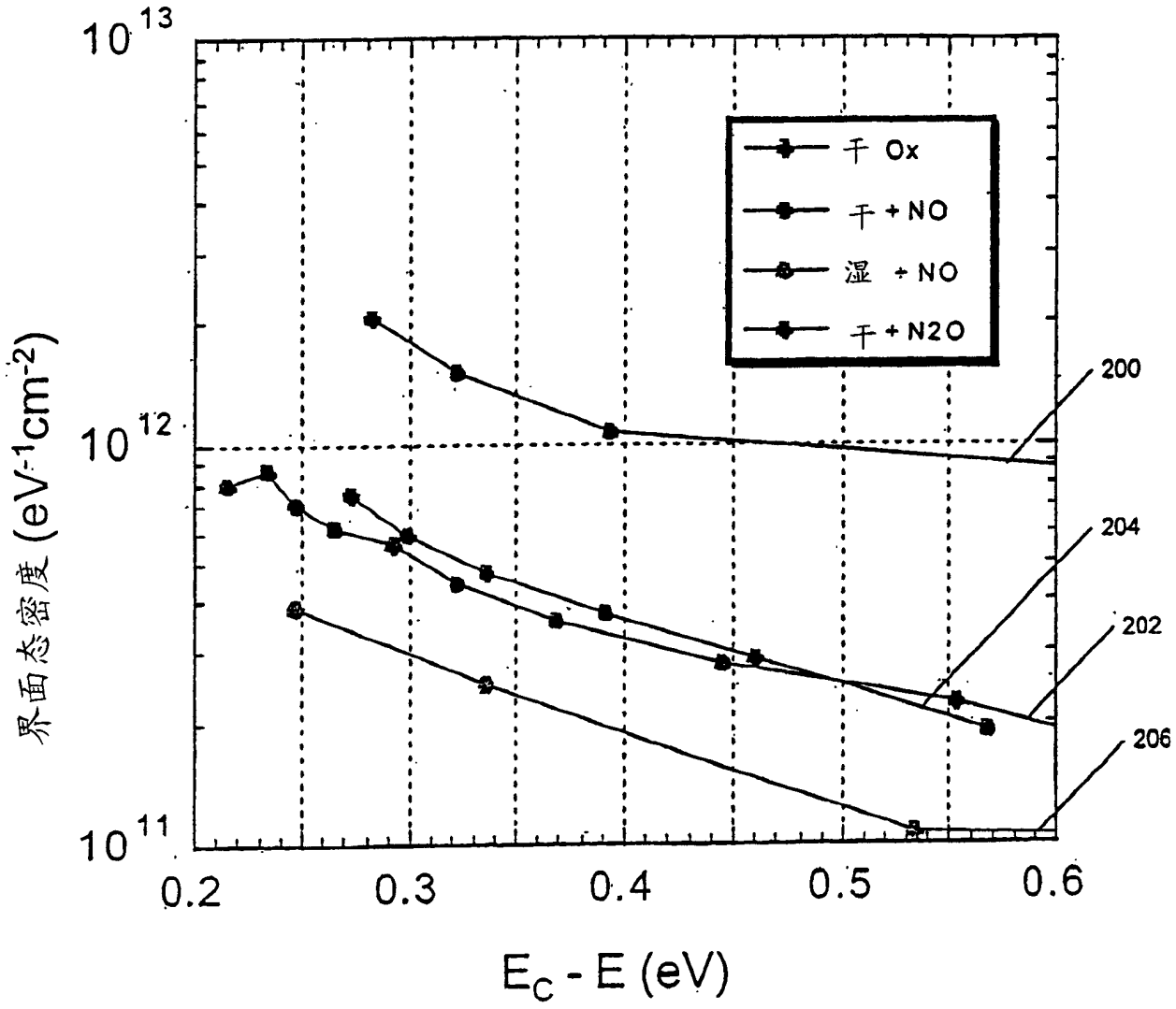

10^{13}
10^{12}
10^{11}
界面态密度 ($eV^{-1}cm^{-2}$)
0.2
0.3
0.4
0.5
0.6
$E_C - E$ (eV)
干 Ox
干 + NO
湿 + NO
干 + N2O
200
204
202
206

图 12

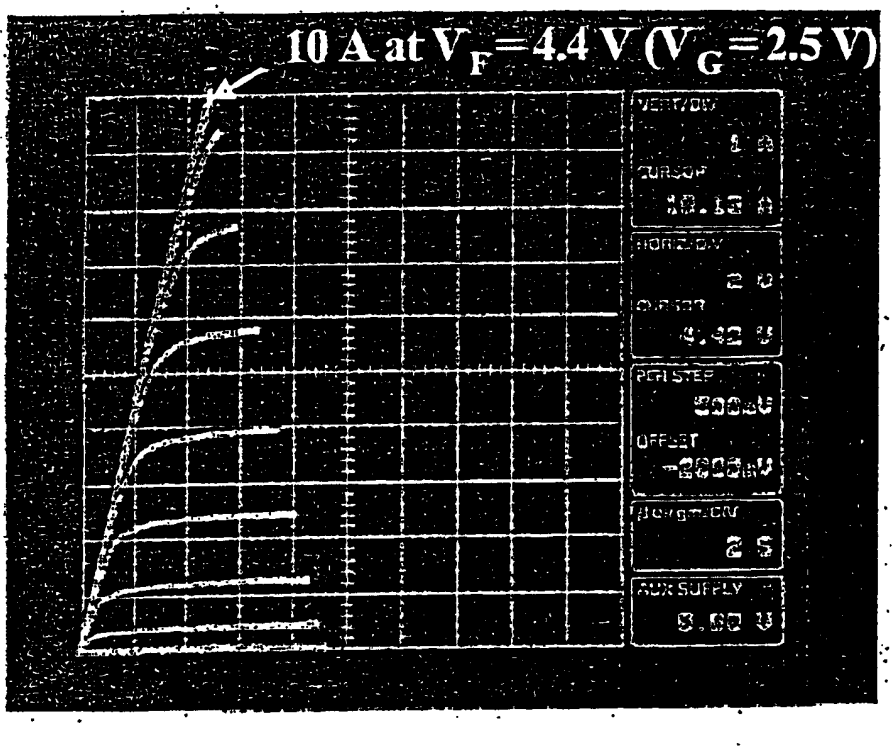

10 A at V_F=4.4 V (V_G=2.5 V)
VERT/DIV
CURSOR
HORIZ/DIV
CURSOR
PER STEP
OFFSET
AUX SUPPLY

图 13

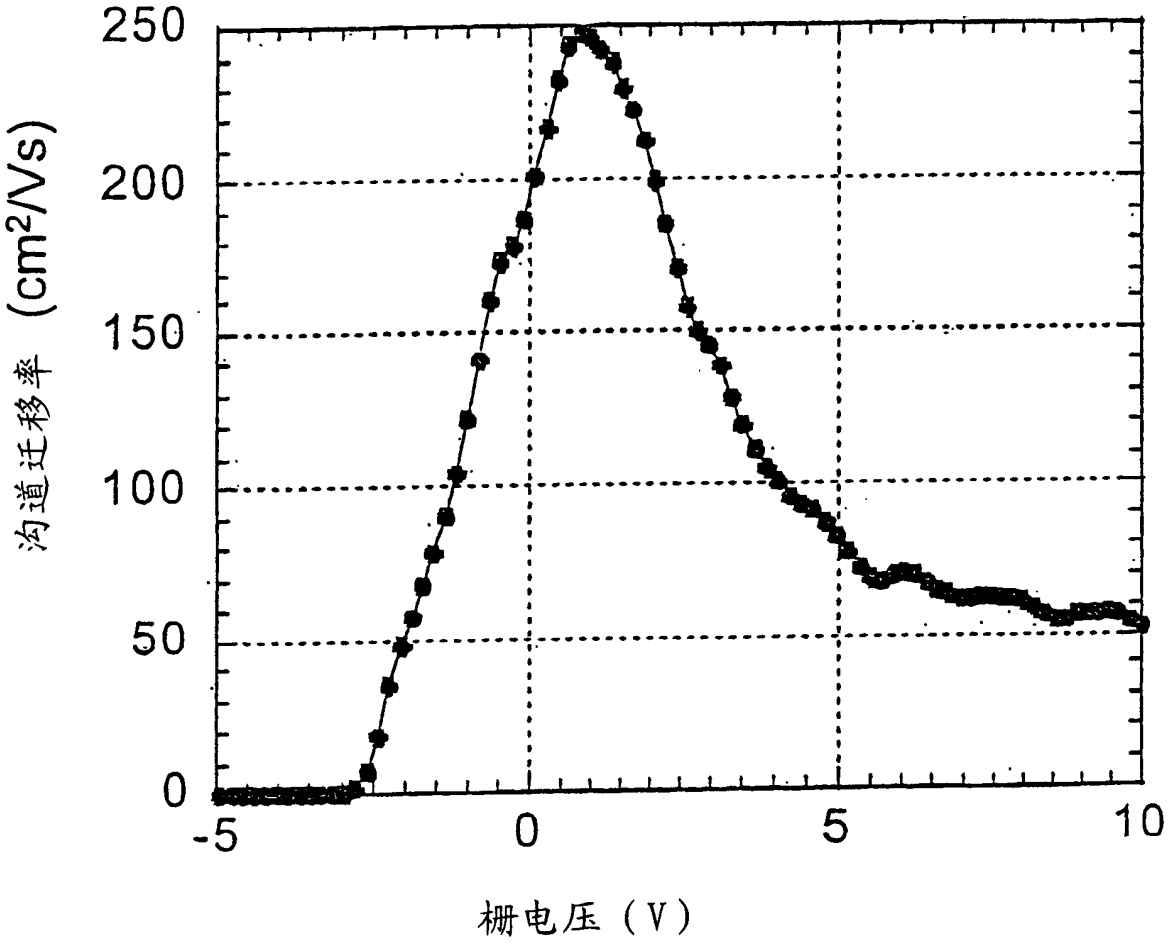


图 14