

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成 17 年 9 月 2 日 (2005.9.2)

【公開番号】特開 2003-9004 (P2003-9004A)  
 【公開日】平成 15 年 1 月 10 日 (2003.1.10)  
 【出願番号】特願 2002-103422 (P2002-103422)  
 【国際特許分類第 7 版】

H 0 4 N 5/335

H 0 1 L 27/14

H 0 4 N 1/409

H 0 4 N 5/217

【F I】

H 0 4 N 5/335 P

H 0 4 N 5/217

H 0 1 L 27/14 Z

H 0 4 N 1/40 1 0 1 C

【手続補正書】

【提出日】平成 17 年 3 月 8 日 (2005.3.8)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のピクセルを有するアレイ内の欠陥ピクセルを補正するための回路であって、  
 複数の欠陥ピクセル位置を格納するためのテーブル (230) を備え、ピクセルに欠陥があるか否かについての、フレーム毎に変わらない判定を行うための欠陥ピクセル検出機構 (210) と、

現在の欠陥ピクセルを、現在の欠陥ピクセルと同じフレームの同じ行で、かつ、現在の欠陥ピクセルから所定ピクセル数離れた前のピクセルの値で置き換える欠陥ピクセル補正機構 (220)

を備え、

前記欠陥ピクセル補正機構 (220) により、欠陥ピクセルの検出にフレーム間の整合性がないことから生じるアーティファクトが排除されることからなる、回路。

【請求項 2】

前記欠陥ピクセル検出機構が、

現在のピクセル位置及び欠陥ピクセル位置を受信し、現在のピクセル位置と欠陥ピクセル位置を比較して、一致すると、一致信号をアサートし、一致しなければ、一致信号を非アサートするための一致判定ユニット (240) を備えることからなる、請求項 1 に記載の回路。

【請求項 3】

前記欠陥ピクセル検出機構が、

前記テーブル及び前記一致判定ユニットに結合されて、前記一致信号を受信し、それに応答して、前記テーブルにおける現在の欠陥ピクセル位置を示すテーブルインデックスを管理するためのインデックスマネージャ (238) をさらに備えることからなる、請求項 2 に記載の回路。

【請求項 4】

前記インデックスマネージャが、アサートされた一致信号に 응답して、前記テーブルインデックスをインクリメントし、これにより、前記テーブルインデックスが、次の欠陥ピクセル位置を示すようになっており、及び、前記インデックスマネージャが、フレーム開始信号を受信するための入力を備えており、その受信に 응답して、前記テーブルインデックスをリセットすることからなる、請求項 3 に記載の回路。

【請求項 5】

前記欠陥ピクセル検出機構が、

前記テーブルに結合されて、前記テーブルに欠陥ピクセル位置を書き込む際、及び、前記テーブルから欠陥ピクセル位置を読み出す際に使用されるレジスタ ( 2 3 4 ) を備えることからなる、請求項 1 に記載の回路。

【請求項 6】

前記欠陥ピクセル補正機構が、

第 1 の出力を発生するための整合性のある置換値選択手段 ( 2 5 4 ) と、

第 2 の出力を提供するための信号源と、

置換ユニット ( 2 5 0 )

をさらに備え、前記置換ユニットが、前記整合性のある置換値選択手段に結合されて、前記第 1 の出力を受信し、及び、前記信号源に結合されて、前記第 2 の出力を受信し、さらに、前記一致判定ユニットに結合されて、前記一致信号を受信し、かつ、前記一致信号に基づいて、出力ピクセル値として、第 1 の出力と第 2 の出力を選択的に提供することからなる、請求項 2 に記載の回路。

【請求項 7】

前記置換ユニットが、マルチプレクサ ( 2 5 0 ) を備えており、

整合性のある置換値選択手段 ( 2 5 4 ) が、前記第 1 の出力を前記マルチプレクサに供給するための 1 バック回路 ( 2 6 0 ) 及び 2 バック回路 ( 2 6 4 ) を有する 2 ステップ遅延線を備え、

前記 1 バック回路及び前記 2 バック回路が、それぞれ、行開始信号を受信して、その受信に 응답して、それぞれの内容をクリアするための入力を有することからなる、請求項 6 に記載の回路。

【請求項 8】

第 2 の出力を提供するための前記信号源が、前記第 2 の出力として現在のピクセル値を提供するためのアナログ・デジタル変換器 ( 1 7 0 ) を備える、請求項 2 に記載の回路。

【請求項 9】

前記回路が、第 1 の所定数の行と、第 2 の所定数の列を有するピクセル・アレイに結合可能であり、

前記テーブル ( 2 3 0 ) に、選別された順に並べられた複数の欠陥ピクセル位置が含まれており、現在のピクセル位置が欠陥ピクセル位置であるか否かを判定するためのテーブルの探索が不要であり、

前記テーブル ( 2 3 0 ) は、各エントリが行値と列値を有することからなる複数のエントリを有しており、前記複数のエントリは、最後のエントリを含んでおり、前記テーブル内の最後のエントリが行値が、前記第 1 の所定数の行を超える値に設定されており、前記テーブル内の最後のエントリが、前記第 2 の所定数の列を超える値に設定されており、前記テーブル内の最後のエントリに達したか否かを判定するためのハードウェアが不要であることからなる、請求項 1 に記載の回路。

【請求項 10】

少なくとも 1 つの欠陥ピクセルを補正するための方法であって、

a) 現在のピクセル位置を受信するステップ ( 3 1 0 ) と、

b) 欠陥ピクセル位置を受信するステップ ( 3 1 4 ) と、

c) 前記現在のピクセル位置が欠陥ピクセル位置であるか否かを判定するステップ ( 3 4 0 ) と、

d) 前記現在のピクセル位置が欠陥ピクセル位置でないときは、受信したピクセル値を

出力ピクセル値として送り出すステップ( 3 3 0 )と、

e) 前記現在のピクセル位置が欠陥ピクセル位置であるときは、前のピクセル値を前記出力ピクセル値として送り出すステップ( 3 4 4 )を含む、方法。