

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成17年9月2日(2005.9.2)

【公開番号】特開2003-9004(P2003-9004A)
 【公開日】平成15年1月10日(2003.1.10)
 【出願番号】特願2002-103422(P2002-103422)

【国際特許分類第7版】

H 04N 5/335

H 01L 27/14

H 04N 1/409

H 04N 5/217

【F I】

H 04N 5/335 P

H 04N 5/217

H 01L 27/14 Z

H 04N 1/40 101C

【手続補正書】

【提出日】平成17年3月8日(2005.3.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のピクセルを有するアレイ内の欠陥ピクセルを補正するための回路であって、

複数の欠陥ピクセル位置を格納するためのテーブル(230)を備え、ピクセルに欠陥があるか否かについての、フレーム毎に変わらない判定を行うための欠陥ピクセル検出機構(210)と、

現在の欠陥ピクセルを、現在の欠陥ピクセルと同じフレームの同じ行で、かつ、現在の欠陥ピクセルから所定ピクセル数離れた前のピクセルの値で置き換える欠陥ピクセル補正機構(220)

を備え、

前記欠陥ピクセル補正機構(220)により、欠陥ピクセルの検出にフレーム間の整合性がないことから生じるアーティファクトが排除されることからなる、回路。

【請求項2】

前記欠陥ピクセル検出機構が、

現在のピクセル位置及び欠陥ピクセル位置を受信し、現在のピクセル位置と欠陥ピクセル位置を比較して、一致すると、一致信号をアサートし、一致しなければ、一致信号を非アサートするための一一致判定ユニット(240)

を備えることからなる、請求項1に記載の回路。

【請求項3】

前記欠陥ピクセル検出機構が、

前記テーブル及び前記一致判定ユニットに結合されて、前記一致信号を受信し、それに応答して、前記テーブルにおける現在の欠陥ピクセル位置を示すテーブルインデックスを管理するためのインデックススマネージャ(238)

をさらに備えることからなる、請求項2に記載の回路。

【請求項4】

前記インデックスマネージャが、アサートされた一致信号に応答して、前記テーブルインデックスをインクリメントし、これにより、前記テーブルインデックスが、次の欠陥ピクセル位置を示すようになっており、及び、前記インデックスマネージャが、フレーム開始信号を受信するための入力を備えており、その受信に応答して、前記テーブルインデックスをリセットすることからなる、請求項3に記載の回路。

【請求項5】

前記欠陥ピクセル検出機構が、

前記テーブルに結合されて、前記テーブルに欠陥ピクセル位置を書き込む際、及び、前記テーブルから欠陥ピクセル位置を読み出す際に使用されるレジスタ(234)を備えることからなる、請求項1に記載の回路。

【請求項6】

前記欠陥ピクセル補正機構が、

第1の出力を発生するための整合性のある置換値選択手段(254)と、

第2の出力を提供するための信号源と、

置換ユニット(250)

をさらに備え、前記置換ユニットが、前記整合性のある置換値選択手段に結合されて、前記第1の出力を受信し、及び、前記信号源に結合されて、前記第2の出力を受信し、さらに、前記一致判定ユニットに結合されて、前記一致信号を受信し、かつ、前記一致信号に基づいて、出力ピクセル値として、第1の出力と第2の出力を選択的に提供することからなる、請求項2に記載の回路。

【請求項7】

前記置換ユニットが、マルチプレクサ(250)を備えており、

整合性のある置換値選択手段(254)が、前記第1の出力を前記マルチプレクサに供給するための1バック回路(260)及び2バック回路(264)を有する2ステップ遅延線を備え、

前記1バック回路及び前記2バック回路が、それぞれ、行開始信号を受信して、その受信に応答して、それぞれの内容をクリアするための入力を有することからなる、請求項6に記載の回路。

【請求項8】

第2の出力を提供するための前記信号源が、前記第2の出力として現在のピクセル値を提供するためのアナログ・デジタル変換器(170)を備える、請求項2に記載の回路。

【請求項9】

前記回路が、第1の所定数の行と、第2の所定数の列を有するピクセル・アレイに結合可能であり、

前記テーブル(230)に、選別された順に並べられた複数の欠陥ピクセル位置が含まれてあり、現在のピクセル位置が欠陥ピクセル位置であるか否かを判定するためのテーブルの探索が不要であり、

前記テーブル(230)は、各エントリが行値と列値を有することからなる複数のエントリを有しており、前記複数のエントリは、最後のエントリを含んでおり、前記テーブル内の最後のエントリの行値が、前記第1の所定数の行を超える値に設定されており、前記テーブル内の最後のエントリの列値が、前記第2の所定数の列を超える値に設定されており、前記テーブル内の最後のエントリに達したか否かを判定するためのハードウェアが必要であることからなる、請求項1に記載の回路。

【請求項10】

少なくとも1つの欠陥ピクセルを補正するための方法であって、

a) 現在のピクセル位置を受信するステップ(310)と、

b) 欠陥ピクセル位置を受信するステップ(314)と、

c) 前記現在のピクセル位置が欠陥ピクセル位置であるか否かを判定するステップ(340)と、

d) 前記現在のピクセル位置が欠陥ピクセル位置でないときは、受信したピクセル値を

出力ピクセル値として送り出すステップ(330)と、

e) 前記現在のピクセル位置が欠陥ピクセル位置であるときは、前のピクセル値を前記出力ピクセル値として送り出すステップ(344)
を含む、方法。