



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 102 48 723 A1** 2004.05.06

(12)

Offenlegungsschrift

(21) Aktenzeichen: **102 48 723.5**

(22) Anmeldetag: **18.10.2002**

(43) Offenlegungstag: **06.05.2004**

(51) Int Cl.⁷: **H01L 27/108**

(71) Anmelder:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

Kindermann, P., Dipl.-Ing.Univ., Pat.-Anw., 85598 Baldham

(72) Erfinder:

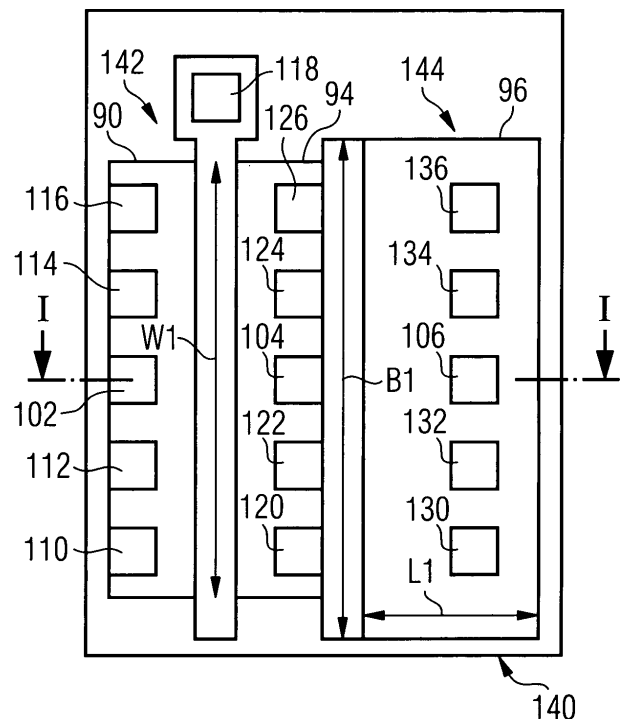
**Rösner, Wolfgang, Dr., 85521 Ottobrunn, DE;
Schulz, Thomas, Dr., 81737 München, DE;
Hartwich, Jessica, Dr., 85579 Neubiberg, DE;
Brederlow, Ralf, Dr., 81737 München, DE; Pacha,
Christian, Dr., 82069 Schäftlarn, DE**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Integrierte Schaltungsanordnung mit Kondensatoren und mit vorzugsweise planaren Transistoren und Herstellungsverfahren**

(57) Zusammenfassung: Erläutert wird unter anderem eine integrierte Schaltungsanordnung (140), die einen vorzugsweise planaren Transistor (142) und einen Kondensator (144) enthält. Die untere Elektrode des Kondensators (144) ist gemeinsam mit einem Kanalbereich des Transistors (142) in einem SOI-Substrat angeordnet. Die Schaltungsanordnung (140) ist einfach herzustellen und hat hervorragende elektronische Eigenschaften.



Beschreibung

[0001] Integrierte Schaltungsanordnung mit Kondensatoren und mit vorzugsweise planaren Transistoren und Herstellungsverfahren Die Erfindung betrifft eine integrierte Schaltungsanordnung, die einen elektrisch isolierenden Isolierbereich und mindestens einen Kondensator enthält. Der Kondensator wird aus einer Bereichsfolge gebildet, die in der angegebenen Reihenfolge enthält:

- einen isolierbereichsnahen Elektrodenbereich,
- einen dielektrischen Bereich, und
- einen isolierbereichsfernen Elektrodenbereich.

[0002] Der elektrisch isolierende Isolierbereich besteht beispielsweise aus einem elektrisch isolierenden Material mit einem spezifischen Widerstand größer als $10^{12} \Omega\text{cm}$ (Ohm mal Zentimeter) bei 20°C Raumtemperatur, z.B. aus einem Oxid, insbesondere aus Siliziumdioxid. Der Elektrodenbereich enthält beispielsweise ein Metall mit einem spezifischen elektrischen Widerstand kleiner als $10^{-4} \Omega\text{cm}$ bei 20°C Raumtemperatur. Alternativ enthalten die Elektrodenbereiche beispielsweise polykristallines Silizium, das hochdotiert ist. Der dielektrische Bereich besteht ebenfalls aus einem elektrisch isolierenden Material, z.B. aus einem Oxid, insbesondere aus Siliziumdioxid, das eine Dielektrizitätskonstante von etwa 3,9 hat. Jedoch werden auch dielektrische Materialien mit einer wesentlich größeren Dielektrizitätskonstante im dielektrischen Bereich verwendet.

[0003] Es ist Aufgabe der Erfindung, eine einfach herzustellende integrierte Schaltungsanordnung mit Kondensator anzugeben. Die Schaltungsanordnung soll insbesondere mit einer kleinen Anzahl von Prozessschritten und insbesondere unter Verwendung weniger lithografischer Masken herstellbar sein. Außerdem soll ein einfaches Herstellungsverfahren für eine integrierte Schaltungsanordnung mit Kondensator angegeben werden.

[0004] Die auf die Schaltungsanordnung bezogene Aufgabe wird durch eine integrierte Schaltungsanordnung mit den im Patentanspruch 1 angegebenen Merkmalen gelöst. Weiterbildungen sind in den Unteransprüchen angegeben.

[0005] Bei der erfindungsgemäßen Schaltungsanordnung ist der Isolierbereich Bestandteil einer in einer Ebene angeordneten Isolierschicht. Der Kondensator und mindestens ein aktives Bauelement der integrierten Schaltungsanordnung, vorzugsweise alle aktiven Bauelemente der integrierten Schaltungsanordnung, liegen auf der gleichen Seite der Isolierschicht. Außerdem sind der isolierbereichsnahe Elektrodenbereich und der aktive Bereich des Bauelementes in einer Ebene angeordnet, die parallel zu der Ebene liegt, in der die Isolierschicht angeordnet ist.

[0006] Die erfindungsgemäße Schaltungsanordnung ist einfach aufgebaut und lässt sich auf einfache Art herstellen, weil sich der isolierbereichsnahe Elek-

trodenbereich und der aktive Bereich in einer Ebene befinden. Außerdem sind der isolierbereichsnahe Elektrodenbereich und der aktive Bereich durch den Isolierbereich isoliert. An beide Elektrodenbereiche des Kondensators sind so frei wählbare Potentiale anlegbar.

[0007] Der Kondensator hat außerdem hervorragende elektronische Eigenschaften:

- Das Verhältnis zwischen parasitären Kapazitäten und Widerständen in Bezug zur Nutzkapazität ist klein,
- die Leckströme sind klein,
- die differenzielle Nichtlinearität der Kapazität ist klein, wobei unterschiedliche differentielle Kapazitäten auf Raumladungszonen zurückzuführen sind. Bei analogen Kapazitäten ist die differentielle Kapazität die im Arbeitspunkt wirksame Kapazität.
- die Kapazität ist über einen weiten Arbeitspunktbereich konstant,
- das erzielbare Kapazitäts-Flächen-Verhältnis ist groß, beispielsweise mehr als zehn Femtofarad je Quadratmikrometer oder sogar größer als zwanzig Femtofarad je Quadratmikrometer.

[0008] Außerdem ist zwischen den aktiven Bauelementen und dem Kondensator keine weitere Schicht oder weitere Schichtenfolge erforderlich. Dies ermöglicht es, die Anzahl der erforderlichen Schichten zu verringern und die Planarität der integrierten Schaltungsanordnung zu erhöhen.

[0009] Bei einer Weiterbildung ist das aktive Bauelement ein Feldeffekttransistor:

- der Kanalbereich des Feldeffekttransistors ist der aktive Bereich.
- Die Steuerelektrode des Feldeffekttransistors ist Bestandteil einer strukturierten Elektroden-schicht, in der auch der isolierbereichsferne Elektrodenbereich des Kondensators angeordnet ist. Die Steuerelektrode und der isolierbereichsferne Elektrodenbereich bestehen aus dem gleichen Material. Auch die Dicke dieser Bereiche und deren Dotierstoffkonzentration stimmen überein.
- Ein Steuerelektrodenisolationsbereich des Feldeffekttransistors besteht bei einer Ausgestaltung aus dem gleichen Material wie der dielektrische Bereich des Kondensators. Auch die Dicke dieser Bereiche stimmt überein.

[0010] Durch diese Maßnahme sind für die Herstellung des Kondensators und zur Herstellung des Feldeffekttransistors nur drei Schichterzeugungsprozesse erforderlich. Die Bereiche des Feldeffekttransistors und des Kondensators, die in der gleichen Schicht liegen, lassen sich gemeinsam strukturieren. Eine zusätzliche Maske zur Herstellung des Kondensators ist nur dann erforderlich, wenn der untere Elektrodenbereich des Kondensators anders dotiert wird als der Kanalbereich des Feldeffekttransistors. Eine weitere zusätzliche Maske ist nur dann erforder-

lich, wenn sich die Materialien und/oder die Isolierdicken des Steuerelektrodenisolierbereiches und des dielektrischen Bereiches des Kondensators unterscheiden. Aber selbst dann ist die zur Herstellung der Schaltungsanordnung erforderliche Anzahl der Masken noch klein.

[0011] Bei einer nächsten Weiterbildung ist der Feldeffekttransistor ein planarer Feldeffekttransistor, d.h. die für die Steuerung der Gateelektrode wirksame Fläche liegt parallel zur Isolierschicht. Der Feldeffekttransistor enthält neben HDD-Anschlussbereichen (Highly Doped Drain) ggf. auch LDD-Anschlussbereiche (Lightly Doped Drain) bzw. Hilfsanschlussbereiche und/oder sogenannte Pockets bzw. Halos, die hier als Hilfsdotierbereiche bezeichnet werden.

[0012] Bei einer anderen Ausgestaltung grenzt die Steuerelektrode an einen Silizidbereich an. Durch diese Maßnahme lässt sich die Steuerelektrode leichter kontaktieren. Außerdem verringert sich der Anschlusswiderstand und der Schichtwiderstand.

[0013] Bei einer nächsten Weiterbildung der erfindungsgemäßen Schaltungsanordnung grenzen Anschlussbereiche des Feldeffekttransistors an die Isolierschicht an. Bei einer Ausgestaltung grenzen die Anschlussbereiche ebenfalls an Silizidbereiche. Ausreichend Material für die Silizidbildung ist dann vorhanden, wenn die Halbleiterschicht im Bereich der Anschlussbereiche sowohl vor als auch nach der Silizidbildung eine größere Dicke hat als im Bereich der isolierbereichsnahen Elektrode.

[0014] Bei einer nächsten Weiterbildung sind beidseitig der Steuerelektrode Abstandshalter angeordnet, die auch ein anderes Material enthalten oder aus einem anderen Material bestehen als die Elektroden-schicht, insbesondere einem Material, das nicht als Ausgangspunkt für ein Epitaxieschichtwachstum bei einem Epitaxieverfahren zum Erzeugen einer Halbleiterepitaxieschicht geeignet ist, beispielsweise aus Siliziumnitrid. Durch die Verwendung der Abstandshalter werden Seitenbereiche der Steuerelektrode bedeckt, so dass von dort keine Epitaxie ausgehen kann und Kurzschlüsse vermieden werden.

[0015] Bei einer Ausgestaltung ist an mindestens einer Seite des isolationsbereichsfernen Elektrodenbereiches ebenfalls ein Abstandshalter angeordnet. Die Abstandshalter haben die gleiche Aufgabe wie die an der Steuerelektrode angeordneten Abstandshalter erfüllt. Berühren sich ein am Gate angeordneter Abstandshalter und ein an einer Elektrode des Kondensators angeordneter Abstandshalter, so entsteht eine Maskierung, die bspw. eine Dotierung oder auch eine Silizidierung im maskierten Bereich verhindert.

[0016] Bei einer Weiterbildung ist die an den einen Anschlussbereich des Transistors angrenzende Seite des isolierbereichsnahen Elektrodenbereiches länger als eine quer zu dieser Seite liegende Seite des isolierbereichsnahen Elektrodenbereiches, vorzugsweise mindestens doppelt so lang oder mindestens fünf mal so lang. Der Transistor hat in diesem Fall

eine Transistorweite, die ein mehrfaches der minimalen Strukturbreite beträgt, vorzugsweise mehr als das Dreifache oder mehr als das Fünffache. Durch diese Maßnahmen entsteht eine besonders niederohmige Verbindung zwischen dem Transistor und dem Kondensator. Dies führt insbesondere bei sogenannten analogen Kapazitäten in analogen Schaltungen zur Verbesserung der elektronischen Eigenschaften. Beispiele für solche analogen Schaltungen sind Analog-Digital-Wandler. Ein anderes Beispiel für eine analoge Kapazität ist eine sogenannte Bypass-Kapazität mit der sich Spannungsspitzen auf eine Betriebsspannungsleitung oder einer Signalleitung glätten lassen.

[0017] Bei einer alternativen Weiterbildung ist dagegen eine quer zu der an den Anschlussbereich angrenzende Seite des isolierbereichsnahen Elektrodenbereiches liegende Seite des isolierbereichsnahen Elektrodenbereiches länger als die an den Anschlussbereich angrenzende Seite, vorzugsweise mindestens doppelt so lang oder mindestens fünf mal so lang. Der Transistor hat in diesem Fall eine Transistorweite, die kleiner als das Dreifache der minimalen Strukturbreite ist, vorzugsweise kleiner als das Doppelte der minimalen Strukturbreite. Durch diese Maßnahme wird insbesondere bei Speicherzellen erreicht, dass sich der ohmsche Widerstand der Bodenelektrode des Kondensators erhöht und einer schnellen Entladung der Speicherkapazität damit entgegengewirkt wird.

[0018] Bei einer nächsten Weiterbildung grenzen ein Anschlussbereich des Feldeffekttransistors und der isolierbereichsnahe Elektrodenbereich des Kondensators aneinander und bilden so eine elektrisch leitfähige Verbindung. Auf diese Art und Weise entsteht eine einfach aufgebaute Speicherzelle eines DRAM (Dynamic Random Access Memory), ohne dass zusätzliche Maßnahmen für die Kontaktierung der isolierbereichsnahen Bodenelektrode erforderlich sind. Diese Weiterbildung wird insbesondere in Kombination mit sich berührenden Abstandshaltern am Gate und an der Deckelektrode des Kondensators eingesetzt.

[0019] Bei einer Weiterbildung sind der isolierbereichsnahe Elektrodenbereich und der aktive Bereich Halbleiterbereiche, die ein Halbleitermaterial enthalten, d.h. ein Material mit einem spezifischen elektrischen Widerstand zwischen 10^{-6} und 10^{+12} Ωcm , insbesondere zwischen 10^{-5} und 10^{+10} Ωcm , z.B. Germanium, Silizium oder Galliumarsenid. Der spezifische Widerstand des isolierbereichsnahen Elektrodenbereiches des Kondensators wird bei einer Ausgestaltung durch eine Dotierung verringert.

[0020] Bei einer Weiterbildung der Schaltungsanordnung sind der isolierbereichsnahe Elektrodenbereich und der aktive Bereich einkristalline Bereiche, die dotiert oder undotiert sind. Die elektronischen Eigenschaften von aktiven Bauelementen in einkristallinen Schichten sind besonders gut. Außerdem lässt sich der elektrische Widerstand einer einkristallinen

Elektrode des Kondensators durch Dotierung besonders gut verringern. Bei einer Ausgestaltung haben der isolierbereichsnahe Elektrodenbereich und der aktive Bereich eine Dicke kleiner als einhundert Nanometer oder sogar kleiner als fünfzig Nanometer.

[0021] Bei einer nächsten Weiterbildung grenzt die Isolierschicht an ein Trägersubstrat an, wie es bei einem sogenannten SOI-Substrat (Silicon On Insulator) der Fall ist. Derartige Substrate lassen sich auf einfache Art und Weise herstellen. Außerdem haben die elektronischen Schaltungen, die auf diesen Substraten angeordnet werden, besonders gute elektronische Eigenschaften.

[0022] Bei einer anderen Weiterbildung enthält die Schaltungsanordnung mindestens einen Prozessor, der eine Vielzahl von logischen Schaltfunktionen enthält. Enthält die Schaltungsanordnung bei einer Ausgestaltung neben dem Prozessor außerdem eine Vielzahl von DRAM-Speichereinheiten (Dynamic Random Access Memory), so wird auch von einem embedded-Speicher gesprochen. Zur Herstellung dieser Schaltungsanordnung werden zusätzlich zu den für die Herstellung der Logik ohnehin erforderlichen Prozessschritten und Masken nur eine kleine Anzahl von zusätzlichen Prozessschritten und zusätzlichen Masken zur Herstellung des Kondensators bzw. der mit ihm elektrisch leitfähig verbundenen Transistoren benötigt.

[0023] Die Erfindung betrifft in einem weiteren Aspekt außerdem ein Verfahren zum Herstellen einer integrierten Schaltungsanordnung, insbesondere zum Herstellen der erfindungsgemäßen Schaltungsanordnung oder einer ihrer Weiterbildungen. Bei dem erfindungsgemäßen Verfahren werden ohne Beschränkung durch die angegebene Reihenfolge die folgenden Verfahrensschritte ausgeführt:

- Bereitstellen eines Substrats, das eine Isolierschicht aus elektrisch isolierendem Material und eine Halbleiterschicht enthält, z.B. ein SOI-Substrat,
- Strukturieren der Halbleiterschicht zum Ausbilden mindestens eines Elektrodenbereiches für einen Kondensator und zum Ausbilden mindestens eines aktiven Bereiches eines Transistors,
- nach dem Strukturieren der Halbleiterschicht Erzeugen einer dielektrischen Schicht,
- nach dem Erzeugen der dielektrischen Schicht Erzeugen einer Elektrodenschicht, und
- Ausbilden einer isolierbereichsfernen Elektrode des Kondensators und einer Steuerelektrode des Transistors in der Elektrodenschicht.

[0024] Das erfindungsgemäße Verfahren ist besonders geeignet zur Herstellung eines planaren Feldeffekttransistors gemeinsam mit dem Kondensator. Die oben genannten technischen Wirkungen der erfindungsgemäßen Schaltungsanordnung und ihrer Weiterbildungen gelten auch für das erfindungsgemäße Verfahren und dessen Weiterbildungen.

[0025] Im Folgenden werden Ausführungsbeispiele

der Erfindung an Hand der beiliegenden Zeichnungen erläutert. Darin zeigen:

[0026] **Fig. 1** bis 12 Herstellungsstufen bei der Herstellung einer integrierten Transistor-Kondensator-Anordnung,

[0027] **Fig. 13** eine Draufsicht auf die Transistor-Kondensator-Anordnung,

[0028] **Fig. 14** eine Schnittdarstellung durch ein DRAM-Speicherzelle mit einem Transistor,

[0029] **Fig. 15** eine Draufsicht auf die DRAM-Speicherzelle, und

[0030] **Fig. 16** einen Schaltplan einer DRAM-Speicherzelle mit drei Transistoren.

[0031] Die **Fig. 1** bis 12 zeigen Herstellungsstufen bei der Herstellung einer Transistor-Kondensator-Anordnung, wobei die **Fig. 1** bis 12 eine Schnittdarstellung entlang einer Schnittebene I betreffen, die längs zu einem Kanal eines Feldeffekttransistors liegt, insbesondere längs zum Stromfluss im Kanal. Die Lage der Schnittebene I wird aus **Fig. 13** deutlich.

[0032] Die Herstellung der Transistor-Kondensator-Anordnung beginnt ausgehend von einem SOI-Substrat **10**, das ein Trägersubstrat **12** aus einkristallinem Silizium, eine sogenannte vergrabene Isolierschicht **14** aus beispielsweise Siliziumdioxid und eine dünne Halbleiterschicht **16** aus monokristallinem Silizium enthält. Im Ausführungsbeispiel betragen die Dicke des Trägersubstrats **12** fünfhundert-fünfzig Mikrometer, die Dicke der Isolierschicht **14** einhundert Nanometer und die Dicke der Halbleiterschicht **16** fünfzig Nanometer. Auf der Halbleiterschicht **16** hat sich eine dünne Siliziumdioxidschicht **18** mit einer Dicke von bspw. fünf Nanometern gebildet.

[0033] Wie in **Fig. 1** dargestellt, wird auf das SOI-Substrat **10** eine Siliziumnitridschicht **20** abgeschieden, beispielsweise mit Hilfe eines CVD-Verfahrens (Chemical Vapor Deposition). Im Ausführungsbeispiel hat die Siliziumnitridschicht **20** eine Dicke von fünfzig Nanometern.

[0034] Wie in **Fig. 1** dargestellt, wird anschließend ein Lithografieverfahren durchgeführt. Dazu wird eine Fotolackschicht **22** ganzflächig aufgebracht, gemäß einem vorgegebenen Layout belichtet und entwickelt. Anschließend werden die als Hartmaske dienende Nitridschicht **20**, die Siliziumdioxidschicht **18** und die Halbleiterschicht **16** strukturiert, beispielsweise mit einem Trockenätzverfahren. Dabei entsteht ein Schichtstapel **24** mit einer etwa quadratischen Grundfläche. Der Schichtstapel **24** wird auch als Mesa bezeichnet. Die Geometrie für den herzustellenden Feldeffekttransistor und den Kondensator lassen sich unabhängig voneinander vorgeben und somit optimieren.

[0035] Alternativ zu einem fotolithografischen Verfahren wird bei einem anderen Ausführungsbeispiel ein Elektronenstrahl-Lithografie-Verfahren oder ein anderes geeignetes Verfahren durchgeführt. Bei einem anderen Ausführungsbeispiel wird keine Hartmaske verwendet. Bspw. wird dann die Fotolack-

schicht **22** dicker aufgetragen.

[0036] Wie in **Fig. 2** dargestellt, werden die verbliebenen Bereiche der Fotolackschicht **22** anschließend entfernt. Nach dem Entfernen der Fotolackschicht **22** wird eine thermische Oxidation ausgeführt. Dabei bilden sich an den Seitenflächen der Halbleiterschicht **16** Verrundungsoxidbereiche **26**, **28**, die später unerwünschte Kanalbildungen an den Kanten unterdrücken. Alternativ lässt sich zur Isolation ein LOGOS-Verfahren (LOCAL Oxidization of Silicon) oder ein STI-Verfahren (Shallow Trench Isolation) in Verbindung mit einem CMP-Verfahren (Chemical Mechanical Polishing) ausführen.

[0037] Danach werden die verbliebenen Bereiche der Nitridschicht **20** und der Siliziumdioxidschicht **18** entfernt, bspw. durch Trockenätzen. Für folgende Implantationsschritte lässt sich ein dünnes Streuoxid aufbringen, das in den Figuren jedoch nicht dargestellt ist.

[0038] Wie in **Fig. 3** dargestellt, wird danach zur Herstellung eines nMOSFET eine weitere Fotolackschicht **30** aufgebracht, belichtet und entwickelt, so dass nur das Kanalgebiet und Bereiche für Anschlussgebiete des Transistors unmaskiert sind, siehe Transistorteil **16a** der Halbleiterschicht **16**. Ein für den Kondensator vorgesehener Bereich ist dagegen maskiert, siehe Kondensatorteil **16b** der Halbleiterschicht **16**. Nach dem Entwickeln der Fotolackschicht **30** wird eine Ionenimplantation **31** ausgeführt, wobei der Transistorteil p-dotiert wird, z.B. p oder p+.

[0039] Wie in **Fig. 4** dargestellt, wird anschließend ein weiteres Fotolithografieverfahren ausgeführt, bei dem eine zusätzliche Maske zur Herstellung des Kondensators erforderlich ist. Es wird eine Fotolackschicht **32** aufgebracht, mit der Maske belichtet und entwickelt, so dass der Transistorteil **16a** maskiert und der Kondensatorteil **16b** unmaskiert ist.

[0040] Anschließend wird unter Verwendung der strukturierten Fotolackschicht **32** eine Ionenimplantation **33** durchgeführt, wobei der Kondensatorteil **16b** stark n-dotiert wird, d.h. n++, und ein Bodenelektrodenbereich **34** entsteht. In dem maskierten Transistorteil **16a** bleibt die Dotierung während der Innenimplantation **33** unverändert. Durch die Zusatzimplantation wird der Bodenelektrodenbereich **34** niederohmig. Beispielsweise beträgt die Dotierungsdichte 10^{20} Dotieratome je Kubikzentimeter. Die Dotierungsdichte liegt vorzugsweise im Bereich zwischen 10^{19} bis 10^{21} Dotieratome je Kubikzentimeter. Bei steigender Dotierdichte wächst das Dielektrikum schneller als auf undotierten oder nur mittel stark dotierten Bereichen. Jedoch werden mit steigender Dotierungsdichte die sich ausbildenden Raumladungszonen kleiner, so dass parasitäre Effekte ebenfalls kleiner werden.

[0041] Wie in **Fig. 5** dargestellt, wird anschließend die Fotolackschicht **32** entfernt. An der freiliegenden Fläche des Transistorteils **16a** der Halbleiterschicht **16** und an der freiliegenden Fläche des Bodenelektrodenbereiches **34** wird anschließend eine dünne Siliziumdioxidschicht **40** erzeugt, die im Bereich des

Transistors ein Gateoxid **42** und im Bereich des Kondensators ein Dielektrikum **46** bildet. Beispielsweise wächst die Siliziumdioxidschicht **40** thermisch auf. Im Ausführungsbeispiel hat die Siliziumdioxidschicht **40** im Bereich des undotierten Siliziums eine Dicke von zwei Nanometern.

[0042] Bei einem alternativen Ausführungsbeispiel wird unter Verwendung eines weiteren Lithografieverfahrens auf dem Bodenelektrodenbereich **34** des Kondensators ein Dielektrikum aus einem anderen Material und/oder ein Dielektrikum mit einer anderen Dicke als auf dem Transistorteil **16b** der Halbleiterschicht **16** erzeugt.

[0043] Wie weiter in **Fig. 5** weiter dargestellt, wird anschließend in-situ oder nachträglich dotiertes polykristallines Silizium abgeschieden, wobei eine Polysiliziumschicht **41** erzeugt wird. Die Polysiliziumschicht **41** hat beispielsweise eine Dicke von einhundert Nanometern und eine Dotierstoffkonzentration von 10^{21} Dotieratomen je Kubikzentimeter. Die starke Dotierung vom n-Leistungstyp ist wiederum durch das Symbol n++ dargestellt. Als Dotieratome werden beispielsweise Phosphoratome verwendet. An Stelle der Polysiliziumschicht **41** wird bei einem anderen Ausführungsbeispiel ein alternatives gut leitendes Material mit geeigneter Materialaustrittsarbeit verwendet.

[0044] Wie in **Fig. 6** gezeigt, wird anschließend ein weiteres Lithografieverfahren u.a. zur Strukturierung einer Gateelektrode **54** durchgeführt. Dazu wird eine Fotolackschicht aufgebracht, belichtet und entwickelt, wobei Fotolackschichtbereiche **50a** und **50b** erzeugt werden. Anschließend werden die Polysiliziumschicht **41** und die Siliziumdioxidschicht **40** strukturiert, beispielsweise geätzt. Dabei entsteht unter dem Fotolackschichtbereich **50a** ein Gateelektrode **54** und unter dem Fotolackschichtbereich **50b** eine Deckelektrode **56**. Die Ätzung stoppt auf dem Transistorteil **16a** der Halbleiterschicht **16** bzw. auf dem Bodenelektrodenbereich **34**.

[0045] Wie in **Fig. 7** dargestellt, werden die Fotolackschichtbereiche **50a** und **50b** nach der Ätzung entfernt. Danach wird eine Ionenimplantation **57** durchgeführt, um schwach dotierte LDD-Bereiche **58** und **59** (Lightly Doped Drain) in oberen Bereichen des Transistorteils **16a** der Halbleiterschicht **16** zu erzeugen.

[0046] Wie in **Fig. 8** gezeigt, wird anschließend eine dünne TEOS-Schicht oder Siliziumnitridschicht ganzflächig abgeschieden, beispielsweise mit Hilfe eines CVD-Verfahrens (Chemical Vapor Deposition). Die Siliziumnitridschicht **60** hat im Ausführungsbeispiel eine Dicke von fünfzig Nanometern. Wie weiter in **Fig. 8** dargestellt, wird die TEOS-Schicht anschließend in einem anisotropen Ätzprozess zu Abstandshaltern **60** und **62** an den Seitenwänden der Gateelektrode **54** sowie zu Abstandshaltern **64** und **66** an den Seitenwänden der Deckelektrode **56** zurückgeätzt. Auf diese Weise werden sowohl die Gateelektrode **54** als auch die Deckelektrode **56** zu allen Seiten

hin isoliert. Eine folgende Epitaxie ist an den Seitenflächen der Gateelektrode **54** und der Deckelektrode **56** nicht möglich, so dass Kurzschlüsse vermieden werden.

[0047] Wie in **Fig. 9** dargestellt, wird anschließend ein selektives Epitaxieverfahren durchgeführt. Eine monokristalline Epitaxieschicht wächst auf freiliegenden Flächenabschnitten der LDD-Bereiche **58** und **59** sowie des Bodenelektrodenbereiches **54** auf. Es entstehen Epitaxiebereiche **70** und **74** auf dem monokristallinen Silizium der Halbleiterschicht **16**. Die Epitaxiebereiche **70** und **74** erstrecken sich etwa bis zur halben Höhe der Gateelektrode **54** bzw. der Deckelektrode **56**. Die Epitaxiebereiche **70** und **74** werden auch als "angehobene" (elevated) Source-/Drain-Bereiche bezeichnet. Die Dicke der Epitaxieschicht für die Epitaxiebereiche **70** und **74** richtet sich vor allem nach der Dicke der Halbleiterschicht **16** und der nachfolgend erläuterten Silizidierung. Bei der Silizidierung wird vorhandenes Silizium verbraucht, so dass entsprechend viel Silizium für die Reaktion bereitgestellt wird. Durch diese Maßnahme wird ein "Abreißen" der Kanalanschlüsse im Bereich des Drain-/Source-Bereiches vermieden. Epitaxiebereiche **72** und **76** liegen auf der Gateelektrode **54** bzw. auf der Deckelektrode **56**. Die Epitaxiebereiche **72** und **76** sind nicht vorhanden, wenn alternative Gatematerialien verwendet werden.

[0048] Wie in **Fig. 10** gezeigt, wird nach dem Epitaxieverfahren eine Ionenimplantation **78**, z.B. n^{++} , d.h. stark n -dotiert, zum Herstellen von hochdotierten und damit niederohmigen Source/Drain-Bereiche **80** und **82** durchgeführt. Dabei werden auch die Epitaxiebereiche **70** bis **76** dotiert. Eine Maske ist hier lediglich zum Trennen von Bereichen mit komplementären Transistoren in einem CMOS-Prozess (Complementary Metal Oxide Semiconductor) erforderlich. Es entsteht eine Verbindung zwischen dem Source-/Drain-Bereich **82** und dem Bodenelektrodenbereich **34** des Kondensators. Ein zwischen den Source-/Drain-Bereichen **80** und **82** in dem Transistorteil **16a** der Halbleiterschicht **16** liegender Kanalbereich **84** bleibt p -dotiert. Während der Implantation dienen die Abstandshalter **60** und **62** sowie der Gatestapel als Implantationsmaske.

[0049] Wie in **Fig. 11** dargestellt, wird im Anschluss an die HDD-Implantation (High Density Drain) ein Salicide-Verfahren (Self aligned silicide) durchgeführt. Dazu wird beispielsweise ganzflächig eine Nickelschicht abgeschieden. Bei Temperaturen von beispielsweise 500°C bildet sich Nickelsilizid in den Epitaxiebereichen **70** bis **76** und damit auf den Source/Drainbereichen **80**, **82**, auf der Gateelektrode **54** und auf der Deckelektrode **56**, siehe Silizidbereiche **90** bis **96**. An Stelle von Nickel lässt sich auch ein anderes Metall mit einer Schmelztemperatur über 1400°C verwenden, insbesondere ein Refraktärmetall, um bspw. Titansilizid oder Kobaltsilizid herzustellen. Bei dem in **Fig. 11** gezeigten Ausführungsbeispiel sind die Epitaxiebereiche **70** bis **76** vollstän-

dig silizidiert. Die Halbleiterschicht **16** und die Deckelektrode **56** wurden dagegen nicht silizidiert. Bei einem anderen Ausführungsbeispiel werde auch Bereiche der Halbleiterschicht **16** bzw. der Deckelektrode **56** silizidiert.

[0050] Wie in **Fig. 12** dargestellt, wird anschließend eine Passivierungsschicht **100** aufgebracht, beispielsweise eine TEOS-Schicht (Tetra Ethyl Ortho Silicate), eine BPSG-Schicht (Bor Phosphorous Silicat Glass) oder eine Schicht aus einem anderen geeigneten Material. In die Passivierungsschicht **100** werden unter Verwendung eines fotolithografischen Verfahrens Kontaktlöcher geätzt und beispielsweise mit Wolfram gefüllt, wobei Verbindungsabschnitte **102**, **104** und **106** entstehen, die in dieser Reihenfolge zum Silizidbereich **90**, **94** bzw. **96** führen. Die Verbindungsabschnitte **102** bis **106** werden anschließend noch mit Leiterbahnen einer nicht dargestellten Metallisierungslage oder mehrerer Metallisierungslagen verbunden. Dabei wird ein konventioneller CMOS-Prozess ausgeführt, der auch als "Back End" bezeichnet wird.

[0051] In den Kontaktlöchern werden in der Regel weitere Zwischenschichten zur besseren Haftung oder als Diffusionsbarriere eingebracht. Diese Zwischenschichten sind in **Fig. 12** aus Gründen der besseren Übersicht nicht dargestellt. Beispielsweise bestehen diese Schichten aus Titanitrid.

[0052] Die Metallleitbahnen werden bspw. mit einem sogenannten Dual-Damascene-Verfahren hergestellt, bei dem Kupfer in Gräben gefüllt wird. Anschließend wird mit einem chemischmechanischen Polierverfahren (CMP – Chemical Mechanical Polishing) poliert. Jedoch werden auch andere Verfahren eingesetzt, z.B. die Ätzung von Aluminiumschichten.

[0053] **Fig. 13** zeigt eine Draufsicht auf die Transistor-Kondensator-Anordnung **140**, die einen planaren SOI-FET **142** und einen Kondensator **144** enthält.

[0054] Der Transistor **142** hat eine Transistorweite W_1 , die etwa dem Zehnfachen der minimalen Strukturbreite F entspricht. auf Grund dieser Transistorweite gibt es neben dem Verbindungsabschnitt **102** vier weitere Verbindungsabschnitte **110** bis **116**, die zum Silizidbereich **90** führen. Neben dem Verbindungsabschnitt **104** gibt es ebenfalls vier zusätzliche Verbindungsabschnitte **120** bis **126**, die zum Silizidbereich **94** führen. Zum Silizidbereich **96** und damit auch zur Deckelektrode **56** führen neben dem Verbindungsabschnitt **106** vier weitere Verbindungsabschnitte **130** bis **136**.

[0055] Die Länge L_1 des Kondensators **144** ist erheblich kürzer als dessen Breite B_1 . Im Ausführungsbeispiel entspricht die Breite B_1 etwa der Transistorweite. Die Länge L_1 beträgt etwa nur ein Drittel der Breite B_1 . Auf Grund dieser Abmessungen und auf Grund der Vielzahl von Verbindungsabschnitten **102** bis **136** kann der Kondensator **144** sehr schnell umgeladen werden.

[0056] Ein bevorzugter Anwendungsbereich einer Transistor-Kondensator-Anordnung ist eine dynami-

sche Speicherzelle, insbesondere eine sogenannte embedded DRAM-Speicherzelle **150**, wie sie in den **Fig. 14** und **15** dargestellt ist. Die Speicherzelle **150** enthält nur einen Zugangs-Transistor **152** und einen Kondensator **154**. Auch beim Herstellen der Speicherzelle **150** sind die oben an Hand der **Fig. 1** bis **12** erläuterten Verfahrensschritte ausgeführt worden. In den **Fig. 14** und **15** sind deshalb gleiche Elemente mit gleichen Bezugszeichen jedoch mit einem nachgestellten Kleinbuchstaben **a** gekennzeichnet.

[0057] Somit enthält der planare Feldeffekttransistor **152** u.a.:

- eine Steuerelektrode **54a**,
- ein Gateoxid **42a**,
- LDD-Bereiche **58a**, **59a**,
- Anschlussbereiche **80a**, **82**, und
- Abstandshalter **60a**, **62a**.

[0058] Der Kondensator **154** enthält:

- einen Bodenelektrodenbereich **34a**,
- ein Dielektrikum **46a**,
- eine Deckelektrode **66a**, und
- Abstandshalter **64a**.

[0059] Epitaxiebereiche **70a**, **72a** und **76a** über dem Anschlussbereich **80a**, über der Steuerelektrode **54a** bzw. über der Deckelektrode **56a** sind nicht vollständig silizidiert worden, so dass Silizidbereiche **90a** bis **96a** auf diesen Epitaxiebereichen **70a**, **72a** und **76a** angeordnet sind.

[0060] **Fig. 14** zeigt die Speicherzelle **150** in einer Schnittebene II, die in **Fig. 15** eingetragen ist und die in Längsrichtung des Stromflusses im Kanal des Transistors **152** liegt. Der Abstand zwischen der Deckelektrode **56a** und der Gateelektrode **54a** wurde auf die minimale Strukturbreite **1F** verringert. Der an der Gateelektrode **54a** angeordnete Abstandshalter **62a** und der eine an der Deckelektrode **56a** angeordnete Abstandshalter **64a** berühren einander, so dass das Drain nicht silizidiert ist. Außerdem ist dadurch drainseitig auch nur ein LDD-Bereich **59a** aber kein zusätzlicher Anschlussbereich vorhanden. Auch führt zum Drain kein Verbindungsabschnitt. Der LDD-Bereich **59a** führt direkt zum Bodenelektrodenbereich **34a**. Der so erhöhte Anschlusswiderstand des Bodenelektrodenbereiches **34a** wirkt einer Entladung des Kondensators **154** entgegen. Der Entladung des Kondensators **154** wird auch dadurch entgegengewirkt, dass die Breite **B2** des Kondensators erheblich kürzer als dessen Länge **L2** ist. Auch der geringe Leckstrom des planaren SOI-Transistors **152** verhindert eine schnelle Entladung der Speicherkapazität.

[0061] Um eine möglichst hohe Packungsdichte bei minimalem Leckstrom zu erzielen, besitzt der Transistor **152** eine kleine Transistorweite **W2** von beispielsweise **1,5 F** bis **3 F**. Der Kondensator **154** hat die Form eines waagerechten Streifens, dessen Länge **L2** durch die erforderliche Mindestspeicherkapazität der Speicherzelle **150** bestimmt wird. Die Transistorweite **W2** und die Breite **B2** des Kondensators

stimmen etwa überein. Beispielsweise ist die Abweichung kleiner als fünfzig Prozent. Der Kondensator **154** ist im Verhältnis zu dem Transistor **152** in den **Fig. 13** und **14** verkürzt dargestellt.

[0062] Beim Ersatz von mittelgroßen SRAM-Speichereinheiten (Static Random Access Memory) durch einen schnellen embedded-DRAM, beispielsweise im zweiten und dritten Zugriffsniveau einer Mikroprozessorspeicherhierarchie, d.h. im second and third level cache, ergeben sich die folgenden Berechnungen. Beispielsweise hat bisher eine SRAM-Speicherzelle eine Fläche von **134 F²**, wobei **F** die minimale Strukturgröße ist. Wird beispielsweise ein Dielektrikum mit einer Dielektrizitätskonstante ϵ_r von **3,9** eingesetzt, so lässt sich eine typische embedded-DRAM-Kapazität **CMEM** von zehn Femtofarad pro Speicherzelle gemäß den folgenden Berechnungen realisieren. Die Oxidkapazität beträgt:

$$COX = \epsilon_r \epsilon_0 / t_{phys} = 34,5 \text{ fF}/\mu\text{m}^2,$$

wobei t_{phys} die Oxiddicke ist, die im Ausführungsbeispiel ein Nanometer beträgt. Es ergibt sich eine erforderliche Fläche **AMEM** der Speicherkapazität von:

$$AMEM = CMEM / COX = 0,29 \mu\text{m}^2.$$

[0063] Für eine minimale Strukturbreite **F** gleich fünfundsiebzehn Nanometer entspricht dies **69 F²** für die Kapazität bzw. **90 F²** für die gesamte Speicherzelle einschließlich Zugangstransistor. Die Fläche der embedded-DRAM-Speicherzelle liegt damit weit unter der SRAM-Zellgröße von **134 F²**.

[0064] Bei einer effektiven Oxiddicke von einem Nanometer, einer Korrektur von **0,8** Nanometern für die Gate- und top-Silizium-Verarmung und aufgrund der quantenmechanischen Effekte ergibt sich eine Kapazität pro Fläche von:

$$COX = 3,9 \epsilon_0 / t_{ox} = 19 \text{ fF}/\mu\text{m}^2,$$

wobei t_{ox} gleich **1,8** Nanometer die elektrisch wirksame Oxiddicke und ϵ_0 die Dielektrizitätskonstante im Vakuum bezeichnen. Bei der Verwendung eines Metall-Gates verringert sich die elektrisch wirksame Oxiddicke um etwa **0,4** Nanometer aufgrund der nicht mehr vorhandenen Gate-Verarmung, wodurch sich die Kapazität pro Fläche erhöht auf:

$$COX = 3,9 \epsilon_0 / t_{ox} = 24 \text{ fF}/\mu\text{m}^2.$$

[0065] Die erfindungsgemäßen Kapazitäten werden auch als sogenannte Bypass-Kapazitäten zur Dämpfung von sogenannten Spikes und zur Dämpfung von Übersprechen in der Spannungsversorgung der integrierten Schaltungsanordnung verwendet. Auch als analoge Kapazitäten sind sie bestens geeignet, insbesondere in Oszillatoren oder Analog-Digital-Wandlern. Auch für sogenannte Mixed-Signal-Schaltungen werden die Kapazitäten eingesetzt, d.h. für Schaltun-

gen mit analogen Kapazitäten und bspw. Speicherkapazitäten in Speicherzellen.

[0066] Bei anderen Ausführungsbeispielen wird an Stelle des Gateoxids ein gesondertes high-K-DRAM-Dielektrikum mit ϵ_r größer einhundert und effektiven Oxiddicken unter t_{eff} gleich 0,1 Nanometer eingesetzt. Beispielsweise ein Dielektrikum, das Bariumstrontiumtitanat (BST) oder Epitaxie-Bariumstrontiumtitanat enthält. Dadurch verringert sich der Flächenbedarf für eine DRAM-Speicherzelle auf ca. $22 F^2$. Mit Hilfe einer zweiten Zusatzmaske wird der Bereich für das high-K-Dielektrikum auf den SOI-Stapeln festgelegt.

[0067] Bei der Erfindung wird eine Kapazität in die FET-Ebene also in das sogenannte top-Silizium auf einem SOI-Substrat integriert. Zur Herstellung der SOI-Kapazität ist nur ein zusätzlicher Prozessschritt erforderlich, wenn das besonders hochqualitative Gatedielektrikum des Transistors als Dielektrikum des Kondensators genutzt wird.

[0068] Als weitere Vorteile gegenüber bisherigen Technologiekonzepten ergibt sich ein planarer Übergang zwischen reinen Logikblöcken und embedded-DRAM-Blöcken. Weiterhin werden tiefe Vias und Kontakte vermieden.

[0069] Bei dem an Hand der **Fig. 1** bis **15** erläuterten Ausführungsbeispielen wurden sowohl eine LDD-Dotierung (Lightly Doped Drain) als auch eine HDD-Dotierung (Highly Doped Drain) durchgeführt. Bei einem anderen Ausführungsbeispiel wird dagegen nur eine HDD-Dotierung aber keine LDD-Dotierung durchgeführt.

[0070] Bei einem weiteren Ausführungsbeispiel werden ein Transistor und der Kondensator räumlich weiter voneinander entfernt angeordnet und jeweils mit eigenen Verbindungsabschnitten versehen.

[0071] **Fig. 16** zeigt einen Schaltplan einer DRAM-Speicherzelle **200** (Dynamic Random Access Memory) mit drei Transistoren M1 bis M2 sowie mit einem Kondensator Cs, die mit dem an Hand der **Fig. 1** bis **12** erläuterten Verfahrensschritten hergestellt worden sind. Beispielsweise ist der in **Fig. 14** dargestellte Transistor **152** in einem ersten Fall der Transistor M1. Der Kondensator **154** ist dann der Kondensator Cs. Im ersten Fall führt eine elektrisch leitende Verbindung von einer an den Bodenelektrodenbereich **34a** angrenzenden zusätzlichen Anschlussfläche in der Halbleiterschicht **16** zu dem Gate des Transistors M2.

[0072] Alternativ wird das Layout in einem zweiten Fall so gewählt, dass der Transistor **152** dem Transistor M2 entspricht, wobei der Kondensator **154** dem Kondensator Cs entspricht. Im zweiten Fall ist die Deckelektrode **56a** elektrisch leitend mit dem einen Anschlussbereich des Transistors M1 und mit dem Gate des Transistors M2 verbunden.

[0073] Die Schaltung der Speicherzelle **200** enthält eine Teilschaltung zum Schreiben und eine Teilschaltung zum Lesen, wobei beim Lesen die Ladung des Kondensators Cs nicht verändert wird, so dass auch

ein Auffrischen dieser Ladung nach einem Lesevorgang nicht erforderlich ist.

[0074] Die Teilschaltung zum Schreiben enthält den Schreib-Transistor M1 und den Kondensator Cs. Der Gateanschluss des Transistors M1 ist mit einer Schreibwortleitung WWL verbunden. Der Sourceanschluss des Transistors M1 ist mit einer Schreibbitleitung BL1 verbunden. Bei einer Schaltungsanordnung mit besonders guten elektrischen Eigenschaften gemäß dem oben erwähnten ersten Fall führt der Drainanschluss des Transistors M1 zu einem Speicherknoten X, der durch die Bodenelektrode **34a** des Kondensators **154** gebildet wird. Die Deckelektrode **56a** des Kondensators Cs bzw. **154** liegt auf einem Massepotential VSS. Bei der Alternative gemäß dem zweiten Fall führt der Drainanschluss des Transistors M1 zu einem Speicherknoten X, der durch die Deckelektrode **56a** des Kondensators **154** gebildet wird. Die Bodenelektrode **34a** des Kondensators Cs liegt auf einem Massepotential VSS.

[0075] Die Teilschaltung zum Lesen enthält die Transistoren M2 und M3. Der Gateanschluss des Transistors M3 ist mit einer Lesewortleitung RWL verbunden. Der Drainanschluss des Transistors M3 ist mit einer Lesebitleitung BL2 verbunden, die vor Beginn des Lesevorganges bspw. auf ein Betriebspotential VDD aufgeladen wird. Der Sourceanschluss des Transistors M3 ist mit dem einen Drainanschluss des Transistors M2 verbunden. Der Gateanschluss des Transistors M2 ist mit dem Speicherknoten X verbunden. Der Sourceanschluss des Transistors M2 liegt auf dem Massepotential VSS.

[0076] Der Transistor M2 übernimmt die Aufgabe eines Verstärkers, so dass auch bei Ladungsverlusten auf dem Speicherknoten X noch ein zuverlässiges Lesen möglich ist. Befindet sich eine positive Ladung auf dem Speicherknoten X, so ist der Transistor M2 im eingeschalteten Zustand und die vorgeladene Lesebitleitung BL2 wird beim Lesevorgang entladen.

[0077] Da die Gate-Source-Kapazität des Transistors M2 parallel zum Kondensator Cs liegt, erhöht sich die effektiv wirksame Speicherkapazität C_{eff} :

$$C_{eff} = C_s + C_{GS}(M2),$$

wobei C_s die Kapazität des Kondensators Cs und C_{GS} die Gate-Source-Kapazität des Transistors M2 sind. Auf Grund des Herstellungsverfahrens sind die Kapazitäten pro Fläche des Speicher-Kondensators Cs und des Transistors M2 bspw. gleich groß, wenn das Gateoxid und das Kondensatordielektrikum in derselben dielektrischen Schicht erzeugt werden und die Schicht überall die gleiche Schichtdicke hat.

[0078] Der Flächenbedarf der Speicherzelle **200** wird durch die Anforderungen an die effektiv wirksame Speicherkapazität C_{eff} bestimmt. Bei geringen Leckströmen und einer hohen Transistorverstärkung, die einen hohen Lesestrom zur Folge hat, lässt sich der Speicher-Kondensator Cs verkleinern. Die für den Kondensator Cs erforderliche Fläche und des-

sen elektrische Eigenschaften sind Hauptkriterien für die wirtschaftliche Herstellung einer Speichereinheit mit einer Vielzahl von Speicherzellen **200**. Auch eine Speichereinheit mit einer Vielzahl von Speicherzellen **200** ist zum Ersetzen eines SRAMS in einer Prozessspeicherhierarchie geeignet.

Bezugszeichenliste

I, II	Schnittebene
10	SOI-Substrat
12	Trägersubstrat
14	Isolierschicht
16	Halbleiterschicht
16a	Transistorteil
16b	Kondensatorteil
18	Siliziumdioxidschicht
20	Siliziumnioxidschicht
22	Fotolackschicht
24	Schichtstapel
26, 28	Oxidverrundungsabschnitte
30, 32	Fotolackschicht
33	Implantation
34	Bodenelektrodenbereich
40	Siliziumdioxidschicht
41	Polysiliziumschicht
42	Gateoxid
46	Dielektrikum
50a, 50b	Fotolackschichtbereich
54	Gateelektrode
56	Deckelektrode
57	Implantation
58, 59	LDD-Bereich
60 bis 66	Abstandshalter
70 bis 76	Epitaxiebereich
78	Implantation
80, 82	Source-/Drain-Bereich
84	Kanalbereich
90 bis 96	Silizidbereich
100	Passivierungsschicht
102 bis 136	Verbindungsabschnitt
140	Transistor-Kondensator-Anordnung
142	Feldeffekttransistor
144	Kondensator
W1, W2	Transistorweite
L1, L2	Länge
B1, B2	Breite
A	Fläche
F	minimale Strukturbreite
150	Speicherzelle
152	Feldeffekttransistor
154	Kondensator
200	Speicherzelle
M1 bis M3	Transistor
Cs	Kondensator
BL1	Schreibbitleitung
BL2	Lesebitleitung
RWL	Lesewortleitung
WWL	Schreibwortleitung
X	Speicherknoten
VDD	Betriebspotential
VSS	Massepotential

Patentansprüche

1. Integrierte Schaltungsanordnung (**140**),
mit einem elektrisch isolierenden Isolierbereich,

und mit mindestens einer einen Kondensator (144) bildenden Bereichsfolge, die in der angegebenen Reihenfolge enthält:
 einen isolierbereichsnahen Elektrodenbereich (34),
 einen dielektrischen Bereich (46), und
 einen isolierbereichsfernen Elektrodenbereich (56),
 wobei der Isolierbereich Bestandteil einer in einer Ebene angeordneten Isolierschicht (14) ist,
 wobei der Kondensator (144) und mindestens ein aktives Bauelement (142) der integrierten Schaltungsanordnung (140) auf der gleichen Seite der Isolierschicht (14) angeordnet sind,
 und wobei der isolierbereichsnahe Elektrodenbereich (34) und der aktive Bereich (84) des Bauelementes (142) in einer Ebene angeordnet sind, die parallel zu der Ebene liegt, in der die Isolierschicht (14) angeordnet ist.

2. Schaltungsanordnung (140) nach Anspruch 1, gekennzeichnet durch mindestens einen Feldeffekttransistor (142), dessen Kanalbereich (84) der aktive Bereich ist, wobei der Kanalbereich (84) vorzugsweise dotiert oder undotiert ist,
 und/oder dessen Steuerelektrode (54) das gleiche Material und/oder Material der gleichen Dotierstoffkonzentration wie der isolierbereichsferne Elektrodenbereich (56) enthält,
 und/oder dessen Steuerelektrodenisolationsbereich (42) das gleiche Material und/oder ein Material mit der gleichen Dicke wie der dielektrische Bereich (46) enthält,
 und/oder dessen der Steuerelektrodenisolationsbereich (42) ein anderes Material und/oder ein Material mit einer anderen Dicke als der dielektrische Bereich (96) enthält.

3. Schaltungsanordnung (140) nach Anspruch 2, dadurch gekennzeichnet, dass der Feldeffekttransistor (122) ein planarer Feldeffekttransistor ist,
 und/oder dass der Transistor Hilfsanschlussgebiete (58, 59) enthält, die eine Dotierung mit dem gleichem Leitungstyp wie die Anschlussgebiete (80, 82) jedoch mit einer um mindestens eine Größenordnung kleineren Dotierstoffkonzentration haben,
 und/oder dass der Transistor Hilfsdotiergebiete enthält, die nahe der Anschlussgebiete (80, 82) und/oder nahe der Hilfsanschlussgebiete (58, 59) angeordnet sind und die eine Dotierung mit einem anderen Leitungstyp als die Anschlussgebiete (80, 82) und/oder als die Hilfsanschlussgebiete (58, 59) haben,
 und/oder dass die Steuerelektrode (54) an einen eine Metallhalbleiterverbindung enthaltenden Bereich angrenzt, insbesondere an einen Silizidbereich (92).

4. Schaltungsanordnung (140) nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass ein Anschlussbereich (80, 82) des Transistors (142) oder beide Anschlussbereiche (80, 82) des Transistors (142) an die Isolierschicht (14) grenzen,

und/oder dass mindestens ein Anschlussbereich (80, 82) an einen eine Metallhalbleiterverbindung enthaltenden Bereich angrenzt, vorzugsweise an einen Silizidbereich (90, 96),
 und/oder dass eine isolierbereichsferne Grenzfläche mindestens eines Anschlussbereiches (80, 82) von der Isolierschicht (14) weiter entfernt ist als der aktive Bereich (84) oder
 dass eine isolierbereichsferne Grenzfläche mindestens eines Anschlussbereiches (80, 82) näher an der Isolierschicht (14) angeordnet ist als eine isolierbereichsferne Grenzfläche des aktiven Bereiches (84).

5. Schaltungsanordnung (140) nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, dass beidseitig der Steuerelektrode (54) Abstandshalter (60, 62) angeordnet sind, die ein anderes Material enthalten als die Steuerelektrode (54), vorzugsweise Siliziumdioxid oder Siliziumnitrid, oder die aus einem anderen Material bestehen als die Steuerelektrode (54), vorzugsweise aus Siliziumdioxid oder aus Siliziumnitrid,
 und/oder dass an mindestens einer Seite des isolierbereichsfernen Elektrodenbereiches (56) ein Abstandshalter (64, 66) angeordnet ist, der ein anderes Material enthält als der isolierbereichsferne Elektrodenbereich (56), vorzugsweise Siliziumdioxid oder Siliziumnitrid, oder der aus einem anderen Material besteht als der isolierbereichsferne Elektrodenbereich (56), vorzugsweise aus Siliziumdioxid oder aus Siliziumnitrid,
 und/oder dass sich ein an der Steuerelektrode (54) angeordneter Abstandshalter (62a) und ein an dem isolierbereichsfernen Elektrodenbereich (56) angeordneter Abstandshalter (64a) berühren.

6. Schaltungsanordnung (140) nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, dass ein Anschlussbereich (82) des Feldeffekttransistors (142) und der isolierbereichsnahe Elektrodenbereich (34) des Kondensators (144) aneinander grenzen und eine elektrisch leitfähige Verbindung an der Grenze haben,
 und/oder dass der an den isolierbereichsnahen Elektrodenbereich (34) angrenzende Anschlussbereich (59a) des Transistors (152) nicht an einen eine Metallhalbleiterverbindung enthaltenden Bereich angrenzt, insbesondere an keinen Silizidbereich,
 und/oder dass der andere Anschlussbereich (80a) an einen eine Metallhalbleiterverbindung enthaltenden Bereich (70a) angrenzt.

7. Schaltungsanordnung (140) nach Anspruch 6, dadurch gekennzeichnet, dass die an den Anschlussbereich (82) angrenzende Seite des isolierbereichsnahen Elektrodenbereiches (34) länger ist als eine quer zu dieser Seite liegende Seite des isolierbereichsnahen Elektrodenbereiches (34), vorzugsweise mindestens doppelt so lang oder mindestens fünf mal so lang,

wobei der Transistor (**142**) vorzugsweise eine Transistorweite (W1) hat, die ein mehrfaches der minimalen Strukturbreite (F) beträgt, vorzugsweise mehr als das Dreifache oder mehr als das Fünffache, oder dass eine quer zu der an den Anschlussbereich (**82**) angrenzende Seite des isolierbereichsnahen Elektrodenbereiches (**34**) liegende Seite des isolierbereichsnahen Elektrodenbereiches (**34**) länger als die an den Anschlussbereich (**82**) angrenzende Seite ist, vorzugsweise mindestens doppelt so lang oder mindestens fünf mal so lang, wobei der Transistor (**152**) vorzugsweise eine Transistorweite (W2) hat, die kleiner als das Dreifache der minimalen Strukturbreite (F) ist, vorzugsweise kleiner als das Doppelte der minimalen Strukturbreite (F).

8. Schaltungsanordnung (**140**) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der isolierbereichsnahe Elektrodenbereich (**34**) ein einkristalliner Bereich ist, vorzugsweise ein dotierter Halbleiterbereich, und/oder dass der isolierbereichsnahe Elektrodenbereich (**34**) und/oder der aktive Bereich (**84**) eine Dicke kleiner als einhundert Nanometer oder kleiner als fünfzig Nanometer hat, und/oder dass der aktive Bereich (**84**) ein einkristalliner Bereich ist, vorzugsweise ein Halbleiterbereich der dotiert oder undotiert ist, und/oder dass die Isolierschicht (**14**) an einer Seite an ein Trägersubstrat (**12**) angrenzt, vorzugsweise an ein Trägersubstrat, das ein Halbleitermaterial enthält oder aus einem Halbleitermaterial besteht, insbesondere aus Silizium oder aus einkristallinem Silizium, und/oder dass die Isolierschicht (**14**) an der anderen Seite an den isolierbereichsnahen Elektrodenbereich (**34**) angrenzt, und/oder dass die Grenzflächen vorzugsweise vollständig in zwei zueinander parallelen Ebenen liegen, und/oder dass die Isolierschicht (**14**) ein elektrisch isolierendes Material enthält, vorzugsweise ein Oxid, insbesondere Siliziumdioxid, oder aus einem elektrisch isolierenden Material besteht, vorzugsweise aus einem Oxid, insbesondere aus Siliziumdioxid, und/oder dass das aktive Bauelement (**142**) ein Transistor ist, vorzugsweise ein Feldeffekttransistor, insbesondere ein planarer Feldeffekttransistor.

9. Schaltungsanordnung (**140**) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der dielektrische Bereich (**46**) Siliziumdioxid enthält oder aus Siliziumdioxid besteht, und/oder dass der dielektrische Bereich (**46**) aus einem Material mit einer Dielektrizitätskonstante größer als vier oder größer als zehn oder größer als fünfzig besteht, und/oder dass der isolierbereichsferne Elektrodenbereich (**56**) Silizium enthält, vorzugsweise polykristallines Silizium, oder aus Silizium besteht, vorzugsweise aus polykristallinem Silizium,

und/oder dass der isolierbereichsferne Elektrodenbereich (**56**) ein Metall enthält oder aus einem Metall besteht, und/oder dass der isolierbereichsferne Elektrodenbereich (**56**) ein niederohmiges Material enthält, vorzugsweise Titannitrid, Tantalnitrid, Rubidium oder hochdotiertes Siliziumgermanium, und/oder dass der isolierbereichsferne Elektrodenbereich (**56**) an einen Metallhalbleiterverbindungen enthaltenden Bereich angrenzt, insbesondere an einen Silizidbereich (**96**).

10. Schaltungsanordnung (**140**) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Schaltungsanordnung mindestens einen Prozessor enthält, vorzugsweise einen Mikroprozessor, und/oder dass der Kondensator (**154**) und das aktive Bauelement (**152**) eine Speicherzelle (**150**) bilden, insbesondere in einer dynamischen RAM-Speichereinheit, und/oder dass eine Speicherzelle entweder einen Kondensator (**152**) und nur einen Transistor (**152**) oder einen Kondensator (Cs) und mehr als einen Transistor (M1 bis M3) enthält, vorzugsweise drei Transistoren (M1 bis M3).

11. Verfahren zum Herstellen einer integrierten Schaltungsanordnung (**140**) mit Kondensator (**144**), insbesondere einer Schaltungsanordnung (**140**) nach einem der vorhergehenden Ansprüche, bei dem ohne Beschränkung durch die angegebene Reihenfolge die folgenden Verfahrensschritte ausgeführt werden:

Bereitstellen eines Substrats (**10**), das eine Isolierschicht (**14**) aus elektrisch isolierendem Material und eine Halbleiterschicht (**16**) enthält, Strukturieren der Halbleiterschicht (**16**) zur Ausbildung mindestens eines Elektrodenbereiches (**34**) für einen Kondensator und zur Ausbildung mindestens eines aktiven Bereiches (**84**) für einen Transistor (**142**), nach dem Strukturieren der Halbleiterschicht (**16**) Erzeugen mindestens einer dielektrischen Schicht (**42, 46**), nach dem Erzeugen der dielektrischen Schicht (**42, 46**) Erzeugen einer Elektrodenschicht (**41**), Ausbilden einer isolierbereichsfernen Elektrode (**56**) des Kondensators (**144**) in der Elektrodenschicht (**41**).

12. Verfahren nach Anspruch 11, gekennzeichnet durch die Schritte:

Aufbringen mindestens einer Hilfsschicht (**18, 20**) auf die Halbleiterschicht (**16**) vor dem Strukturieren, vorzugsweise einer Siliziumnitridschicht (**20**) und/oder einer Oxidschicht (**18**), wobei die Hilfsschicht (**20**) vorzugsweise als Hartmaske beim Strukturieren der Halbleiterschicht (**16**) dient, und/oder Dotieren eines Kanalbereiches (**84**) des

Transistors (**142**), vorzugsweise vor dem Erzeugen der dielektrischen Schicht (**42, 46**),
 Durchführen einer thermischen Oxidation zur Bildung eines Verrundungsoxides (**26, 28**), vorzugsweise vor dem Ausbilden der Elektrodenschicht (**41**),
 und/oder Dotieren der isolierbereichsnahen Elektrode (**34**), vorzugsweise vor dem Erzeugen der dielektrischen Schicht (**42, 44, 46**),
 und/oder Erzeugen der dielektrischen Schicht (**42, 46**) gleichzeitig mit einer dielektrischen Schicht am aktiven Bereich (**84**) des Transistors (**122**),
 und/oder Ausbilden einer Steuerelektrode (**54**) des Transistors (**142**) gleichzeitig mit dem Ausbilden des isolierbereichsfernen Elektrodenbereiches (**56**).

13. Verfahren nach Anspruch 11 oder 12, gekennzeichnet net durch die Schritte:
 Ausbilden von Hilfsanschlussbereichen (**58, 59**) mit einer kleineren Dotierstoffkonzentration als Anschlussbereiche (**80, 82**) des Transistors (**142**), vorzugsweise nach dem Strukturieren einer Steuerelektrode (**54**) des Transistors (**142**),
 und/oder Ausbilden von Hilfsdotiergebieten, vorzugsweise vor der Strukturierung der Steuerelektrode (**54**),
 Aufbringen einer weiteren Hilfsschicht (**60 bis 66**) nach dem Strukturieren einer Steuerelektrode (**54**) des Transistors (**142**), vorzugsweise einer Siliziumnitridschicht oder einer Siliziumdioxidschicht, insbesondere einer TEOS-Schicht, und/oder anisotropes Ätzen der weiteren Hilfsschicht (**60 bis 66**).

14. Verfahren nach einem der Ansprüche 11 bis 13, gekennzeichnet durch die Schritte:
 Durchführen einer selektiven Epitaxie auf freiliegenden Bereichen aus Halbleitermaterial (**16**) nach dem Ausbilden des isolierbereichsfernen Elektrodenbereiches (**56**) und/oder nach dem Strukturieren einer Steuerelektrode (**54**) des Transistors (**142**),
 und/oder Dotieren von Anschlussbereichen (**70, 72**) des Transistors (**122**) nach dem Ausbilden des isolierbereichsfernen Elektrodenbereiches (**56**) und/oder nach dem Strukturieren der Steuerelektrode (**54**) und vorzugsweise nach der Epitaxie.

15. Verfahren nach einem der Ansprüche 11 bis 19, gekennzeichnet durch den Schritt:
 und/oder selektive Bildung einer Metallhalbleiterverbindung, insbesondere selektive Silizidbildung, auf der Elektrodenschicht (**54**) und/oder auf freiliegenden Halbleiterbereichen (**16**).

Es folgen 6 Blatt Zeichnungen

FIG 1

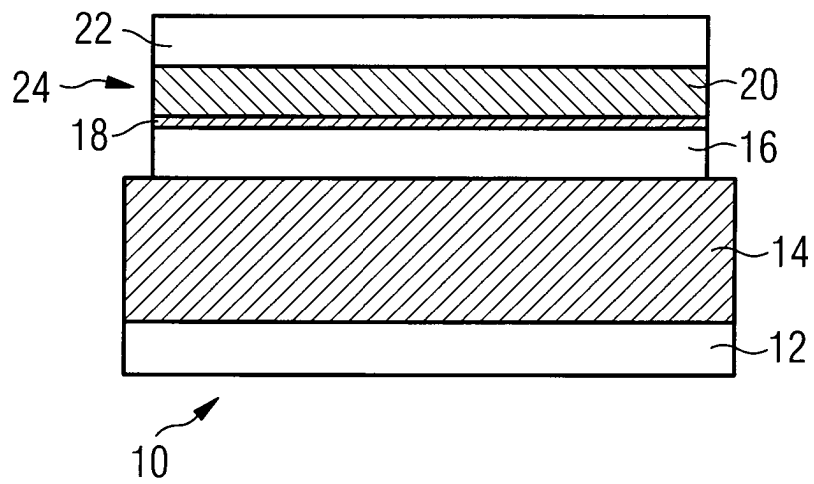


FIG 2

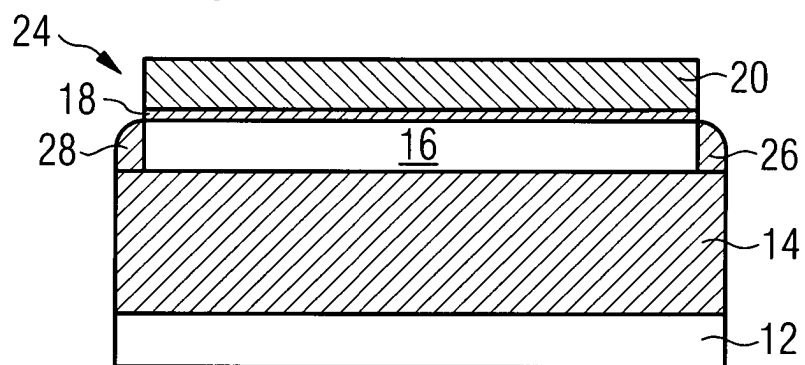


FIG 3

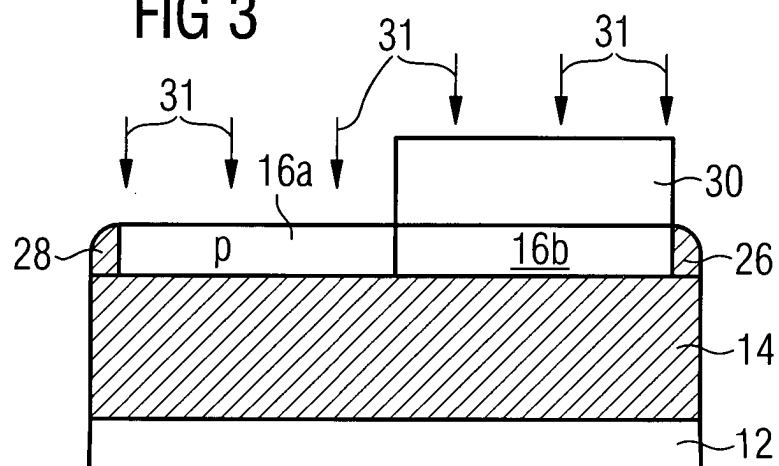


FIG 4

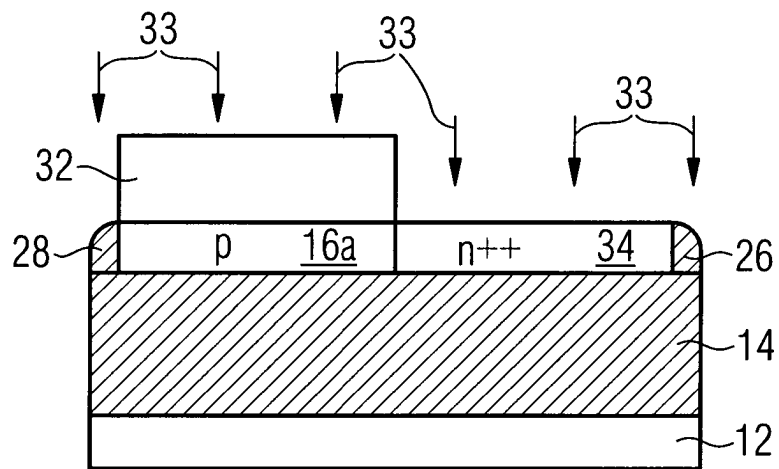


FIG 5

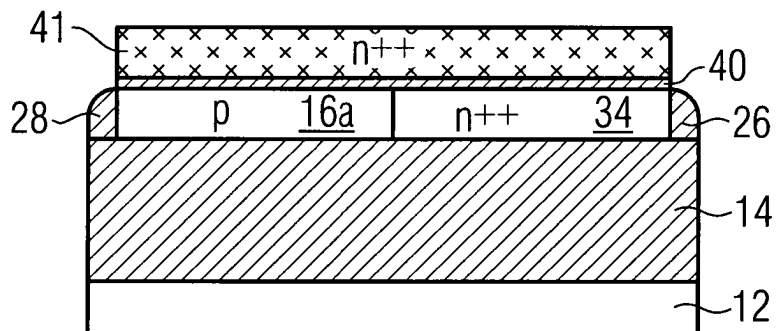


FIG 6

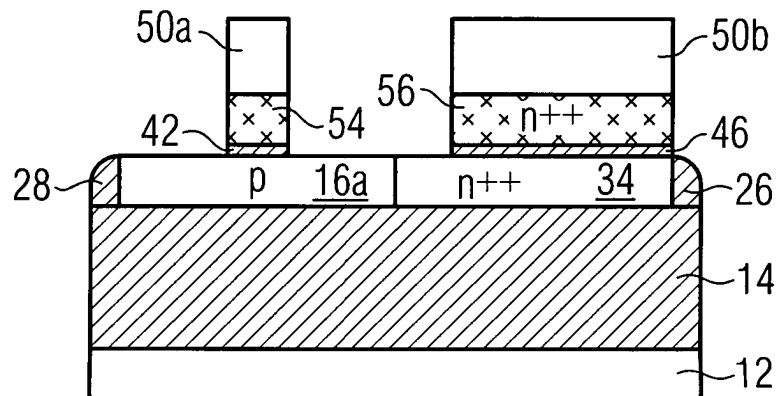


FIG 7

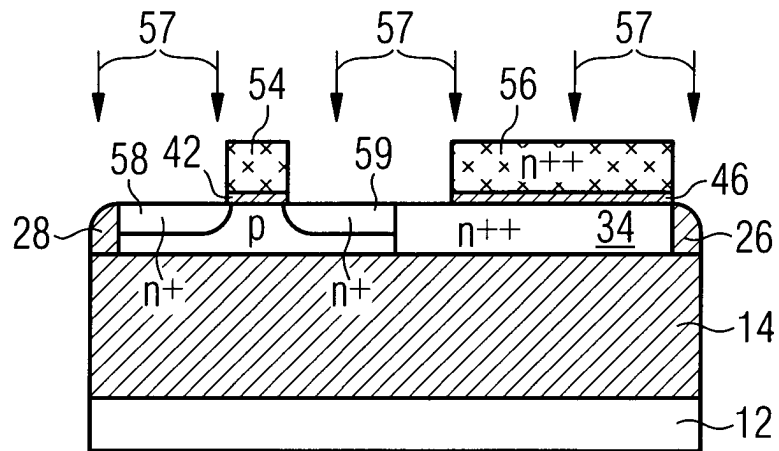


FIG 8

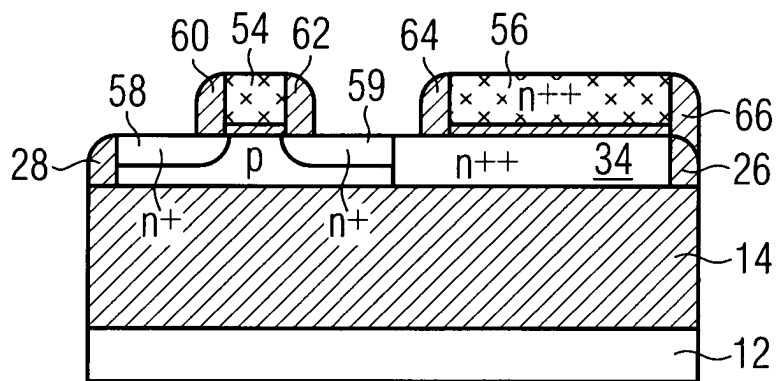


FIG 9

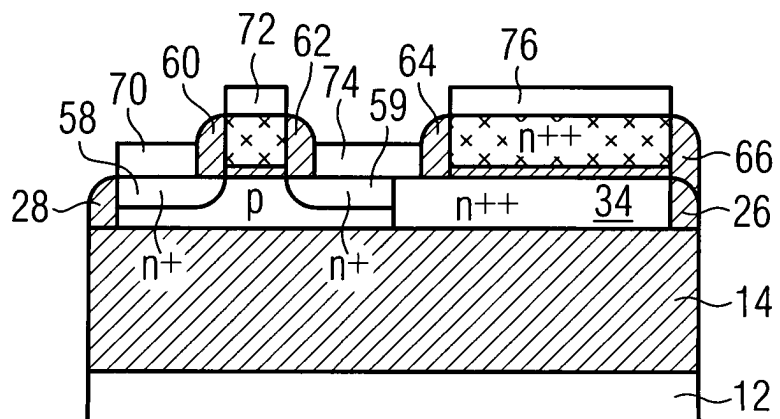


FIG 13

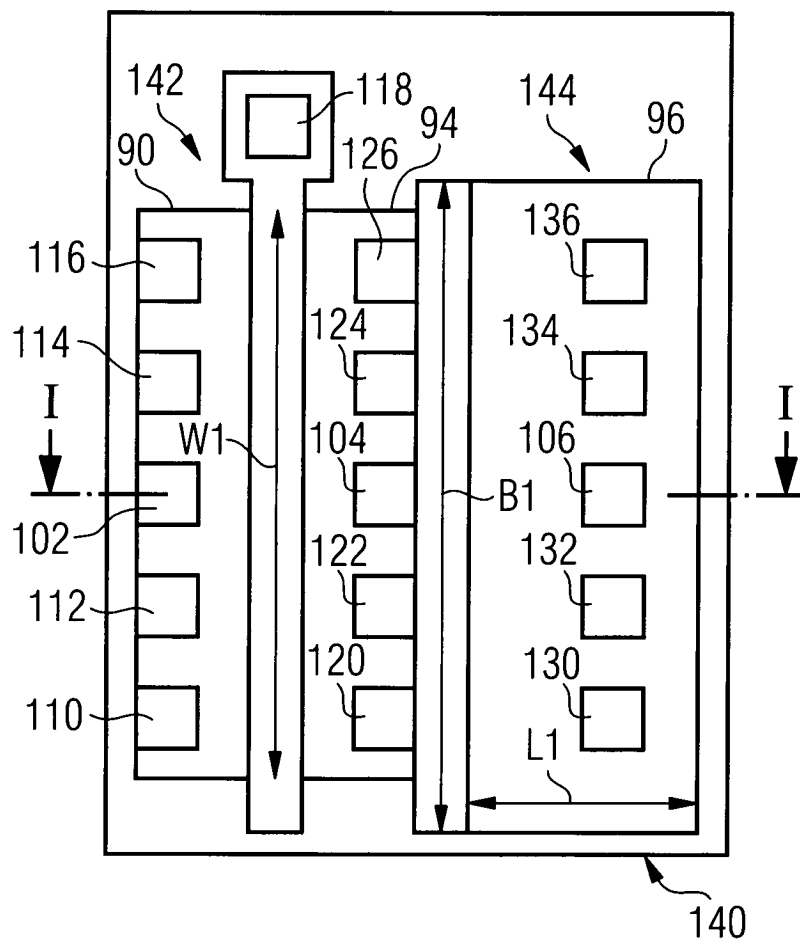


FIG 14

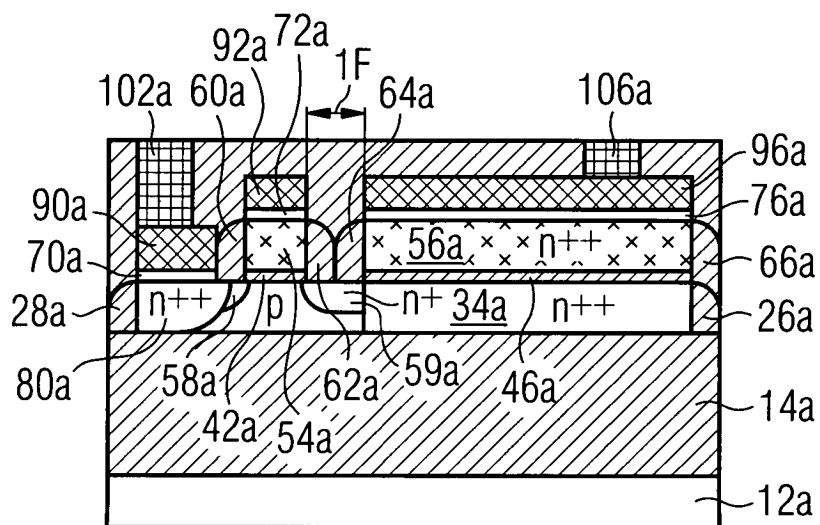


FIG 15

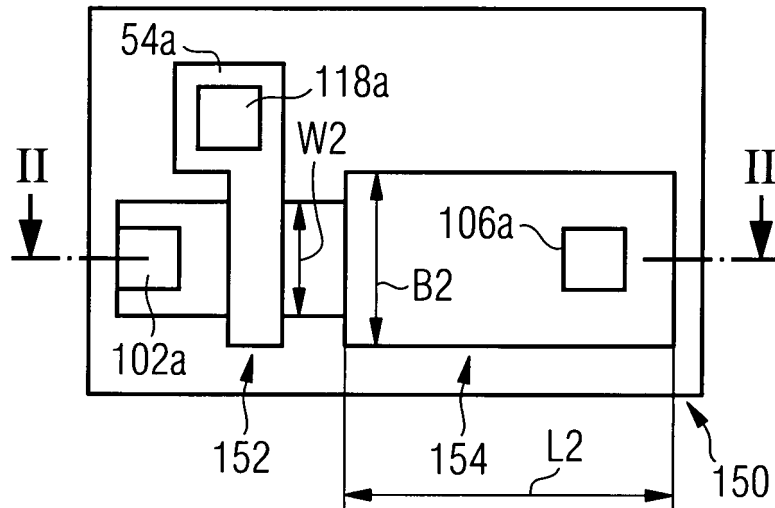


FIG 16

