

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96104482

※申請日期：96年02月07日

※IPC分類：H01L 27/10 (2006.01)

一、發明名稱：

(中) 半導體裝置和其製造方法

(英) Semiconductor device and manufacturing method thereof

二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓名：(中) 高野圭惠

(英) TAKANO, TAMAE

國籍：(中) 日本

(英) JAPAN

2. 姓名：(中) 加藤清

(英) KATO, KIYOSHI

國籍：(中) 日本

(英) JAPAN

3. 姓名：(中) 桑原秀明

(英) KUWABARA, HIDEAKI

國籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.日本 ; 2006/02/23 ; 2006-047057 有主張優先權

五、中文發明摘要

發明之名稱：半導體裝置和其製造方法

本發明提供處理技術相當簡單且可以以較少元件儲存多值資料的新的記憶體。藉由使在第一儲存元件中的第一電極的形狀的一部分與在第二儲存元件中的第一電極的形狀不同，使改變在第一電極與第二電極之間的電阻的電壓值不同，以在一個記憶胞中進行儲存超過一位元的多值資訊。藉由部分地處理第一電極，可以增加每單位面積的儲存容量。

六、英文發明摘要

發明之名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

The invention provides a novel memory for which process technology is relatively simple and which can store multivalued information by a small number of elements. A part of a shape of the first electrode in the first storage element is made different from a shape of the first electrode in the second storage element, and thereby voltage values which change electric resistance between the first electrode and the second electrode are varied, so that one memory cell stores multivalued information over one bit. By partially processing the first electrode, storage capacity per unit area can be increased.

七、指定代表圖：

(一)、本案指定代表圖為：第(2B)圖

(二)、本代表圖之元件符號簡單說明：

408：材料層

420：相對電極

421：絕緣層

426：記憶元件

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於一種儲存多值資料的半導體裝置，本發明還關於具有由記憶元件和薄膜電晶體（以下稱爲 TFT）構成的電路的半導體裝置以及其製造方法。

注意，在本說明書中的半導體裝置指的是利用半導體特性來發揮功能的一般裝置，亦即電光裝置、半導體電路、以及電子設備都是半導體裝置。

【先前技術】

一般來講，儲存裝置（也稱作記憶裝置）包括儲存資料的記憶部分和週邊電路（驅動器、解碼器、感應放大器等），該週邊電路進行向記憶部分寫入資料以及從記憶部分讀出資料。在現有的儲存裝置中，儲存一位元所需要的面積大於一個開關元件（典型的場效電晶體）的尺寸。因而，當實現大容量的儲存裝置時，儲存一位元所需要的面積依賴於製造電晶體的處理技術，如此會妨礙實現大容量的儲存裝置。

近年，隨著應用應用軟體的複雜化等，對於記憶體的大容量化的要求和更高整合化的要求也越來越高。

在專利文件 1 中揭示由在電極之間設有有機材料形成的阻抗相變膜的記憶體的單元結構。該記憶體具有之構造爲在一個記憶胞中改變有機材料的膜厚或改變電極接觸面積的結構，且藉由根據磁滯特性的複數個阻抗狀態變遷點

(2)

設定寫入電壓，可以使在一個記憶胞中可儲存的資訊形成多值化。

{ 專利文件 1 } 日本特開案第 2001-189431 號公報

【發明內容】

本發明提供以相當簡單的處理技術且較少的元件數即可儲存多值資訊的新記憶體。

此外，本發明的課題是提供每個位元具有高整合度的儲存裝置，即每個位元的成本低的儲存裝置。此外，本發明的另一課題也是藉由減少每個位元的電路元件數和佈線數，以便提供低耗電的儲存裝置。

鑒於上述課題，本發明提供當形成在一對電極之間配置材料層的記憶元件時，將以不同的電壓破壞（或變化）的複數個區域形成在一個記憶胞中，來進行記憶胞的多值化並以此為特徵的記憶裝置及其工作方法。

注意，記憶元件的材料層的破壞指的是配置在該破壞了的記憶元件的材料層的上側以及下側的導電層（電極）相互短路。例如作為記憶元件的材料層的破壞，有絕緣破壞。此外，也有如下情況：藉由以玻璃遷移溫度以上的溫度加熱，因軟化或者融化而使記憶元件的材料層的狀態變化，結果配置在記憶元件的材料層的上下的導電層相互短路。

注意，記憶元件的材料層的變化指的是，記憶元件的材料層的電特性由於施加電壓而變化的情況。例如，可以

(3)

舉出由於施加電壓，記憶元件的材料層的電特性可逆變化的相變型記憶元件。

在本發明中，藉由將步階設置在底部電極來形成角（端）部，可以降低電壓值；由於該電壓值產生因在角部的電場集中或在角部附近的有機層的薄膜化等而導致的記憶胞的特性變化。此外，藉由將底部電極的步階的高度和底部電極的截面形狀變化，可以在設置有步階的區域和截面形狀不同的區域等的每個區域中使記憶胞的特性變化的電壓值變化。

利用這些特性，在一個記憶胞中可以形成記憶胞的特性變化且具有不同的電壓值的複數個區域。換言之，可執行一個記憶胞儲存超過一位元的多值化操作（儲存多值資訊）。

例如，採用如下結構：將記憶元件的材料層分為第一區域、第二區域和第三區域，且在接觸於記憶元件的材料層的第一區域的電極中提供第一步階、在接觸於第二區域的電極中提供第二步階、在接觸於第三區域的電極中不提供步階的結構，即，在第一區域包含第一記憶元件、第二區域包含第二記憶元件、第三區域包含第三記憶元件的結構。第一步階大於第二步階。步階越大，越低的電壓值會破壞形成在其步階上的記憶元件的材料層。在每個區域中的記憶元件中的材料層的破壞電壓值按照從低到高的順序為，第一區域、第二區域、第三區域。

此外，本發明不限於其電極設有步階的記憶體結構，

(4)

只要可以形成記憶胞的特性變化且具有不同的電壓值的複數個區域，就可以採用任何結構。例如，當在電極中配置步階時，除了利用步階的高度的方法之外，還有利用步階的錐角差的方法。用錐角大的步階時可以降低破壞電壓，而用錐角小的步階時可以提高破壞電壓。藉由將電極側面的錐角不同的步階形成在記憶胞中，可以進行記憶胞的多值化。此外，可以利用具有大約垂直的側面的步階與錐角小的步階之間的差距。注意，在本說明書中所說的錐形形狀指的是與水平面處於大於等於 5° 至小於 85° 的角度。此外，具有大約垂直的側面的步階指的是步階的側面與水平面處於大於等於 85° 至小於等於 95° 的情況。

此外，也可以將在電極中提供步階的結構和錐角不同的結構組合而形成具有不同的使記憶胞的特性變化的電壓值的複數個區域。

此外，在本發明中的記憶胞指的是，包括複數個記憶元件和佈線（或者 TFT）等的一個單元。複數個記憶胞被規則地配置而構成半導體裝置的記憶部分。

在本說明書中公開的發明的結構 1 是一種半導體裝置，其特徵為包括：一個記憶胞具有第一儲存元件和第二儲存元件，其中，第一儲存元件以及第二儲存元件包括共同的第一電極、共同的第二電極、以及在第一電極和第二電極之間的材料層，並且，使至少在第一儲存元件中的第一電極的形狀的一部分與在第二儲存元件中的第一電極的形狀不同。藉由使在第一儲存元件中的第一電極的形狀

(5)

的一部分與在第二儲存元件中的第一電極的形狀不同，使改變在第一電極與第二電極之間的電阻的電壓值改變，且在一個記憶胞中進行儲存超過一位元的多值資訊。藉由部分地處理第一電極，可以增加每單位面積的儲存容量。

因為在一個記憶胞中改變有機材料的膜厚的現有結構不容易高精確度地調整有機材料的膜厚，所以在複數個記憶胞中不容易降低寫入電壓的不均勻。另一方面，本發明與現有結構相比，只要部分地處理第一電極即可，因此蝕刻精確度越高，可以在越多的複數個記憶胞中降低寫入電壓的不均勻。

此外，當採用在一個記憶胞中改變電極接觸面積的現有結構時，其面積大幅度增大，不容易增加每單位面積的儲存容量。另一方面，本發明與現有結構相比能夠抑制面積的增大，因此可以增加每單位面積的儲存容量。

本發明可以藉由將第一電極與字線電連接且將第二電極與位元線電連接而構成被動矩陣型的儲存部分。此外，可以藉由將開關元件連接到第一電極而構成主動矩陣型儲存部分。本發明的結構 2 是一種半導體裝置，其特徵為包括：具有在絕緣表面上的第一電極、在該第一電極上的材料層、在該材料層上具有第二電極的第一儲存元件；以及位於與上述第一儲存元件鄰接的第二儲存元件，其中上述第一儲存元件與上述第二儲存元件具有不同的電阻變化的電壓值，並且，上述第一儲存元件的第二電極與上述第二儲存元件通用，並且，上述第一儲存元件與上述第二儲存

(6)

元件電連接到相同的薄膜電晶體。如此，藉由複數個記憶元件電連接到相同的薄膜電晶體，與具備被動矩陣型的儲存部分的半導體裝置相比，可以使驅動電路縮小且實現半導體裝置的小型化。

此外，可以在一個記憶胞中，在複數個儲存元件之間設置分隔壁。本發明的結構 3 是一種半導體裝置，其特徵為包括：具有在絕緣表面上的第一電極；在該第一電極上的分隔壁；在該分隔壁以及上述第一電極上的材料層；在該材料層上的第二電極，其中，在上述第一電極上由分隔壁包圍的第一區域與在上述第一電極的端部上由分隔壁包圍的第二區域之間設置分隔壁，並且，在上述第一區域中至少重疊上述第一電極、上述材料層以及上述第二電極，並且，在上述第二區域中至少重疊上述材料層以及第二電極。藉由設置這樣的分隔壁，即使記憶胞間隔狹小，也可以防止與鄰接的記憶胞之間發生短路等的不良，並且可以實現高整合化，也可以增加每單位面積的儲存容量。

此外，為了簡單地部分處理第一電極，第一電極可以是兩個或更多的疊層，本發明的另一結構 4 是一種半導體裝置，其特徵為包括：在絕緣表面上的第一電極；在該第一電極上的分隔壁；在該分隔壁以及上述第一電極上的材料層；以及在該材料層上的第二電極，其中，上述第一電極具有兩個或更多的疊層結構；上述第一電極上具有由分隔壁包圍的第一區域；上述第一電極的最下層的端部與材料層重疊的第二區域；以及上述第一電極的疊層中的最上

(7)

層的端部與材料層重疊的第三區域，並且，在上述第一區域、上述第二區域、上述第三區域之間分別設置有上述隔壁，並且，在上述第一區域中，至少重疊上述第一電極、上述材料層、以及上述第二電極，在上述第二區域中，至少重疊上述材料層以及第二電極，並且，上述第一電極的最下層的端部與上述最上層的端部的位置不同。如此，藉由使第一電極作為兩個或更多的疊層，即使第一電極的表面形狀為複雜，藉由調整蝕刻條件以及疊層材料，可以高精度地獲得第一電極的表面形狀，並且可以在複數個記憶胞中降低寫入電壓的不均勻。

此外，在上述結構 3 和 4 中，也可以進一步在上述絕緣表面上具有薄膜電晶體，並且上述第一電極與上述薄膜電晶體電連接而構成主動矩陣型的儲存部分。此外，可以採用如下半導體裝置，即在上述結構 3 或 4 中，還包括在上述絕緣表面上的薄膜電晶體和天線，其中，上述第一電極與上述薄膜電晶體電連接，並且，包括上述薄膜電晶體的電路與上述天線電連接而可以用無線信號通信。作為與天線電連接的電路可以舉出例如寫入電路、讀取電路、感應放大器、輸出電路、緩衝器等。

此外，在上述每個結構中，上述第一電極具有膜厚不同的部分，並且具有至少一個步階的形狀。或者，上述第一電極具有膜厚不同的部分並且具有不同錐角的至少兩個側面。

此外，在上述每個結構中，在上述第一電極上的複數

(8)

個區域中構成一個記憶胞，並且一個記憶胞可以記憶複數個位元。

此外，在上述每個結構中，上述材料層包含有機化合物。由於藉由將有機化合物包含在上述材料層中，當別人為了偽造拆開記憶胞時，由於有機材料接觸空氣容易變質，而不容易特定使用了的材料，從而相當難於偽造。

此外，作為本發明的記憶元件的材料層，可以使用低分子材料、高分子材料、單重態材料、三重態材料等。例如，作為記憶元件的材料層，可以使用如下具有高電洞傳輸性的有機化合物：芳香胺基（即，具有苯環-氮鍵的）化合物，如 4, 4'-雙〔N-(1-萘基)-N-苯基-氨基〕聯苯（縮寫： α -NPD）、4, 4'-雙〔N-(3-甲基苯基)-N-苯基-氨基〕聯苯（縮寫：TPD）、4, 4', 4''-三〔N, N-二苯基-氨基〕-三苯胺（縮寫：TDATA）、4, 4', 4''-三〔N-(3-甲基苯基)-N-苯基-氨基〕-三苯胺（縮寫：MTDATA）或者 4, 4'-雙〔N-(4-(N,N-二-間-甲苯基氨基)苯基)-N-苯基氨基〕聯苯（縮寫：DNTPD），或者諸如酞菁（縮寫： H_2Pc ）、銅酞菁（縮寫： $CuPc$ ）或者氧釩酞菁（縮寫： $VOpc$ ）之類的酞菁基化合物。此外，作為記憶元件的材料層的其他材料，可以使用具有高電子傳輸性的有機化合物材料，可採用由具有喹啉主鏈或苯並喹啉主鏈等的金屬複合物構成的材料，如三（8-喹啉醇合）鋁（縮寫： Alq_3 ）、三（4-甲基-8-喹啉醇合）鋁（縮寫： $Almq_3$ ）、雙（10-羥基苯〔h〕-喹啉）鈹（縮寫： $BeBq_2$

(9)

），或雙（2-甲基-8-喹啉醇合）-4-苯基苯酚鹽-鋁（縮寫：BAIq），也可以採用具有唑基或噻唑基配體的金屬複合物，如雙〔2-（2-羥基苯基）苯並惡唑〕鋅（縮寫：Zn（BOX）₂）或雙〔2-（2-羥基苯基）苯並噻唑〕鋅（縮寫：Zn（BTZ）₂）。此外，除了金屬複合物之外，可以採用2-（4-聯苯基）-5-（4-特-丁基苯基）-1,3,4-惡二唑（縮寫：PBD）、1,3-雙〔5-（p-特-丁基苯基）-1,3,4-惡二唑-2-某基〕苯（縮寫：OXD-7）、3-（4-特-丁基苯基）-4-苯基-5-（4-聯苯基）-1,2,4-三唑（縮寫：TAZ）、3-（4-特-丁基苯基）-4-（4-乙基苯基）-5-（4-聯苯基）-1,2,4-三唑（縮寫：p-EtTAZ）、浴銅靈（bathocuproin）（縮寫：BCP）等的化合物等。此外，除了僅由有機化合物材料構成的材料以外，還可以將一部分包含無機化合物的材料用於材料層。

此外，為了防止資訊的偽造和不正使用，當記憶元件的材料層採用不可逆相變的有機材料或無機材料時，只能一次寫入到記憶體。

此外，為了重復使用，當記憶元件的材料層採用可逆相變的有機材料（如紅菲繞啉，縮寫：BPhen），或者無機材料（碲（Te）、氧化碲（TeO_x）、銻（Sb）、硒（Se）、鉍（Bi）等）時，可以複數次將資料改寫到記憶元件。此外，藉由使用讀取/寫入器也可以進行向使用有機材料的記憶元件的讀取/寫入。

藉由本發明，可以實現記憶元件的多值化。亦即，在

(10)

配置了複數個記憶元件的記憶部分中可以增加每單位面積的儲存容量。

藉由進行記憶元件的多值化，可以實現高整合化，從而可以實現記憶元件的面積縮小。

此外，本發明的記憶元件藉由與用於控制該元件的電路共用一部分步驟，可以形成在同一基板上，因此可以以低成本製造具有記憶元件的半導體裝置。

再者，本發明的記憶元件可以使用剝離方法或轉印法設置在樹脂基板上，因此可以使具有記憶元件的半導體裝置厚度薄、重量輕、並且耐衝擊性高。

此外，藉由將本發明的記憶元件和天線形成在同一樹脂基板上，可以減少步驟，並且可以完成高耐衝擊性的半導體裝置。

【實施方式】

下面，基於附圖說明本發明的實施例模式。但是，本發明可以藉由多種不同的方式來實施，本發明不局限於以下說明，所屬領域的普通人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種各樣的形式，而不脫離本發明的宗旨及範圍。因此，本發明不應該被解釋為僅限定在實施例模式所記載的內容中。注意，在用於說明實施例模式的所有的圖面中，同一部分或者具有同樣的功能的部分使用相同的符號，並省略其重復的說明。

(11)

實施例模式 1

在本實施例模式中，關於在作為絕緣基板的玻璃基板上製造具有記憶元件的半導體裝置的方法進行說明。關於在電極步階上形成記憶元件的材料層的方法進行說明。注意，此模式顯示在同一基板上形成記憶元件和用於控制該記憶元件的電路（控制電路）的方式。

首先，如圖 1A 中所示，在玻璃基板 401 上形成分離層 402。絕緣基板除了玻璃以外還可以使用石英等。在基板上完全或有選擇地形成包含金屬的膜或包含矽的膜作為分離層 402。藉由至少有選擇地形成分離層 402，可在後來剝離掉玻璃基板 401。由選自 W、Ti、Ta、Mo、Nd、Ni、Co、Zr、Zn、Ru、Rh、Pd、Os 或 Ir 的元素或以所述元素作為主要成分的合金材料或化合物材料構成的單層或疊層可以用作所述金屬。可將上述元素的氧化物或氮化物作為該化合物材料。另外，包含矽的膜狀態可以為結晶狀態、非晶狀態、或微晶狀態的任一種。可根據此狀態控制去除分離層 402 的速度。

接著，形成絕緣層 403，以覆蓋分離層 402。絕緣層 403 由氧化矽、氮化矽等形成。接著，在絕緣層 403 上形成半導體層，且藉由雷射結晶化、使用金屬催化劑等的熱結晶化等而執行結晶化，然後構圖成所希望的形狀，以形成島狀半導體層。可使用連續振蕩型雷射器或脈衝振蕩型雷射器進行雷射結晶化。可將下述的一種或多種作為雷射器：Ar 雷射器、Kr 雷射器、準分子雷射器、YAG 雷射器

(12)

、 Y_2O_3 雷射器、 YVO_4 雷射器、YLF 雷射器、 $YAlO_3$ 雷射器、玻璃雷射器、紅寶石雷射器、變石雷射器、Ti:藍寶石雷射器、銅蒸氣雷射器、和金蒸氣雷射器。例如，可使用脈衝振蕩型受激準分子雷射。將半導體層形成為具有 $0.2\mu m$ 或更小的厚度，典型地其厚度為 $40nm$ 到 $170nm$ ，較佳的為 $50nm$ 到 $150nm$ 。注意，半導體層除了結晶半導體以外，可以使用非晶半導體、微晶半導體、微晶體半導體、有機半導體等。另外，半導體層使用包含矽的材料即可，例如可以使用矽和鍺的混合材料而形成。

接著，形成閘極絕緣層 405，以覆蓋半導體層 404。閘極絕緣層 405 藉由使用氧化矽、氮化矽等形成。藉由 CVD 法、熱氧化法等可以形成所述閘極絕緣層 405。此外，也可以在藉由 CVD 法連續形成半導體層 404 和閘極絕緣層 405 後，同時構圖每個層。在此情況下，可以抑制在每個層的介面發生雜質污染。

接著，形成閘極電極層 406。藉由使用選自鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)、或銅 (Cu) 的元素或以所述元素作為主要成分的合金材料或化合物材料，並且將其構圖成所希望的形狀，來形成閘極電極層 406。當藉由光微影法進行構圖時，藉由使用電漿等蝕刻抗蝕劑掩模，而使用其寬度變小的抗蝕劑掩模，可以使閘極電極的寬度變小。因此，可以提高電晶體的性能。此外，閘極電極層 406 可以具有單層結構或疊層結構。圖 1A 顯示閘極電極層 406 具有疊層結構的情況。

(13)

接著，將賦予導電性的雜質元素添加到半導體層，以形成雜質區 407。藉由光微影法形成抗蝕劑掩模，添加磷、砷、或硼等雜質元素而形成雜質區 407。利用雜質元素，可以確定 N 通道型或 P 通道型的極性。

接著，如圖 1B 中所示，形成包含矽的絕緣物，例如用氮化矽等形成絕緣層，並且對該絕緣層進行垂直方向各向異性刻蝕，以形成與閘極電極的側面接觸的絕緣層（也稱為側壁）409。當形成側壁時，可能蝕刻閘極絕緣層 405。

接著，進一步將雜質添加到半導體層，以在絕緣層（側壁）409 的正下方形成第一雜質區 410 和具有比第一雜質區 410 的雜質濃度高的第二雜質區 411。將具有所述雜質區的結構稱為 LDD（輕摻雜汲極）結構。如果第一雜質區 410 與閘極電極層 406 重疊，則將該結構稱為 GOLD（閘極-汲極重疊的 LDD）結構。

接著，如圖 1C 中所示，形成絕緣層，以覆蓋半導體層和閘極電極層 406。絕緣層使用具有絕緣性的無機材料、有機材料形成。作為具有絕緣性的無機材料，可以使用氧化矽、氮化矽等。此外，作為具有絕緣性的有機材料，可以使用如聚醯亞胺、丙烯酸、聚醯亞胺、聚醯亞胺醯胺、抗蝕劑、或苯並環丁烯、矽氧烷、聚矽氮烷。矽氧烷是具有矽（Si）和氧（O）的鍵的樹脂，具有由矽（Si）和氧（O）的鍵形成的構架。矽氧烷所具有的取代基可以使用至少包含氫的取代基（如烷基基團或芳香族烴）。此外

(14)

，也可以將氟代基團用作取代基。進一步，作為取代基可以使用至少包含氫的有機基團和氟代基團。聚矽氮烷藉由將具有矽（Si）和氮（N）的鍵的聚合材料作為原始材料而形成。

圖 1C 顯示以層疊結構形成絕緣層的方式，其中從底部一側順次形成第一絕緣層 414a、第二絕緣層 414b、和第三絕緣層 414c 的模式。第一絕緣層 414a 較佳的藉由電漿 CVD 法製造，以便包含許多氫。因為藉由氫可以減少半導體層的懸空鍵。

此外，第二絕緣層 414b 較佳的使用有機材料形成。因為可以提高平坦性。第三絕緣層 414c 較佳的使用無機材料形成。因為防止從由有機材料形成的第二絕緣層 414b 排出水分等，或防止藉由第二絕緣層 414b 的水分入侵。

接著，如圖 1D 中所示，在絕緣層中形成接觸孔，以露出第二雜質區 411，且導電層 415 形成為填充該接觸孔。導電層 415 具有由鋁（Al）、鈦（Ti）、鉬（Mo）、鎢（W）的元素形成的膜或包含上述元素的合金膜，或者上述元素和矽的合金膜等。另外，導電層 415 可以以單層結構或疊層結構形成。此後，將導電層 415 構圖為所希望的形狀，從而同時形成源極電極、汲極電極、和其他電極。

為了降低源極電極以及汲極電極與第二雜質區 411 之間的接觸電阻，可以在雜質區上形成矽化物。例如，在第二雜質區 411 上形成包含金屬元素（典型為 Ni）的膜後，藉由使用退火爐的熱退火法、雷射退火法、或快速熱退火

(15)

法（RTA 法）加熱該膜。結果，包含上述金屬元素和矽的矽化物形成在第二雜質區上，從而可以實現導通電流的提高和遷移率的提高。

這樣，在控制電路部分 202 和記憶元件區 201 中完成薄膜電晶體。在控制電路部分 202 中，使用該薄膜電晶體形成電路（例如，寫入電路、讀取電路、感應放大器、輸出電路、緩衝器等）。

接著，形成絕緣層 416，以覆蓋導電層 415。絕緣層 416 可以使用具有絕緣性的無機材料、有機材料等，並且可以以單層或層疊形成。也可以使用與第一絕緣層 414a、第二絕緣層 414b、第三絕緣層 414c 同樣的無機材料或有機材料。

接著，如圖 2A 中所示，在絕緣層 416 中形成接觸孔，以露出導電層 415，且導電層 417 形成以填充該接觸孔。導電層 417 可以以單層結構或疊層結構形成。導電層 417 具有由鋁（Al）、鈦（Ti）、鉬（Mo）、鎢（W）的元素形成的膜或使用上述元素的合金膜，或者上述元素和矽的合金膜等。此外，可以使用例如氧化銦錫（ITO）、包含氧化矽的氧化銦錫、或包含 2 至 20% 的氧化鋅的氧化銦等的透光材料形成導電層 417。此後，將導電層 417 構圖為所希望的形狀。構圖了的導電層 417 可以當成記憶元件的底部電極。

儘管本實施例模式顯示記憶元件的底部電極由導電層 417 形成的實例，但該底部電極也可以由導電層 415 形成

(16)

。即，可以共同使用將是薄膜電晶體的源極電極或汲極電極的導電層 415 和記憶元件的底部電極。

接著，形成絕緣層，以覆蓋構圖了的導電層 417，並且設置複數個開口部分。圖 2A 顯示設置兩個開口部分的例子。形成分隔壁 418，該分隔壁設置有開口部分 901 和 902。開口部分 902 露出上述導電層 417 且覆蓋導電層 417 的端部分，並且，開口部分 901 露出上述導電層 417 且露出導電層 417 的端部分。可以使用有機材料或無機材料等形成分隔壁 418。例如，可使用與第一絕緣層 414a、第二絕緣層 414b、第三絕緣層 414c 的材料同樣的無機材料或有機材料。分隔壁 418 的開口部分的側面較佳的是錐形形狀，這可防止後來形成的薄膜破裂。

接著，如圖 2B 所示，在分隔壁的開口部分中形成記憶元件的材料層 408。記憶元件的材料層 408 可以藉由氣相沉積法、旋塗法、以噴墨法為代表的液滴噴射法形成。

另外，由於可使用與發光元件具有的場致發光層相同的材料形成記憶元件的材料層 408，所以可以藉由共同的步驟形成記憶元件和發光元件。作為發光元件，可以使用有機 EL 元件或無機 EL 元件；該有機 EL 元件使用包含有機化合物的層作為場致發光層；該無機 EL 元件將無機材料用於發光體。即，可形成具有顯示功能的記憶裝置。

隨後，形成作為相對電極 420 的導電層。由於相對電極 420 可在記憶元件區的整個表面上形成，所以不需要利用光微影法構圖。當然，可藉由構圖有選擇地形成相對電

(17)

極 420。相對電極 420 可當成記憶元件的頂部電極。

這樣，形成具有導電層 417、記憶元件的材料層 408、以及相對電極 420 的記憶元件 426。

更佳的，形成用作保護膜的絕緣層 421。爲了提高耐衝擊性，較佳的將絕緣層 421 的厚度爲厚。因此，較佳的使用例如環氧樹脂或聚醯亞胺樹脂等有機材料形成絕緣層 421。另外，較佳的將乾燥劑散佈在絕緣層 421 中，以提供吸濕性。這是因爲特別在使用有機材料形成記憶元件的材料層的情形下可防止水分入侵。藉由這樣將絕緣層 421 充填而密封，可防止水分以及不必要的氧氣入侵。

這樣，可形成設置在控制電路部分 202 中的具有薄膜電晶體的電路，並且可以形成藉由與該電路共同的步驟形成在同一基板上且設置在記憶元件區 201 中的記憶元件 426、以及連接到該記憶元件 426 的薄膜電晶體。該記憶元件由薄膜電晶體控制。這樣，薄膜電晶體連接到記憶元件的方式稱爲主動矩陣型。

在本發明的記憶裝置中，記憶元件 426 和控制電路可以藉由共同的步驟形成在同一基板上，因此可降低製造成本。並且，由於不需要安裝由傳統 IC 形成的記憶元件的步驟，所以沒有與控制電路的連接不良。

圖 3 顯示設有用於對記憶元件 426 供電等的天線 430 的模式。本實施例模式顯示在設置於分隔壁的開口部分中形成天線 430 的模式。

天線 430 可以形成爲連接到電極 419，該電極 419 電

(18)

連接到設置在記憶元件區 201 中的薄膜電晶體。作為天線的導電性材料，可以使用選自鋁 (Al)、鈦 (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、鉑 (Pt)、鎳 (Ni)、鈀 (Pd)、鉭 (Ta)、鉬 (Mo) 的元素或以上述元素為主要成分的合金材料或化合物材料並且以單層結構或疊層結構形成。作為天線的導電性材料較佳的使用例如 Cu (銅)、Ag (銀)、或 Al (鋁) 等低電阻材料形成。並且，為了降低天線 430 的電阻，膜厚較佳的形成為較厚。上述天線 430 可以藉由氣相沉積法、印刷法、鍍敷法、或以噴墨法為代表的液滴噴射法形成。

藉由以此方式將天線 430 形成在與薄膜電晶體同一基板上，可以進行與讀取/寫入器的無線通訊。結果，可以以非破壞方式獲得記憶元件 426 的多值化了的資訊。例如，當適當地使用電磁耦合方式或電磁感應方式（例如 13.56 MHz 帶）作為在半導體裝置中的信號傳輸方式時，由於利用根據磁場密度的變化的電磁感應，所以用作天線的導電層形成為環狀（例如環形天線）或螺旋狀（例如螺旋天線）。另外，當適當地使用微波方式（例如 UHF 帶（860 至 960 MHz 帶）、2.45GHz 帶等）作為在半導體裝置中的信號傳輸方式時，可以鑒於用於傳輸信號的電磁波的波長適當地設定用作天線的導電層的長度等的形狀，例如，可以將用作天線的導電層形成為線狀（例如偶極天線）、平整的形狀（例如貼片天線）、或蝴蝶結形狀等。此外，用作天線的導電層的形狀不局限於線狀，鑒於電磁波

(19)

的波長而可以是曲線狀、蜿蜒形狀，或者是組合這些的形狀。

藉由上述步驟可以完成具有記憶元件區和天線的半導體裝置，但此後可如圖 4A 中所示形成槽，且將蝕刻劑 441 導入該槽中，來剝離掉玻璃基板 401。同時，為了易於剝離掉玻璃基板 401，較佳的將連接到絕緣層 421 上的樹脂基板 440 用作支持基底。注意，可使用絕緣層 421 的粘附功能連接樹脂基板 440。可使用以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、或聚醚砜（PES）為代表的塑膠或例如丙烯酸等的合成樹脂形成樹脂基板 440。由於所述樹脂基板十分薄，所以它具有撓性。因此，藉由將卷起的樹脂基板 440 貼合到絕緣層 421 上，可以順序剝離掉玻璃基板 401。所述步驟適於大規模生產。

蝕刻劑 441 沒有具體的限制，只要可有選擇地蝕刻分離層 402 即可。例如，可使用鹵素化合物。當將非晶矽或錫用於分離層時，可將 ClF_3 （三氟化氯）用作蝕刻劑。另外，當將氧化矽用於分離層時，可將 HF （氟化氫）用作蝕刻劑。

此外，不局限於用蝕刻劑有選擇地蝕刻分離層的剝離方法，也可以使用其他周知的剝離方法。例如，在耐熱性高的基板與積體電路之間設置金屬氧化膜（氧化錫膜或氧化鉬膜等），使該金屬氧化膜脆化之後進行剝離，可以剝離包含在金屬氧化膜上設置的 TFT 的積體電路。此外，例

(20)

如藉由照射雷射而使分離層的至少一部分破壞，可以從基板剝離包含 TFT 的積體電路。

接著，如圖 4B 中所示，代替剝離了的玻璃基板 401，貼合樹脂基板 442。注意，可使用與樹脂基板 440 的材料同樣的材料形成樹脂基板 442。

作為依此模式剝離玻璃基板 401 的結果，可以實現使具有記憶元件的半導體裝置厚度薄、重量輕、並且提高撓性和耐衝擊性。

隨後，將基板分成每個具有記憶元件的半導體裝置，從而可以在一個基板中獲得複數個具有記憶元件的半導體裝置。結果，可降低具有記憶元件的半導體裝置的成本。

並且，可在樹脂基板 440 和 442 的每個表面上提供例如氣體阻擋層等的保護層。藉由該保護層可防止氧和鹼性元素的入侵，從而可提高可靠性。使用氮化鋁膜或氮化矽膜等的包含氮的無機材料形成該保護層。

儘管本實施例模式顯示去除玻璃基板 401，並且貼合樹脂基板 440 和 442 的方式，但是本發明不限於此。注意，藉由去除玻璃基板 401 可以實現使具有記憶元件的半導體裝置厚度薄、重量輕。

並且，儘管本實施例模式顯示的薄膜電晶體具有在基板上依次層疊半導體層、閘極絕緣層、和閘極電極層的結構，但是用於本發明的薄膜電晶體不限於這種結構，也可採用使得閘極電極層、絕緣層、和半導體層依次層疊的結構。並且，儘管薄膜電晶體的雜質區包括第一雜質區（也

(21)

稱爲低濃度雜質區) 410 或第二雜質區 (也稱爲高濃度雜質區) 411, 但本發明不限於此, 也可採用具有均勻的雜質濃度的單汲極結構。

另外, 也可適用在本實施例模式中顯示的複數個薄膜電晶體層疊的多層結構。當製造這種多層結構時, 爲了減少在層疊的薄膜電晶體之間的絕緣層中產生的寄生電容, 較佳的使用低介電常數 (低-k) 材料作爲絕緣層的材料。例如, 除了上述材料外, 可以舉出例如環氧樹脂、丙烯酸樹脂等樹脂材料、例如矽氧烷等有機材料。藉由使用減少寄生電容的多層結構, 可實現記憶裝置的面積的縮小、高速操作和低耗電化。

這樣, 本發明可在一個記憶胞中進行記憶胞的多值化。這樣, 可以增加半導體裝置的記憶區的儲存容量。

實施例模式 2

在本實施例模式中, 關於在作爲絕緣基板的玻璃基板上形成記憶元件的方法進行說明。利用疊層膜形成電極, 在複數個電極步階上形成記憶元件。注意, 本模式顯示藉由共同的步驟而在同一基板上形成記憶元件和用於控制記憶元件的電路 (控制電路)。此外, 與實施例模式 1 相同的步驟使用相同的圖面和符號來進行說明。

首先, 與圖 1A 同樣, 在玻璃基板 401 上形成分離層 402。絕緣基板除了玻璃以外還可以使用石英等。在基板上完全或有選擇地形成包含金屬的膜或包含矽的膜作爲分

(22)

離層 402。

接著，與實施例模式 1 同樣，形成絕緣層 403，以覆蓋分離層 402。絕緣層 403 由氧化矽、氮化矽等形成。接著，在絕緣層 403 上形成半導體層，且藉由雷射結晶化、使用金屬催化劑的熱結晶化等而執行結晶化，然後構圖成所希望的形狀，以形成島狀半導體層。可使用連續振蕩型雷射器或脈衝振蕩型雷射器進行雷射結晶化。

接著，與實施例模式 1 同樣，形成閘極絕緣層 405，以覆蓋半導體層 404。閘極絕緣層 405 藉由使用氧化矽、氮化矽等形成。藉由 CVD 法、熱氧化法等可以形成所述閘極絕緣層 405。此外，也可以在藉由 CVD 法連續形成半導體層 404 和閘極絕緣層 405 後，同時構圖每個層。在此情況下，可以抑制在每個層的介面發生雜質污染。

接著，與實施例模式 1 同樣，形成閘極電極層 406。藉由使用選自鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)、或銅 (Cu) 的元素或以所述元素作為主要成分的合金材料或化合物材料，並且將其構圖成所希望的形狀，來形成閘極電極層 406。當藉由光微影法進行構圖時，藉由使用電漿等蝕刻抗蝕劑掩模，而使用其寬度變小的抗蝕劑掩模，可以使閘極電極的寬度變小。因此，可以提高電晶體的性能。此外，閘極電極層 406 可以具有單層結構或疊層結構。

接著，與實施例模式 1 同樣，將賦予導電性的雜質元素添加到半導體層，以形成雜質區 407。藉由光微影法形

(23)

成抗蝕劑掩模，且添加磷、砷、或硼等雜質元素而形成雜質區 407。利用雜質元素，可以確定 N 通道型或 P 通道型的極性。

接著，與實施例模式 1 同樣，如圖 1B 中所示，形成包含矽的絕緣物，例如用氮化矽等形成絕緣層，並且對該絕緣層進行垂直方向的各向異性刻蝕，以形成與閘極電極的側面接觸的絕緣層（也稱之為側壁）409。當形成側壁時，可能蝕刻閘極絕緣層 405。

接著，與實施例模式 1 同樣，進一步將雜質添加到半導體層，以在絕緣層（側壁）409 的正下方形成第一雜質區 410 和具有比第一雜質區 410 的雜質濃度高的第二雜質區 411。

接著，與實施例模式 1 同樣，形成絕緣層，以覆蓋半導體層和閘極電極層 406。絕緣層使用具有絕緣性的無機材料或有機材料形成。作為具有絕緣性的無機材料，可以使用氧化矽、氮化矽等。此外，作為具有絕緣性的有機材料，可以使用如聚醯亞胺、丙烯酸、聚醯亞胺、聚醯亞胺醯胺、抗蝕劑、或苯並環丁烯、矽氧烷、聚矽氮烷。

在此，與圖 1C 同樣，顯示以層疊結構形成絕緣層的方式，其中從底部一側順次形成第一絕緣層 414a、第二絕緣層 414b、和第三絕緣層 414c 的模式。第一絕緣層 414a 較佳的藉由電漿 CVD 法製造，以便包含許多氫。因為藉由氫可以減少半導體層的懸空鍵。此外，第二絕緣層 414b 較佳的使用有機材料形成。因為可以提高平坦性。第三絕

(24)

緣層 414c 較佳的使用無機材料形成。用於防止從由有機材料形成的第二絕緣層 414b 排出水分等，或防止藉由第二絕緣層 414b 的水分入侵。

接著，與圖 1D 同樣，在絕緣層中形成接觸孔，以露出第二雜質區 411，並且導電層 415 形成為填充該接觸孔。導電層 415 具有由鋁 (Al)、鈦 (Ti)、鉬 (Mo)、鎢 (W) 的元素形成的膜或包含上述元素的合金膜，或者上述元素和矽的合金膜。另外，導電層 415 可以以單層結構或疊層結構形成。此後，將導電層 415 構圖為所希望的形狀，從而同時形成源極電極、汲極電極、和其他電極。

為了降低源極電極以及汲極電極與第二雜質區 411 之間的接觸電阻，可以在雜質區上形成矽化物。例如，在第二雜質區 411 上形成包含金屬元素 (典型為 Ni) 的膜後，藉由使用退火爐的熱退火法、雷射退火法、或快速熱退火法 (RTA 法) 加熱該膜。結果，包含上述金屬元素和矽的矽化物形成在第二雜質區上，從而可以實現導通電流的提高和遷移率的提高。

這樣，在控制電路部分 202 和記憶元件區 201 中完成薄膜電晶體。在控制電路部分 202 中，使用該薄膜電晶體形成電路。

接著，與實施例模式 1 同樣，形成絕緣層 416，以覆蓋導電層 415。絕緣層 416 可以使用具有絕緣性的無機材料或有機材料等，並且可以以單層或層疊形成。絕緣層 416 也可以使用與第一絕緣層 414a、第二絕緣層 414b、第

(25)

三絕緣層 414c 同樣的無機材料或有機材料。

接著，如圖 5A 中所示，有選擇地蝕刻絕緣層 416 而形成接觸孔，以露出導電層 415，並且將導電層 903 和 904 疊層為填充該接觸孔。導電層 903 及 904 具有由鋁 (Al)、鈦 (Ti)、鉬 (Mo)、鎢 (W) 的元素形成的膜或使用上述元素的合金膜，或者上述元素和矽的合金膜等。此外，可以使用例如氧化銦錫 (ITO)、包含氧化矽的氧化銦錫、或包含 2 至 20% 的氧化鋅的氧化銦等的透光材料形成導電層 903 及 904。在圖 5A 中，用鈦形成導電層 903、用鋁形成導電層 904。藉由將導電層 904 的膜厚厚於導電層 903 的膜厚，可以設置高度不同的兩個步階。下面顯示其方法。

如圖 5B 所示，將導電層 903 及 904 處理為所希望的形狀。處理導電層 903 及 904，以露出導電層 904 的表面。藉由將導電層 904 的膜厚厚於導電層 903 的膜厚，設置高度不同的兩個步階。因為可以認為步階越大，記憶元件的破壞電壓越低，所以藉由利用底部電極設置高度不同的兩個步階，可以分別作出記憶元件的破壞電壓不同的兩個記憶體。換言之，導電層 903 及 904 除了作為記憶元件的底部電極而工作以外，還可以作為用於調整記憶元件的破壞電壓的步階而工作。

接著，如圖 6A 所示，形成絕緣層，以覆蓋導電層 903 及 904，並且設置複數個開口部分。形成設有開口部分 905、906、907 的分隔壁 418。

(26)

這樣，可以形成具有複數個步階的導電層和複數個開口部分。

注意，本實施例模式顯示記憶元件的底部電極由導電層 903 及 904 形成的實例，但也可以共同使用將是薄膜電晶體的源極電極或汲極電極的導電層 415 和記憶元件的底部電極。

接著，如圖 6B 所示，在分隔壁的開口部分中形成記憶元件的材料層 408。記憶元件的材料層 408 可以藉由氣相沉積法、旋塗法、以噴墨法為代表的液滴噴射法形成。

另外，由於可使用與發光元件具有的場致發光層相同的材料形成記憶元件的材料層 408，所以可以藉由共同的步驟形成記憶元件和發光元件。即，可形成具有顯示功能的記憶裝置。

隨後，形成作為相對電極 420 的導電層。由於相對電極 420 可在記憶元件區的整個表面上形成，所以不需要利用光微影法構圖。當然，可藉由構圖有選擇地形成相對電極 420。相對電極 420 可用作記憶元件的頂部電極。

這樣，形成具有導電層 417、記憶元件的材料層 408、以及相對電極 420 的記憶元件 426。在一個記憶胞中形成相應於三個開口部分 905、906、907 的三個記憶元件，該記憶胞具有電阻變化的三種電壓值。該電阻變化的電壓值相當於讀取電壓值（或讀取電流值）或者寫入電壓值（或寫入電流值）。

對製造的具有複數個開口部分的記憶體的讀取電流值

(27)

的變化，用算式更詳細地進行說明。短路之前的記憶體的材料層電阻值為 R_a ，短路之後的相對電極和底部電極之間的接觸電阻相應於開口部分 905、906、907，分別為 R_1 、 R_2 、 R_3 。此外，當讀取時，施加到記憶元件的電壓為 V_r 。寫入之前的讀取電流值成爲式（1）。

$$I_0 = \frac{V_r}{(R_a + R_1)} + \frac{V_r}{(R_a + R_2)} + \frac{V_r}{(R_a + R_3)} \doteq \frac{3V_r}{R_a} \quad \text{式 (1)}$$

但是，設定 $R_a \gg R_1$ 、 R_2 、 R_3 ，進行近似。當第一寫入時，在開口部分 906 的相對電極與底部電極之間發生短路。短路之後的讀取電流值 I_1 成爲式（2）。

$$I_1 = \frac{V_r}{(R_a + R_1)} + \frac{V_r}{R_2} + \frac{V_r}{(R_a + R_3)} \doteq \frac{V_r}{R_2} \quad \text{式 (2)}$$

但是，設定 $R_a \gg R_1$ 、 R_2 、 R_3 ，進行近似。此時，第一寫入前後的電流值的比成爲式（3）。

$$\frac{I_1}{I_0} = \frac{V_r}{R_2} \times \frac{R_a}{3V_r} = \frac{R_a}{3R_2} \quad \text{式 (3)}$$

接著，當第二寫入時，在開口部分 905 的相對電極與底部電極之間發生短路。短路之後的讀取電流值 I_2 成爲式（4）。

(28)

$$I_2 = \frac{V_r}{R_1} + \frac{V_r}{R_2} + \frac{V_r}{(R_a + R_3)} = \frac{V_r}{R_1} + \frac{V_r}{R_2} \quad \text{式 (4)}$$

此時，第二寫入前後的電流值的比成爲式 (5)。

$$\frac{I_2}{I_1} = \left(\frac{V_r}{R_1} + \frac{V_r}{R_2} \right) \times \frac{R_2}{V_r} = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1} \quad \text{式 (5)}$$

接著，當第三寫入時，在開口部分 907 的相對電極與底部電極之間發生短路。短路之後的讀取電流值 I_3 成爲式 (6)。

$$I_3 = \frac{V_r}{R_1} + \frac{V_r}{R_2} + \frac{V_r}{R_3} \quad \text{式 (6)}$$

此時，第三寫入前後的電流值的比成爲式 (7)。

$$\frac{I_3}{I_2} = \left(\frac{V_r}{R_1} + \frac{V_r}{R_2} + \frac{V_r}{R_3} \right) \div \left(\frac{V_r}{R_1} + \frac{V_r}{R_2} \right) = 1 + \frac{R_1 R_2}{R_3 (R_1 + R_2)} \quad \text{式 (7)}$$

根據式 (5)，爲了將寫入前後的比爲大，滿足 $R_2 > R_1$ 的關係即可。例如可以考慮下面方法。

圖 13A 顯示製造中的記憶元件以及薄膜電晶體的俯視圖。在圖 13B 中顯示在圖 13A 中沿著虛線 AB 的截面圖。薄膜電晶體具有閘極電極層 406、島狀半導體層 404、作爲源極電極或汲極電極工作的導電層 415。導電層 415 經由形成在第一絕緣層 414a、第二絕緣層 414b、以及第三

(29)

絕緣層 414c 中的接觸孔 919 和 920 而電連接到島狀半導體層 404。此外，導電層 415 之一經由形成在絕緣層 416 中的接觸孔 921 而電連接到導電層 903。

在導電層 903 上疊層有導電層 904，如圖 13A 所示，導電層 903 的面積形成為大於導電層 904 的面積。

此外，在分隔壁 418 的開口部分 905 中暴露導電層 903 的端面（即，第一步階）。此外，在分隔壁 418 的開口部分 906 中暴露導電層 904 的端面（即，第二步階）。第二步階大於第一步階。此外，在分隔壁 418 的開口部分 907 中暴露導電層 904 的上面，並且在開口部分 907 中不形成步階。注意，開口部分 905、906、907 也可以稱作分別由分隔壁 418 的一部分圍繞的區域。

此外，圖 13B 是藉由與圖 6A 顯示的截面圖相同的步驟的狀態，隨後，在開口部分 905、906、907 上形成記憶元件的材料層。再者，藉由層疊導電層，製造圖 6B 顯示的記憶元件以及薄膜電晶體。例如，藉由噴墨法，將作為記憶元件的材料層的材料液滴滴落於由分隔壁 418 圍繞的開口部分 905、906、907 的內側。

因為接觸電阻與開口部分的面積成比例，藉由使開口部分 905 的面積大於開口部分 906 的面積，可以增加接觸電阻比，也可以增加第二寫入前後的電流值比。

此外，如圖 13C 的俯視圖所示，為了進一步擴大開口部分的面積，設法改變開口部分的形狀也有效。如圖 13C 是設法改變分隔壁 418 的開口部分 905、906、907 的位置

(30)

和形狀的例子。在圖 13C 中的開口部分 905 的面積大於在圖 13A 所示的開口部分 905，並且在圖 13C 中的開口部分 907 大於在圖 13A 所示的開口部分 907。此外，在圖 13A 中沿一個方向排列而配置開口部分 905、906、907，但是在圖 13C 中不沿一個方向排列而配置開口部分 905、906、907。如圖 13C 所示，不特別限定開口部分的位置，而可以自由地配置。

此後，形成用作保護膜的絕緣層 421。爲了提高耐衝擊性，較佳的將絕緣層 421 的厚度爲較厚。因此，較佳的使用例如環氧樹脂或聚醯亞胺樹脂等有機材料形成絕緣層 421。另外，較佳的將乾燥劑散佈在絕緣層 421 中，以提供吸濕性。這是因爲特別在使用有機材料形成記憶元件的材料層的情形下，可防止水分入侵。藉由這樣將絕緣層 421 充填而密封，可防止水分以及不必要的氧氣入侵。

這樣，可形成設置在控制電路部分 202 中的具有薄膜電晶體的電路，並且可以形成在與該電路相同的基板上，形成設置在記憶元件區 201 中的記憶元件 426、以及連接到該記憶元件 426 的薄膜電晶體。

在本發明的半導體裝置中，記憶元件 426 和控制電路可以形成在同一基板上，因此可降低製造成本。並且，由於不需要安裝由 IC 形成的記憶元件的傳統步驟，所以可防止控制電路的連接不良。

圖 7 顯示設有用於對記憶元件 426 供電等的天線 430 的模式。本實施例模式顯示在設置於分隔壁的開口部分中

(31)

形成天線 430 的模式。

天線 430 可以形成為連接到設置在記憶元件區 201 中的薄膜電晶體，並且由導電性材料，較佳的為低電阻材料如 Cu（銅）、Ag（銀）、Al（鋁）等形成。並且，為了降低天線 430 的電阻，膜厚較佳的形成為較厚。上述天線 430 可以藉由氣相沉積法、印刷法、鍍敷法、或以噴墨法為代表的液滴噴射法形成。

藉由以此方式將天線 430 形成在與電路相同的基板上，可以進行與讀取/寫入器的無線通訊。結果，可以以非破壞方式獲得記憶元件 426 的多值化了的資料。

藉由上述步驟可以完成記憶裝置，但此後可如圖 8A 中所示形成槽，且將蝕刻劑 441 導入該槽中，來剝離掉玻璃基板 401。同時，為了易於剝離掉玻璃基板 401，較佳的將連接到絕緣層 421 上的樹脂基板 440 用作支持基底。注意，可使用絕緣層 421 的粘附功能連接樹脂基板 440。可使用以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、或聚醚砜（PES）為代表的塑膠或例如丙烯酸等合成樹脂形成樹脂基板 440。由於所述樹脂基板十分薄，所以它具有撓性。因此，藉由將卷起的樹脂基板 440 貼合到絕緣層 421 上，可以順序剝離掉玻璃基板 401。所述步驟適於大規模生產。

蝕刻劑 441 沒有具體的限制，只要可有選擇地蝕刻分離層 402 即可。例如，可使用鹵素化合物。當將非晶矽或錫用於分離層時，可將 ClF_3 （三氟化氯）用作蝕刻劑。另

(32)

外，當將氧化矽用於分離層時，可將 HF（氟化氫）用作蝕刻劑。

接著，如圖 8B 中所示，代替剝離了的玻璃基板 401，貼合樹脂基板 442。注意，可使用與樹脂基板 440 的材料同樣的材料形成樹脂基板 442。

作為依此方式剝離玻璃基板 401 的結果，可以實現使具有記憶元件和天線的半導體裝置厚度薄、重量輕、並且提高撓性和耐衝擊性。

隨後，將基板分成每個具有記憶元件的半導體裝置，從而可以在一個基板中獲得複數個具有記憶元件的半導體裝置。結果，可實現具有記憶元件的半導體裝置的成本降低。

並且，可在樹脂基板 440 和 442 的每個表面上提供例如氣體阻擋層等的保護層。藉由該保護層可防止氧和鹼性元素的入侵，從而可提高可靠性。使用氮化鋁膜或氮化矽膜等的包含氮的無機材料形成該保護層。

儘管本實施例模式顯示去除玻璃基板 401，並且貼合樹脂基板 440 和 442 的方式，但是本發明不限於此。注意，藉由去除玻璃基板 401 可以實現使具有記憶元件的半導體裝置厚度薄、重量輕。

並且，儘管本實施例模式顯示的薄膜電晶體具有在基板上依次層疊半導體層、閘極絕緣層、和閘極電極層的結構，但是用於本發明的薄膜電晶體不限於這種結構，也可採用使得閘極電極層、絕緣層、和半導體層依次層疊的結

(33)

構。並且，儘管薄膜電晶體的雜質區包括第一雜質區（也稱為低濃度雜質區）410 以及第二雜質區（也稱為高濃度雜質區）411，但本發明不限於此，也可採用具有均勻的雜質濃度的單汲極結構。

另外，也可適用在本實施例模式中顯示的複數個薄膜電晶體層疊的多層結構。當製造這種多層結構時，為了減少在層疊的薄膜電晶體之間的絕緣層中產生的寄生電容，較佳的使用低介電常數（低-k）材料作為絕緣層的材料。例如，除了上述材料外，可以舉出例如環氧樹脂、丙烯酸樹脂等樹脂材料、例如矽氧烷等有機材料。藉由使用減少寄生電容的多層結構，可實現記憶裝置的面積的縮小、高速操作和低耗電化。

這樣，本發明可在一個記憶胞中進行記憶胞的多值化。再者，可以增加半導體裝置的記憶區的儲存容量。

注意，本實施例模式可以與上述實施例模式 1 自由組合而實施。

實施例模式 3

在本實施例模式中，對如下方法進行說明：當在記憶胞中形成破壞電壓（寫入電壓值）不同的複數個區域時，藉由在每個區域中利用與相對電極的接觸電阻的差異而將讀出電流的範圍為大。此外，與實施例模式 1 相同的步驟使用相同的圖面和符號來進行說明。

當在記憶胞中形成破壞電壓不同的複數個區域時，在

(34)

每個區域中進行分別作出底部電極，當在破壞電壓低的區域中使用與頂部電極的接觸電阻高的導電層，而在破壞電壓高的區域中使用與頂部電極的接觸電阻低的導電層時，可以增加位元間的讀出電流比，所以有效。下面顯示其方法。

首先，與圖 1A 同樣，在玻璃基板 401 上形成分離層 402。絕緣基板除了玻璃以外還可以使用石英、矽、金屬等。在基板上完全或有選擇地形成包含金屬的膜或包含矽的膜作為分離層 402。

接著，與實施例模式 1 同樣，形成絕緣層 403，以覆蓋分離層 402。絕緣層 403 由氧化矽、氮化矽等形成。接著，在絕緣層 403 上形成半導體層，且藉由雷射結晶化、使用金屬催化劑等的熱結晶化等而執行結晶化，然後構圖成所希望的形狀，以形成島狀半導體層。可使用連續振蕩型雷射器或脈衝振蕩型雷射器進行雷射結晶化。

接著，與實施例模式 1 同樣，形成閘極絕緣層 405，以覆蓋半導體層 404。閘極絕緣層 405 藉由使用氧化矽、氮化矽等形成。藉由 CVD 法、熱氧化法等可以形成所述閘極絕緣層 405。此外，也可以在藉由 CVD 法連續形成半導體層 404 和閘極絕緣層 405 後，同時構圖每個層。在此情況下，可以抑制在每個層的介面發生雜質污染。

接著，與實施例模式 1 同樣，形成閘極電極層 406。藉由使用選自鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)、或銅 (Cu) 的元素或以所述元素作為主要成

(35)

分的合金材料或化合物材料，並且將其構圖成所希望的形狀，形成閘極電極層 406。當藉由光微影法進行構圖時，藉由使用電漿等蝕刻抗蝕劑掩模，而使用其寬度變小的抗蝕劑掩模，可以使閘極電極的寬度變小。因此，可以提高電晶體的性能。此外，閘極電極層 406 可以具有單層結構或疊層結構。

接著，與實施例模式 1 同樣，將賦予導電性的雜質元素添加到半導體層，以形成雜質區 407。藉由光微影法形成抗蝕劑掩模，添加磷、砷、或硼等雜質元素而形成雜質區 407。利用雜質元素，可以確定 N 通道型或 P 通道型的極性。

接著，與實施例模式 1 同樣，如圖 1B 中所示，形成包含矽的絕緣物，例如用氮化矽等形成絕緣層，並且對該絕緣層進行垂直方向的各向異性刻蝕，以形成與閘極電極的側面接觸的絕緣層（也稱之為側壁）409。當形成側壁時，可能蝕刻閘極絕緣層 405。

接著，與實施例模式 1 同樣，進一步將雜質添加到半導體層，以在絕緣層（側壁）409 的正下方形成第一雜質區 410 和具有比第一雜質區 410 的雜質濃度高的第二雜質區 411。

接著，與實施例模式 1 同樣，形成絕緣層，以覆蓋半導體層和閘極電極層 406。絕緣層使用具有絕緣性的無機材料或有機材料形成。作為具有絕緣性的無機材料，可以使用氧化矽、氮化矽等。此外，作為具有絕緣性的有機材

(36)

料，可以使用如聚醯亞胺、丙烯酸、聚醯亞胺、聚醯亞胺醯胺、抗蝕劑、或苯並環丁烯、矽氧烷、聚矽氮烷。

在此，與圖 1C 同樣，顯示以層疊結構形成絕緣層的方式，其中從底部一側順次形成第一絕緣層 414a、第二絕緣層 414b、和第三絕緣層 414c 的模式。第一絕緣層 414a 較佳的藉由電漿 CVD 法製造，以便包含許多氫。因為藉由氫可以減少半導體層的懸空鍵。此外，第二絕緣層 414b 較佳的使用有機材料形成。因為可以提高平坦性。第三絕緣層 414c 較佳的使用無機材料形成。用於防止從由有機材料形成的第二絕緣層 414b 排出水分等，或防止藉由第二絕緣層 414b 的水分入侵。

接著，與圖 1D 同樣，在絕緣層中形成接觸孔，以露出第二雜質區 411，並且導電層 415 形成為填充該接觸孔。導電層 415 具有由鋁 (Al)、鈦 (Ti)、鉬 (Mo)、鎢 (W) 的元素形成的膜或包含上述元素的合金膜，或者上述元素和矽的合金膜等。另外，導電層 415 可以以單層結構或疊層結構形成。此後，將導電層 415 構圖為所希望的形狀，從而同時形成源極電極、汲極電極、和其他電極。

為了降低源極電極以及汲極電極與第二雜質區 411 之間的接觸電阻，可以在雜質區上形成矽化物。例如，在第二雜質區 411 上形成包含金屬元素 (典型為 Ni) 的膜後，藉由使用退火爐的熱退火法、雷射退火法、或快速熱退火法 (RTA 法) 加熱該膜。結果，包含上述金屬元素和矽的矽化物形成在第二雜質區上，從而可以實現導通電流的提

(37)

高和遷移率的提高。

這樣，在控制電路部分 202 和記憶元件區 201 中完成薄膜電晶體。在控制電路部分 202 中，使用該薄膜電晶體形成電路。

接著，形成絕緣層 416，以覆蓋導電層 415。絕緣層 416 可以使用具有絕緣性的無機材料或有機材料等，並且可以以單層或層疊形成。絕緣層 416 也可以使用與第一絕緣層 414a、第二絕緣層 414b、第三絕緣層 414c 同樣的無機材料或有機材料。

如圖 9A 中所示，有選擇地蝕刻絕緣層 416 而形成接觸孔，以露出導電層 415，並且將導電層 911、912、913 疊層為填充該接觸孔。導電層 911、912 及 913 具有由鋁 (Al)、鈦 (Ti)、鉬 (Mo)、鎢 (W) 的元素形成的膜或使用上述元素的合金膜，或者上述元素和矽的合金膜等。此外，可以使用例如氧化銦錫 (ITO)、包含氧化矽的氧化銦錫、或包含 2 至 20% 的氧化鋅的氧化銦等的透光材料形成導電層 911、912 及 913。

在將短路之後的導電層 912 和相對電極 420 的接觸電阻作為 R_1 、將短路之後的導電層 913 和相對電極 420 的接觸電阻作為 R_2 、將短路之後的導電層 911 和相對電極 420 的接觸電阻作為 R_3 的情況下，重要的是選擇滿足 $R_2 > R_1 > R_3$ 的關係的導電層 911 至 913。以下說明其理由。在圖 9A 中，用氧化銦錫 (ITO) 形成導電層 911，用鎢 (W) 形成導電層 912，用鈦 (Ti) 形成導電層 913。

(38)

接著，將導電層 911、912 及 913 處理為所希望的形狀。導電層 911 至 913 除了作為記憶元件的底部電極而工作以外，還可以作為用於調整記憶元件的破壞電壓的步階而工作。

接著，形成絕緣層，以覆蓋導電層 911 至 913，並且設置複數個開口部分。形成設置有開口部分 914、915、916 的分隔壁 418。

注意，本實施例模式顯示記憶元件的底部電極由導電層 911 至 913 形成的實例，但也可以共同使用將是薄膜電晶體的源極電極或汲極電極的導電層 415 和記憶元件的底部電極。

接著，如圖 9B 所示，在分隔壁的開口部分中形成記憶元件的材料層 408。記憶元件的材料層 408 可以藉由氣相沉積法、旋塗法、以噴墨法為代表的液滴噴射法形成。

另外，由於可使用與發光元件具有的場致發光層相同的材料形成記憶元件的材料層 408，所以在同一基板上形成記憶元件和發光元件。即，可形成具有顯示功能的記憶裝置。

隨後，形成作為相對電極 420 的導電層。由於相對電極 420 可在記憶元件區的整個表面上形成，所以不需要利用光微影法構圖。當然，可藉由構圖有選擇地形成相對電極 420。相對電極 420 可用作記憶元件的頂部電極。

這樣，形成具有導電層 417、記憶元件的材料層 408、以及相對電極 420 的記憶元件 426。在一個記憶胞中形

(39)

成相應於三個開口部分 914、915、916 的三個記憶元件，該記憶胞具有電阻變化的三種電壓值。

寫入依照增加寫入電壓順次包括第一寫入、第二寫入、第三寫入。當第一寫入時，在設置於電極步階最大的開口部分 915 中的記憶體中發生上下電極的短路。在半導體或絕緣體用作記憶層的情況下，因為與在設置於沒發生短路的開口部分 914 及 916 中的記憶體中流過的電流相比，在設置於開口部分 915 中的記憶體中的電流極大，所以流過設置於開口部分 915 的記憶體的電流支配著整個記憶胞的電流值。接著，當第二寫入時，在開口部分 914 的相對電極與底部電極之間發生短路。因此，流過在設置於開口部分 915 中的記憶體和在設置於開口部分 914 中的記憶體的電流的總和支配著整個記憶胞的電流。同樣，第三寫入之後流過整個記憶胞的電流是藉由在設置於開口部分 914、915、916 中的記憶體的電流的總和。因為導電層 911 至 913 和相對電極 420 的接觸電阻 R_1 至 R_3 有 $R_2 > R_1 > R_3$ 的關係，所以可以使第一寫入之後流過的電流值和第二寫入之後流過的電流值的比為大，並可以增加讀取時的範圍。

用算式更詳細地進行說明。將短路之前的記憶層的電阻值作為 R_a 。此外，當讀取時，施加到記憶元件的電壓作為 V_r 。寫入之前的讀取電流值成為在實施例模式 2 中所示的式 (1)。但是，設定 $R_a \gg R_2 > R_1 > R_3$ ，進行近似。當第一寫入時，在開口部分 915 的相對電極與底部電極之間發生短路。短路之後的讀取電流值 I_1 成為在實施例

(40)

模式 2 中所示的式 (2)。但是，設定 $R_a \gg R_2 > R_1 > R_3$ ，進行近似。此時，第一寫入前後的電流值的比率成爲在實施例模式 2 中所示的式 (3)。

因爲有 $R_a \gg R_1$ 的關係，可以說讀取電流的比率十分大。接著，當第二寫入時，在開口部分 914 相對電極與底部電極之間發生短路。短路之後的讀取電流值 I_2 成爲在實施例模式 2 中所示的式 (4)。但是，同樣地設定 $R_a \gg R_2 > R_1 > R_3$ ，進行近似。此時，第二寫入前後的電流值的比率成爲在實施例模式 2 中所示的式 (5)。藉由與 R_1 相比使 R_2 充分大，可以使讀取電流的比率爲大。接著，當第三寫入時在開口部分 916 相對電極與底部電極之間發生短路。短路之後的讀取電流值 I_3 成爲在實施例模式 2 中所示的式 (6)。但是，同樣地設定 $R_a \gg R_1 > R_2 > R_3$ ，進行近似。此時，第三寫入前後的電流值的比成爲在實施例模式 2 中所示的式 (7)。此時，藉由與 R_1 、 R_2 相比使 R_3 充分大，可以增加讀取電流的比率。

注意，在本實施例模式中，利用接觸電阻的差異而使讀出時的範圍爲大，但是將用作底部電極的導電層 911、912、913 的電極材料的電阻值設定爲 R_4 、 R_5 、 R_6 ，除了接觸電阻以外，還可以使用成爲 $R_4 > R_5 > R_6$ 的材料，以使讀出時的範圍爲大。

這樣，本發明在一個記憶胞中可以進行記憶胞的多值化。再者，可以增加記憶裝置的儲存容量。

圖 10 顯示設有用於對記憶元件 426 供電等的天線 430

(41)

的模式。本實施例模式顯示在設置於分隔壁的開口部分中形成天線 430 的模式。

天線 430 可以形成為連接到設置在記憶元件區 201 中的薄膜電晶體，並且由導電性材料，較佳的為低電阻材料如 Cu（銅）、Ag（銀）、Al（鋁）等形成。並且，為了降低天線 430 的電阻，膜厚較佳的形成為較厚。上述天線 430 可以藉由氣相沉積法、印刷法、鍍敷法、或以噴墨法為代表的液滴噴射法形成。

藉由以此方式將天線 430 形成在與薄膜電晶體相同的基板上，可以進行與讀取/寫入器的無線通訊。結果，可以以非破壞方式獲得記憶元件 426 的多值化了的資料。

注意，本實施例模式可以與上述實施例模式 1 和 2 自由組合而實施。

實施例模式 4

在本實施例模式中，對於在作為絕緣基板的玻璃基板上形成記憶元件的方法進行說明。對於在複數個電極步階上形成記憶元件的方法進行說明。注意，本模式顯示在同一基板上形成用於控制記憶元件的電路（控制電路）。此外，與實施例模式 1 相同的步驟使用相同的圖面和符號來進行說明。

首先，與圖 1A 同樣，在玻璃基板 401 上形成分離層 402。絕緣基板除了玻璃以外還可以使用石英等。在基板上完全或有選擇地形成包含金屬的膜或包含矽的膜作為分

(42)

離層 402。

接著，與實施例模式 1 同樣，形成絕緣層 403，以覆蓋分離層 402。絕緣層 403 由氧化矽、氮化矽等形成。接著，在絕緣層 403 上形成半導體層，且藉由雷射結晶化、使用金屬催化劑的熱結晶化等而執行結晶化，然後構圖成所希望的形狀，以形成島狀半導體層。可使用連續振蕩型雷射器或脈衝振蕩型雷射器進行雷射結晶化。

接著，與實施例模式 1 同樣，形成閘極絕緣層 405，以覆蓋半導體層 404。閘極絕緣層 405 藉由使用氧化矽、氮化矽等形成。藉由 CVD 法、熱氧化法等可以形成所述閘極絕緣層 405。此外，也可以在藉由 CVD 法連續形成半導體層 404 和閘極絕緣層 405 後，同時構圖每個層。在此情況下，可以抑制在每個層的介面發生雜質污染。

接著，與實施例模式 1 同樣，形成閘極電極層 406。藉由使用選自鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)、或銅 (Cu) 的元素或以所述元素作為主要成分的合金材料或化合物材料，並且將其構圖成所希望的形狀，來形成閘極電極層 406。當藉由光微影法進行構圖時，藉由使用電漿等蝕刻抗蝕劑掩模，而使用其寬度變小的抗蝕劑掩模，可以使閘極電極的寬度變小。因此，可以提高電晶體的性能。此外，閘極電極層 406 可以具有單層結構或疊層結構。

接著，與實施例模式 1 同樣，將賦予導電性的雜質元素添加到半導體層，以形成雜質區 407。藉由光微影法形

(43)

成抗蝕劑掩模，且添加磷、砷、或硼等雜質元素而形成雜質區 407。利用雜質元素，可以確定 N 通道型或 P 通道型的極性。

接著，與實施例模式 1 同樣，如圖 1B 中所示，形成包含矽的絕緣物，例如用氮化矽等形成絕緣層，並且對該絕緣層進行垂直方向各向異性刻蝕，以形成與閘極電極的側面接觸的絕緣層（也稱之為側壁）409。當形成側壁時，可能蝕刻閘極絕緣層 405。

接著，與實施例模式 1 同樣，進一步將雜質添加到半導體層，以在絕緣層（側壁）409 的正下方形成第一雜質區 410 和具有比第一雜質區 410 的雜質濃度高的第二雜質區 411。

接著，與實施例模式 1 同樣，形成絕緣層，以覆蓋半導體層和閘極電極層 406。絕緣層使用具有絕緣性的無機材料、有機材料形成。作為具有絕緣性的無機材料，可以使用氧化矽、氮化矽等。此外，作為具有絕緣性的有機材料，可以使用如聚醯亞胺、丙烯酸、聚醯亞胺、聚醯亞胺醯胺、抗蝕劑、或苯並環丁烯、矽氧烷、聚矽氮烷。

在此，與圖 1C 同樣，顯示以層疊結構形成絕緣層的方式，其中從底部一側順次形成第一絕緣層 414a、第二絕緣層 414b、和第三絕緣層 414c 的模式。第一絕緣層 414a 較佳的藉由電漿 CVD 法製造，以便包含許多氫。因為藉由氫可以減少半導體層的懸空鍵。此外，第二絕緣層 414b 較佳的使用有機材料形成。因為可以提高平坦性。第三絕

(44)

緣層 414c 較佳的使用無機材料形成。用於防止從由有機材料形成的第二絕緣層 414b 排出水分等，或防止藉由第二絕緣層 414b 的水分入侵。

接著，與圖 1D 同樣，在絕緣層中形成接觸孔，以露出第二雜質區 411，且導電層 415 形成為填充該接觸孔。導電層 415 具有由鋁 (Al)、鈦 (Ti)、鉬 (Mo)、鎢 (W) 的元素形成的膜或包含上述元素的合金膜，或者包含上述元素和矽的合金膜。另外，導電層 415 可以以單層結構或疊層結構形成。此後，將導電層 415 構圖為所希望的形狀，從而同時形成源極電極、汲極電極、和其他電極。

為了降低源極電極以及汲極電極與第二雜質區 411 之間的接觸電阻，可以在雜質區上形成矽化物。例如，在第二雜質區 411 上形成包含金屬元素 (典型為 Ni) 的膜後，藉由使用退火爐的熱退火法、雷射退火法、或快速熱退火法 (RTA 法) 加熱該膜。結果，包含上述金屬元素和矽的矽化物形成在第二雜質區上，從而可以實現導通電流的提高和遷移率的提高。

這樣，在控制電路部分 202 和記憶元件區 201 中完成薄膜電晶體。在控制電路部分 202 中，使用該薄膜電晶體形成電路。

接著，與實施例模式 1 同樣，形成絕緣層 416，以覆蓋導電層 415。絕緣層 416 可以使用具有絕緣性的無機材料或有機材料等，並且可以以單層或層疊形成。絕緣層 416 也可以使用與第一絕緣層 414a、第二絕緣層 414b、第

(45)

三絕緣層 414c 同樣的無機材料或有機材料。

接著，如圖 11A 中所示，在絕緣層 416 中形成接觸孔，以露出導電層 415，並且將導電層 903 和 904 層疊為填充該接觸孔。導電層 903 及 904 具有由鋁 (Al)、鈦 (Ti)、鉬 (Mo)、鎢 (W) 的元素形成的膜或使用上述元素的合金膜，或者上述元素和矽的合金膜等。此外，可以使用例如氧化銦錫 (ITO)、包含氧化矽的氧化銦錫、或包含 2 至 20% 的氧化鋅的氧化銦等的透光材料形成導電層 903 及 904。在圖 11A 中，用鈦形成導電層 903、用鋁形成導電層 904。

接著，如圖 11B 所示，將導電層 903 的錐角處理為比導電層 904 的錐角小。在此，將導電層 904 的側面對基板面設定為大約 90° ，雖然不是錐形形狀，但是其角度稱為錐角。此外，導電層 903 的錐角設定為大約 45° 。藉由處理導電層 903 及 904，以露出導電層 904 的表面，可以設置錐角不同的兩個步階。因為可以認為錐角越大，記憶元件的破壞電壓越低，所以藉由利用底部電極設置錐角不同的兩個步階，可以分別作出記憶元件的破壞電壓不同的兩個記憶體。換言之，導電層 903 及 904 除了作為記憶元件的底部電極而工作以外，還可以作為用於調整記憶元件的破壞電壓的步階而工作。

接著，如圖 12A 所示，形成絕緣層，以覆蓋導電層 903 及 904，並且設置複數個開口部分。藉由蝕刻形成分隔壁 418 的開口部分 905、906、907。

(46)

這樣，可以形成具有複數個步階的導電層和複數個開口部分。

注意，本實施例模式顯示記憶元件的底部電極由導電層 903 及 904 形成的實例，但也可以共同使用將是薄膜電晶體的源極電極或汲極電極的導電層 415 和記憶元件的底部電極。

接著，如圖 12B 所示，在分隔壁的開口部分中形成記憶元件的材料層 408。記憶元件的材料層 408 可以藉由氣相沉積法、旋塗法、以噴墨法為代表的液滴噴射法形成。

另外，由於可使用與發光元件具有的場致發光層相同的材料形成記憶元件的材料層 408，所以在同一基板上形成記憶元件和發光元件。即，可形成具有顯示功能的記憶裝置。

隨後，形成作為相對電極 420 的導電層。由於相對電極 420 可在記憶元件區的整個表面上形成，所以不需要利用光微影法構圖。當然，可藉由構圖有選擇地形成相對電極 420。相對電極 420 可用作記憶元件的頂部電極。

這樣，形成具有導電層 417、記憶元件的材料層 408、以及相對電極 420 的記憶元件 426。在一個記憶胞中形成相應於三個開口部分 905、906、907 的三個記憶元件，該記憶胞具有電阻變化的三種電壓值。

這樣，本發明在一個記憶胞中可以進行記憶胞的多值化。再者，可以增加記憶裝置的儲存容量。

此外，根據實施例模式 1，可以設置用於對記憶元件

(47)

426 供電等的天線。天線可以形成為連接到電極 419，該電極 419 電連接到設置在記憶元件區 201 中的薄膜電晶體。該天線由導電性材料形成，較佳的為低電阻材料使用銅（Cu）、銀（Ag）、鋁（Al）等。

藉由上述步驟，可以完成具有記憶元件區和天線的半導體裝置，此後也可以藉由在實施例模式 1 中所示的步驟剝離玻璃基板 401。

隨後，代替剝離了的玻璃基板 401，貼合具有撓性的樹脂基板。

作為依此方式剝離玻璃基板 401 的結果，可以實現使具有記憶元件的半導體裝置厚度薄、重量輕、並且提高撓性和耐衝擊性。

注意，本實施例模式可以與上述實施例模式 1、2 和 3 自由組合而實施。

實施例模式 5

在本實施例模式中，對於在作為絕緣基板的玻璃基板上形成記憶元件的方法進行說明。對於在複數個電極步階上形成記憶元件的方法進行說明。注意，本模式顯示在同一基板上形成記憶元件和用於控制記憶元件的電路（控制電路）。此外，與實施例模式 1 相同的步驟使用相同的圖面和符號來進行說明。

首先，與圖 1A 同樣，在玻璃基板 401 上形成分離層 402。絕緣基板除了玻璃以外還可以使用石英等。在基板

(48)

上完全或有選擇地形成包含金屬的膜或包含矽的膜作為分離層 402。

接著，與實施例模式 1 同樣，形成絕緣層 403，以覆蓋分離層 402。絕緣層 403 由氧化矽、氮化矽等形成。接著，在絕緣層 403 上形成半導體層，且藉由雷射結晶化、使用金屬催化劑的熱結晶化等而執行結晶化，然後構圖成所希望的形狀，以形成島狀半導體層。可使用連續振蕩型雷射器或脈衝振蕩型雷射器進行雷射結晶化。

接著，與實施例模式 1 同樣，形成閘極絕緣層 405，以覆蓋半導體層 404。閘極絕緣層 405 藉由使用氧化矽、氮化矽等形成。藉由 CVD 法、熱氧化法等可以形成所述閘極絕緣層 405。此外，也可以在藉由 CVD 法連續形成半導體層 404 和閘極絕緣層 405 後，同時構圖每個層。在此情況下，可以抑制在每個層的介面發生雜質污染。

接著，與實施例模式 1 同樣，形成閘極電極層 406。藉由使用選自鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)、或銅 (Cu) 的元素或以所述元素作為主要成分的合金材料或化合物材料，並且將其構圖成所希望的形狀，來形成閘極電極層 406。當藉由光微影法進行構圖時，藉由使用電漿等蝕刻抗蝕劑掩模，而使用其寬度變小的抗蝕劑掩模，可以使閘極電極的寬度變小。因此，可以提高電晶體的性能。此外，閘極電極層 406 可以具有單層結構或疊層結構。

接著，與實施例模式 1 同樣，將賦予導電性的雜質元

(49)

素添加到半導體層，以形成雜質區 407。藉由光微影法形成抗蝕劑掩模，且添加磷、砷、或硼等雜質元素而形成雜質區 407。利用雜質元素，可以確定 N 通道型或 P 通道型的極性。

接著，與實施例模式 1 同樣，如圖 1B 中所示，形成包含矽的絕緣物，例如用氮化矽等形成絕緣層，並且對該絕緣層進行垂直方向的各向異性刻蝕，以形成與閘極電極的側面接觸的絕緣層（也稱之為側壁）409。當形成側壁時，可能蝕刻閘極絕緣層 405。

接著，與實施例模式 1 同樣，進一步將雜質添加到半導體層，以在絕緣層（側壁）409 的正下方形成第一雜質區 410 和具有比第一雜質區 410 的雜質濃度高的第二雜質區 411。

接著，與實施例模式 1 同樣，形成絕緣層 414，以覆蓋半導體層和閘極電極層 406。絕緣層使用具有絕緣性的無機材料或有機材料形成。作為具有絕緣性的無機材料，可以使用氧化矽、氮化矽等。此外，作為具有絕緣性的有機材料，可以使用如聚醯亞胺、丙烯酸、聚醯亞胺、聚醯亞胺醯胺、抗蝕劑、或苯並環丁烯、矽氧烷、聚矽氮烷。

在此，與圖 1C 同樣，顯示以層疊結構形成絕緣層的方式，其中從底部一側順次形成第一絕緣層 414a、第二絕緣層 414b、和第三絕緣層 414c 的模式。第一絕緣層 414a 較佳的藉由電漿 CVD 法製造，以便包含許多氫。因為藉由氫可以減少半導體層的懸空鍵。此外，第二絕緣層 414b

(50)

較佳的使用有機材料形成。因為可以提高平坦性。第三絕緣層 414c 較佳的使用無機材料形成，用於防止從由有機材料形成的第二絕緣層 414b 排出水分等，或防止藉由第二絕緣層 414b 的水分入侵。

接著，與圖 1D 同樣，在絕緣層中形成接觸孔，以露出第二雜質區 411，且導電層 415 形成以填充該接觸孔。導電層 415 具有由鋁 (Al)、鈦 (Ti)、鉬 (Mo)、鎢 (W) 的元素形成的膜或包含上述元素的合金膜，或者上述元素和矽的合金膜。另外，導電層 415 可以以單層結構或疊層結構形成。此後，將導電層 415 構圖為所希望的形狀，從而同時形成源極電極、汲極電極、和其他電極。

為了降低源極電極以及汲極電極與第二雜質區 411 之間的接觸電阻，可以在雜質區上形成矽化物。例如，在第二雜質區 411 上形成包含金屬元素 (典型為 Ni) 的膜後，藉由使用退火爐的熱退火法、雷射退火法、或快速熱退火法 (RTA 法) 加熱該膜。結果，包含上述金屬元素和矽的矽化物形成在第二雜質區上，從而可以實現導通電流的提高和遷移率的提高。

這樣，在控制電路部分 202 和記憶元件區 201 中完成薄膜電晶體。在控制電路部分 202 中，使用該薄膜電晶體形成電路。

接著，與實施例模式 1 同樣，形成絕緣層 416，以覆蓋導電層 415。絕緣層 416 可以使用具有絕緣性的無機材料或有機材料等，並且可以以單層或層疊形成。絕緣層

(51)

416 也可以使用與第一絕緣層 414a、第二絕緣層 414b、第三絕緣層 414c 同樣的無機材料或有機材料。

接著，如圖 14A 中所示，在絕緣層 416 中形成接觸孔，以露出導電層 415，並且將導電層 903 形成以填充該接觸孔。導電層 903 具有由鋁 (Al)、鈦 (Ti)、鉬 (Mo)、鎢 (W) 的元素形成的膜或使用上述元素的合金膜，或者上述元素和矽的合金膜等。此外，可以使用例如氧化銦錫 (ITO)、包含氧化矽的氧化銦錫、或包含 2 至 20% 的氧化鋅的氧化銦錫等的透光材料形成導電層 903。在圖 14A 中，用鈦形成導電層 903。

接著，導電層 903 被處理為所希望的形狀。因為可以認為步階越大，記憶元件的破壞電壓越低，所以藉由利用底部電極設置高度不同的兩個步階，可以分別作出記憶元件的破壞電壓不同的兩個記憶體。首先，如圖 14 (B) 所示，處理導電層 903，再者如圖 14 (C) 所示，再處理處理了的導電層 903 的一部分。使用半蝕刻等的方式處理即可。這樣，導電層 903 可以設有高度不同的兩個步階。導電層 903 除了作為記憶元件的底部電極而工作以外，還可以作為用於調整記憶元件的破壞電壓的步階而工作。此外，藉由利用被稱作半色調曝光法，即使用具有半透明部分的曝光掩模的曝光方法，可以短時間處理導電層 903。另外，在用於形成導電層 903 的光蝕刻步驟中，可以適用提供有由衍射光柵圖案構成的具有光強度降低功能的輔助圖案的光掩模或光罩。

(52)

接著，如圖 15A 所示，形成絕緣層，以覆蓋導電層 903，並且設置複數個開口部分。形成設有開口部分 905、906、907 的分隔壁 418。

這樣，可以形成具有複數個步階的導電層和複數個開口部分。

注意，本實施例模式顯示記憶元件的底部電極由導電層 903 形成的實例，但也可以共同使用將是薄膜電晶體的源極電極或汲極電極的導電層 415 和記憶元件的底部電極。

接著，如圖 15B 所示，在分隔壁的開口部分中形成記憶元件的材料層 408。記憶元件的材料層 408 可以藉由氣相沉積法、旋塗法、以噴墨法為代表的液滴噴射法形成。

另外，由於可使用與發光元件具有的場致發光層相同的材料形成記憶元件的材料層 408，所以可以藉由共同的步驟在同一基板上形成記憶元件和發光元件。即，可形成具有顯示功能的記憶裝置。

隨後，形成作為相對電極 420 的導電層。由於相對電極 420 可在記憶元件區的整個表面上形成，所以不需要利用光微影法構圖。當然，可藉由構圖有選擇地形成相對電極 420。相對電極 420 可用作記憶元件的頂部電極。

這樣，形成具有導電層 417、記憶元件的材料層 408、以及相對電極 420 的記憶元件 426。在一個記憶胞中形成相應於三個開口部分 905、906、907 的三個記憶元件，該記憶胞具有電阻變化的三種電壓值。

(53)

這樣，本發明在一個記憶胞中可以進行記憶胞的多值化。再者，可以增加記憶裝置的儲存容量。

此外，根據實施例模式 1 可以設置用於對記憶元件 426 供電等的天線。天線可以形成為連接到電極 419，該電極 419 電連接到設置在記憶元件區 201 中的薄膜電晶體。該天線由導電性材料形成，較佳的為低電阻材料使用選自銅（Cu）、銀（Ag）、鋁（Al）等。

藉由上述步驟，可以完成具有記憶元件區和天線的半導體裝置，此後也可以藉由在實施例模式 1 中所示的步驟剝離玻璃基板 401。

隨後，代替剝離了的玻璃基板 401，貼合具有撓性的樹脂基板。

作為依此方式剝離玻璃基板 401 的結果，可以實現使具有記憶元件的半導體裝置厚度薄、重量輕、並且提高撓性和耐衝擊性。

注意，本實施例模式可以與上述實施例模式 1、2、3 和 4 自由組合而實施。

實施例模式 6

對於本實施例模式的半導體裝置的結構參照圖 16A 進行說明。如圖 16A 所示，本發明的半導體裝置 620 具有無接觸式資料通訊的功能，包括電源電路 611、時鐘產生電路 612、資料解調/調制電路 613、用於控制其他電路的控制電路 614、介面電路 615、具有複數個可以儲存多值資

(54)

料的記憶胞的儲存電路 616、資料匯流排 617、天線（天線線圈）618、感測器 621 和感測器電路 622。

所述電源電路 611 根據由天線 618 輸入的交流信號產生供給於半導體裝置 620 中的每個電路的各種電源。時鐘產生電路 612 根據由天線 618 輸入的交流信號產生供給於半導體裝置 620 中的每個電路的各種時鐘信號。資料解調/調制電路 613 具有對與讀取/寫入器 619 通訊的資料進行解調/調制的功能。控制電路 614 具有控制儲存電路 616 的功能，該儲存電路 616 具有複數個可以儲存多值資料的記憶胞。天線 618 具有發射/接收電磁場或電波的功能。讀取/寫入器 619 和半導體裝置通訊並對其進行控制，並且控制和所述半導體裝置的資料相關的處理。注意，半導體裝置的結構不限於上述結構，例如可以另外提供其他要素，比如電源電壓的限制電路以及有關加密的硬體。

具有複數個可以儲存多值資料的記憶胞的儲存電路 616 的特徵在於包括記憶元件，該記憶元件在一對導電層之間夾持由外部電動作可改變的絕緣層。注意，具有複數個可以儲存多值資料的記憶胞的儲存電路 616 可以僅僅具有其絕緣層被夾在一對導電層之間的記憶元件，或者還可以具有其他結構的記憶體電路。所述具有其他結構的記憶體電路相對於，例如，選自 DRAM、SRAM、掩模 ROM、PROM、EPROM、EEPROM 和快閃記憶體中的一種或多種。

採用半導體元件如電阻元件、電容耦合元件、感應耦

(55)

合元件、光電元件、光電轉換元件、熱電元件、電晶體、熱敏電阻或二極體，以形成感測器 621。傳感電路 622 檢測阻抗、電抗、感應性、電壓或電流的變化，並且進行類比/數位 (A/D) 轉換以輸出信號到控制電路 614。

接下來，參照附圖說明安裝了本發明的半導體裝置的電子器具的一個模式。在此所示的電子器具是行動電話，包括框體 700 和 706、面板 701、外殼 702、印刷線路板 703、操作開關 704 和電池 705 (參見圖 16B)。面板 701 以可自由裝卸的方式被組合到外殼 702 中。外殼 702 被嵌入印刷線路板 703 中。外殼 702 的形狀和尺寸可以根據結合面板 701 的電子器具適當地改變。在印刷線路板 703 上，安裝了複數個封裝的半導體裝置，而且本發明的半導體裝置可以用作所述複數個封裝的半導體裝置之一。在印刷線路板 703 上安裝的複數個半導體裝置具有控制器、中央處理單元 (CPU)、記憶體、電源電路、音頻處理電路和發送/接收電路等的功能之一。

面板 701 藉由連接膜 708 固定連接到印刷線路板 703 上。上述面板 701、外殼 702 以及印刷線路板 703，與操作開關 704 以及電池 705 一起收入在框體 700 和 706 中。面板 701 包含的像素區 709 配置為使其能夠從形成在框體 700 中的開口窗中被視覺確認到。

如上所述，根據本發明的半導體裝置尺寸小、厚度薄並且重量輕，所以該電子器具的框體 700 和 706 中的有限空間可以有效利用。

(56)

另外，由於本發明的半導體裝置使用具有簡單結構的記憶元件，所以可以提供使用了價格低廉的半導體裝置的電子器具，其中在所述簡單結構中，絕緣層（即，夾在一對電極之間的包含有機化合物的層）由外部電動作改變並且夾在一對導電層之間。此外，由於本發明的半導體裝置具有複數個可以儲存多值資料的記憶胞，容易高度整合，所以可以提供使用半導體裝置的電子器具，該半導體裝置包括每單位面積的容量大的記憶體電路。

注意，所述框體 700 和 706 是行動電話外觀形狀的一個例子，根據本實施例模式的電子器具可以根據其功能或目的用途而進行各種修改。

此外，參照圖 17A 說明安裝了本發明的半導體裝置的電子器具的另一個模式。在此例示一種具有記錄媒體的攜帶型音樂播放器，包括主體 2901、顯示部分 2903、記錄媒體 2907（儲存卡、小型且大容量記憶體等）、讀出部分、操作鍵 2902 和 2906、連接到連接線 2904 的耳機的揚聲器部分 2405 等。由於本發明的半導體裝置具有複數個可以儲存多值資料的記憶胞，容易高度整合，所以可以將每單位面積的容量大的記憶體電路適用於記錄媒體 2907，來獲取重量輕的音樂播放器。此外，根據本發明，記憶體與天線可以形成在同一基板上，所以藉由在記錄媒體 2907 中整合天線，可以實現音樂播放器的小型化。藉由整合天線，攜帶型音樂播放器可以與讀取/寫入裝置進行無線通訊。

(57)

此外，參照圖 17B 說明安裝了本發明的半導體裝置的電子器具的另一個模式。在此例示一種可以安裝於胳膊的攜帶型電腦，包括主體 2911、顯示部分 2912、開關 2913、操作鍵 2914、揚聲器部分 2915、半導體積體電路 2916 等。用作觸摸屏的顯示部分 2912 可以進行各種各樣的輸入和操作。注意，儘管在此未示圖，但是該攜帶型電腦具有抑制其溫度上升的冷卻功能、紅外線埠、高頻率電路等的通訊功能。

較佳的為以塑膠等的薄膜覆蓋接觸於人體的胳膊 2910 的部分，以便即使與人體的胳膊 2910 接觸，也不感覺不舒服。從而，較佳的在塑膠基板上形成半導體積體電路 2916（記憶體和 CPU 等）以及顯示部分 2912。此外，沿人體的胳膊 2910 可以彎曲主體 2911 的外形。本發明可以實現撓性化了的攜帶型電腦，它在具有撓性的樹脂基板上形成可儲存多值資料且每單位面積的容量大的儲存電路而用於半導體積體電路 2916 的一部分。

此外，將本發明的記憶體電路適用於在攜帶型電腦內藏的半導體積體電路 2916（記憶體、CPU 以及高頻率電路等）以及揚聲器部分 2915 的控制電路等，可實現減少安裝部件的攜帶型電腦。例如，如在實施例模式 1 所示，藉由在同一基板上整合記憶體和天線，攜帶型電腦可以與讀取/寫入裝置進行無線通訊。此外，本發明的具有可儲存多值資料的記憶胞且每單位面積的容量大的記憶體電路由於可以降低其製造成本，因此可以提供廉價的攜帶型電

(58)

腦。

注意，本實施例模式可以與上述實施例模式 1、2、3、4 和 5 自由組合而實施。

實施例模式 7

根據本發明，可以形成具有複數個可以儲存多值資料的記憶胞並且用作無線晶片的半導體裝置。無線晶片可以廣泛應用，可安裝到如鈔票、硬幣、證券、無記名債券、證書（駕駛證、居民卡等，參照圖 18A）、包裝物品的容器（包裝紙、瓶子等，參照圖 18C）、記錄媒體（DVD 軟體、錄影帶等，參照圖 18B）、車輛（自行車等，參照圖 18D）、個人物品（包、眼鏡等）、食物、植物、動物、人體、衣服、生活器具、電子器具或包裹運輸標籤的製品（參照圖 18E 和 18F）的物體上。所述電子器具是指液晶顯示器、EL 顯示器、電視裝置（也簡單記為 TV、TV 機或者 TV 接收器）或行動電話等。

本發明的半導體裝置 910 可以安裝在印刷基板上、附著到表面上、或者結合等的方式固定到物品上。例如，半導體裝置結合在書本的紙張裏，或者結合在包裝的有機樹脂裏以在每個物體中固定。就根據本發明的半導體裝置 910 而言，實現了尺寸小、厚度薄以及重量輕，而且即使在固定到上述物品中以後也不會破壞所述物品本身的有吸引力的設計。另外，藉由在鈔票、硬幣、證券、無記名債券和證書等中提供本發明的半導體裝置 910，可以提供認

(59)

證功能，而且藉由利用所述認證功能可以防止對其的偽造。另外，藉由在包裝物品的容器、記錄媒體、個人物品、食物、衣服、生物器具和電子器具等中提供本發明的半導體裝置 910，可以提高如檢測系統的系統運行效率。

注意，本實施例模式可以與上述實施例模式 1、2、3、4、5 和 6 自由組合而實施。

根據本發明，藉由精細處理記憶元件的電極，可以減少在複數個記憶胞中的寫入電壓或讀取電壓的不均勻，並且可以在批量生產的步驟中達成高成品率。

【圖式簡單說明】

圖 1A 至 1D 是顯示本發明的半導體裝置的製造步驟的圖；

圖 2A 和 2B 是顯示本發明的半導體裝置的製造步驟的圖；

圖 3 是顯示本發明的半導體裝置的製造步驟的圖；

圖 4A 和 4B 是顯示本發明的半導體裝置的製造步驟的圖；

圖 5A 和 5B 是顯示實施例模式 2 的半導體裝置的製造步驟的圖；

圖 6A 和 6B 是顯示實施例模式 2 的半導體裝置的製造步驟的圖；

圖 7 是顯示實施例模式 2 的半導體裝置的製造步驟的圖；

(60)

圖 8A 和 8B 是顯示實施例模式 2 的半導體裝置的製造步驟的圖；

圖 9A 和 9B 是顯示實施例模式 3 的半導體裝置的製造步驟的圖；

圖 10 是顯示實施例模式 3 的半導體裝置的製造步驟的圖；

圖 11A 和 11B 是顯示實施例模式 4 的半導體裝置的製造步驟的圖；

圖 12A 和 12B 是顯示實施例模式 4 的半導體裝置的製造步驟的圖；

圖 13A 至 13C 是顯示實施例模式 2 的半導體裝置的截面圖以及俯視圖；

圖 14A 至 14C 是顯示實施例模式 5 的半導體裝置的製造步驟的圖；

圖 15A 和 15B 是顯示實施例模式 5 的半導體裝置的製造步驟的圖；

圖 16A 和 16B 是說明本發明的半導體裝置的結構例子以及具有該半導體裝置的電子設備的圖；

圖 17A 和 17B 是說明具有本發明的半導體裝置的電子設備的圖；和

圖 18A 至 18F 是說明關於本發明的半導體裝置的使用方式的圖。

【主要元件符號說明】

(61)

- 401 : 玻璃基底
- 402 : 分離層
- 403 : 絕緣層
- 404 : 半導體層
- 405 : 閘極絕緣層
- 406 : 閘極電極層
- 407 : 雜質區
- 408 : 材料層
- 409 : 絕緣層
- 410 : 第一雜質區
- 411 : 第二雜質區
- 414a : 第一絕緣層
- 414b : 第二絕緣層
- 414c : 第三絕緣層
- 415 : 導電層
- 416 : 絕緣層
- 417 : 導電層
- 418 : 分隔壁
- 901 : 開口部份
- 201 : 記憶元件區
- 202 : 控制電路部份
- 902 : 開口部份
- 420 : 相對電極
- 419 : 電極

(62)

- 426 : 記憶元件
- 421 : 絕緣層
- 430 : 天線
- 440 : 樹脂基板
- 441 : 蝕刻劑
- 442 : 樹脂基板
- 903 : 導電層
- 904 : 導電層
- 905 : 開口部份
- 906 : 開口部份
- 907 : 開口部份
- 919 : 接觸孔
- 920 : 接觸孔
- 921 : 接觸孔
- 911 : 導電層
- 912 : 導電層
- 913 : 導電層
- 914 : 開口部份
- 915 : 開口部份
- 916 : 開口部份
- 611 : 電源電路
- 612 : 時鐘產生電路
- 613 : 資料解調 / 調制電路
- 614 : 控制電路

(63)

- 615 : 介面 電路
- 616 : 儲存 電路
- 617 : 資料 匯流 排
- 618 : 天 線
- 619 : 讀 取 / 寫 入 器
- 620 : 半 導 體 裝 置
- 621 : 感 測 器
- 622 : 感 測 器 電 路
- 700 : 框 體
- 701 : 面 板
- 702 : 外 殼
- 703 : 印 刷 線 路 板
- 704 : 操 作 開 關
- 705 : 電 池
- 706 : 框 體
- 709 : 像 素 區
- 2901 : 主 體
- 2902 : 操 作 鍵
- 2903 : 顯 示 部 份
- 2904 : 連 接 線
- 2905 : 揚 聲 器 部 份
- 2906 : 操 作 鍵
- 2907 : 記 錄 媒 體
- 2911 : 主 體

(64)

2912 : 顯示部份

2913 : 開關

2914 : 操作鍵

2915 : 揚聲器部份

2916 : 半導體積體電路

2910 : 人體的胳膊

910 : 半導體裝置

十、申請專利範圍

1. 一種半導體裝置，包含：

在絕緣表面上的第一電極；

在該第一電極上的材料層；以及

在該材料層上的第二電極，

其中，在第一區域中，該第一電極、該材料層、以及該第二電極重疊，和

其中，在第二區域中，該第一電極的端部、該材料層以及該第二電極重疊。

2. 如申請專利範圍第 1 項的半導體裝置，還包含在該絕緣表面上的薄膜電晶體，

其中，該第一電極電連接至該薄膜電晶體。

3. 如申請專利範圍第 1 項的半導體裝置，還包含在該絕緣表面上的薄膜電晶體以及天線，

其中，該第一電極電連接至該薄膜電晶體，和

其中，包括該薄膜電晶體的電路電連接至該天線。

4. 如申請專利範圍第 1 項的半導體裝置，

其中，該第一電極包括具有膜厚不同的部分，和

其中，該第一電極具有至少一個步階。

5. 如申請專利範圍第 1 項的半導體裝置，

其中，該第一電極包括具有膜厚不同的部分，和

其中，該第一電極具有至少兩個側面，該兩個側面具有不同的錐角。

6. 如申請專利範圍第 1 項的半導體裝置，

其中，一個記憶胞包括在該第一電極上的複數個區域，和

其中，該記憶胞可以記憶複數個位元。

7. 一種半導體裝置，包括至少一個記憶胞，該記憶胞包含：

在絕緣表面上的第一電極；

在該第一電極上的材料層；以及

在該材料層上的第二電極，

其中，該第一電極具有包括底層與頂層的疊層結構，

其中，在第一區域中，該底層、該頂層、該材料層、以及該第二電極重疊，

其中，在第二區域中，該頂層的端部、該底層、該材料層、以及該第二電極重疊，和

其中，在第三區域中，該底層的端部、該材料層、以及該第二電極重疊。

8. 如申請專利範圍第 7 項的半導體裝置，還包含在該絕緣表面上的薄膜電晶體，

其中，該第一電極電連接至該薄膜電晶體。

9. 如申請專利範圍第 7 項的半導體裝置，還包含在該絕緣表面上的薄膜電晶體以及天線，

其中，該第一電極電連接至該薄膜電晶體，和

其中，包括該薄膜電晶體的電路電連接至該天線。

10. 如申請專利範圍第 7 項的半導體裝置，

其中，該第一電極包括具有膜厚不同的部分，和

其中，該第一電極具有至少一個步階。

11. 如申請專利範圍第 7 項的半導體裝置，

其中，該第一電極包括具有膜厚不同的部分，和

其中，該第一電極具有至少兩個側面，而該兩個側面具有不同的錐角。

12. 如申請專利範圍第 7 項的半導體裝置，

其中，一個記憶胞包括在該第一電極上的複數個區域，和

其中，該記憶胞可以記憶複數個位元。

13. 一種半導體裝置，包括至少一個記憶胞，該記憶胞包含：

至少第一儲存元件和第二儲存元件，

其中，該第一儲存元件和該第二儲存元件包括共同的第一電極、共同的第二電極、以及在該共同的第一電極與該共同的第二電極之間的共同的材料層，和

其中，在第一儲存元件中，該共同的第一電極、該共同的材料層、及該共同的第二電極重疊；和

其中，在該第二儲存元件中，該共同的第一電極的端部、該共同的材料層、及該共同的第二電極重疊。

14. 如申請專利範圍第 13 項的半導體裝置，

其中，該共同的第一電極包括具有膜厚不同的部分，和

其中，該共同的第一電極具有至少一個步階。

15. 如申請專利範圍第 13 項的半導體裝置，

其中，該共同的第一電極包括具有膜厚不同的部分，
和

其中，該共同的第一電極具有至少兩個側面，該兩個側面具有不同的錐角。

16. 如申請專利範圍第 13 項的半導體裝置，

其中，一個記憶胞包括在該共同的第一電極上的複數個區域，和

其中，該記憶胞可以記憶複數個位元。

17. 如申請專利範圍第 13 項的半導體裝置，

其中，該第一儲存元件的每單位面積的儲存容量和該第二儲存元件的每單位面積的儲存容量不同。

18. 如申請專利範圍第 13 項的半導體裝置，

其中，在該第一和第二儲存元件的各個中，電阻會因為施加於此的電壓而改變，和

其中，在該第一儲存元件中改變的電壓的電壓值和該第二儲存元件中改變的電壓的電壓值不同。

圖 1A

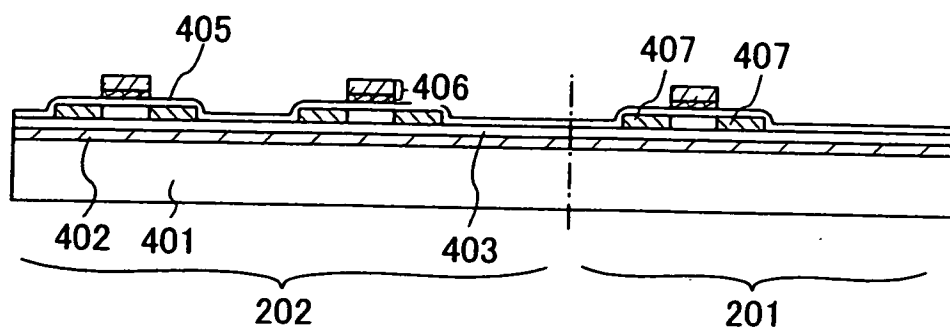


圖 1B

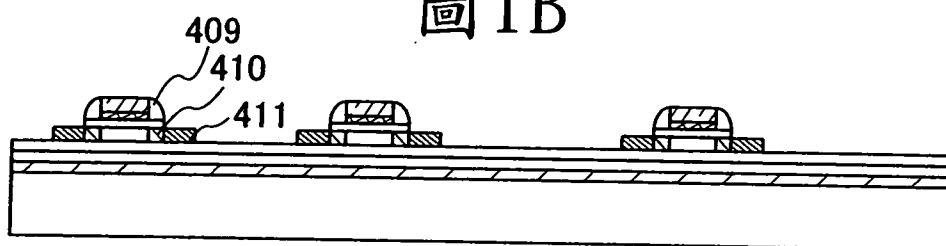


圖 1C

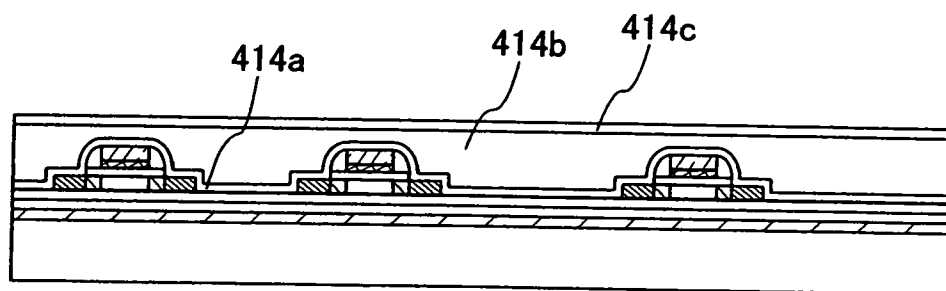


圖 1D

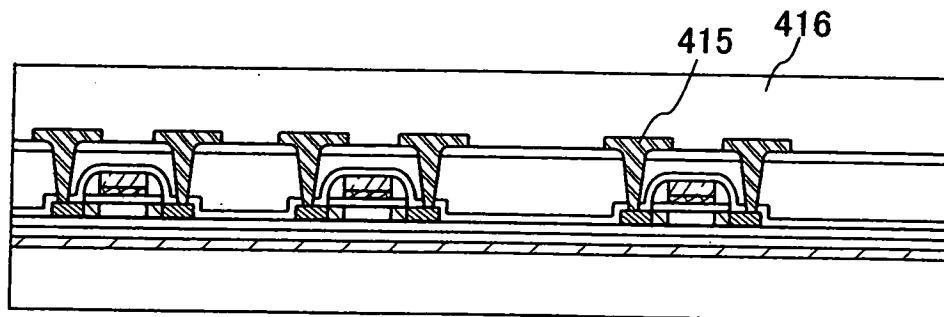


圖 2A

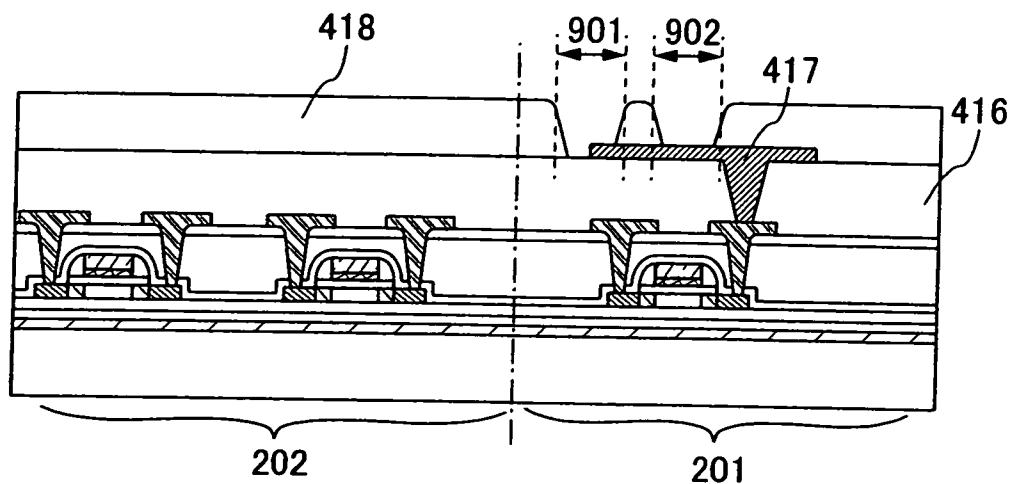


圖 2B

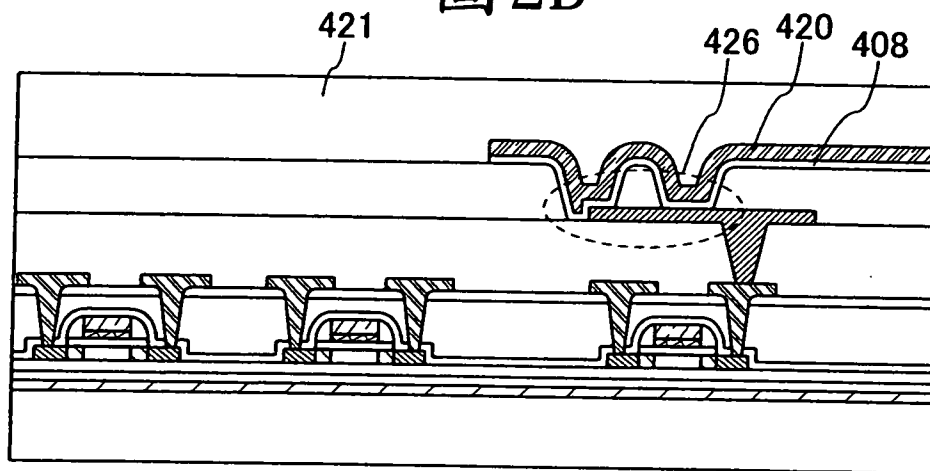


圖 3

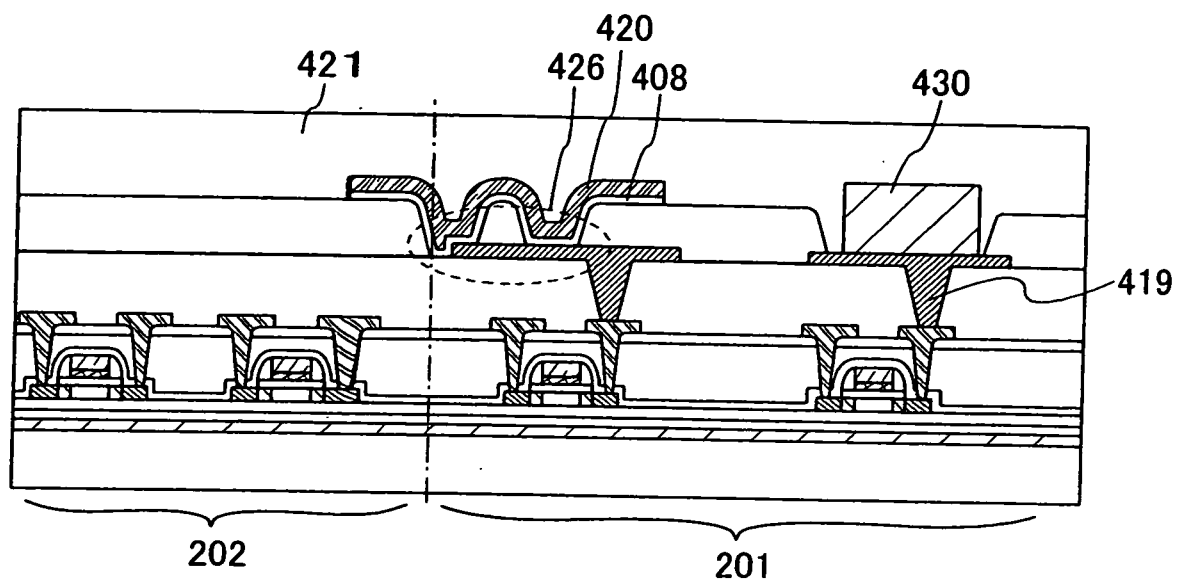


圖 4A

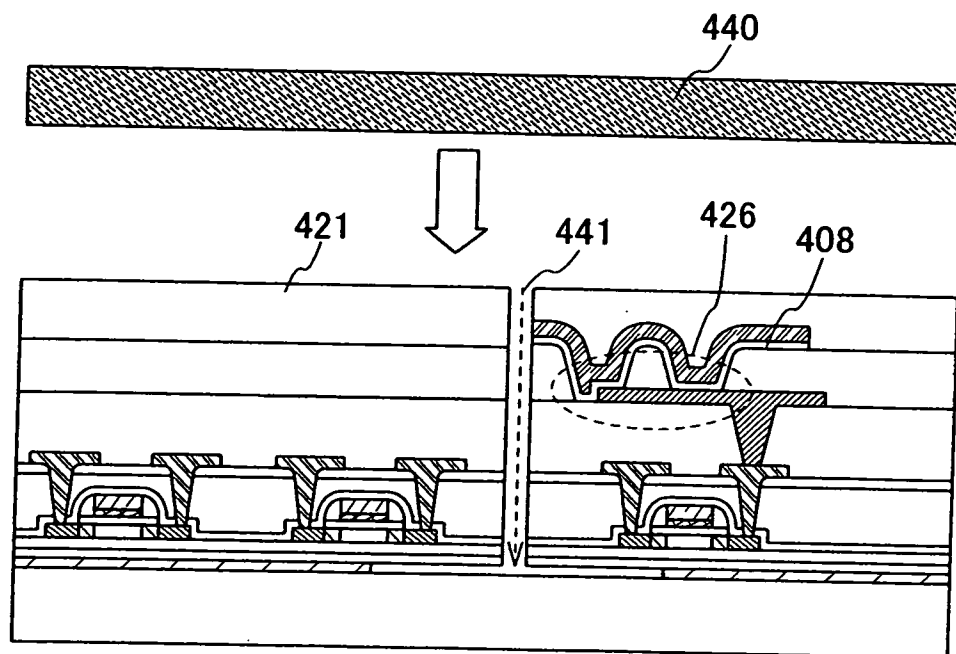


圖 4B

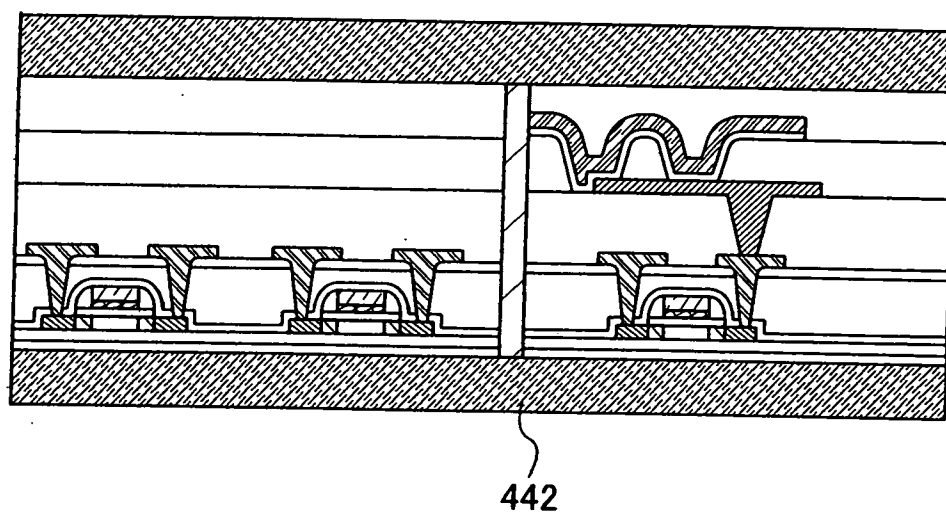


圖 5A

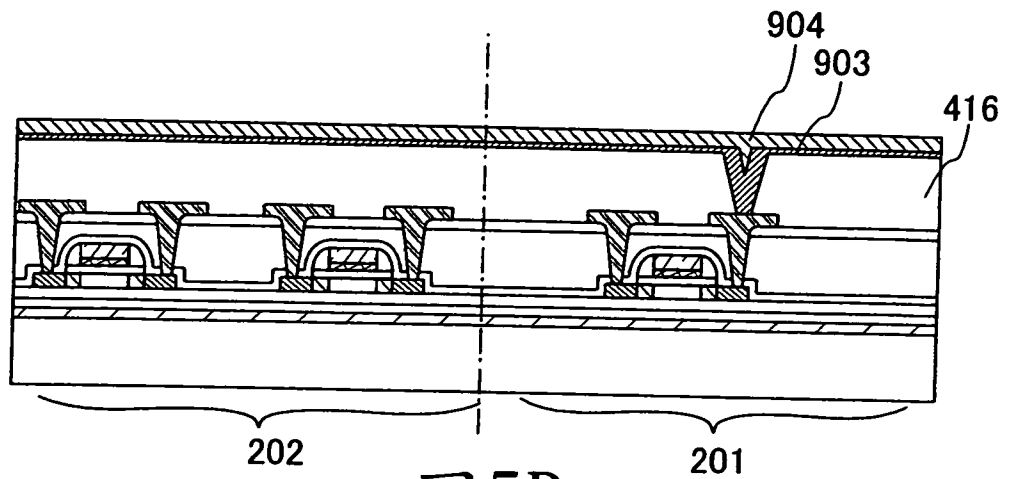


圖 5B

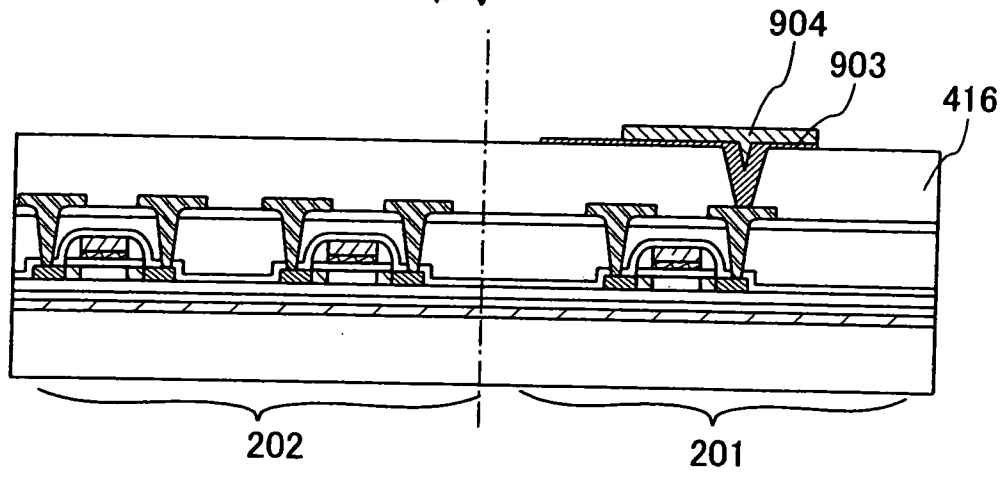


圖 6A

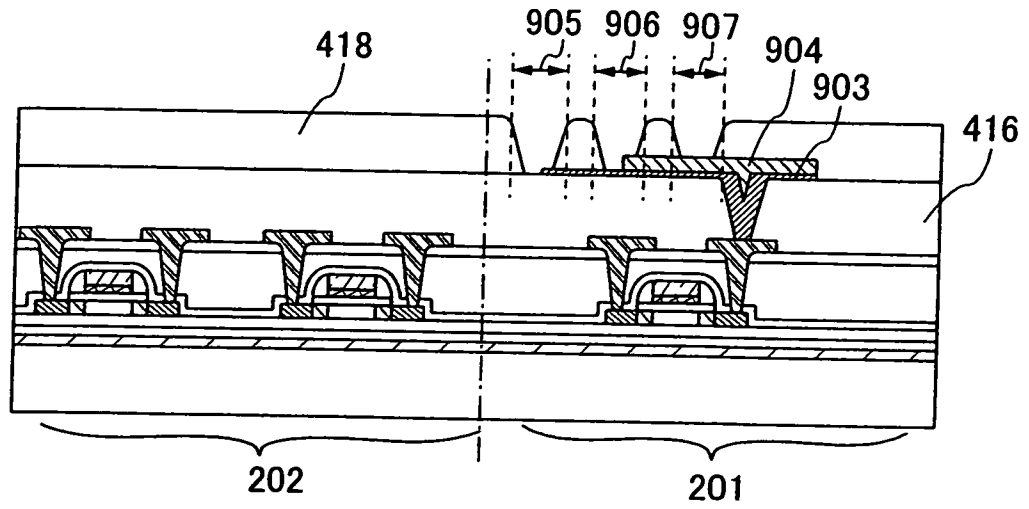


圖 6B

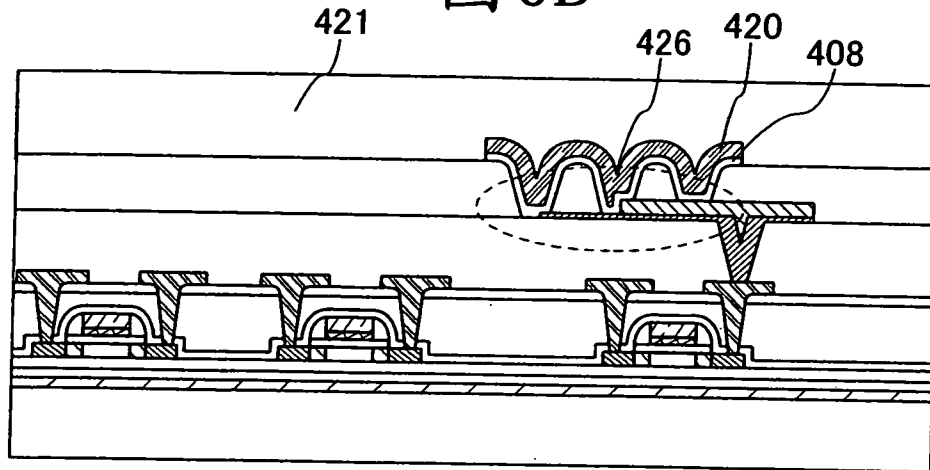


圖7

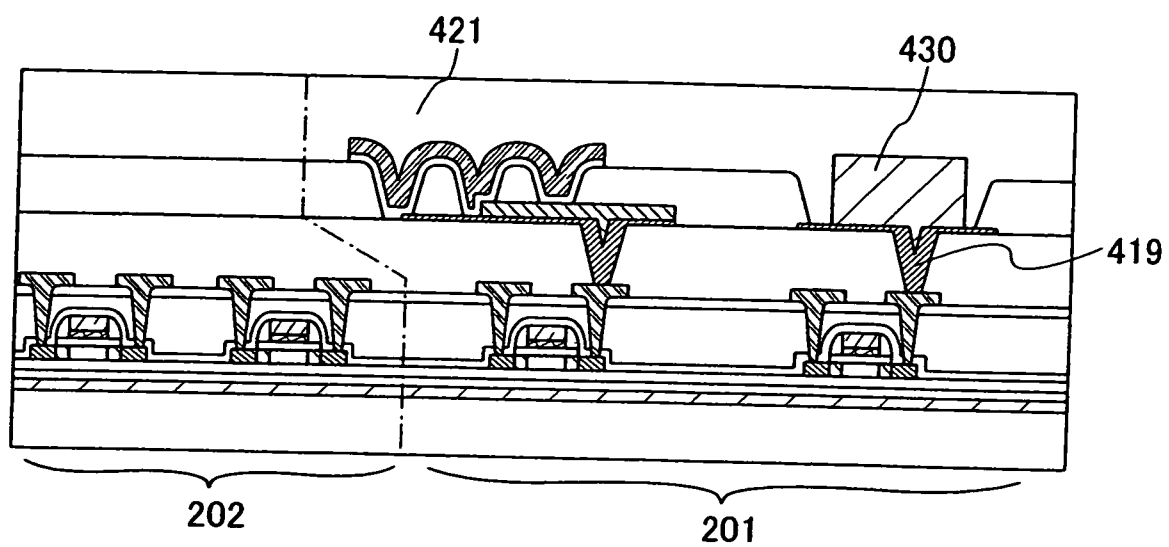


圖 8A

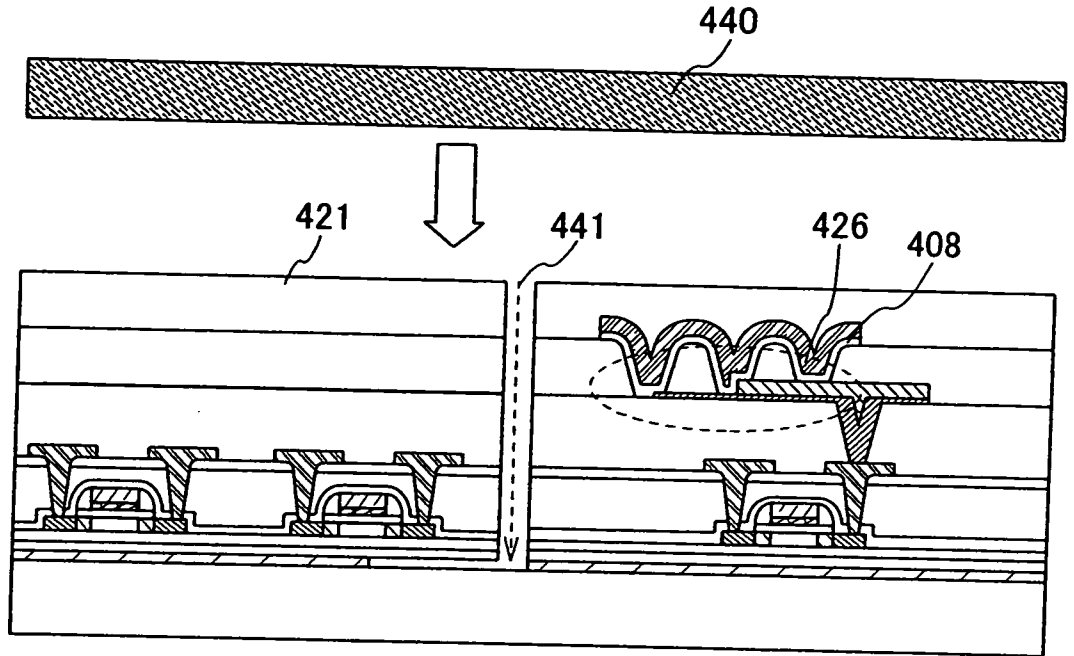


圖 8B

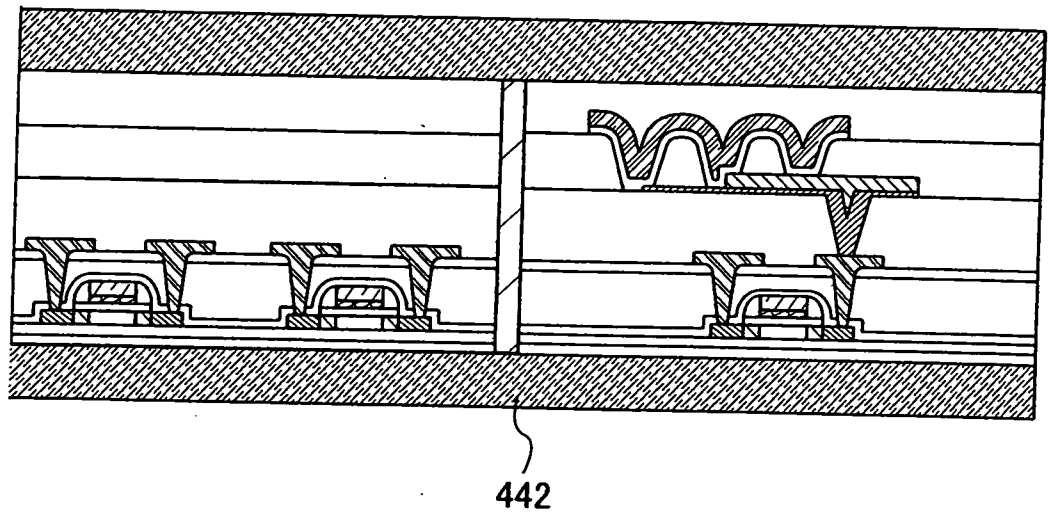


圖 9A

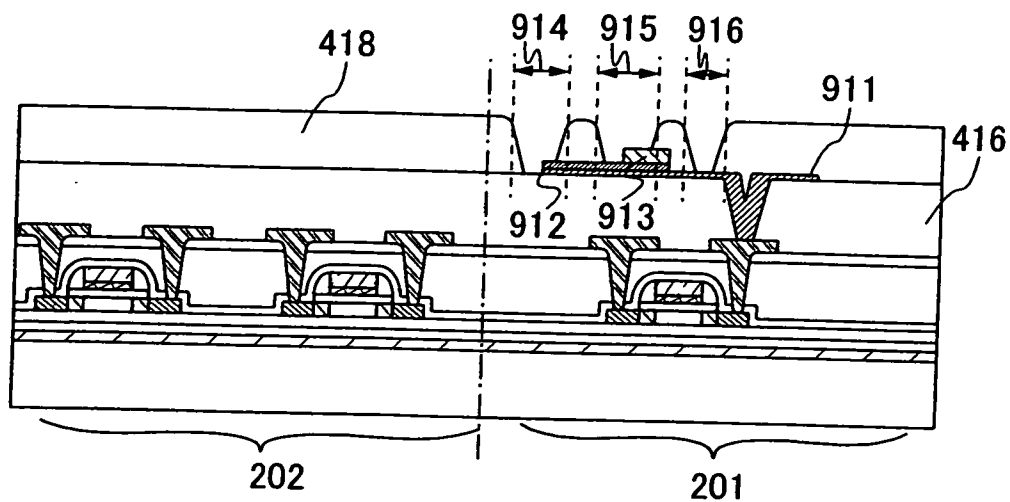


圖 9B

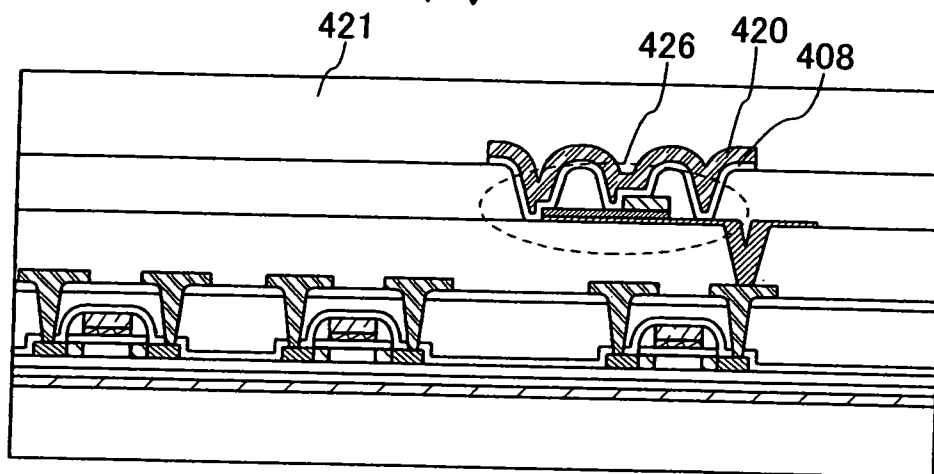


圖 10

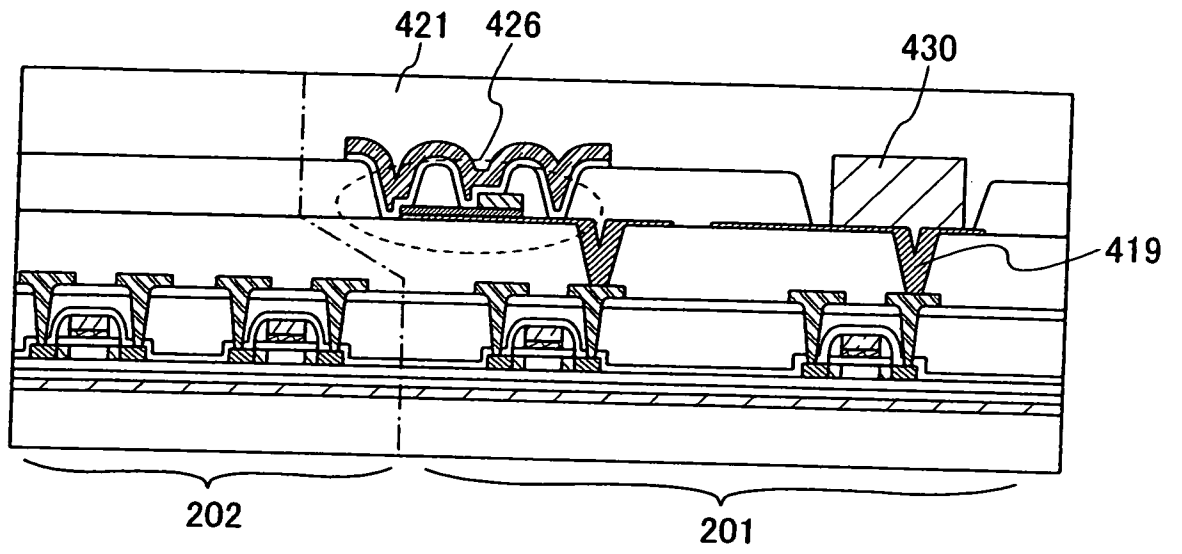


圖 11A

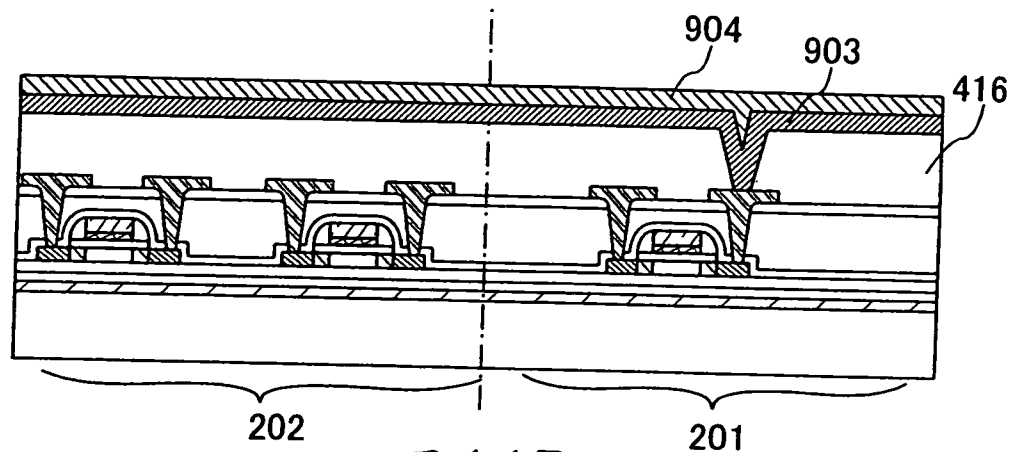


圖 11B

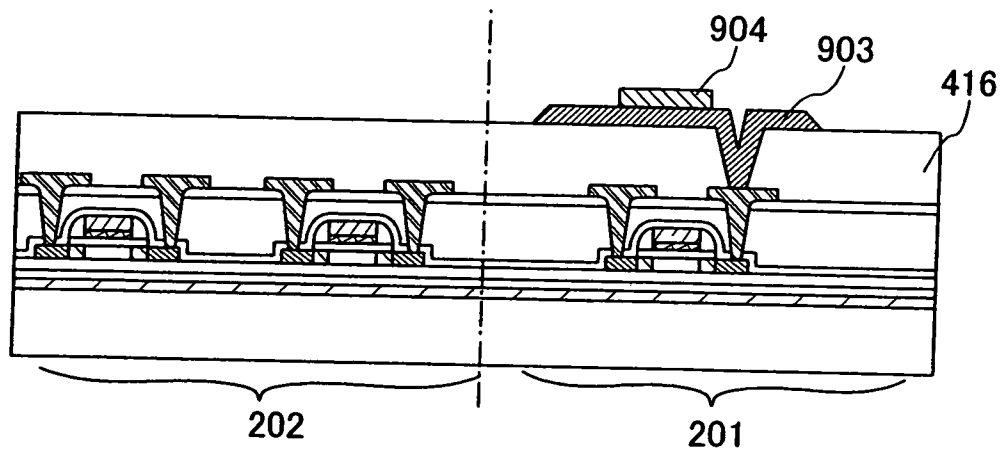


圖 12A

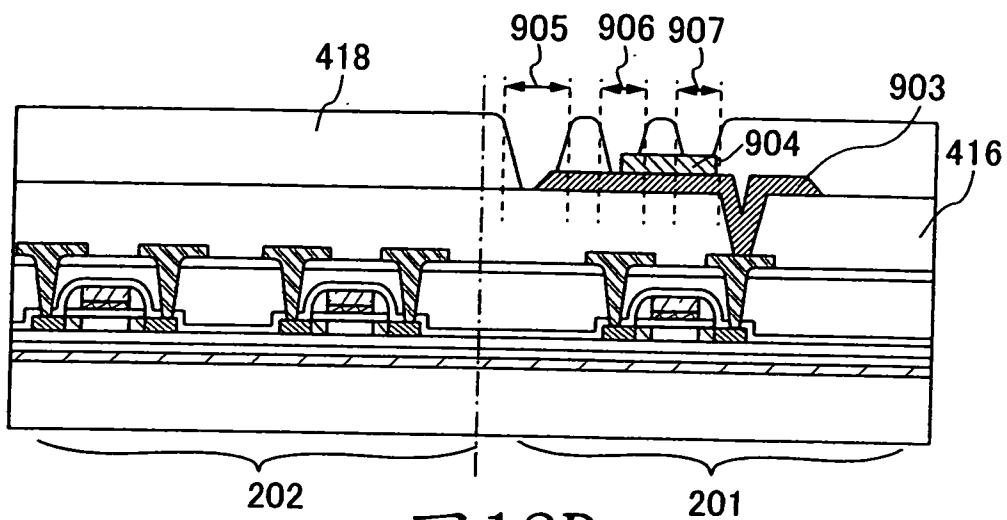


圖 12B

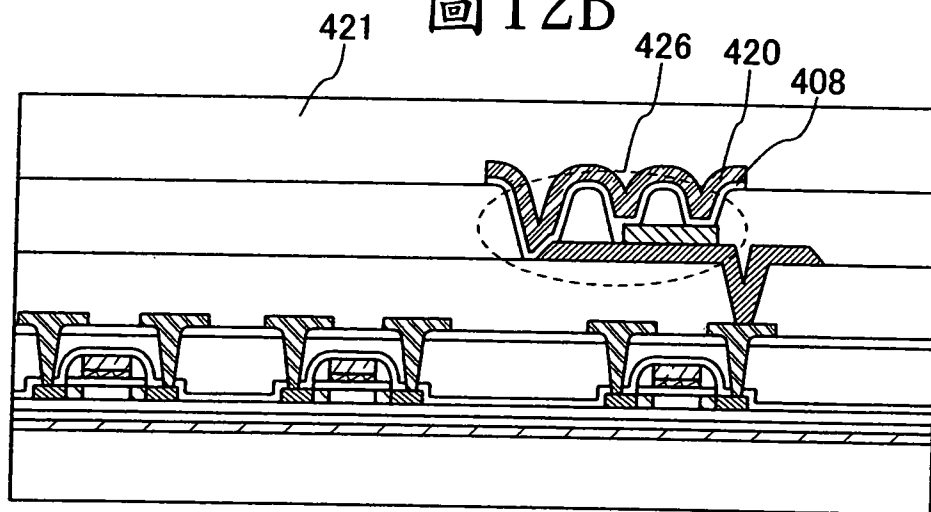


圖 13A

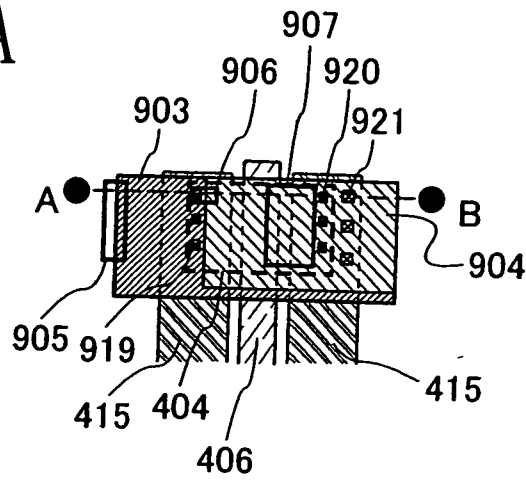


圖 13B

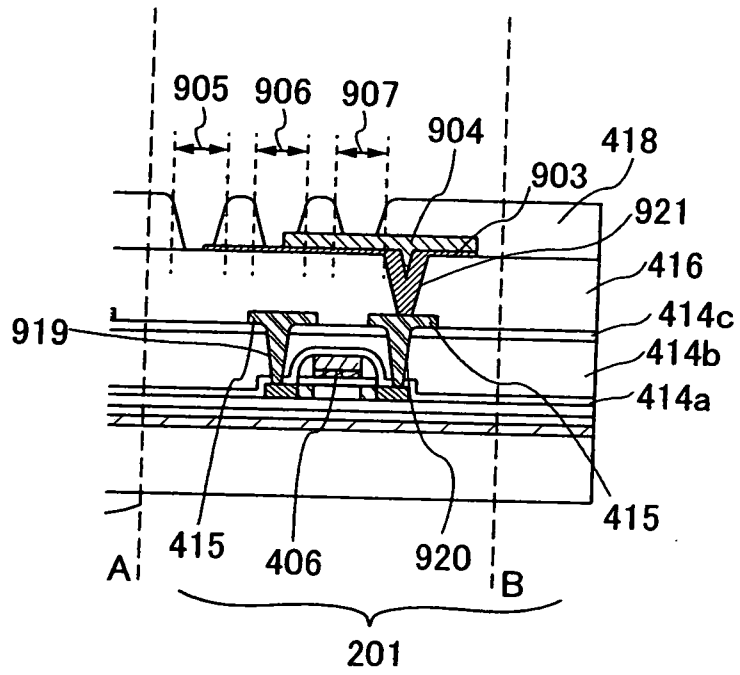


圖 13C

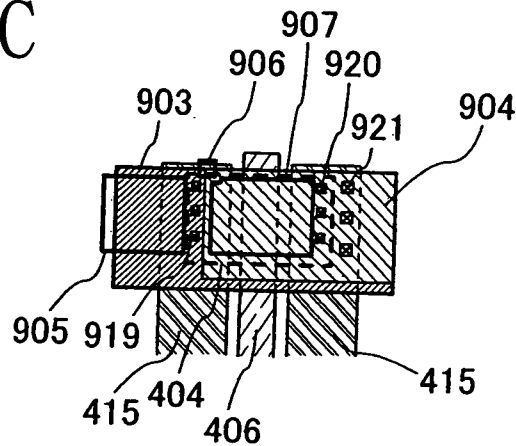


圖 14A

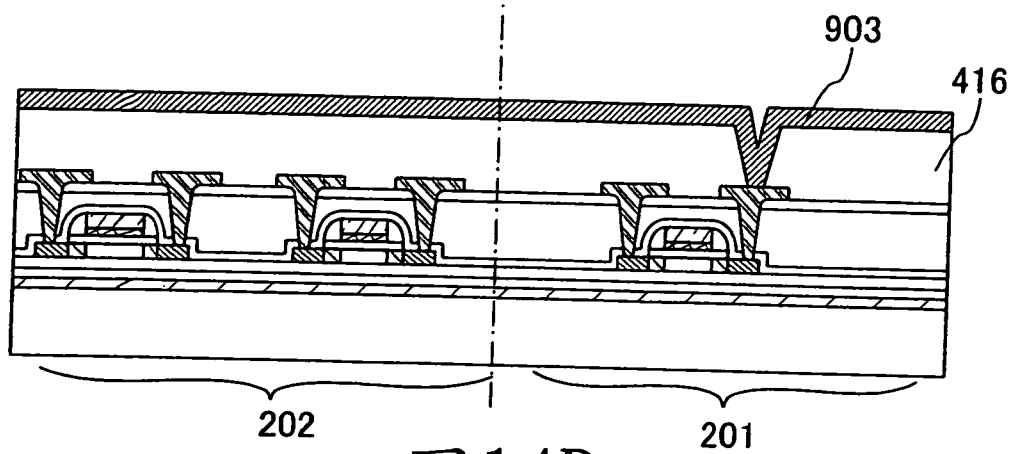


圖 14B

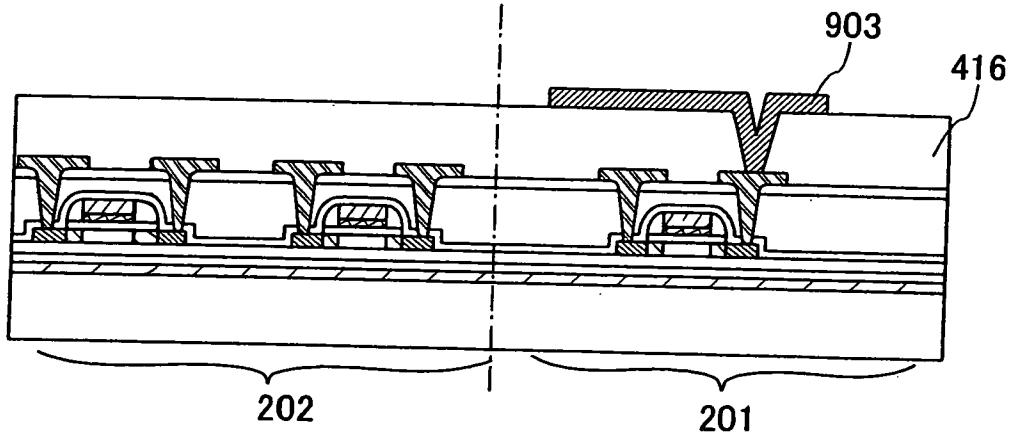


圖 14C

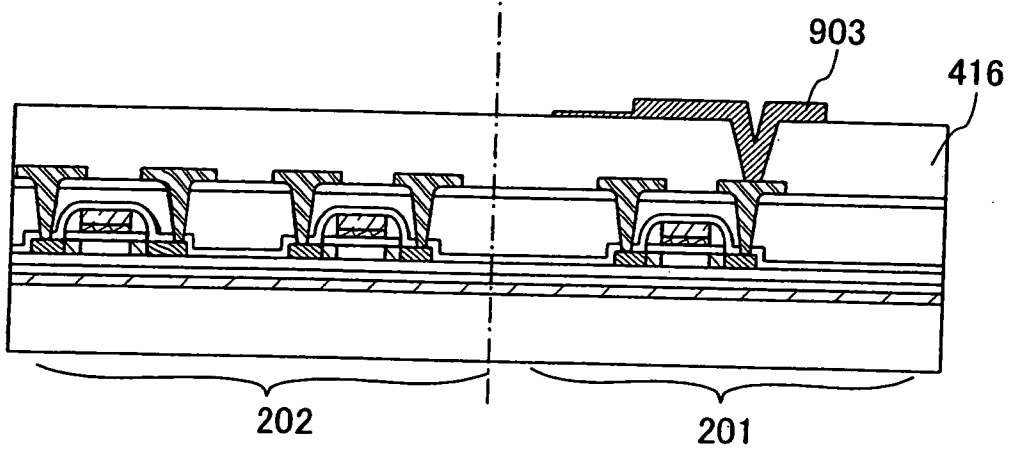


圖 15A

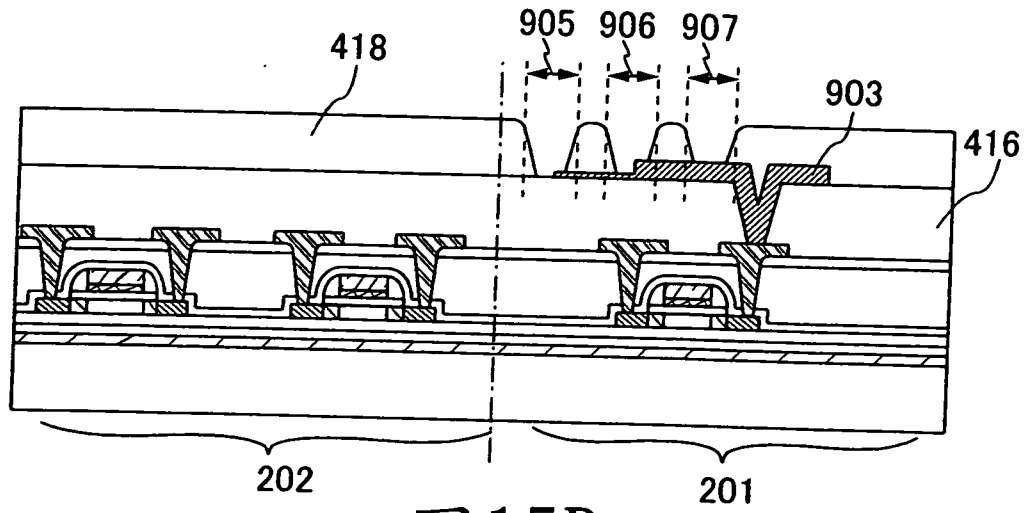


圖 15B

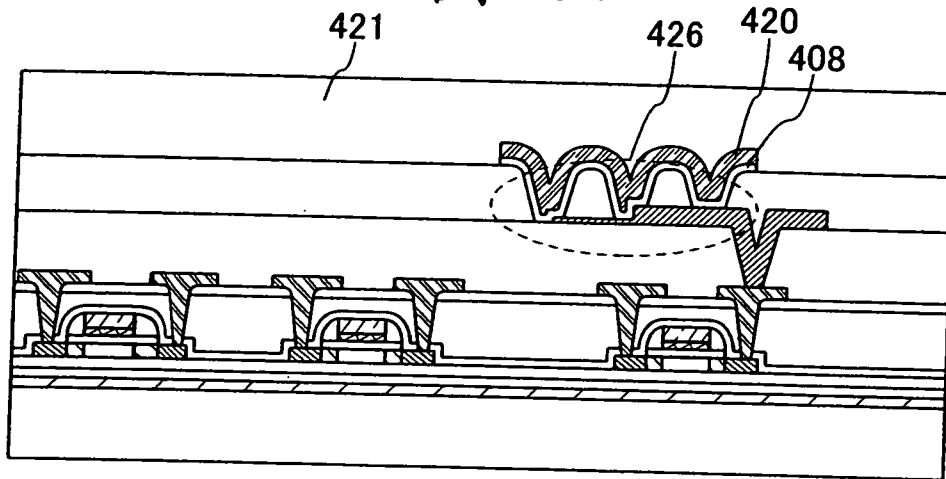


圖 16A

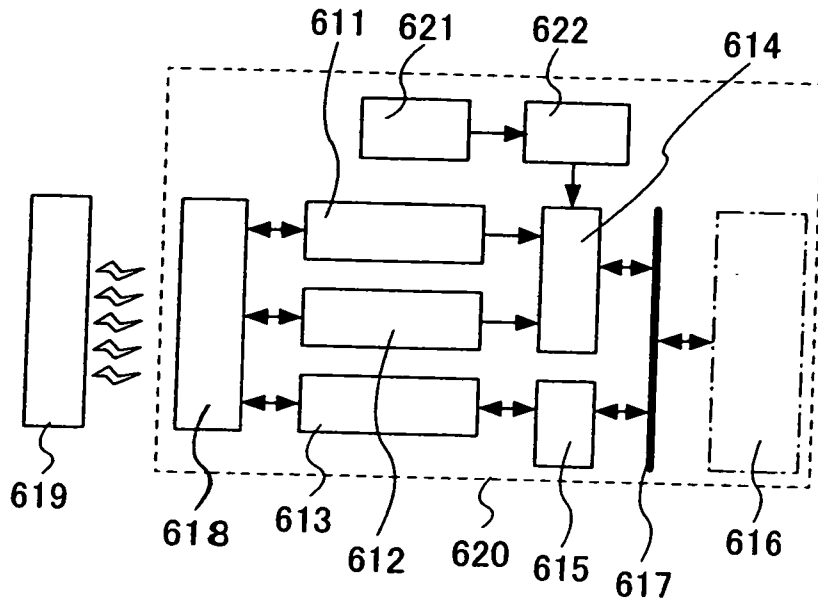


圖 16B

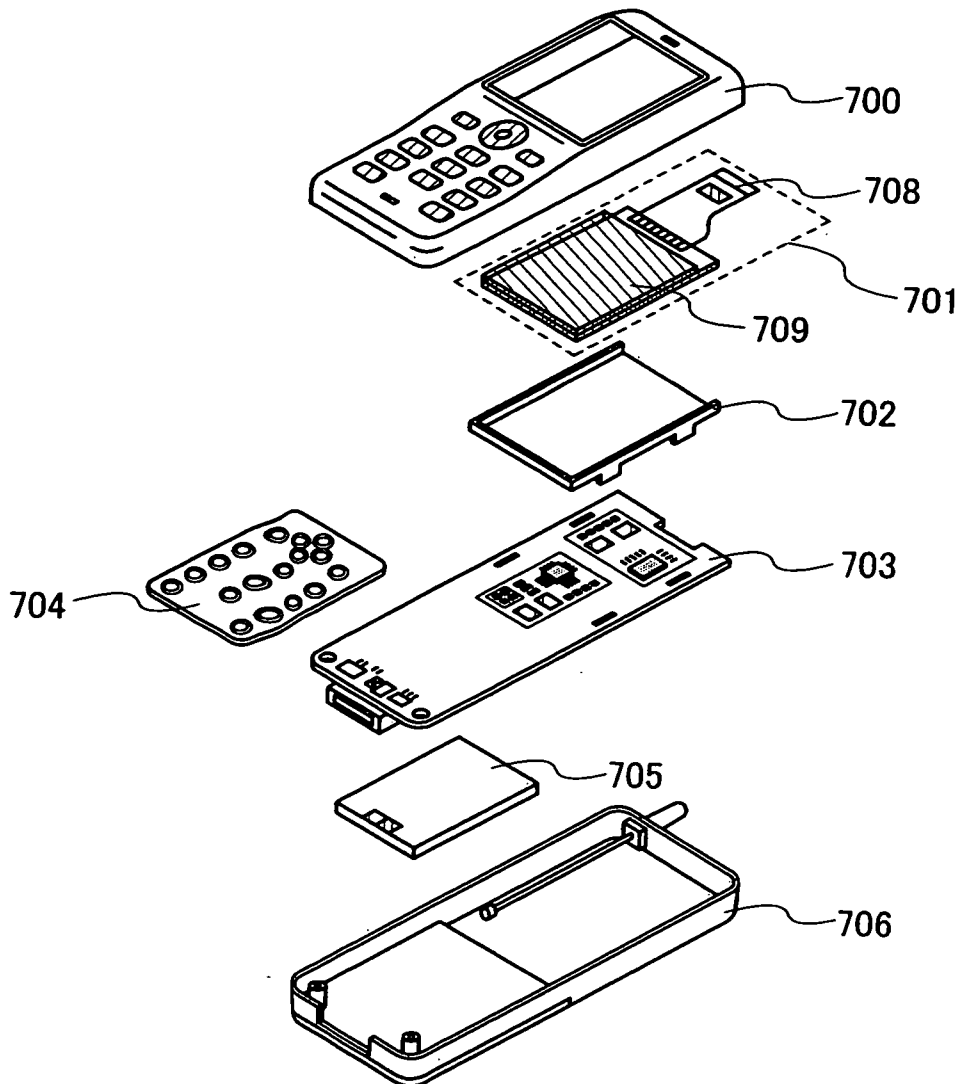


圖 17A

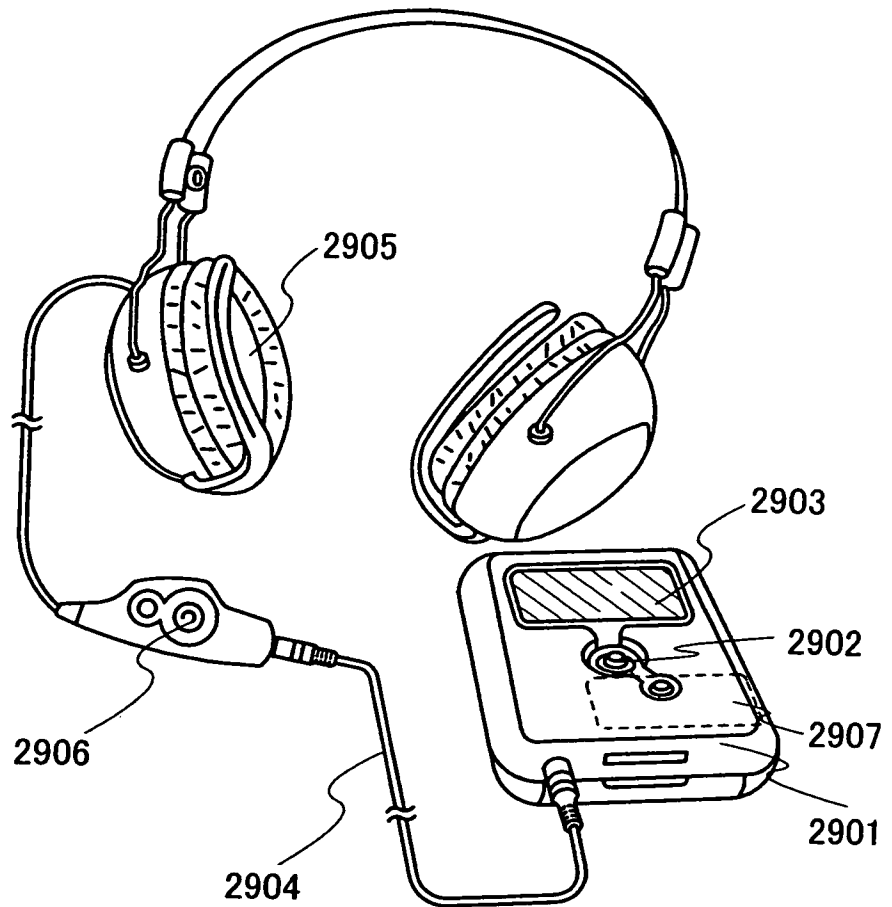


圖 17B

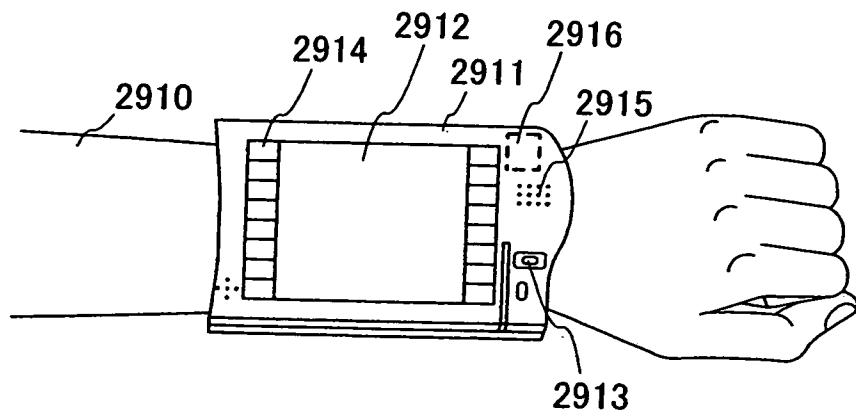


圖 18A

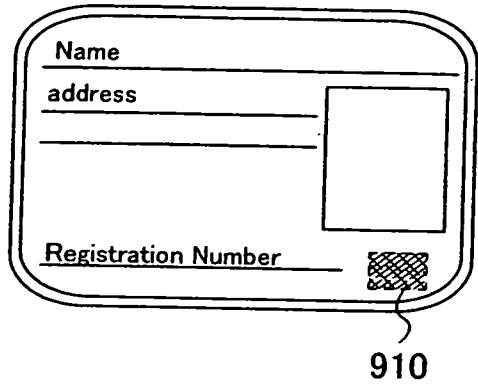


圖 18B

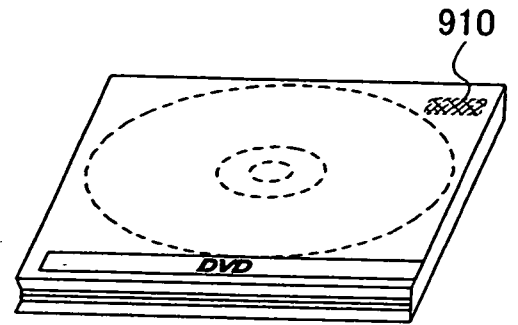


圖 18C

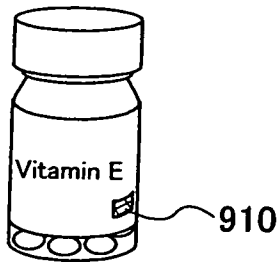


圖 18D

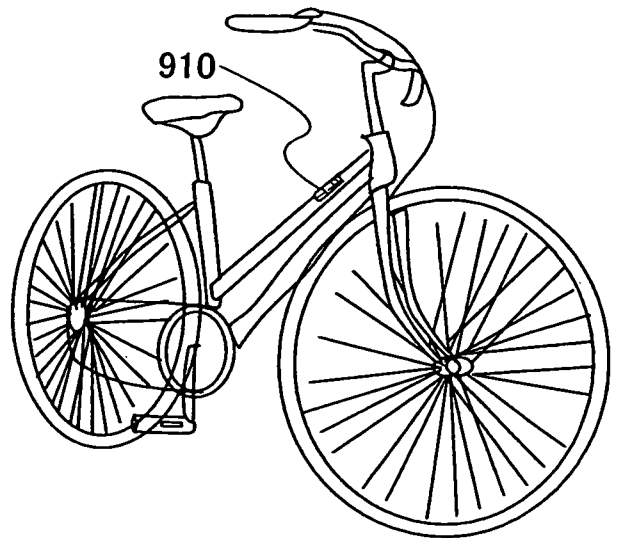


圖 18E

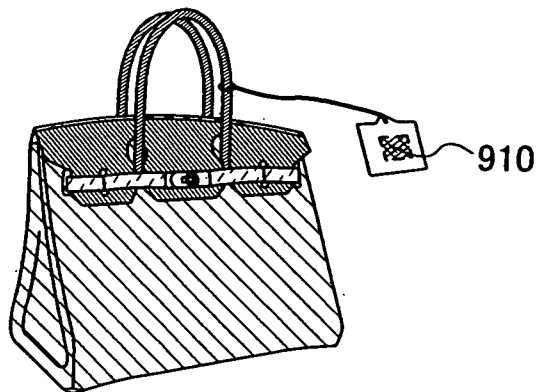


圖 18F

