

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4417974号  
(P4417974)

(45) 発行日 平成22年2月17日(2010.2.17)

(24) 登録日 平成21年12月4日(2009.12.4)

(51) Int.Cl. F I  
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 B  
 HO 1 L 25/07 (2006.01) HO 1 L 21/60 3 1 1 Q  
 HO 1 L 25/18 (2006.01)  
 HO 1 L 21/60 (2006.01)

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2007-110080 (P2007-110080)	(73) 特許権者	000003078
(22) 出願日	平成19年4月19日(2007.4.19)		株式会社東芝
(65) 公開番号	特開2008-270446 (P2008-270446A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年11月6日(2008.11.6)	(74) 代理人	100077849
審査請求日	平成19年4月19日(2007.4.19)		弁理士 須山 佐一
		(74) 代理人	100113871
			弁理士 川原 行雄
		(74) 代理人	100124073
			弁理士 山下 聡
		(74) 代理人	100134223
			弁理士 須山 英明
		(72) 発明者	小塩 康弘
			東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 積層型半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

素子搭載部を有する配線基板と、前記配線基板の前記素子搭載部に並列して搭載された複数の半導体素子を有する下段側半導体素子群と、前記下段側半導体素子群上に前記複数の半導体素子にまたがって積層され、かつ前記下段側半導体素子群の前記複数の半導体素子より大形状を有すると共に、前記複数の半導体素子に対してフリップチップ接続された上段側半導体素子とを具備する積層型半導体装置の製造方法であって、

位置決め用基板に第1の半田パッドを形成する工程と、

前記下段側半導体素子群を構成する前記複数の半導体素子の前記上段側半導体素子が積層される面とは反対側の面に、それぞれ前記第1の半田パッドと同一パターンを有する第2の半田パッドを形成する工程と、

前記第1の半田パッドと前記第2の半田パッドとが対向するように、前記位置決め用基板上に前記複数の半導体素子を配置する工程と、

前記第1および第2の半田パッドに熱処理を施して、前記半田パッドのセルフアライメント効果に基づいて、前記複数の半導体素子を位置決めする工程と、

前記位置決め用基板上で、前記下段側半導体素子群上に前記複数の半導体素子にまたがって前記上段側半導体素子を積層し、前記複数の半導体素子と前記上段側半導体素子とをフリップチップ接続する工程と、

前記下段側半導体素子群と前記上段側半導体素子との接続体を、前記位置決め用基板から取り外す工程と、

10

20

前記位置決め用基板から取り外した前記接続体を、前記配線基板の前記素子搭載部に搭載する工程と

を具備することを特徴とする積層型半導体装置の製造方法。

【請求項 2】

請求項 1 記載の積層型半導体装置の製造方法において、

前記第 2 の半田パッドは前記第 1 の半田パッドと同一形状を有することを特徴とする積層型半導体装置の製造方法。

【請求項 3】

請求項 1 または請求項 2 記載の積層型半導体装置の製造方法において、

前記第 1 および第 2 の半田パッドは前記上段側半導体素子をフリップチップ接続するための bumps 電極より低い融点を有し、かつ前記第 1 および第 2 の半田パッドと前記 bumps 電極との融点の差に基づいて、前記接続体を前記位置決め用基板から取り外すことを特徴とする積層型半導体装置の製造方法。

10

【請求項 4】

請求項 1 または請求項 2 記載の積層型半導体装置の製造方法において、

前記複数の半導体素子に前記上段側半導体素子をフリップチップ接続した後に、前記複数の半導体素子と前記上段側半導体素子との間に樹脂を充填して固化させる工程と、

前記樹脂を固化させた後に、前記位置決め用基板に前記第 1 および第 2 の半田パッドを介して接続された前記複数の半導体素子に熱処理を施して、前記接続体を前記位置決め用基板から取り外す工程と

20

を具備することを特徴とする積層型半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は積層型半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体装置の小型化や高機能化等を実現するために、1つのパッケージ内に複数の半導体素子を積層して封止したパッケージ構造（COC（Chip on Chip）構造）が実用化されている。COCパッケージはメモリ素子とロジック素子とを積層した構造等に

30

【0003】

積層した半導体素子間の接続にフリップチップ接続を適用する場合には、まず外部接続端子等を有する配線基板上に、電極形成面を上側にして第 1 の半導体素子（下段側半導体素子）を搭載する。次いで、電極形成面を下側にして第 2 の半導体素子（上段側半導体素子）を第 1 の半導体素子上に積層する。このように、電極形成面同士を対向させて積層した第 1 および第 2 の半導体素子間を、bumps 電極を介して接続する。フリップチップ接続によれば半導体素子間の接続距離が短縮されるため、例えばメモリ素子とロジック素子との間のデータ伝送速度を高速化することができる。

40

【0004】

一般的にメモリ素子のサイズはロジック素子に比べて大きいため、積層型 SIP ではメモリ素子上にロジック素子を搭載し、これら素子間をフリップチップ接続する。メモリ素子と配線基板との接続にはワイヤボンディングが適用される。例えば、携帯電話機やデジタル家電装置等に用いられる半導体装置では、複数のロジック素子とメモリ素子とを組合せて使用する場合がある。このような構成に積層構造を適用する場合、メモリ素子上に複数のロジック素子が積層されることになるため、各素子の大きさによっては下段側のメモリ素子の配線基板との接続領域を十分に確保できなくなるおそれがある。

50

## 【0005】

一方、複数のロジック素子上にメモリ素子を積層することも考えられるが、この場合には下段側の複数の半導体素子にまたがって上段側の半導体素子が積層されることになるため、従来の半導体素子間の接続精度ではワイヤボンディングを適用する必要がある。ワイヤボンディングを適用した積層型半導体装置では、半導体素子間の接続距離が長くなるため、データ伝送速度の低下が避けられない。さらに、積層構造や接続構造に基づいて、上段側半導体素子の下段側の各半導体素子に対する接続領域を十分に確保することができないため、接続電極数を多ピン化することができないというような問題が生じる。

【特許文献1】特開2000-114452号公報

【特許文献2】特開2006-024752号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0006】

本発明の目的は、積層した半導体素子間の接続精度の向上と接続距離の短縮とを両立させた積層型半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

## 【0008】

本発明の態様に係る積層型半導体装置の製造方法は、素子搭載部を有する配線基板と、前記配線基板の前記素子搭載部に並列して搭載された複数の半導体素子を有する下段側半導体素子群と、前記下段側半導体素子群上に前記複数の半導体素子にまたがって積層され、かつ前記下段側半導体素子群の前記複数の半導体素子より大形状を有すると共に、前記複数の半導体素子に対してフリップチップ接続された上段側半導体素子とを具備する積層型半導体装置の製造方法であって、位置決め用基板に第1の半田パッドを形成する工程と、前記下段側半導体素子群を構成する前記複数の半導体素子の前記上段側半導体素子が積層される面とは反対側の面に、それぞれ前記第1の半田パッドと同一パターンを有する第2の半田パッドを形成する工程と、前記第1の半田パッドと前記第2の半田パッドとが対向するように、前記位置決め用基板上に前記複数の半導体素子を配置する工程と、前記第1および第2の半田パッドに熱処理を施して、前記半田パッドのセルフアライメント効果に基づいて、前記複数の半導体素子を位置決めする工程と、前記位置決め用基板上で、前記下段側半導体素子群上に前記複数の半導体素子にまたがって前記上段側半導体素子を積層し、前記複数の半導体素子と前記上段側半導体素子とをフリップチップ接続する工程と、前記下段側半導体素子群と前記上段側半導体素子との接続体を、前記位置決め用基板から取り外す工程と、前記位置決め用基板から取り外した前記接続体を、前記配線基板の前記素子搭載部に搭載する工程とを具備することを特徴としている。

【発明の効果】

## 【0009】

本発明の態様に係る積層型半導体装置の製造方法は、下段側半導体素子群を構成する複数の半導体素子の位置精度を高めた上で、上段側半導体素子を複数の半導体素子にまたがって積層してフリップチップ接続している。従って、下段側半導体素子群と上段側半導体素子との接続精度の向上と接続距離の短縮とを両立させることが可能となる。

【発明を実施するための最良の形態】

## 【0010】

以下、本発明を実施するための形態について、図面を参照して説明する。図1は本発明の実施形態による積層型半導体装置の構成を示している。同図に示す積層型半導体装置1は、インターポーザとして機能する配線基板2を有している。配線基板2は半導体素子を搭載することが可能で、かつ配線網を有するものであればよく、樹脂基板、セラミック基板、ガラス基板等の各種絶縁基板に内層配線や表面配線による配線網を設けたもの等が用いられる。樹脂基板を適用した配線基板2としてはプリント配線板が例示される。

## 【0011】

配線基板2の下面側には、外部接続端子3として半田バンプ等が設けられている。こ

10

20

30

40

50

ではBGAパッケージに適用する積層型半導体装置1を示しているため、配線基板2の下面に外部接続端子3として半田バンプを設けている。積層型半導体装置1はLGAパッケージ等にも適用可能であり、この場合には外部接続端子3は金属ランドで構成される。配線基板2の上面側には、素子搭載部4と接続部(接続パッド)5とが設けられている。接続パッド5は配線基板2の配線網を介して下面側に設けられた外部接続端子3と電気的に接続されている。接続パッド5はワイヤボンディング部となるものである。

#### 【0012】

配線基板2の素子搭載部4には、下段側半導体素子群を構成する複数の半導体素子(下段側半導体素子)6、6...が並列して配置されている。下段側半導体素子6は接着剤層7を介して配線基板2の素子搭載部4に接着されている。下段側半導体素子6は上面側に電極パッド8が設けられており、電極パッド8の形成面(電極形成面)を上方に向けて配線基板2上に搭載されている。すなわち、下段側半導体素子6はフェースアップ状態で配線基板2に搭載されている。

10

#### 【0013】

下段側半導体素子群は、例えば図2に示すように4個の半導体素子6で構成される。下段側半導体素子6の個数は2個に限られるものではなく、図3に示すように2個で構成してもよい。また、下段側半導体素子6は3個もしくは5個以上であってもよい。このように、下段側半導体素子群を構成する下段側半導体素子6の個数は2個もしくはそれ以上であればよく、例えばSIPを構成する積層型半導体装置1の用途等に応じて適宜に設定されるものである。下段側半導体素子6は後述するように上段側半導体素子より素子サイズが小さく、このような場合に積層型半導体装置1は好適である。

20

#### 【0014】

下段側半導体素子6の電極パッド8は、配線基板2と接続される第1のパッド群8aと、後述する上段側半導体素子と接続される第2のパッド群8bとを有している。第1のパッド群8aはワイヤボンディング部を構成するものであり、第2のパッド群8bはフリップチップ接続部を構成するものである。下段側半導体素子6の電極パッド8のうち、第1のパッド群8aは導電性ワイヤ9を介して配線基板2の接続パッド5と電気的に接続されている。導電性ワイヤ9には一般的なAu線やCu線等の金属細線が用いられる。

#### 【0015】

複数の半導体素子6、6...で構成された下段側半導体素子群上には、上段側半導体素子10が積層されている。上段側半導体素子10は下段側半導体素子6より大形状を有しており、複数の半導体素子6、6...にまたがって積層されている。下段側半導体素子6と上段側半導体素子10との組合せは特に限定されるものではないが、例えば下段側半導体素子6がロジック素子(論理LSI)で上段側半導体素子10がメモリ素子(DRAM等)の組合せが例示される。下段側半導体素子6がロジック素子の場合、例えば下段側半導体素子群はデジタル用ロジックやアナログ用ロジック等で構成される。

30

#### 【0016】

上段側半導体素子10は下面側に電極パッド11が設けられており、電極パッド11の形成面を下方に向けて下段側半導体素子群上に積層されている。すなわち、上段側半導体素子10はフェースダウン状態で下段側半導体素子群上に積層されている。言い換えると、上段側半導体素子10はその電極形成面を下段側半導体素子6の電極形成面と対向させて配置されている。そして、上段側半導体素子10は下段側の複数の半導体素子6、6...に対してそれぞれフリップチップ接続されている。

40

#### 【0017】

下段側半導体素子6の第2のパッド群8bは、上段側半導体素子10の電極パッド11とバンプ電極12を介して電気的に接続されている。下段側半導体素子6と上段側半導体素子10との間の隙間には、アンダーフィル剤として樹脂13が充填されている。アンダーフィル樹脂13には、例えばエポキシ樹脂、フェノール樹脂、シリコーン樹脂等の熱硬化性樹脂が用いられる。そして、配線基板2上に積層、配置された下段側および上段側半導体素子6、10は、例えばエポキシ樹脂のような封止樹脂14でボンディングワイヤ9

50

等と共に封止されており、これらによって積層型半導体装置 1 が構成されている。

【 0 0 1 8 】

上段側半導体素子 1 0 を複数の下段側半導体素子 6、6 ... に対してフリップチップ接続するにあたって、通常のダイボンディングを適用して下段側半導体素子 6 を配線基板 2 に搭載しただけでは、下段側半導体素子 6 の位置精度をフリップチップ接続に使用するバンプ電極 1 2 のピッチ精度と同等まで高めることができない。このため、上段側半導体素子 1 0 をフリップチップ接続した際に、下段側半導体素子 6 と上段側半導体素子 1 0 との接続精度を維持することができなくなる。すなわち、下段側半導体素子 6 と上段側半導体素子 1 0 とをバンプ電極 1 2 を介して確実に接続することができない。

【 0 0 1 9 】

そこで、この実施形態では後述する半田のセルフアライメント効果を利用して、複数の下段側半導体素子 6 の位置精度をバンプ電極のピッチ精度と同等もしくはそれ以上に高めている。このように、下段側半導体素子 6 の位置精度（隣接する下段側半導体素子 6 間の位置精度）をバンプ電極のピッチ精度と同等もしくはそれ以上に高めることによって、上段側半導体素子 1 0 を複数の下段側半導体素子 6 に対して高精度にフリップチップ接続することが可能となる。さらに、下段側に複数の半導体素子 6 を配置しているため、下段側半導体素子 6 の配線基板 2 との接続領域を十分に確保することができる。

【 0 0 2 0 】

例えば、1 個の半導体素子上に複数の半導体素子を並列して配置した場合、その平面配置は図 2 を逆転させた状態となるため、下段側の半導体素子の配線基板との接続領域を十分に確保することができなくなる。これでは接続電極数の多ピン化に対応することができない。また、複数の下段側半導体素子上に 1 個の上段側半導体素子を積層する構造としては、各半導体素子をいずれもフェースダウン状態で積層することが考えられるが、この場合には全ての半導体素子にワイヤボンディング接続を適用する必要がある。このため、半導体素子間の接続距離が長くなり、データ伝送速度の低下等が避けられない。

【 0 0 2 1 】

この実施形態の積層型半導体装置 1 においては、複数の下段側半導体素子 6 と上段側半導体素子 1 0 とを電極形成面同士を対向させて配置すると共に、下段側半導体素子 6 の位置精度をバンプ電極のピッチ精度と同等もしくはそれ以上に高めている。このため、複数の下段側半導体素子 6 と上段側半導体素子 1 0 との接続精度を低下させることなく、接続距離の短縮が可能なフリップチップ接続を適用することができる。さらに、下段側半導体素子 6 の配線基板 2 に対する接続領域が確保されるため、接続電極数を多ピン化することができる。従って、積層した半導体素子 6、1 0 間の接続精度の向上と接続距離の短縮とを両立させた積層型半導体装置 1 を提供することが可能となる。

【 0 0 2 2 】

上述した積層型半導体装置 1 の製造工程について、図 2 ないし図 1 2 を参照して説明する。まず、図 4 に示すように、複数の下段側半導体素子 6 の位置決めのために用いられる位置決め用基板 2 1 を用意する。位置決め用基板 2 1 には通常の半導体ウエハ（S i ウエハ等）を適用することができる。位置決め用基板 2 1 は、配線基板 2 上における下段側半導体素子 6 の配置位置に応じた形状を有する素子配置領域 2 2 が設けられている。これら素子配置領域 2 2 には図 5 に示すように、それぞれ第 1 の半田パッド 2 3 がスパッタ法等の薄膜形成法とメッキ法とを組合せて形成されている。

【 0 0 2 3 】

一方、下段側半導体素子群を構成する半導体素子 6 には図 6 に示すように、上段側半導体素子 1 0 が積層される面（電極形成面）6 a とは反対側の面（裏面）6 b に、それぞれ第 1 の半田パッド 2 3 と同一パターンを有する第 2 の半田パッド 2 4 が形成されている。そして、図 7 および図 8 に示すように、第 1 の半田パッド 2 3 と第 2 の半田パッド 2 4 とが対向するように、位置決め用基板 2 1 上に複数の下段側半導体素子 6 を配置した後、第 1 および第 2 の半田パッド 2 3、2 4 に熱処理を施す。この熱処理によって、各半田パッド 2 3、2 4 は接続される。この際、半田パッド 2 3、2 4 のセルフアライメント効果に

10

20

30

40

50

基づいて、複数の下段側半導体素子 6 は位置決め用基板 2 1 に対して位置決めされる。

【 0 0 2 4 】

すなわち、位置決め用基板 2 1 に設けられた第 1 の半田パッド 2 3 と下段側半導体素子 6 の裏面 6 b に設けられた第 2 の半田パッド 2 4 とは、熱処理が施されて半田接続される際に、半田のセルフアライメント効果に基づいて中心が一致するように接続される。半田パッド 2 3、2 4 はそれぞれ下段側半導体素子 6 の配置位置および位置精度に応じて形成されている。従って、第 1 の半田パッド 2 3 と第 2 の半田パッド 2 4 とを半田接続することによって、複数の下段側半導体素子 6 は積層型半導体装置 1 における位置精度を満足した状態で位置決め用基板 2 1 上に位置決めされる。すなわち、上段側半導体素子 1 0 のバンパ電極 1 2 の形成ピッチと同等もしくはそれ以上の精度で位置決めされる。

10

【 0 0 2 5 】

第 2 の半田パッド 2 4 の形状は半田のセルフアライメント効果を利用する上で、重ね合せたときに第 1 の半田パッド 2 3 と対向するように同一のパターンを有していればよいが、セルフアライメント効果を高める上で同一形状（同一パターンで同一の大きさ（幅や径等））を有していることが好ましい。ただし、同一形状でなくても半田のセルフアライメント効果を利用することは可能である。半田パッド 2 3、2 4 の具体的な形状は特に限定されるものではなく、例えばドット状やライン状の半田パッド 2 3、2 4 を適用することができる。図 5 および図 6 は縞模様状の半田パッド 2 3、2 4 を示している。半田パッド 2 3、2 4 には、ドット形状、十字形状、多角形状、直線形状、曲線形状、等ピッチ形状、不等ピッチ形状等、種々の形状を適用することができる。

20

【 0 0 2 6 】

さらに、下段側半導体素子 6 の位置決め精度を高める上で、半田パッド 2 3、2 4 の形成ピッチは上段側半導体素子 1 0 のバンパ電極 1 2 の形成ピッチと同等もしくはそれ以下であることが好ましい。半田パッド 2 3、2 4 同士を半田接続することによる下段側半導体素子 6 の位置決め精度は、半田パッド 2 3、2 4 の形成ピッチに影響され、半田パッド 2 3、2 4 の形成ピッチとパターン幅が狭いほど、下段側半導体素子 6 の位置決め精度を高めることができる。従って、半田パッド 2 3、2 4 の形成ピッチをバンパ電極 1 2 の形成ピッチと同等もしくはそれ以下とすることで、下段側半導体素子 6 にフリップチップ接続する上段側半導体素子 1 0 の接続精度をより再現性よく高めることが可能となる。

【 0 0 2 7 】

次に、図 9 および図 1 0 に示すように、位置決め用基板 2 1 に半田接続体 2 5 を介して接続された下段側半導体素子 6 上に上段側半導体素子 1 0 を積層し、これら素子間をフリップチップ接続する。複数の下段側半導体素子 6 と上段側半導体素子 1 0 との接続には熱圧着やリフロー等が適用される。上段側半導体素子 1 0 は複数の下段側半導体素子 6 にまたがって積層され、各半導体素子 6 に対してフリップチップ接続される。この際、複数の下段側半導体素子 6 は位置決め用基板 2 1 で位置決めされているため、その上に上段側半導体素子 1 0 を積層してフリップチップ接続することによって、複数の下段側半導体素子 6 と上段側半導体素子 1 0 との接続精度を高度に維持することができる。

30

【 0 0 2 8 】

次いで、図 1 1 に示すように、下段側半導体素子 6 と上段側半導体素子 1 0 との間の隙間に液状のアンダーフィル樹脂 1 3 を充填して硬化させることによって、上段側半導体素子 1 0 を下段側半導体素子 6 に対して固定する。このようにして、複数の半導体素子 6 で構成された下段側半導体素子群と上段側半導体素子 1 0 との接続体 2 6 を形成する。そして、図 1 2 に示すように、接続体 2 6 に熱処理を施して位置決め用基板 2 1 から取り外した後、図 1 に示したように配線基板 2 の素子搭載部 4 に搭載し、さらにワイヤボンディング工程や樹脂封止工程等を経ることによって、積層型半導体装置 1 が得られる。

40

【 0 0 2 9 】

接続体 2 6 を位置決め用基板 2 1 から取り外す工程を実施するにあたって、第 1 および第 2 の半田パッド 2 3、2 4 はバンパ電極 1 2 より低い融点を有することが好ましい。例えば、バンパ電極 1 2 を Au - Sn 半田で構成した場合、第 1 および第 2 の半田パッド 2

50

3、24にはそれより融点が高い半田合金が適用される。これによって、第1および第2の半田パッド23、24が熔融し、かつバンプ電極12が接続状態を維持し得る温度範囲で接続体26に熱処理を施すことによって、接続体26の形状や接続構造を安定に維持しつつ、位置決め用基板21から容易に取り外すことができる。

【0030】

また、予め下段側半導体素子6と上段側半導体素子10との間をアンダーフィル樹脂13で固定しておくことによって、第1および第2の半田パッド23、24とバンプ電極12との融点差が小さい場合であっても、接続体26の形状や接続構造を維持しながら位置決め用基板21から取り外すことができる。接続体26を位置決め用基板21から取り外すにあたって、第1および第2の半田パッド23、24とバンプ電極12との融点差とアンダーフィル樹脂13による素子間固定とを併用することが好ましい。

10

【0031】

上述したように、位置決め用基板21と半田パッド23、24とを利用して位置決めされた複数の下段側半導体素子6に対して、上段側半導体素子10をフリップチップ接続することによって、複数の下段側半導体素子6にまたがって積層される上段側半導体素子10の接続精度を維持することができる。このような接続精度を有する接続体26を位置決め用基板21から取り外して配線基板2上に搭載することによって、図1に示した積層型半導体装置1を得ることができる。すなわち、複数の下段側半導体素子6と上段側半導体素子10との接続距離の短縮させた上で、接続精度を向上させた積層型半導体装置1、さらにはそのような積層型半導体装置1の実用的な製造方法を提供することが可能となる。

20

【0032】

なお、本発明は上記した各実施形態に限定されるものではなく、複数の下段側半導体素子と上段側半導体素子との間をフリップチップ接続する各種の積層型半導体装置に適用することができる。下段側半導体素子の個数は特に限定されるものではなく、2個もしくはそれ以上であればよい。そのような積層型半導体装置も本発明に含まれるものである。さらに、本発明の実施形態は本発明の技術的思想の範囲内で拡張もしくは変更することができ、この拡張、変更した実施形態も本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【0033】

【図1】本発明の実施形態による積層型半導体装置の構成を示す断面図である。

30

【図2】図1に示す積層型半導体装置における下段側半導体素子群と上段側半導体素子との組合せを示す平面図である。

【図3】図1に示す積層型半導体装置における下段側半導体素子群と上段側半導体素子との他の組合せを示す平面図である。

【図4】図1に示す積層型半導体装置の製造工程を示す図であって、位置決め用基板を示す斜視図である。

【図5】図4に示す位置決め用基板の構成を拡大して示す図であって、(a)は平面図、(b)は断面図である。

【図6】図4に示す位置決め用基板上に配置される下段側半導体素子を拡大して示す図であって、(a)は断面図、(b)は下面図である。

40

【図7】図1に示す積層型半導体装置の製造工程を示す図であって、位置決め用基板に下段側半導体素子を接続した状態を示す斜視図である。

【図8】図7に示す位置決め用基板と下段側半導体素子との接続状態を拡大して示す断面図である。

【図9】図1に示す積層型半導体装置の製造工程を示す図であって、下段側半導体素子上に上段側半導体素子を接続した状態を示す斜視図である。

【図10】図9に示す下段側半導体素子と上段側半導体素子との接続状態を拡大して示す断面図である。

【図11】図10に示す下段側半導体素子と上段側半導体素子との間にアンダーフィル樹脂を充填して接続体を形成した状態を拡大して示す断面図である。

50

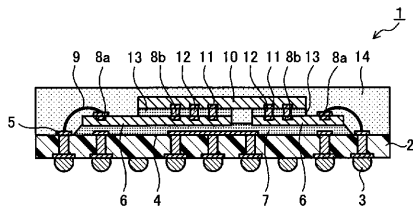
【図12】図11に示す接続体を位置決め用基板から取り外した状態を示す斜視図である。

【符号の説明】

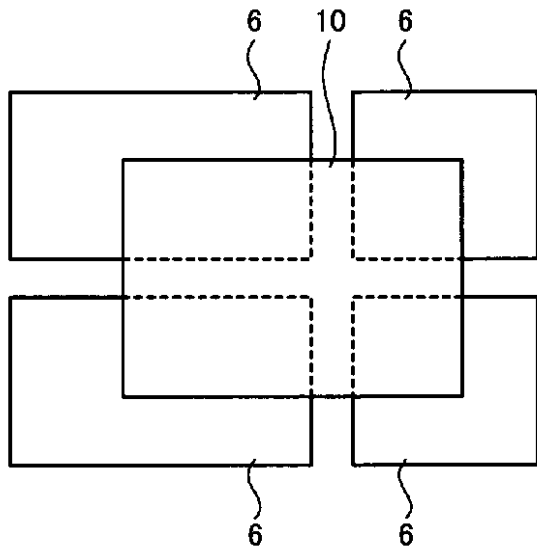
【0034】

1...積層型半導体装置、2...配線基板、4...素子搭載部、5...接続パッド、6...下段側半導体素子、8, 11...電極パッド、10...上段側半導体素子、12...バンプ電極、13...アンダーフィル樹脂、21...位置決め用基板、22...素子配置領域、23...第1の半田パッド、24...第2の半田パッド、26...接続体。

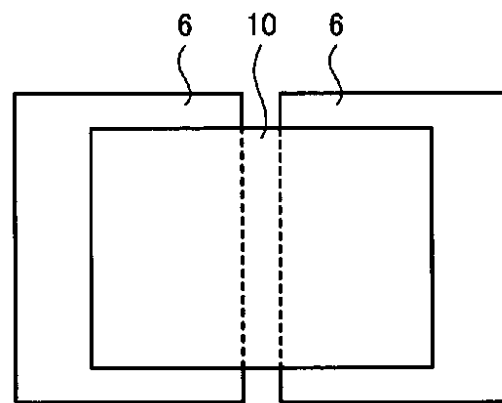
【図1】



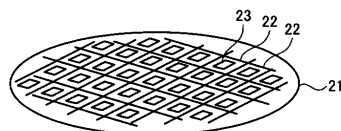
【図2】



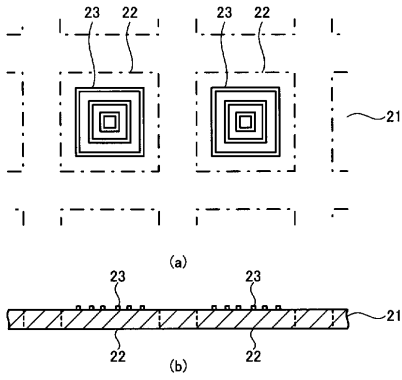
【図3】



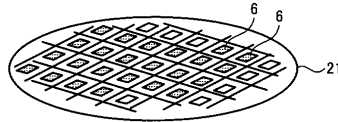
【図4】



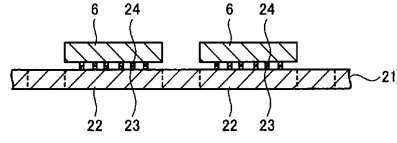
【図5】



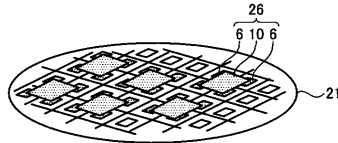
【図7】



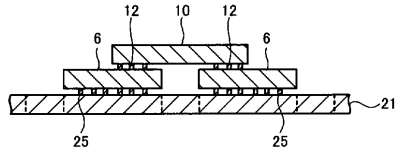
【図8】



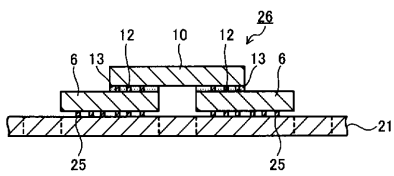
【図9】



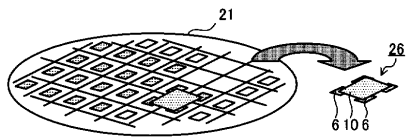
【図10】



【図11】



【図12】



---

フロントページの続き

審査官 今井 拓也

- (56)参考文献 特開2004-039929(JP,A)  
特開昭53-039068(JP,A)  
特開2002-359345(JP,A)  
特開2005-217205(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 21/60