

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-94271

(P2004-94271A)

(43) 公開日 平成16年3月25日(2004.3.25)

(51) Int. Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20

F I

G09G 3/36
G02F 1/133 550
G09G 3/20 611H
G09G 3/20 621M
G09G 3/20 623M

テーマコード(参考)

2H093
5C006
5C080

審査請求 有 請求項の数 8 O L (全 26 頁)

(21) 出願番号 特願2003-350753 (P2003-350753)
(22) 出願日 平成15年10月9日(2003.10.9)
(62) 分割の表示 特願平10-196348の分割
原出願日 平成10年7月10日(1998.7.10)

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(74) 代理人 100080034
弁理士 原 謙三
(74) 代理人 100113701
弁理士 木島 隆一
(74) 代理人 100116241
弁理士 金子 一郎
(72) 発明者 久保田 靖
大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内
(72) 発明者 白木 一郎
大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

最終頁に続く

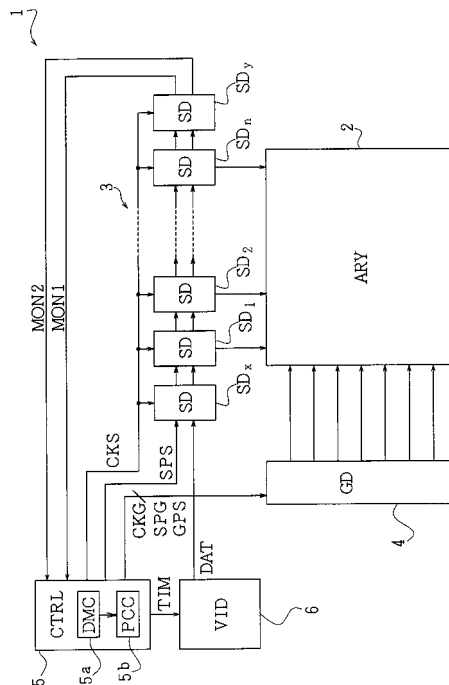
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 映像信号とサンプリング信号とのタイミングの最適化を図り、高品位の画像表示を実現することが可能な画像表示装置を提供する。

【解決手段】 画像表示装置1のデータ信号線駆動回路3を各映像信号出力ブロックSD_i (i = x, 1, 2, ..., n, y) で構成し、対応するデータ信号線が無いダミー回路としての映像信号出力ブロックSD_y から2つの検出信号MON1・MON2を出力する。検出信号MON1・MON2は検出信号出力回路から外部配線を介してタイミング回路5に出力される。タイミング回路5内の遅延量検出回路5aは上記検出信号MON1・MON2間の遅延量をモニターする。タイミング回路5内の位相調整回路5bは、この遅延量を基にクロック信号CKSの供給タイミングを算出してずらし、クロック信号CKS、すなわち、映像信号DATのサンプリング信号と、映像信号DATとのタイミング(位相差)を最適化する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

書き込まれた映像信号を画像として表示する複数の画素をマトリクス状に配置してなる画素アレイと、上記映像信号を上記画素アレイに伝搬する複数のデータ信号線と、上記データ信号線の少なくとも1つに接続されるとともに上記映像信号をサンプリングして上記データ信号線に供給する複数の映像信号出力ブロックからなるデータ信号線駆動回路と、上記映像信号を上記データ信号線に供給するタイミングの制御を行うタイミング信号を上記データ信号線駆動回路に供給するタイミング回路とを有する画像表示装置において、

上記データ信号線駆動回路内に供給された上記タイミング信号に基づいた信号を2箇所からそれぞれ検出信号として出力する検出信号出力回路と、上記検出信号間の時間差に基づいて上記検出信号出力回路内の遅延量を検出する遅延量検出回路と、上記遅延量に基づいて上記タイミング信号と上記映像信号との位相差を調整する位相調整回路とをさらに有し、

上記データ信号線駆動回路が上記画素と同一基板上に形成されており、

上記検出信号出力回路が上記データ信号線駆動回路と同一基板上に形成されており、

遅延量検出回路と位相調整回路が上記基板の外部に形成されており、

上記各検出信号が、検出信号出力回路から、検出信号出力回路から位相調整回路までの配線遅延の影響を相殺するための2本の外部配線を介して遅延量検出回路に出力されることを特徴とする画像表示装置。

【請求項 2】

上記検出信号出力回路は、上記映像信号出力ブロックと回路構成が同等で上記データ信号線に接続されないダミー回路であることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

上記検出信号出力回路と上記遅延量検出回路との間に上記検出信号を増幅するバッファ回路をさらに有することを特徴とする請求項 1 または 2 に記載の画像表示装置。

【請求項 4】

上記位相調整回路が調整する上記位相差に相当する時間は、検出した上記遅延量の1次関数として求めた値に設定されることを特徴とする請求項 1 ないし 3 のいずれかに記載の画像表示装置。

【請求項 5】

上記位相調整回路が調整する上記位相差に相当する時間は、一定時間間隔を置いた離散値であり、検出した上記遅延量の1次関数として求めた値以上の大きさに設定されることを特徴とする請求項 1 ないし 3 のいずれかに記載の画像表示装置。

【請求項 6】

上記検出信号出力回路の出力端子には電氣的衝撃から保護する保護回路が備えられていることを特徴とする請求項 1 ないし 5 のいずれかに記載の画像表示装置。

【請求項 7】

少なくとも上記データ信号線駆動回路を構成する能動素子が多結晶シリコン薄膜トランジスタであることを特徴とする請求項 1 ないし 6 のいずれかに記載の画像表示装置。

【請求項 8】

上記多結晶シリコン薄膜トランジスタが、ガラス基板上に600以下のプロセスで形成されていることを特徴とする請求項 7 に記載の画像表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に代表される画像表示装置に関するものであり、特に映像信号をデータ信号線に出力するデータ信号線駆動回路の内部遅延を検出して、映像信号とタイミング信号との位相差の最適化を図ることにより、良好な画像表示を実現する構成に関するものである。

【背景技術】

10

20

30

40

50

【0002】

従来の画像表示装置の1つとしてアクティブ・マトリクス駆動方式の液晶表示装置が知られている。図15に液晶表示装置51のブロック図を示す。液晶表示装置51は、画素アレイ(ARY)52、データ信号線駆動回路(SD)53、および走査信号線駆動回路(GD)54から構成される。また、多数のデータ信号線 SL_i ($i = 1, 2, \dots, n$)と多数の走査信号線 GL_j ($j = 1, 2, \dots, m$)とが互いに交差した状態で画素アレイ52に接続されており、隣接する2つのデータ信号線 $SL_i \cdot SL_{i+1}$ と隣接する2つの走査信号線 $GL_j \cdot GL_{j+1}$ とで包囲された部分に画素(PIX)52aが設けられ、これら画素52a...が全体としてマトリクス状に配置されている。

【0003】

データ信号線駆動回路53には、外部からクロック信号CKS、スタート信号SPS、および映像信号DATが入力される。データ信号線駆動回路53は、このクロック信号CKSなどのタイミング信号に同期して、入力された映像信号DATをサンプリングし、必要に応じて増幅して各データ信号線 SL_i に書き込む働きをする。走査信号線駆動回路54には、外部からクロック信号CKG、スタート信号SPG、および同期信号GPSが入力される。走査信号線駆動回路54は、このクロック信号CKGなどのタイミング信号に同期して、走査信号線 GL_j を順次選択し、画素52a...内にあるスイッチング素子の開閉を制御することにより、各データ信号線 SL_i に書き込まれた映像信号(データ)DATを各画素52aに書き込むとともに各画素52aに保持させる働きをする。

【0004】

各画素52aは、図16示すように、スイッチング素子である電界効果トランジスタSWと、画素容量とから構成される。画素容量は、液晶容量CLおよび必要に応じて付加される補助容量CSからなる。同図では、電界効果トランジスタSWのドレインおよびソースを介してデータ信号線 SL_i と画素容量の一方の電極とが接続されている。また、電界効果トランジスタSWのゲートは走査信号線 GL_j に接続され、画素容量の他方の電極が全画素52a...に共通の共通電極線に接続されている。このような構成において、各液晶容量CLに電圧が印加されることにより液晶の透過率または反射率が変調されて画像表示が行われる。

【0005】

次に、映像信号DATをデータ信号線 SL_i に書き込む方式について述べる。データ信号線 SL_i の駆動方式としては、点順次駆動方式と線順次駆動方式とがある。ここでは点順次駆動方式についてのみ述べる。

【0006】

図17にデータ信号線駆動回路53、図18にその変形例であるデータ信号線駆動回路53'の構成例を示す。点順次駆動方式では、両図に示すように、ラッチ LAT_i ($i = x, 1, 2, \dots, n, y$)の各段からゲートブロック B_i またはゲートブロック B_i' ($i = x, 1, 2, \dots, n, y$)を経て出力されるパルスに同期させてアナログスイッチ AS_i ($i = x, 1, 2, \dots, n, y$)を開閉することにより、映像信号線に入力された映像信号DATを $i = 1, 2, \dots, n$ のそれぞれに対応するデータ信号線 SL_i に書き込む。ラッチ LAT_i はシフトレジスタ回路、ゲートブロック B_i またはゲートブロック B_i' はバッファ回路、アナログスイッチ AS_i はサンプリング回路の機能を有している。

【0007】

ここで、図17の構成では、ラッチ LAT_i から出力された信号 N_i ($i = x, 1, 2, \dots, n, y$)から直接サンプリング信号 $S_i \cdot / S_i$ ($/$ は位相反転したことを表す)を生成しているのに対し、図18の構成では、隣接する2つのラッチ $LAT_i \cdot LAT_{i+1}$ の出力信号 $N_i \cdot N_{i+1}$ の重なりパルスからサンプリング信号 $S_i \cdot / S_i$ を生成している。ただし、 $x + 1 = 1$ 、 $n + 1 = y$ 、 $y + 1 = z$ とする(以下同様)。いずれの構成においても、サンプリング信号 $S_i \cdot / S_i$ の立ち下がり(終端)のタイミングにおける映像信号DATがデータ信号線 SL_i に書き込まれる。

【0008】

10

20

30

40

50

この映像信号 D A T のデータ信号線 S L_i への書き込みを図 19 のタイミングチャートを用いて以下に説明する。まずデータ信号線駆動回路 53・53' にスタート信号 S P S が供給されると、各ラッチ L A T_i へクロック信号 C K S が順次供給され始める。各ラッチ L A T_i は、同図に示すように、供給されたクロック信号 C K S に対応する信号 N_i を出力する。各信号 N_i は、ゲートブロック B_i またはゲートブロック B_i' を通して、対応するサンプリング信号 S_i・/S_i としてアナログスイッチ A S_i に供給される (/S_i は図示していない)。

【0009】

ここで、データ D_i (i = 1, 2, ..., n) からなる映像信号 D A T をアナログスイッチ A S_i に供給する。このとき、サンプリング信号 S_i・/S_i の立ち下がりのタイミングでデータ D_i がサンプリングされるので、例えば、同図でサンプリング信号 S₁ が供給されるアナログスイッチ A S₁ において、データ D₁ が供給されている間にサンプリング信号 S₁ が立ち下がるようなタイミングで映像信号 D A T の供給を行う。このようにしてサンプリングされたデータ D_i はデータ信号線 S L_i に書き込まれることになる。

10

【0010】

ところで近年、液晶表示装置の小型化や高解像度化、実装コストの低減などのために、表示を司る画素アレイとその駆動回路とを同一基板上に一体形成する技術が注目を集めている。このような駆動回路一体型の液晶表示装置では、現在広く用いられている透過型液晶表示装置を構成する場合、その基板に透明基板を使う必要があるため、石英基板上やガラス基板上に構成することができる多結晶シリコン薄膜トランジスタを能動素子として用

20

【0011】

前述したように、液晶表示装置 51 で代表される従来の画像表示装置、特に駆動回路を一体形成した画像表示装置においては、そのデータ信号線駆動回路は図 17 または図 18 に示すような構成をとっているが、これらのデータ信号線駆動回路 53・53' 内では有限の信号遅延が発生する。すなわち、図 19 に示すように、データ信号線駆動回路 53・53' に入力されるクロック信号 C K S と、映像信号 D A T をデータ信号線 S L_i に書き込むタイミングとなるサンプリング信号 S_i・/S_i との時間差 t₃ は無視できない値となる。この時間差 t₃ は、データ信号線駆動回路 53・53' を構成するトランジスタの特性(移動度やしきい値電圧など)やサイズなどによって決まる。

30

【0012】

ここで、外部から与えられるクロック信号 C K S や映像信号 D A T は、予めこの時間差 t₃ を見込んだタイミングで供給される。例えば、図 19 に示すように、映像信号 D A T のデータ D₁ がデータ D₂ に切り替わる直前にサンプリング信号 S₁ が立ち下がるように設定されている。(t₃ t₄)。ところが、製造プロセスのばらつきなどのために、トランジスタの特性に差が生ずると、遅延時間にもばらつきが発生する。

【0013】

このとき、図 20 に示すように、映像信号 D A T がデータ D₁ からデータ D₂ に切り替わった後にサンプリング信号 S₁ が立ち下がる(t₃ > t₅)と、データ信号線 S L₁ にデータ D₂ が混入するので、本来のデータ D₁ とは異なるデータ D₂ が画素 52a に供給されることになり、ゴーストや映像の滲みの原因となる。また、図 21 に示すように、サンプリング信号 S₁ が立ち下がってからずっと後に映像信号 D A T がデータ D₁ からデータ D₂ に切り替わる(t₃ t₆)と、データ D₁ をデータ信号線 S L₁ に書き込むための時間が不足するため、本来のデータ D₁ を完全に書き込むことができず、映像の滲みなどを引き起こすことになる。すなわち、高品位の画像表示を行うためには、サンプリング信号 S_i・/S_i の立ち下がりのタイミングがデータ D_i の供給時間中の適切な範囲内に収まっている必要がある。

40

【0014】

特開平 5 - 46118 号公報には、このような表示画像の位置ずれを防ぐために、サンプリング信号と表示データとの両者を検出して同期信号(クロック信号)と表示データ(

50

映像信号)とのタイミングを設定することが開示されている。

【特許文献1】特開平5-46118号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかし、これは表示データに対応するサンプリング信号があるか否かを検出して、サンプリング信号の周期単位で両信号のタイミングを調整するものであるため、精度の高い調整を行うには限界があるという問題を含む。

【0016】

本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、映像信号とサンプリング信号とのタイミングの最適化を図り、高品位の画像表示を実現することが可能な画像表示装置を提供することにある。

【課題を解決するための手段】

【0017】

請求項1に係る発明の画像表示装置は、上記課題を解決するために、書き込まれた映像信号を画像として表示する複数の画素をマトリクス状に配置してなる画素アレイと、上記映像信号を上記画素アレイに伝搬する複数のデータ信号線と、上記データ信号線の少なくとも1つに接続されるとともに上記映像信号をサンプリングして上記データ信号線に供給する複数の映像信号出力ブロックからなるデータ信号線駆動回路と、上記映像信号を上記データ信号線に供給するタイミングの制御を行うタイミング信号を上記データ信号線駆動回路に供給するタイミング回路とを有する画像表示装置において、上記データ信号線駆動回路内に供給された上記タイミング信号に基づいた信号を2箇所からそれぞれ検出信号として出力する検出信号出力回路と、上記検出信号間の時間差に基づいて上記検出信号出力回路内の遅延量を検出する遅延量検出回路と、上記遅延量に基づいて上記タイミング信号と上記映像信号との位相差を調整する位相調整回路とをさらに有し、上記データ信号線駆動回路が上記画素と同一基板上に形成されており、上記検出信号出力回路が上記データ信号線駆動回路と同一基板上に形成されており、遅延量検出回路と位相調整回路が上記基板の外部に形成されており、上記各検出信号が、検出信号出力回路から、検出信号出力回路から位相調整回路までの配線遅延の影響を相殺するための2本の外部配線を介して遅延量検出回路に出力されることを特徴としている。

【0018】

上記の発明によれば、検出信号出力回路内の所定の2箇所から出力される検出信号の位相差は、データ信号線駆動回路に供給されたクロック信号などの映像信号用タイミング信号のデータ信号線駆動回路内において伝搬する際の遅延時間に起因している。従って、これらの検出信号間の遅延量を遅延量検出回路によって検出すれば、サンプリング信号と映像信号との位相差、すなわちタイミング信号と映像信号との位相差を求めることができる。そして、位相調整回路はこの位相差を好ましい値に調整する。

【0019】

このように、2つの検出信号間の遅延量を常時モニターし、これを基にタイミング信号と映像信号とをデータ信号線駆動回路に供給するタイミングを調整するので、供給初期の遅延量のばらつきだけでなく、動作中の遅延量の変動にもリアルタイムに追従する。このため、例えば、データ信号線駆動回路を構成するトランジスタの初期特性のばらつきだけでなく、その経時変化に対しても対応することができる。ところで、この遅延量のモニターおよびタイミングの調整は常時行ってもよいが、経時変化が特に大きくない場合には、一定時間ごとまたは電源投入時のみに行うようにしてもよい。

【0020】

また、2つの検出信号間の遅延量、すなわち時間差を用いているので、検出信号出力回路から位相調整回路までの配線遅延の影響は相殺される。従って、検出信号出力回路と位相調整回路とを接続する配線の負荷(抵抗および容量)が配線によって変わる場合や、その正確な値が不明である場合にも問題なく対応することができる。

10

20

30

40

50

【0021】

この結果、映像信号をサンプリング信号でデータ信号線に正確に書き込むことが可能となり、高品位な画像表示を実現することができる。

【0022】

上記の発明によれば、画像表示を行うための画素と、画素を駆動するためのデータ信号線駆動回路とを同一基板上に同一工程で製造することができるので、製造コストや実装コストの低減と、実装良品率の向上を図ることができる。

【0023】

請求項2に係る発明の画像表示装置は、上記課題を解決するために、請求項1に記載の画像表示装置において、上記検出信号出力回路は、上記映像信号出力ブロックと回路構成が同等で上記データ信号線に接続されないダミー回路であることを特徴としている。

10

【0024】

検出信号出力回路が検出信号を外部へ出力する場合、データ信号線駆動回路内の信号検出部分に容量負荷が新たに付加されるため、サンプリング信号などが微妙に変化することがある。その場合、データ信号線への映像信号の書き込みタイミングがずれ、画像表示に不具合を発生させる虞がある。

【0025】

上記の発明によれば、映像信号出力ブロックと回路構成が同等でデータ信号線に接続されない、すなわち、映像信号出力ブロックと同じ信号形態をとりながら画像表示と無関係なダミー回路から検出信号を取り出すので、検出に際して画像表示に影響を与えることがない。

20

【0026】

請求項3に係る発明の画像表示装置は、上記課題を解決するために、請求項1または2に記載の画像表示装置において、上記検出信号出力回路と上記遅延量検出回路との間に上記検出信号を増幅するバッファ回路をさらに有することを特徴としている。

【0027】

検出信号をそのまま遅延量検出回路に入力させようとする、検出信号出力回路から遅延量検出回路までの配線負荷などの影響で検出信号に波形なまりが生じ、正確な遅延量を検出することができなくなる虞がある。

【0028】

上記の発明によれば、検出信号をバッファ回路を介して遅延量検出回路に入力させるので、例えばバッファ回路の初段のゲート回路の入力容量を小さくすることにより、信号検出箇所の負荷の増大に影響のないレベルにまで低減させることができるとともに、バッファ回路の最終段の駆動能力を大きくすることにより、遅延量検出回路までの配線負荷などの影響が現れないようにすることができる。

30

【0029】

請求項4に係る発明の画像表示装置は、上記課題を解決するために、請求項1ないし3のいずれかに記載の画像表示装置において、上記位相調整回路が調整する上記位相差に相当する時間は、検出した上記遅延量の1次関数として求めた値に設定されることを特徴としている。

40

【0030】

前述したように、2つの検出信号の一方をシフトレジスタ回路の出力信号、あるいはシフトレジスタ回路からゲート回路1段だけ通過した後の信号とし、他方をサンプリング信号(バッファ回路の出力信号)とした場合、この2つの検出信号間の遅延量(位相差)は、タイミング信号(クロック信号)に対するサンプリング信号の遅延量とは異なる値となる。具体的には、前述のように、シフトレジスタ回路内やゲート回路内での信号の遅延量(信号伝搬時間)だけ短い値となっている。

【0031】

上記の発明によれば、位相調整回路は、タイミング信号に対するサンプリング信号の遅延量を、2つの検出信号間の遅延量の1次関数として求めた値に設定する。シフトレジス

50

タ回路内や初段のゲート回路内での信号の遅延量（信号伝搬時間）も、構成するトランジスタの特性のばらつきや経時変化によって変動するが、同一のデータ信号線駆動回路内では、このような特性のばらつきや経時変化に大きな差はないので、2つの検出信号間の遅延量（バッファ回路などの内部での遅延量）から推定することができる。例えば、バッファ回路内での遅延量が30%増大した場合、シフトレジスタ回路などの内部での遅延量も約30%増大すると考えても問題ない。

【0032】

一方、位相調整回路（多くの場合、タイミング回路に内蔵されている）から出力される信号と、これを基に生成されるクロック信号などのタイミング信号や映像信号との間にもそれぞれの信号生成に係る遅延量が存在する。これらの信号生成を司る回路は、一般に外部ICで構成されており、データ信号線駆動回路とは異なるトランジスタで構成されているので、その遅延量はほぼ一定の値をとる。

10

【0033】

この結果、タイミング信号に対するサンプリング信号の遅延量の最適値は、2つの検出信号間の遅延量に比例する部分と、比例しない一定部分とからなると近似することができる。すなわち、タイミング信号と映像信号との位相差を最適値にするための調整時間を、2つの検出信号間の遅延量を変数とする1次関数として近似することができる。これにより、調整する位相差を極めて単純な回路で算出できるとともに、このような回路構成を含む位相調整回路を容易に実現することができる。

【0034】

請求項5に係る発明の画像表示装置は、上記課題を解決するために、請求項1ないし3のいずれかに記載の画像表示装置において、上記位相調整回路が調整する上記位相差に相当する時間は、一定時間間隔を置いた離散値であり、検出した上記遅延量の1次関数として求めた値以上の大きさに設定されることを特徴としている。

20

【0035】

タイミング信号を生成する回路を初め全ての回路は、そのシステムでの最高の周波数のタイミング信号である原クロック信号を基に、これを分周したクロック信号で駆動されている。従って、位相調整回路が調整する時間も、この原クロック信号の1周期（またはパルス幅）を単位とすることが望ましい。これよりも短い時間間隔で調整しようとする場合には、新たにより高周波の信号を容易しなければならない。

30

【0036】

上記の発明によれば、位相調整回路が調整する位相差に相当する時間は、例えばこのような原クロック信号を用いて、その1周期（またはパルス幅）単位で変化させることにより一定時間間隔を置いた離散値に設定される。この原クロック信号の周波数は、データ信号線駆動回路のクロック周波数よりも数倍大きいので、原クロック信号の時間（周期）間隔での位相調整でも問題はない。さらに、サンプリング信号の立ち下がりが映像信号の切り替わりよりも後になることを避けるために、上記離散値は2つの検出信号間の遅延量の1次関数として求めた値以上に設定される。

【0037】

この結果、新たに高周波のクロック信号を追加することなく十分な精度でタイミング信号と映像信号との位相調整を行うことができ、高品位の画像表示を実現することができる。

40

【0038】

請求項6に係る発明の画像表示装置は、上記課題を解決するために、請求項1ないし5のいずれかに記載の画像表示装置において、上記検出信号出力回路の出力端子には電氣的衝撃から保護する保護回路が備えられていることを特徴としている。

【0039】

画像表示装置の製造工程中や搬送時における静電気の発生や、使用時における過大電圧の入力などの電氣的衝撃に対処するために、回路の入力端子には保護回路を付加する場合が多い。

50

【0040】

上記の発明によれば、検出信号出力回路の出力端子に保護回路が備えられている。一般に画像表示装置には出力端子が存在しないのに対して、本発明の画像表示装置においては、遅延量検出の対象となる検出信号を外部に出力するための出力端子が必要である。この出力端子についても保護回路を付加することが、製造工程中や搬送時における静電気の発生や、使用時における過大電圧の入力などへの有効な対策となる。この保護回路については、必ずしも入力端子の保護回路と同一のものである必要はなく、保護性能や出力インピーダンスなどを考慮し、出力端子用として最適な構成のものを用いればよい。

【0041】

この結果、出力端子からの静電気破壊や過大入力による破壊を抑制することができ、画像表示装置の良品率の大幅な向上を図ることができる。 10

【0042】

請求項7に係る発明の画像表示装置は、請求項1ないし6のいずれかに記載の画像表示装置において、少なくとも上記データ信号線駆動回路を構成する能動素子が多結晶シリコン薄膜トランジスタであることを特徴としている。

【0043】

上記の発明によれば、多結晶シリコン薄膜トランジスタを用いて能動素子を形成することにより、例えば従来アクティブマトリクス液晶表示装置に用いられていた非晶質シリコン薄膜トランジスタと比較して極めて駆動力の高い特性が得られるので、画素およびデータ信号線駆動回路を容易に同一基板上に形成することができる。 20

【0044】

請求項8に係る発明の画像表示装置は、請求項7に記載の画像表示装置において、上記多結晶シリコン薄膜トランジスタが、ガラス基板上に600以下のプロセスで形成されていることを特徴としている。

【0045】

上記の発明によれば、600以下のプロセス温度で多結晶シリコン薄膜トランジスタを形成するので、歪み点温度が低いものの、安価で大型化が容易なガラスを基板として用いることができ、大型の画像表示装置を低コストで製造することができる。

【発明の効果】

【0046】

請求項1に係る発明の画像表示装置は、以上のように、書き込まれた映像信号を画像として表示する複数の画素をマトリクス状に配置してなる画素アレイと、上記映像信号を上記画素アレイに伝搬する複数のデータ信号線と、上記データ信号線の少なくとも1つに接続されるとともに上記映像信号をサンプリングして上記データ信号線に供給する複数の映像信号出力ブロックからなるデータ信号線駆動回路と、上記映像信号を上記データ信号線に供給するタイミングの制御を行うタイミング信号を上記データ信号線駆動回路に供給するタイミング回路とを有する画像表示装置において、上記データ信号線駆動回路内に供給された上記タイミング信号に基づいた信号を2箇所からそれぞれ検出信号として出力する検出信号出力回路と、上記検出信号間の時間差に基づいて上記検出信号出力回路内の遅延量を検出する遅延量検出回路と、上記遅延量に基づいて上記タイミング信号と上記映像信号との位相差を調整する位相調整回路とをさらに有し、上記データ信号線駆動回路が上記画素と同一基板上に形成されており、上記検出信号出力回路が上記データ信号線駆動回路と同一基板上に形成されており、遅延量検出回路と位相調整回路が上記基板の外部に形成されており、上記各検出信号が、検出信号出力回路から、検出信号出力回路から位相調整回路までの配線遅延の影響を相殺するための2本の外部配線を介して遅延量検出回路に出力される構成である。 40

【0047】

それゆえ、2つの検出信号間の遅延量を常時モニターし、これを基にタイミング信号と映像信号とをデータ信号線駆動回路に供給するタイミングを調整するので、供給初期の遅延量のばらつきだけでなく、動作中の遅延量の変動にもリアルタイムに追従する。このた 50

め、例えば、データ信号線駆動回路を構成するトランジスタの初期特性のばらつきだけでなく、その経時変化に対しても対応することができる。ところで、この遅延量のモニターおよびタイミングの調整は常時行ってもよいが、経時変化が特に大きくない場合には、一定時間ごとまたは電源投入時のみに行うようにしてもよい。

【0048】

また、2つの検出信号間の遅延量、すなわち時間差を用いているので、検出信号出力回路から位相調整回路までの配線遅延の影響は相殺される。従って、検出信号出力回路と位相調整回路とを接続する配線の負荷（抵抗および容量）が配線によって変わる場合や、その正確な値が不明である場合にも問題なく対応することができる。

【0049】

この結果、映像信号をサンプリング信号でデータ信号線に正確に書き込むことが可能となり、高品位な画像表示を実現することができるという効果を奏する。

【0050】

それゆえ、画像表示を行うための画素と、画素を駆動するためのデータ信号線駆動回路とを同一基板上に同一工程で製造することができるので、製造コストや実装コストの低減と、実装良品率の向上を図ることができるという効果を奏する。

【0051】

請求項2に係る発明の画像表示装置は、以上のように、請求項1に記載の画像表示装置において、上記検出信号出力回路は、上記映像信号出力ブロックと回路構成が同等で上記データ信号線に接続されないダミー回路である構成である。

【0052】

それゆえ、映像信号出力ブロックと回路構成が同等でデータ信号線に接続されない、すなわち、映像信号出力ブロックと同じ信号形態をとりながら画像表示と無関係なダミー回路から検出信号を取り出すので、検出に際して画像表示に影響を与えないという効果を奏する。

【0053】

請求項3に係る発明の画像表示装置は、以上のように、請求項1または2に記載の画像表示装置において、上記検出信号出力回路と上記遅延量検出回路との間に上記検出信号を増幅するバッファ回路をさらに有する構成である。

【0054】

それゆえ、検出信号をバッファ回路を介して遅延量検出回路に入力させるので、例えばバッファ回路の初段のゲート回路の入力容量を小さくすることにより、信号検出箇所の負荷の増大に影響のないレベルにまで低減させることができるとともに、バッファ回路の最終段の駆動能力を大きくすることにより、遅延量検出回路までの配線負荷などの影響が現れないようにすることができる。

【0055】

この結果、映像信号をサンプリング信号でデータ信号線に正確に書き込むことが可能となり、高品位な画像表示を実現することができるという効果を奏する。

【0056】

請求項4に係る発明の画像表示装置は、以上のように、請求項1ないし3のいずれかに記載の画像表示装置において、上記位相調整回路が調整する上記位相差に相当する時間は、検出した上記遅延量の1次関数として求めた値に設定される構成である。

【0057】

それゆえ、タイミング信号に対するサンプリング信号の遅延量の最適値は、2つの検出信号間の遅延量に比例する部分と、比例しない一定部分とからなると近似することができる。すなわち、タイミング信号と映像信号との位相差を最適値にするための調整時間を、2つの検出信号間の遅延量を変数とする1次関数として近似することができる。これにより、調整する位相差を極めて単純な回路で算出することができるとともに、このような回路構成を含む位相調整回路を容易に実現することができるという効果を奏する。

【0058】

10

20

30

40

50

請求項 5 に係る発明の画像表示装置は、以上のように、請求項 1 ないし 3 のいずれかに記載の画像表示装置において、上記位相調整回路が調整する上記位相差に相当する時間は、一定時間間隔を置いた離散値であり、検出した上記遅延量の 1 次関数として求めた値以上の大きさに設定される構成である。

【0059】

それゆえ、位相調整回路が調整する位相差に相当する時間は、原クロック信号を用いて、その 1 周期（またはパルス幅）単位で変化させることにより一定時間間隔を置いた離散値に設定される。この原クロック信号の周波数は、データ信号線駆動回路のクロック周波数よりも数倍大きいので、原クロック信号の時間（周期）間隔での位相調整でも問題はない。さらに、サンプリング信号の立ち下がりが映像信号の切り替わりよりも後になることを避けるために、上記離散値は 2 つの検出信号間の遅延量の 1 次関数として求めた値以上に設定される。

【0060】

この結果、新たに高周波のクロック信号を追加することなく十分な精度でタイミング信号と映像信号との位相調整を行うことができ、高品位の画像表示を実現することができるという効果を奏する。

【0061】

請求項 6 に係る発明の画像表示装置は、以上のように、請求項 1 ないし 5 のいずれかに記載の画像表示装置において、上記検出信号出力回路の出力端子には電気的衝撃から保護する保護回路が備えられている構成である。

【0062】

それゆえ、画像表示装置の製造工程中や搬送時における静電気の発生や、使用時における過大電圧の入力などへの有効な対策となる。

【0063】

この結果、出力端子からの静電気破壊や過大入力による破壊を抑制することができ、画像表示装置の良品率の大幅な向上を図ることができるという効果を奏する。

【0064】

請求項 7 に係る発明の画像表示装置は、以上のように、請求項 1 ないし 6 のいずれかに記載の画像表示装置において、少なくとも上記データ信号線駆動回路を構成する能動素子が多結晶シリコン薄膜トランジスタである構成である。

【0065】

それゆえ、多結晶シリコン薄膜トランジスタを用いて能動素子を形成することにより、例えば従来のアクティブマトリクス液晶表示装置に用いられていた非晶質シリコン薄膜トランジスタと比較して極めて駆動力の高い特性が得られるので、画素およびデータ信号線駆動回路を容易に同一基板上に形成することができるという効果を奏する。

【0066】

請求項 8 に係る発明の画像表示装置は、以上のように、請求項 7 に記載の画像表示装置において、上記多結晶シリコン薄膜トランジスタが、ガラス基板上に 600 以下のプロセスで形成されている構成である。

【0067】

それゆえ、600 以下のプロセス温度で多結晶シリコン薄膜トランジスタを形成するので、歪み点温度が低いものの、安価で大型化が容易なガラスを基板として用いることができ、大型の画像表示装置を低コストで製造することができるという効果を奏する。

【発明を実施するための最良の形態】

【0068】

〔実施の形態 1〕

本発明の画像表示装置の実施の一形態について図 1 ないし図 10 に基づいて説明すれば、以下の通りである。

【0069】

図 2 に、本実施の形態の画像表示装置 1 の概念的なブロック図を示す。画像表示装置 1

10

20

30

40

50

は、画素アレイ (ARY) 2、データ信号線駆動回路 (SD) 3、走査信号線駆動回路 (GD) 4、タイミング回路 (CTRL) 5、および映像信号処理回路 (VID) 6から構成される。

【0070】

画素アレイ 2には、互いに交差した多数のデータ信号線 SL_i ($i = 1, 2, \dots, n$) と多数の走査信号線 GL_j ($j = 1, 2, \dots, m$) とが接続されており、隣接する2つのデータ信号線 $SL_i \cdot SL_{i+1}$ と隣接する2つの走査信号線 $GL_j \cdot GL_{j+1}$ とで包囲された部分に画素 (PIX) 2aが設けられ、これら画素 2a...は全体としてマトリクス状に配置されている。

【0071】

データ信号線駆動回路 3は、後述するクロック信号 CKSなどのタイミング信号に同期して、入力された映像信号 DATをサンプリングし、必要に応じて増幅して各データ信号線 SL_i に書き込む働きをする。走査信号線駆動回路 4は、クロック信号 CKGなどのタイミング信号に同期して、走査信号線 GL_j を順次選択し、画素内にあるスイッチング素子の開閉を制御することにより、各データ信号線 SL_i に書き込まれた映像信号 DATとしてのデータ D_i を各画素 2aに書き込むとともに各画素 2aに保持させる働きをする。

【0072】

また、データ信号線駆動回路 3から、その内部遅延量を検出する2つの検出信号 MON1・MON2が、タイミング回路 5に入力されている。タイミング回路 5内では、遅延量検出回路 (DMC) 5aがこれら検出信号 MON1・MON2間の遅延量を検出し、これを基に、位相調整回路 (PCC) 5bがクロック信号 CKSと映像信号 DATとの最適な出力タイミング (位相差) を算出して調整する。

【0073】

タイミング回路 5は、このように調整したクロック信号 CKSおよびスタート信号 SP Sをタイミング信号としてデータ信号線駆動回路 3に、また、クロック信号 CKG、スタート信号 SP G、および同期信号 GPSをタイミング信号として走査信号線駆動回路 4に供給する一方、映像信号制御信号 TIMをタイミング信号として映像信号処理回路 6に供給している。映像信号処理回路 6は、映像信号制御信号 TIMに基づいて映像信号 DATをデータ信号線駆動回路 3に供給している。

【0074】

図1は、図2の画像表示装置1のデータ信号線駆動回路3の部分をより詳細に示したブロック図である。ただし画素アレイ2内の画素2a...は省略してある。図1においては、図2のデータ信号線駆動回路3を映像信号出力ブロック SD_i ($i = x, 1, 2, \dots, n, y$) ごとに分割して描いてある。各映像信号出力ブロック SD_i は等価な回路で構成されており、このうち映像信号出力ブロック SD_i ($i = 1, 2, \dots, n$) はそれぞれ1本のデータ信号線 SL_i に接続されている。なお、場合によっては複数のデータ信号線に接続されていてもよい。

【0075】

また、映像信号出力ブロック SD_i ($i = x, y$) は、対応するデータ信号線が無いダミー回路である。そして、このダミー回路の一方 (同図では映像信号出力ブロック SD_y) は、検出信号出力回路として検出信号 MON1・MON2をタイミング回路5に向けて出力する。このような構成とすることにより、後述するように、検出信号 MON1・MON2の出力に起因した、データ信号線駆動回路3内における信号伝搬特性の擾乱を防止することができる。

【0076】

図3、図4および図6は、図1に示すデータ信号線駆動回路3の映像信号出力ブロック SD_i をより詳細に示した回路図である。また、図5のデータ信号線駆動回路3'はデータ信号線駆動回路3の変形例である。図3、図4、および図6において、映像信号出力ブロック SD_i は、ラッチ LAT_i ($i = x, 1, 2, \dots, n, y$)、ゲートブロック B_i

10

20

30

40

50

($i = x, 1, 2, \dots, n, y$)、およびアナログスイッチ AS_i ($i = x, 1, 2, \dots, n, y$) から構成される。この場合、ラッチ LAT_i はシフトレジスタ回路、ゲートブロック B_i はバッファ回路、アナログスイッチ AS_i はサンプリング回路の機能を有している。

【0077】

ラッチ LAT_i は、ゲートブロック B_i を介してアナログスイッチ AS_i に接続されており、クロック信号 CKS とスタート信号 SPS とが入力されるとそれに基づいた信号 N_i ($i = x, 1, 2, \dots, n, y$) をゲートブロック B_i に出力する。ゲートブロック B_i は、ラッチ LAT_i からの信号 N_i を取り込んで保持・増幅するとともに、必要に応じて反転信号を生成し、サンプリング信号 $S_i \cdot / S_i$ ($i = x, 1, 2, \dots, n, y$) としてアナログスイッチ AS_i に出力するものであり、ゲート回路としての数段のインバータ $G1 \sim G4$ で構成される。サンプリング信号 S_i は信号 N_i をインバータ $G1 \cdot G2$ で2回位相反転した信号であり、サンプリング信号 $/S_i$ は信号 N_i インバータ $G1 \cdot G3 \cdot G4$ で3回位相反転した信号であるから、結局、サンプリング信号 $/S_i$ はサンプリング信号 S_i を1回位相反転した信号となる。

10

【0078】

アナログスイッチ AS_i は、ゲートに $High$ レベルの信号が入力されたときにソース・ドレイン間が ON 状態となる電界効果トランジスタ ASa と、ゲートに Low レベルの信号が入力されたときにソース・ドレイン間が ON 状態となる電界効果トランジスタ ASb とが並列に接続された構成となっている。すなわち、電界効果トランジスタ $ASa \cdot ASb$ はともに、サンプリング信号 S_i が立ち上がったとき(すなわちサンプリング信号 $/S_i$ が立ち下がったとき)にチャンネルが導通し、サンプリング信号 S_i が立ち下がったとき(すなわちサンプリング信号 $/S_i$ が立ち上がったとき)にチャンネルが遮断されるような極性となっている。

20

【0079】

このような構成のアナログスイッチ AS_i は、ラッチ LAT_i からの信号 N_i がゲートブロック B_i を経て生成されるサンプリング信号 $S_i \cdot / S_i$ によって映像信号 DAT としてのデータ D_i を、データ信号線 SL_i に書き込む役割を果たしている。ここで、ラッチ LAT_i 1段につきデータ信号線 SL_i 1本が対応しているが、これに限ることはなく、複数のデータ信号線が対応する構成としてもよい。その場合、映像信号 DAT が送られる映像信号線を必要に応じて増加させるとよい。

30

【0080】

また、図5のデータ信号線駆動回路3'は、シフトレジスタ回路のラッチ LAT_y に隣接させてラッチ LAT_z を配し、前述のゲートブロック B_i の代わりにゲートブロック B_i' を配した構成としている。ゲートブロック B_i' は、初段のゲート回路に $NAND$ 回路 $G5$ を設け、ラッチ LAT_i からの信号 N_i と、ラッチ LAT_{i+1} からの信号 N_{i+1} との論理積否定をとって後段のインバータ $G2$ およびインバータ $G3 \cdot G4$ へ向けて出力する。アナログスイッチ AS_i の構成および機能は前述と同様である。

【0081】

図3、図4、図6のデータ信号線駆動回路3、および図5のデータ信号線駆動回路3'のいずれにおいても、2つの検出信号 $MON1 \cdot MON2$ は、対応するデータ信号線の無い映像信号出力ブロック SD_x または映像信号出力ブロック SD_y から取り出している。このように映像信号出力ブロック $SD_x \cdot SD_y$ から検出信号 $MON1 \cdot MON2$ を外部に出力すると、信号検出部分に容量負荷が新たに付加されることによってサンプリング信号 $S_x \cdot S_y$ が影響を受けるが、画像表示には無関係であるため都合がよい。なお、図3ないし図5では2つの検出信号 $MON1 \cdot MON2$ を最終段に位置する映像信号出力ブロック SD_y から取り出しているのに対し、図6では初段に位置する映像信号出力ブロック SD_x から取り出している。検出信号 $MON1 \cdot MON2$ は、いずれから取り出しても構わないが、遅延量検出回路5aへの接続が容易な位置から取り出すのが好ましい。

40

【0082】

50

ここで、図3では、検出信号MON1はラッチLAT_yからの信号N_yであり、検出信号MON2はサンプリング信号S_yである。図6では、検出信号MON1はラッチLAT_xからの信号N_xであり、検出信号MON2はサンプリング信号S_xである。また、図4および図5では、検出信号MON1はラッチLAT_yからゲート回路1段(図4ではインバータG1、図5ではNAND回路G5)を経た信号であり、検出信号MON2はサンプリング信号S_yである。

【0083】

本来、位相調整回路5bは、クロック信号CKSと映像信号DATとのタイミングを最適化するものであるから、データ信号線駆動回路3・3'内のある位置でのクロック信号CKSと、それに対応する映像信号DATを取り込むためのサンプリング信号S_x・S_yとの時間差を用いることが理想的である。しかし、クロック信号CKSは非常に短い周期のパルスとして供給されるため、どのパルスのエッジが所定の映像信号DATに対応するかを判断するには複雑な回路が必要になる。

【0084】

そこで、前述のように、検出信号MON1として、ラッチLAT_xからの信号N_x、あるいはラッチLAT_yからの信号N_yを用い、検出信号MON2として、サンプリング信号S_x・S_yを用いる。これらの信号は、それぞれ1水平期間当たり1回だけ出力されるパルスであって、互いに必ず対応するものであるから、極めて単純な回路構成の遅延量検出回路5aで遅延量を検出することができる。ここで、例えば、ラッチLAT_x・LAT_yからの信号N_x・N_yは、クロック信号CKSより幾分遅れて出力されるが、その差はラッチLAT_x・LAT_y内での遅延時間分のみで、他の回路(ゲートブロックB_x・B_yなど)を通じたときの遅延量に比べて小さいため、検出した遅延量をクロック信号CKSとサンプリング信号S_x・S_yとの間の位相差に換算するのは容易である。

【0085】

また、一般に、シフトレジスタ回路を構成するトランジスタはサイズが小さく、その駆動能力も小さいため、信号検出に伴う容量負荷増大の影響を受けやすい。従って、検出信号MON1・MON2間の遅延量に対する検出精度を損なう可能性がある。このため、駆動能力がある程度大きいゲート回路を通過した後の信号を検出するのが望ましい。

【0086】

そこで、前述のように、検出信号MON1をラッチLAT_yからゲート回路1段を経た信号とし、検出信号MON2をサンプリング信号S_yとすると、遅延量の検出精度の問題を回避することができる。また、この場合にも極めて単純な回路構成の遅延量検出回路5aで遅延量を検出することができる。ただし、この構成では検出信号MON1がラッチLAT_yおよび初段のゲート回路であるインバータG1あるいはNAND回路G5内における遅延時間分だけ遅れているので、その分を補正することになる。しかし、この補正についても前述の場合と同様であるので、検出した遅延量をクロック信号CKSとサンプリング信号S_yとの間の位相差に換算するのは容易である。

【0087】

次に、図3に示す構成のデータ信号線駆動回路3の映像信号出力ブロックSD_yと遅延量検出回路5aとの間に、2つの検出信号MON1・MON2をそれぞれ増幅して出力するためのバッファ回路7・7を追加した例を図7に示す。検出信号MON1・MON2をそのまま遅延量検出回路5aに入力させようとする、映像信号出力ブロックSD_yから遅延量検出回路5aまでの配線負荷などの影響で検出信号に波形なまりが生じ、正確な遅延量を検出することができなくなる虞がある。

【0088】

上述の構成によれば、検出信号MON1・MON2をそれぞれバッファ回路7を介して遅延量検出回路5aに入力させるので、例えばバッファ回路7の初段のゲート回路7aをサイズの小さなトランジスタで構成して入力容量を小さくすることにより、信号検出箇所の負荷の増大による信号伝搬特性の擾乱を最小限に抑えることができる。また、バッファ回路7の最終段のゲート回路7bをサイズの大きなトランジスタで構成して駆動能力を大

10

20

30

40

50

きくする（出力インピーダンスを小さくする）ことにより、遅延量検出回路 5 a までの信号の歪みを抑え、検出信号 MON 1・MON 2 の時間的検出精度を向上させることができる。このような構成における各信号波形の例を図 8 に示す。

【0089】

図 8 において、ラッチ LAT_y から出力される信号 N_y とサンプリング信号 S_y との遅延量 t₁ は、その間のゲートブロック B_y 内での遅延量に相当するが、データ信号線駆動回路 3 内でこれを構成するトランジスタの特性がほぼ均一であると仮定した場合、各映像信号出力ブロック SD_i でこの遅延量 t₁ はほぼ同一である。また、検出信号 MON 1 は信号 N_y に対して、検出信号 MON 2 はサンプリング信号 S_y に対して、それぞれバッファ回路 7 内での遅延量 t₀ だけ遅れて遅延量検出回路 5 a に出力される。従って、検出信号 MON 1・MON 2 間の遅延量は信号 N_y とサンプリング信号 S_y との遅延量 t₁ に等しい。

10

【0090】

これに対し、遅延量検出回路 5 a は検出信号 MON 1・MON 2 間の遅延量 t₁ を検出し、これに基づいて位相調整回路 5 b がサンプリング信号 S_i と映像信号 DAT の各データ D_i とのタイミングを調整して最適化する。検出した遅延量 t₁ に基づけば、映像信号 DAT の各データ D_i は、それぞれに対応するクロック信号 CKS に対して遅延量 t₂ だけ遅れるようにすればよいことが分かる。従って、同図の場合、サンプリング信号 S_i が映像信号 DAT の各データ D_i の供給時間内の所定の位置にて立ち下がるようにするために、クロック信号 CKS を破線で示した状態から実線で示した状態へシフトさせることにより位相差としての遅延量 t₂ を設定してタイミングの最適化を行っている。

20

【0091】

次に、遅延量 t₁ から遅延量 t₂ を求める方法について説明する。ラッチ LAT_i 内や初段のゲート回路であるインバータ G₁ 内での信号の遅延量は、これらの回路を構成するトランジスタの特性のばらつきや経時変化によって変動するが、同一のデータ信号線駆動回路 3 内では、このような特性のばらつきや経時変化に大きな差はないので、2 つの検出信号 MON 1・MON 2 間の遅延量 t₁ から推定することができる。例えば、ゲートブロック B_i 内での遅延量が 30% 増大した場合、ラッチ LAT_i などの内部での遅延量も約 30% 増大すると考えても問題ない。

【0092】

一方、位相調整回路 5 b から出力される信号と、これを基に生成されるクロック信号 CKS と映像信号 DAT の各データ D_i との間にもそれぞれの信号生成に関係する遅延量が存在する。これらの信号生成を司る回路は、一般に外部 IC で構成されており、データ信号線駆動回路 3 とは異なるトランジスタで構成されているので、その遅延量はほぼ一定の値をとる。

30

【0093】

この結果、クロック信号 CKS に対するサンプリング信号 S_i の遅延量の最適値は、2 つの検出信号 MON 1・MON 2 間の遅延量 t₁ に比例する部分と、比例しない一定部分とからなると近似することができる。すなわち、クロック信号 CKS と映像信号 DAT の各データ D_i との位相差を最適値にするための調整時間を、図 9 に示すように、2 つの検出信号 MON 1・MON 2 間の遅延量 t₁ を変数とする 1 次関数 ($t_2 = A \cdot t_1 + B$) として近似することができる。ここで、A および B は定数であり、実験から経験的に求めるか、シミュレーションにより算出することができる。これにより、調整する位相差を極めて単純な回路で算出できるとともに、このような回路構成を含む位相調整回路 5 b を容易に実現することができる。

40

【0094】

ところで、クロック信号 CKS と映像信号 DAT の各データ D_i との間の遅延量 t₂ は、位相調整回路 5 b を備えるタイミング回路 5 で制御するため、どのような値でも自由にとることができる訳ではなく、タイミング回路 5 の動作周波数によって制限される。つまり、タイミング信号を生成する回路を初め全ての回路は、そのシステムでの最高の周波数

50

の原クロック信号を基に、これを分周したクロック信号で駆動されているので、位相調整回路5bが調整する時間もこの原クロック信号の1周期(またはパルス幅)を単位とするのが限界である。これよりも短い時間間隔で調整しようとする場合には、より高周波の信号を新たに容易しなければならない。

【0095】

このため、位相調整回路5bが調整する遅延量 t_2 は、このような原クロック信号を用いて、その1周期(またはパルス幅)単位で変化させることにより、図10に示すような一定時間間隔 T を置いた離散値に設定される。この原クロック信号の周波数は、データ信号線駆動回路3のクロック周波数よりも数倍大きいので、原クロック信号の時間(周期)間隔での位相調整でも問題はない。さらに、サンプリング信号 S_i の立ち下がりが映像信号DATの各データ D_i の切り替わりよりも後になることを避けるために、上記離散値は2つの検出信号 $MON1 \cdot MON2$ 間の遅延量 t_1 の1次関数として求めた値($A \cdot t_1 + B$)以上の値に設定される。

10

【0096】

これにより、新たに高周波のクロック信号を追加することなく十分な精度でクロック信号CKSと映像信号DATの各データ D_i との位相調整を行うことができ、高品位の画像表示を実現することができる。

【0097】

以上述べたように、本発明の画像表示装置によれば、2つの検出信号間の遅延量を常時モニターし、これを基に映像用タイミング信号と映像信号とをデータ信号線駆動回路に供給するタイミングを調整するので、供給初期の遅延量のばらつきだけでなく、動作中の遅延量の変動にもリアルタイムに追従する。このため、例えば、データ信号線駆動回路を構成するトランジスタの初期特性のばらつきだけでなく、その経時変化に対しても対応することができる。ところで、この遅延量のモニターおよびタイミングの調整は常時行ってもよいが、経時変化が特に大きくない場合には、一定時間ごとまたは電源投入時のみに行うようにしてもよい。

20

【0098】

また、2つの検出信号間の遅延量、すなわち時間差を用いているので、検出信号出力回路から位相調整回路までの配線遅延の影響は相殺される。従って、検出信号出力回路と位相調整回路とを接続する配線の負荷(抵抗および容量)が配線によって変わる場合や、その正確な値が不明である場合にも問題なく対応することができる。この結果、映像信号をサンプリング信号でデータ信号線に正確に書き込むことが可能となり、高品位な画像表示を実現することができる。

30

【0099】

〔実施の形態2〕

本発明の画像表示装置の他の実施の形態について図11ないし図14を用いて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1の図面に示した構成要素と同一の機能を有する構成要素については、同一の符号を付し、その説明を省略する。

【0100】

図11に本実施の形態の画像表示装置11のブロック図を示す。画像表示装置11は、多数の画素(PIX)2a...からなる画素アレイ(ARY)2、データ信号線駆動回路(SD)3、走査信号線駆動回路(GD)4、タイミング回路(CTRL)5、および外部電源回路(VGEN)12から構成される。このうち、画素アレイ2、データ信号線駆動回路3、および走査信号線駆動回路4は、ドライバモノリシック構造とするために同一基板SUB上に構成されており、実施の形態1で述べたタイミング回路5からの各信号と、外部電源回路12からの駆動電源とによって駆動されている。

40

【0101】

外部電源回路12は、高電位側の電源電圧 V_{SH} と低電位側の電源電圧 V_{SL} とをデータ信号線駆動回路3に出力するとともに、高電位側の電源電圧 V_{GH} と低電位側の電源電圧 V_{GL} とを走査信号線駆動回路4に出力するようになっている。また、基板SUBの共

50

通電極に共通電位COMを出力するようになっている。そして、検出信号MON1・MON2がデータ信号線駆動回路3からタイミング回路5に入力されている。なお、図示しないが、タイミング回路5内には実施の形態1と同様に遅延量検出回路および位相調整回路が設けられている。

【0102】

このような構成の画像表示装置11において、検出信号MON1・MON2は、基板SUB上のデータ信号線駆動回路3内の図示しない検出信号出力回路から外部配線を介して基板SUB外部のタイミング回路5に出力されるので、信号波形の歪みなどが顕著になる可能性がある。従って、実施の形態1と同様に、検出信号MON1・MON2をバッファ回路により増幅してタイミング回路5に出力することが望ましい。

10

【0103】

また、データ信号線駆動回路3を、場合によっては走査線信号駆動回路4とともに画素アレイ2（すなわち画素2a...）と同一基板SUB上にモノリシックに形成することにより、これらを別々に構成して実装するよりも駆動回路の製造コストや実装コストの低減および信頼性の向上を図ることができる。

【0104】

ここで、基板SUB上にデータ信号線駆動回路3が配置され、基板SUB外部にタイミング回路5が配置されているので、データ信号線駆動回路3の内部遅延をモニターするための検出信号MON1・MON2は、出力端子を介して出力されることになる。一般に、画像表示装置の製造工程中や搬送時における静電気の発生や、使用時における過大電圧の

20

【0105】

通常画像表示装置には出力端子が存在しないのに対して、本実施の形態の画像表示装置11においては、上述のように、検出信号MON1・MON2を外部に出力するための出力端子が必要である。そこで、図12に示すように、タイミング回路5から出力される各信号の入力端子とともに、検出信号MON1・MON2の出力端子にも保護回路(PRT)13を設けることとする。このように、出力端子についても保護回路13を付加することが、製造工程中や搬送時における静電気の発生や、使用時における過大電圧の入力などへの有効な対策となる。

30

【0106】

この保護回路13については、必ずしも入力端子の保護回路13と同一のものである必要はなく、保護性能や出力インピーダンスなどを考慮し、出力端子用として最適な構成のものを用いればよい。この結果、出力端子からの静電気破壊や過大入力による破壊を抑制することができ、画像表示装置11の良品率の大幅な向上を図ることができる。

【0107】

次に、図13および図14(a)~(k)を用いて、画像表示装置11を構成する能動素子としての多結晶シリコン薄膜トランジスタ21について述べる。多結晶シリコン薄膜トランジスタ21は、例えば従来のアクティブマトリクス液晶表示装置に用いられていた非晶質シリコン薄膜トランジスタと比較して極めて駆動力の高い特性が得られる。図13

40

【0108】

多結晶シリコン薄膜トランジスタ21は、絶縁性基板22上にシリコン酸化膜23を介して多結晶シリコン薄膜からなる活性層24、ソース領域25、およびドレイン領域26が形成され、さらにその上にシリコン酸化膜からなるゲート絶縁膜27、ゲート電極28、シリコン酸化膜からなる層間絶縁膜29、ソース電極およびドレイン電極としての金属配線30が形成されたものである。すなわち、上記多結晶シリコン薄膜トランジスタ21は、絶縁性基板22上の多結晶シリコン薄膜を活性層24とする順スタガー（トップゲート）構造のものであるが、これに限るものではなく、逆スタガー構造などの他の構造であってもよい。

50

【0109】

このような多結晶シリコン薄膜トランジスタ21を用いることによって、実用的な駆動能力を有するデータ信号線駆動回路3および走査信号線駆動回路4を画素アレイ2と同一基板SUB上にほぼ同一の工程で製造することができる。

【0110】

また、一般に、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタ(MOSTランジスタ)と比較して、特性のばらつきが大きく、特性の経時変化量も大きい。従って、クロック信号CKSと映像信号DATとのタイミングを固定したとすると、製造した全ての画像表示装置に対して良好な画像表示を保証するのは困難な場合がある。画像表示装置の数年以上にわたる使用期間中においてはなおさらである。このため、実施の形態1で述べたように、トランジスタの特性のばらつきや経時変化に対して自動的にリアルタイムで位相調整を行うことが極めて効果的である。

10

【0111】

次に、図14(a)~(k)を用い、画像表示装置11を構成する多結晶シリコン薄膜トランジスタ21を600以下で形成するときの製造プロセスについて説明する。ただし、便宜上、pチャンネル型とnチャンネル型との両方を同時に製造するプロセスとし、シリコン酸化膜23の形成については省略することとする。同図において、各分図は各工程における素子の断面図を示す。

【0112】

まず同図(a)に示すようなガラス基板などの絶縁性基板22上に、同図(b)に示すように非晶質シリコン薄膜31を堆積する。次いで、この非晶質シリコン薄膜31に同図(c)に示すようにエキシマレーザを照射し、多結晶シリコン薄膜32を形成する。そして、同図(d)に示すように、この多結晶シリコン薄膜32を所望の形状にパターンニングして、後に活性層24となる部分を含んだ多結晶シリコン薄膜アイランド33を形成し、その上に同図(e)に示すようにシリコン酸化膜からなるゲート絶縁膜27を形成する。さらに、同図(f)に示すように、活性層24の上方にあたるゲート絶縁膜27上にアルミニウムなどからなるゲート電極28を形成する。

20

【0113】

次に、同図(g)に示すように、ゲート絶縁膜27を介して多結晶シリコン薄膜アイランド33内の所定の位置に燐イオン(P^+)を注入してn型のソース領域25およびドレイン領域26を形成する。また、同図(h)に示すように、同様に、ゲート絶縁膜27を介して多結晶シリコン薄膜アイランド33内の所定の位置に硼素イオン(B^+)を注入してp型のソース領域25'およびドレイン領域26'を形成する。これらイオン注入工程において、注入しない領域には予めフォトレジストなどからなるマスク34を形成しておく。

30

【0114】

その後、同図(i)に示すように、シリコン酸化膜または窒化シリコンなどからなる層間絶縁膜29を堆積し、同図(j)に示すように、ソース領域25およびドレイン領域26の上方にあたる層間絶縁膜29にコンタクトホール35...を開口した後、同図(k)に示すようにコンタクトホール35...を覆って金属配線30を形成すると多結晶シリコン薄膜トランジスタ21が完成する。上述の一連の製造工程において、プロセスの最高温度はゲート絶縁膜27形成時の600であるので、絶縁性基板22には例えば米国コーニング社製の1737ガラスなどの高耐熱性ガラスを使用することができる。

40

【0115】

なお、液晶表示装置においては、この後に、さらに別の層間絶縁膜を介して透明電極(透過型液晶表示装置の場合)や反射電極(反射型液晶表示装置の場合)を形成することになる。

【0116】

上述したように、図14(a)~(k)に示すような製造工程で多結晶シリコン薄膜トランジスタ21を600以下で形成することにより、安価で大面積のガラス基板を用い

50

ることができるようになるので、画像表示装置 1 1 の低価格化と大面積化とを図ることができる。

【0117】

以上、本発明の実施の形態について幾つかを示したが、本発明は個々の実施の形態に限定されることなく、上記実施の形態を組み合わせたものについても同様に当てはまるものである。

【図面の簡単な説明】

【0118】

【図1】本発明の実施の一形態における画像表示装置の構成を示すブロック図である。

【図2】図1の画像表示装置の映像信号出力ブロックを1つにまとめて画像表示装置の構成を示すブロック図である。 10

【図3】図1の画像表示装置の映像信号出力ブロックをより詳細に示す回路図の一例である。

【図4】図1の画像表示装置の映像信号出力ブロックをより詳細に示す回路図の他の例である。

【図5】図1の画像表示装置の映像信号出力ブロックをより詳細に示す回路図のさらに他の例である。

【図6】図1の画像表示装置の映像信号出力ブロックをより詳細に示す回路図のさらに他の例である。

【図7】図3の映像信号出力ブロックの検出信号出力側にバッファ回路を設けた回路図である。 20

【図8】図7の回路を有した画像表示装置における各信号のタイミングを示すタイミングチャートである。

【図9】図8のタイミングチャートにおける t_1 と t_2 との関係を示すグラフである。

【図10】図8のタイミングチャートにおける t_1 と t_2 との関係を示す他のグラフである。

【図11】本発明の他の実施の形態における画像表示装置の構成を示すブロック図である。

【図12】図11の画像表示装置に保護回路を設けた画像表示装置の構成を示すブロック図である。 30

【図13】図11または図12の画像表示装置に用いられる多結晶シリコン薄膜トランジスタの構造を示す断面図である。

【図14】(a)ないし(k)は、図13の多結晶シリコン薄膜トランジスタを製造する過程を示す説明図である。

【図15】従来の画像表示装置の構成を示すブロック図である。

【図16】図15の画像表示装置における画素の構成を示す回路図である。

【図17】図15の画像表示装置におけるデータ信号線駆動回路の構成を示す回路図である。

【図18】図17のデータ信号線駆動回路の変形例の構成を示す回路図である。

【図19】図17または図18の回路を有した画像表示装置における各信号のタイミングを示すタイミングチャートの一例である。 40

【図20】図17または図18の回路を有した画像表示装置における各信号のタイミングを示すタイミングチャートの他の例である。

【図21】図17または図18の回路を有した画像表示装置における各信号のタイミングを示すタイミングチャートのさらに他の例である。

【符号の説明】

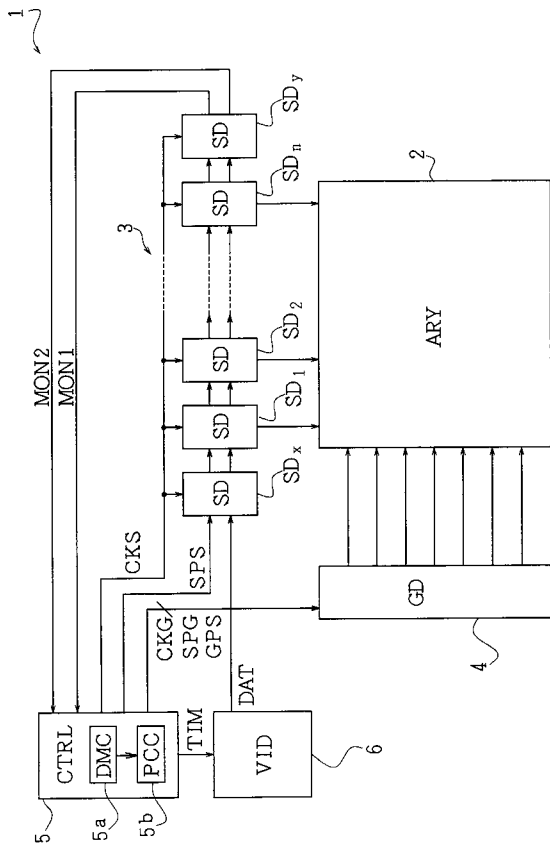
【0119】

- 1 画像表示装置
- 2 画素アレイ
- 2 a 画素

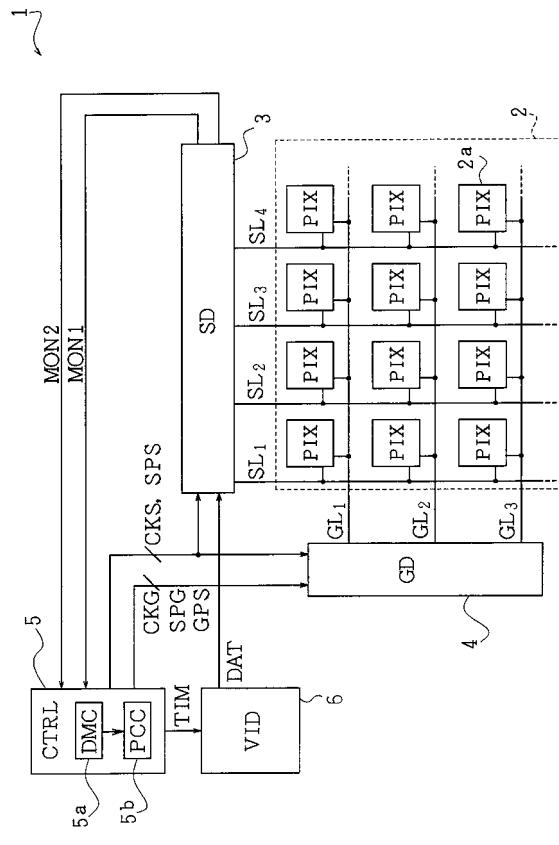
3	データ信号線駆動回路	
4	走査信号線駆動回路	
5	タイミング回路	
5 a	遅延量検出回路	
5 b	位相調整回路	
6	映像信号処理回路	
7	バッファ回路	
7 a	ゲート回路	
7 b	ゲート回路	
1 1	画像表示装置	10
1 2	外部電源回路	
1 3	保護回路	
2 1	多結晶シリコン薄膜トランジスタ (能動素子)	
2 2	絶縁性基板	
2 3	シリコン酸化膜	
2 4	活性層	
2 5	ソース領域	
2 5 '	ソース領域	
2 6	ドレイン領域	
2 6 '	ドレイン領域	20
2 7	ゲート絶縁膜	
2 8	ゲート電極	
2 9	層間絶縁膜	
3 0	金属配線	
3 1	非晶質シリコン薄膜	
3 2	多結晶シリコン薄膜	
A S a	電界効果トランジスタ	
A S b	電界効果トランジスタ	
A S _i (i = x , 1 , 2 , ... , n , y)	アナログスイッチ (サンプリング回路)	30
B _i (i = x , 1 , 2 , ... , n , y)	ゲートブロック (バッファ回路)	
B _i ' (i = x , 1 , 2 , ... , n , y)	ゲートブロック (バッファ回路)	
C K G	クロック信号 (タイミング信号)	
C K S	クロック信号 (タイミング信号)	
D A T	映像信号	
D _i (i = x , 1 , 2 , ... , n , y)	データ	
G 1	インバータ (ゲート回路)	40
G 2	インバータ (ゲート回路)	
G 3	インバータ (ゲート回路)	
G 4	インバータ (ゲート回路)	
G 5	N A N D 回路 (ゲート回路)	
G L _j (j = 1 , 2 , ... , m)	走査信号線	
G P S	同期信号	
L A T _i (i = x , 1 , 2 , ... , n , y , z)	ラッチ (シフトレジスタ回路)	
M O N 1	検出信号	50

- MON2 検出信号
- MON1 信号
- S_i ($i = x, 1, 2, \dots, n, y$)
サンプリング信号
- $/S_i$ ($i = x, 1, 2, \dots, n, y$)
サンプリング信号
- SD_i ($i = x, 1, 2, \dots, n, y$)
映像信号出力ブロック
- SL_i ($i = 1, 2, \dots, n$)
データ信号線
- SPG スタート信号 (タイミング信号)
- SPS スタート信号 (タイミング信号)
- SUB 基板
- t1 遅延量
- t2 遅延量 (位相差)
- TIM 映像信号制御信号

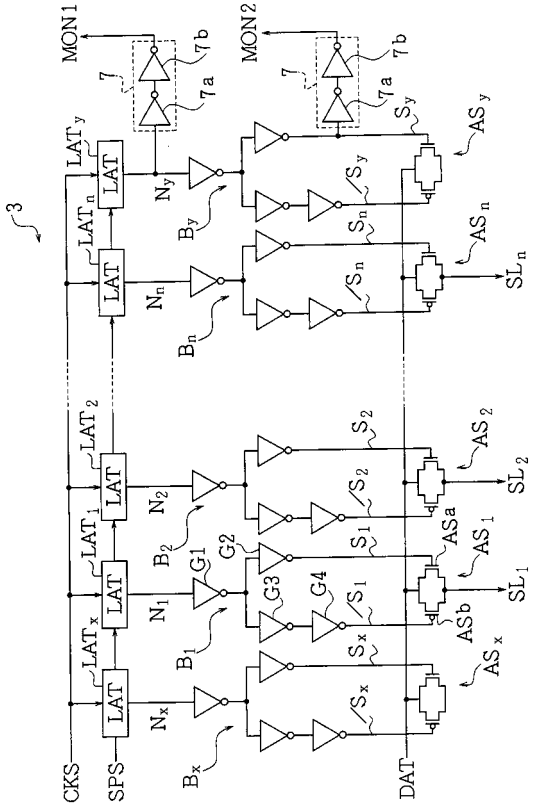
【図1】



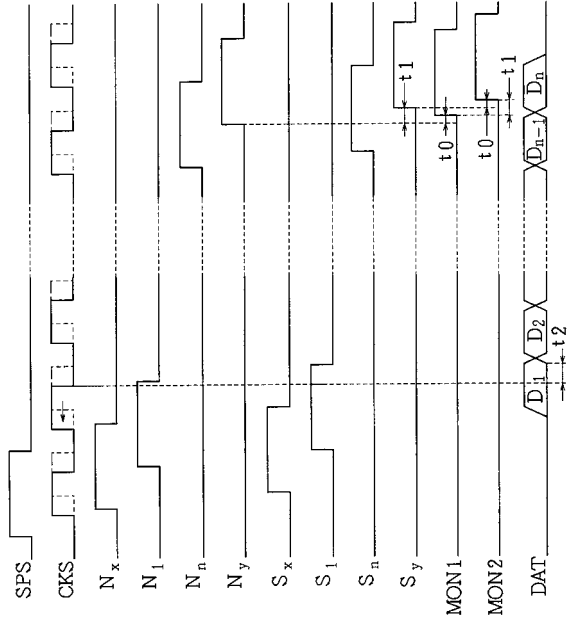
【図2】



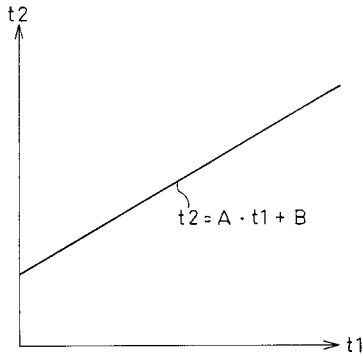
【 図 7 】



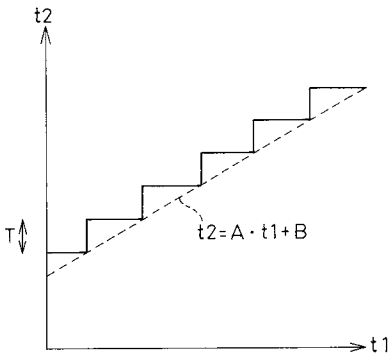
【 図 8 】



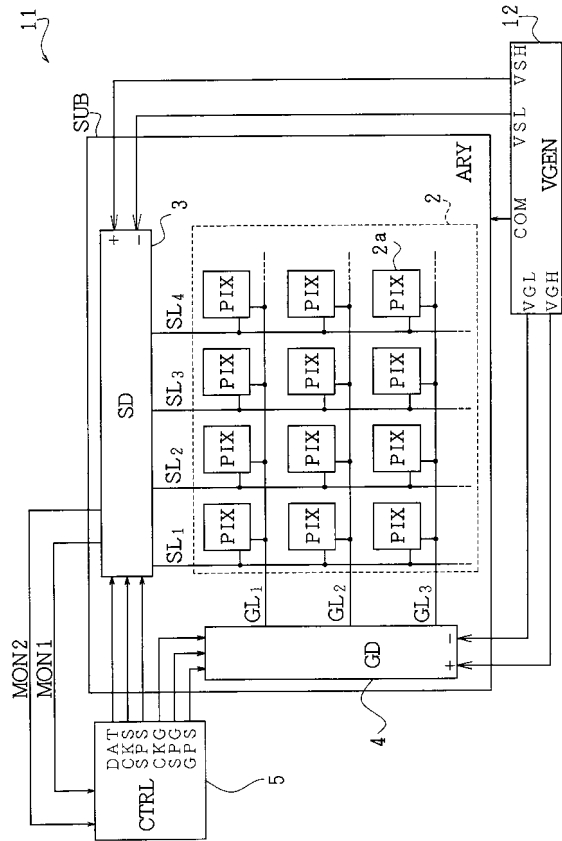
【 図 9 】



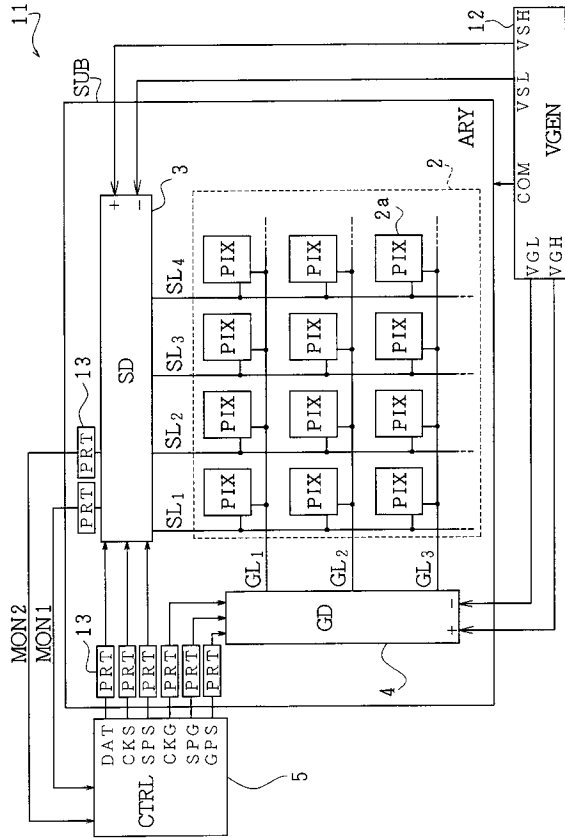
【 図 10 】



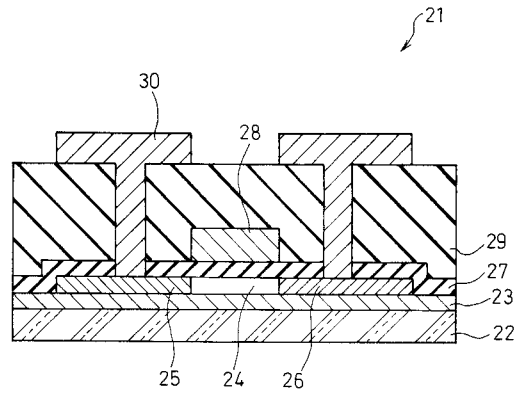
【 図 11 】



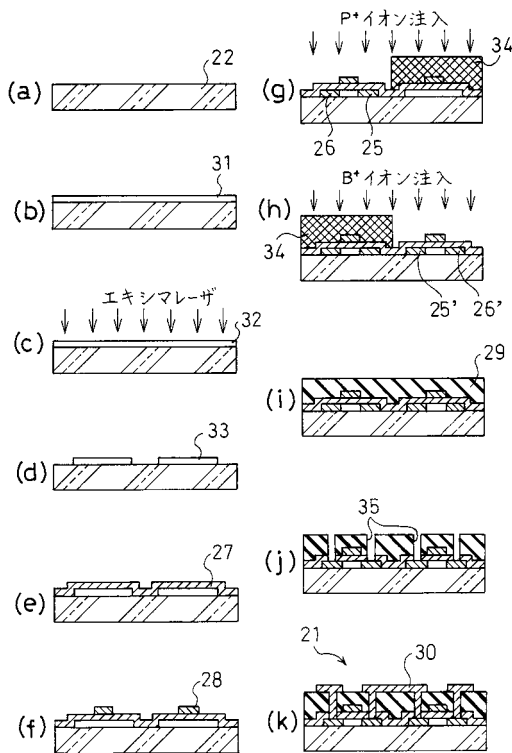
【 図 1 2 】



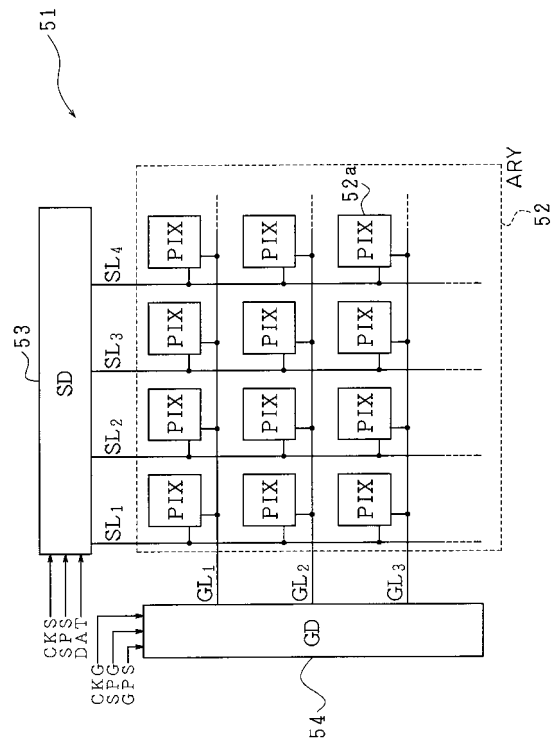
【 図 1 3 】



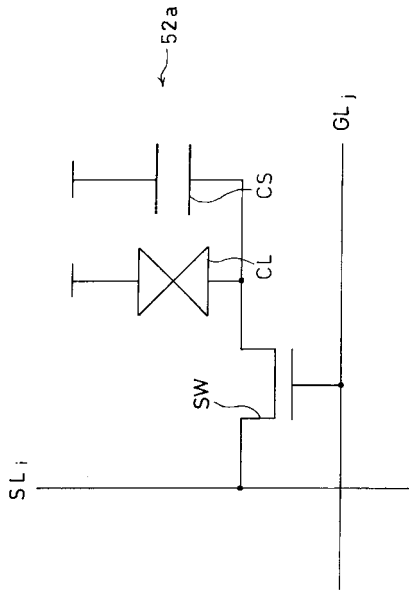
【 図 1 4 】



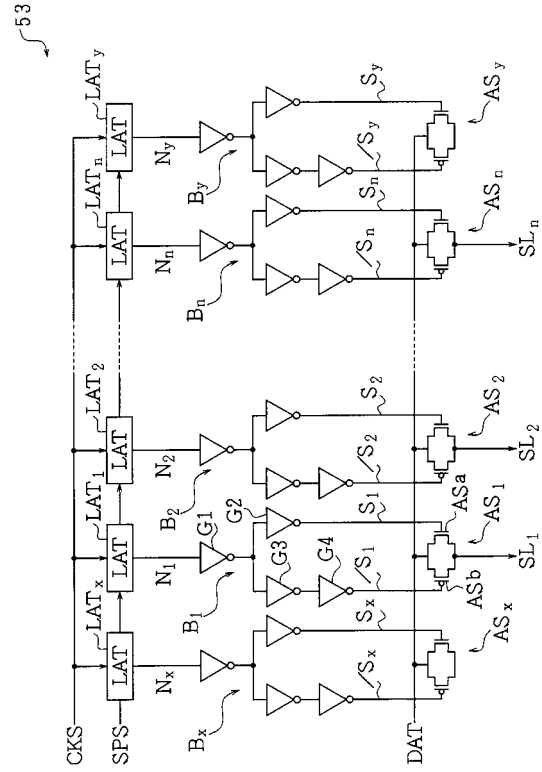
【 図 1 5 】



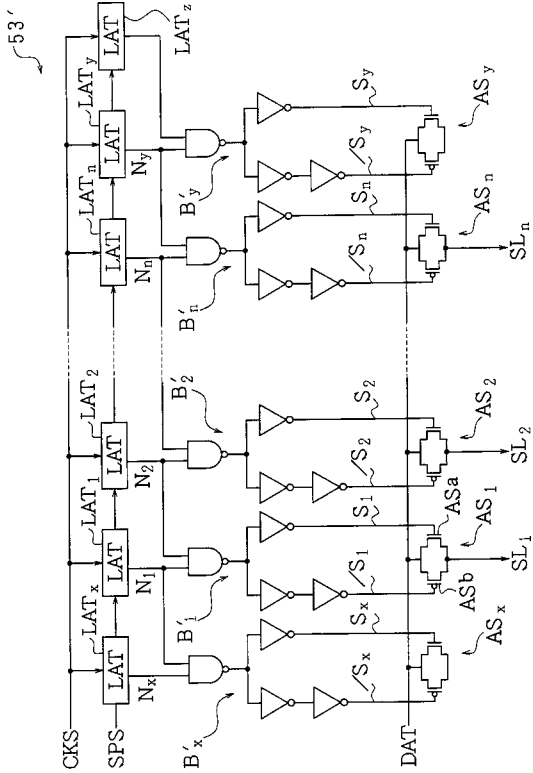
【 図 1 6 】



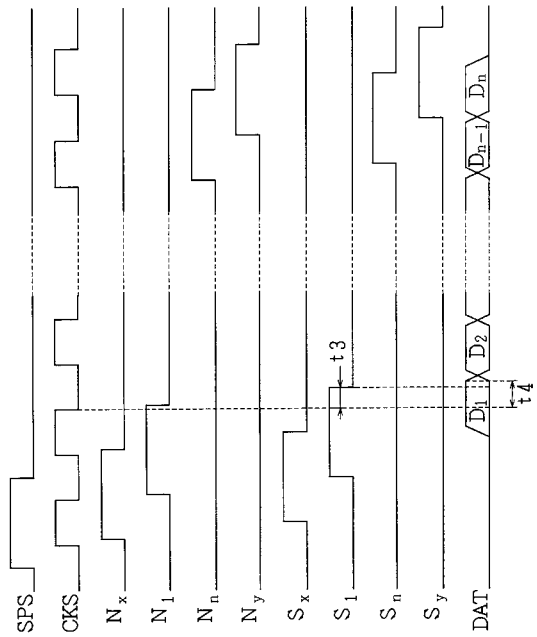
【 図 1 7 】



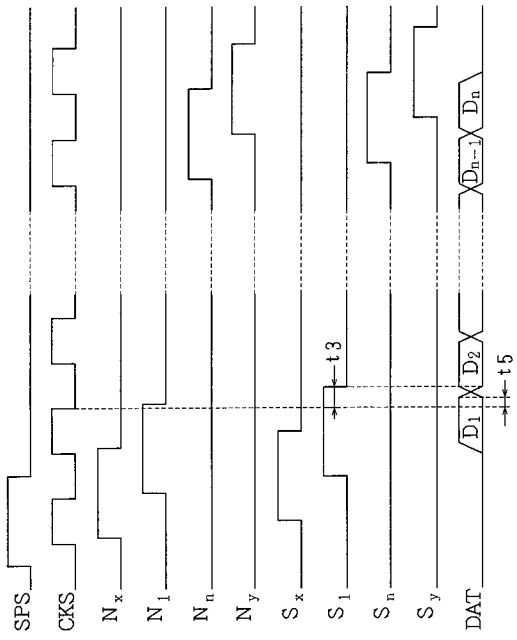
【 図 1 8 】



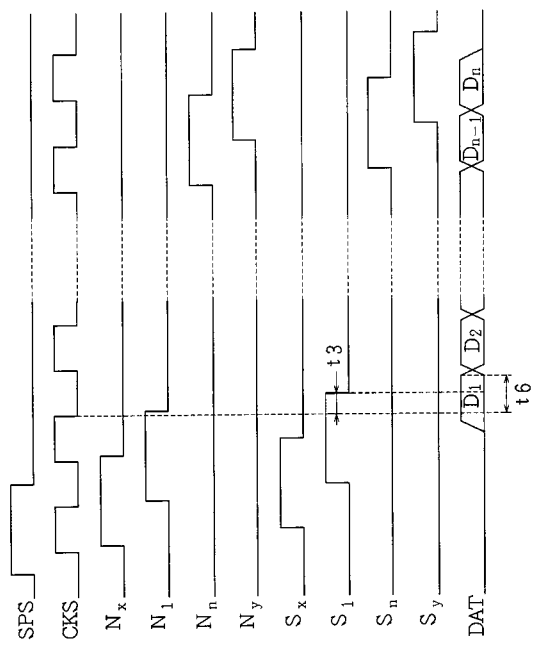
【 図 1 9 】



【 図 2 0 】



【 図 2 1 】



フロントページの続き

(72)発明者 酒井 保

大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

Fターム(参考) 2H093 NA16 NA42 NA53 NA63 NC15 NC16 NC22 NC23 NC26 NC34
NC49 NC58 NC59 ND34 NE01 NE03
5C006 AF54 AF72 BB16 BB27 BC02 BC11 BC20 BF03 BF11 BF25
BF26 BF27 EB05 FA20 FA51
5C080 AA10 BB05 DD01 DD27 DD30 FF11 JJ02 JJ03 JJ04 JJ06