



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 697 33 857 T2** 2006.04.06

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 0 798 894 B1**

(21) Deutsches Aktenzeichen: **697 33 857.6**

(96) Europäisches Aktenzeichen: **97 302 086.0**

(96) Europäischer Anmeldetag: **26.03.1997**

(97) Erstveröffentlichung durch das EPA: **01.10.1997**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **03.08.2005**

(47) Veröffentlichungstag im Patentblatt: **06.04.2006**

(51) Int Cl.⁸: **H04L 12/24** (2006.01)
G06F 13/36 (2006.01)

(30) Unionspriorität:

624176 **29.03.1996** **US**

(73) Patentinhaber:

Compaq Computer Corp., Houston, Tex., US

(74) Vertreter:

**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80538 München**

(84) Benannte Vertragsstaaten:

DE, FR, GB

(72) Erfinder:

**Schnell, Arnold Thomas, Pflugerville, Texas
78651, US**

(54) Bezeichnung: **Steuerungsübertragungsbus für Netzwerkgeräte**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf das Gebiet von Netzwerk-Vorrichtungen, und insbesondere auf einen Management-Kommunikation-Bus für Netzwerk-Vorrichtungen.

[0002] Es existieren viele unterschiedliche Typen von Netzwerken und Netzwerk-Systemen, um gemeinsam Dateien und Ressourcen zu teilen, oder um in anderer Weise eine Kommunikation zwischen zwei oder mehr Computern zu ermöglichen. Netzwerke können basierend auf verschiedenen Merkmalen und Funktionen kategorisiert werden, wie beispielsweise Meldungs-Kapazität, Bereich, über den die Knoten verteilt sind, Knoten- oder Computer-Typen, Knoten-Beziehungen, Topologie oder logisches und/oder physikalisches Layout, Architektur, basierend auf einem Kabel-Typ und einem Daten-Paket-Format, Zugangs-Möglichkeiten, usw.. Zum Beispiel bezieht sich der Bereich eines Netzwerks auf die Entfernung, über die die Knoten verteilt sind, wie beispielsweise Local-Area Networks (LANs) innerhalb eines Büros oder einer Etage eines Gebäudes, Wide-Area Networks (WANs), die sich über einen College-Campus erstrecken, oder eine Stadt oder einen Staat, Global-Area Networks (GANs), die sich über nationale Grenzen erstrecken, usw.. Die Architektur eines Netzwerks bezieht sich allgemein auf die Verkabelung oder Medien und einen Medien-Zugang, der verwendet ist, ebenso wie auf die Paket-Struktur der Daten, die über die Medien übertragen werden. Verschiedene Architekturen sind üblich, einschließlich Ethernet, unter Verwendung von koaxialen, twisted-pair- oder faseroptischen Kabeln für einen Betrieb bei 10 Megabits pro Sekunde (Mbps) (z.B. 10Base-T, 10Base-F) oder ein schnelles Ethernet, das bei 100 Mbps arbeitet (z.B. 100Base-T, 100Base-FX). ARCnet (Attached Resource Computer Network) ist eine relativ kostengünstige Netzwerk-Architektur, die koaxiale, twisted-pair- und faser-optische Kabel für einen Betrieb bei 2,5 Mbps, verwendet. Ein Token-Ring oder ein Token-Bus verwendet ein spezielles IBM-Kabel oder ein faser-optisches Kabel für einen Betrieb zwischen 1–16 Mbps. Natürlich sind viele andere Typen von Netzwerken bekannt und verfügbar.

[0003] Jedes Netzwerk umfasst allgemein zwei oder mehr Computer, oftmals bezeichnet als Knoten oder Stationen, die miteinander über ausgewählte Medien und verschiedene andere Netzwerk-Vorrichtungen für ein Weiterleiten, ein Senden, ein Wiederholen, ein Translatieren, ein Filtern, usw., der Daten zwischen den Knoten verbunden sind. Der Ausdruck „Netzwerk-Vorrichtung“ bezieht sich allgemein auf Computer und deren Netzwerk-Schnittstellen-Karten (Network Interface Cards – NICs) ebenso wie auf verschiedene andere Vorrichtungen auf dem Netzwerk, einschließlich Wiederholungseinrichtungen, Brücken, Schalter, Router, Brouter, um ein paar Beispiele zu nennen.

[0004] Es ist erwünscht, jede der Netzwerk-Vorrichtungen zu Zwecken einer Verwaltung dieses Netzwerks zu überwachen und/oder zu konfigurieren. Zum Beispiel kann es erwünscht sein, jeden der Ports einer Mehrfach-Port-Vorrichtung, wie beispielsweise eines Repeaters, freizugeben oder zu sperren und zu konfigurieren. Auch kann es erwünscht sein, den Status der Ports zu überwachen oder statistische Daten über einen oder mehrere der Ports an einer Netzwerk-Vorrichtung zu überwachen und aufzusuchen. Demzufolge müssen Management-Daten zwischen den Netzwerk-Vorrichtungen kommuniziert werden. Jede der Netzwerk-Vorrichtungen kann so aufgebaut sein, um mit anderen Netzwerk-Vorrichtungen über deren jeweilige Netzwerk-Kanäle und Protokolle zu Zwecken eines Management bzw. einer Verwaltung zu kommunizieren. Allerdings würde, wenn die Netzwerk-Kanäle oder -Protokolle nicht kompatibel sind, dann ein bestimmter Typ eines Wandlers oder einer Brücken-Vorrichtung erforderlich sein, um eine solche Kommunikation zu ermöglichen. Zum Beispiel würde eine Brücke typischerweise erforderlich sein, um einer 10Base-T und einer 100Base-T Vorrichtung zu ermöglichen, miteinander zu kommunizieren. Solche Wandler-Vorrichtungen fügen wesentliche und in nicht erwünschter Weise Kosten zu dem System hinzu. Weiterhin ist eine solche Kommunikation typischerweise in Datenpaketen aufgebaut, was einen zusätzlichen Overhead erfordert, um die Daten in Pakete zu codieren und die Daten auf ihrem Netz zu einer anderen Vorrichtung zu senden. Die empfangende Vorrichtung muss dann das Paket aufsuchen und die Daten decodieren, was einen zusätzlichen Overhead erfordert. Noch wichtiger ist dasjenige, dass es nicht erwünscht ist, wertvolle Zeit und Ressourcen an den jeweiligen Netzwerken zu verbrauchen, indem ein Verkehr mit Management-Funktionen erhöht wird. Auch sind nicht alle Netzwerk-Vorrichtungen Ressourcen oder Bestimmungen von Daten und empfangen einfach Daten und senden sie zurück. Zum Beispiel sucht ein Ethernet-Repeater keine Pakete auf und decodiert sie, sondern wiederholt einfach das Paket an seinen anderen Ports.

[0005] Demzufolge würde der Repeater eine Modifikation seiner Netzwerk-Logik erfordern, um Management-Funktion freizugeben.

[0006] Eine mögliche Lösung ist diejenige, ein gemeinsames Netzwerk-Protokoll zu jeder der Vorrichtungen, wie beispielsweise ARCnet oder dergleichen, hinzuzufügen, so dass jede Vorrichtung ein Knoten auf einem

separaten Management-Netzwerk wird. Allerdings muss ein solches Netzwerk relativ kostengünstig sein und dennoch einen ausreichenden Daten-Durchsatz haben, um die erwünschten Management-Funktionen zu erreichen. Obwohl ARCnet eine relativ kostengünstige Architektur ist, erfordert sie einen wesentlichen Overhead zum Codieren und Decodieren von Paketen und zum Einsetzen von Warte-Zuständen, um dadurch den tatsächlichen, gesamten Daten-Durchsatz auf ungefähr 1 Mbps zu verringern.

[0007] Andere mögliche Lösungen sind diejenigen, eine bekannte Eingangs-Ausgangs-(I/O)-Bus-Struktur zu allen Netzwerk-Vorrichtungen hinzuzufügen, wie beispielsweise den 8-Bit PC-Bus, die Industry Standard Architecture (ISA) oder einen AT-Bus, den Extended ISA (EISA) Bus, die Micro Channel Architecture® von IBM (MCA), den Peripher-Komponenten-Zwischenverbindungs-(Peripheral Component Interconnect – PCI)-Bus, usw.. Jede dieser Bus-Strukturen sieht im Speicher aufgelistete Transaktionen vor und würde einen ausreichenden Durchsatz für die erwünschten Management-Funktionen der Netzwerk-Vorrichtungen ermöglichen. Allerdings sind solche Bus-Strukturen auch relativ kostspielig und erfordern einen wesentlichen Umfang an Bus-Signalen. Ein 8-Bit-PC-Bus erfordert zum Beispiel mindestens 31 Pins oder Signale, und der 16-Bit EISA Bus fügt mindestens 18 weitere Pins zu dem PC Bus hinzu. Der EISA Bus fügt 55 Signale an dem ISA Bus hinzu. Der MCA Bus umfasst mindestens 46 Pins für seinen Grund-Abschnitt mit 8-Bit.

[0008] Eine andere, mögliche Lösung ist diejenige, einen seriellen Kanal für Kommunikationen zu verwenden. Allerdings sind serielle Kommunikationen relativ kostspielig für den Umfang eines Daten-Durchsatzes, der verfügbar ist. Übliche Durchsatz-Raten sind 9.600, 14.400, 19.200 und 28.800 bits at unit density (baud). Höhere Baud- oder Bit-Raten können verfügbar sein, allerdings unter einer wesentlichen Erhöhung der Kosten.

[0009] Es ist erwünscht, ein Management-Kommunikation-Schema zum Verwalten von Netzwerk-Vorrichtungen unter einem erwünschten Daten-Durchsatz ohne Hinzufügen wesentlicher Kosten zu einem Netzwerk-System zu schaffen.

[0010] Die EP-A-0495575 offenbart eine Repeater-Interface-Steuereinheit (Repeater Interface Controller – RIC), die Segmente eines Bus/Baum-LAN verbindet. Die RIC, dargestellt in den [Fig. 5](#), 8 und 9, umfasst einen Zwischen-RIC-Bus **18**, der für kaskadierende RICs ausgelegt ist, wie dies in [Fig. 12](#) dargestellt ist, einen Hub-Management-Bus **24** und einen Prozessor-Bus **22**.

[0011] Die WO-A-9516318 offenbart ein Management-Kommunikation-Bus-System, das aufweist: mindestens eine Bus-Master-Vorrichtung und mindestens eine Slave-Vorrichtung und einen Management-Kommunikation-Bus für eine Kommunikation von Informationssignalen zwischen der Master- und der Slave-Vorrichtung.

[0012] Die vorliegende Erfindung ist dadurch gekennzeichnet, dass der Bus aufweist: erste Bus-Leiter, jeweils zum Führen eines codierten Bus-Zustand-Signals, so dass die codierten Bus-Zustand-Signale auf den ersten Bus-Leitern zusammen jeweilige Bus-Zustände größer in der Zahl als die Zahl von codierten Bus-Zustand-Signalen definieren, und zweite Bus-Leiter, um eine Vielzahl von Bus-Daten-Signalen zum Übertragen von Informations-Daten in Abhängigkeit von den Bus-Zuständen zu führen, wobei die Bus-Zustände umfassen: einen ersten Bus-Zustand für eine Bus-Steuer-Arbitrierung und eine Slave-Vorrichtung-Identifikation, um ein Übertragen von Informations-Daten, umfassend eine Bus-Anforderung, und Slave-Identifikation-Informationen auf den zweiten Bus-Leitern während des ersten Bus-Zustands zu ermöglichen, einen zweiten Bus-Zustand, um ein Aufstellen einer Adresse auf den zweiten Leitern während des zweiten Bus-Zustands zu ermöglichen, und einen dritten Bus-Zustand zum Aufstellen von Daten entsprechend zu der Adresse während des dritten Bus-Zustands.

[0013] Ein Management-Kommunikation-Bus gemäß der vorliegenden Erfindung ermöglicht eine Verwaltung einer Vielzahl von Netzwerk-Vorrichtungen eines Netzwerk-Systems. In der bevorzugten Ausführungsform umfasst der Bus ein Takt-Signal zu Zwecken einer Synchronisation. Das Takt-Signal ist vorzugsweise ungefähr acht Megahertz (MHz). Auch umfasst der Bus vorzugsweise zwei Zustand-Signale zum Definieren von mindestens vier Zuständen, und acht Daten-Signale, wobei ein Bus-Master auf bis zu 16 Kilobytes (KB) an Daten pro Slave unter einer Daten-Durchsatz-Rate von 1,14 Mbps zugreift.

[0014] Vorzugsweise tritt eine Arbitrierung und eine Slave-Identifikation während eines ersten Zustands auf, eine Adresse wird in zwei Bereichen während eines zweiten und eines dritten Zustands, jeweils, aufgestellt,

und ein Daten-Zyklus wird während eines vierten Zustands durchgeführt. Während des ersten Adressen-Zustands stellt die steuernde Bus-Master-Vorrichtung ein Zyklus-Definitions-Signal auf einem Bus-Daten-Signal auf, um anzuzeigen, ob der Vorgang ein Lese- oder ein Schreib-Zyklus ist. Während des zweiten Adressen-Zustands kann eine Slave-Vorrichtung, auf die zugegriffen wird, ein Busy-Signal auf einem Bus-Daten-Signal aufstellen, um anzuzeigen, dass die Slave-Vorrichtung busy bzw. belegt ist, wobei der Bus-Master den Bus in dem zweiten Adressen-Zustand hält, bis die Slave-Vorrichtung bereit ist, um zu dem Daten-Zyklus fortzuschreiten. Jeder Bus-Master umfasst eine Schnittstelle zu dem Bus, um durch jeden der Zustände schrittweise zu gehen, um dadurch jeden Zyklus zu steuern. Der Bus-Master stellt vorzugsweise nur eines der Zustand-Signale zu einem Zeitpunkt auf.

[0015] Vorzugsweise ist eine Mehrzahl von Bus-Mastern und Slave-Vorrichtungen mit dem Bus gekoppelt, jeweils umfassend eine Schnittstellen-Vorrichtung zum Steuern von Operationen. Die Bus-Master können eine Bus-Master-Schnittstelle zum Steuern von Zustand-Übergängen, zum Aufstellen einer Adresse und für entweder Aufstellen oder Empfangen und Verriegeln der Daten umfassen. Jede Slave-Vorrichtung kann auch eine Slave-Schnittstelle zum Erfassen des Zyklus-Definitions-Signals und zum Aufstellen von Daten während eines Lese-Zyklus und zum Empfangen von Daten während eines Schreib-Zyklus umfassen. Jede Slave-Vorrichtung kann weiterhin einen Speicher zum Speichern von Daten, aufgesucht von dem Bus während Schreib-Zyklen, oder zum Bereitstellen von Status- oder anderen Daten, um auf dem Bus während Lese-Zyklen aufgestellt zu werden, umfassen. Jeder Bus-Master kann irgendeinen Bus-Zustand verzögern.

[0016] Jede Slave-Vorrichtung stellt ein Busy-Signal, falls notwendig, auf, um den Adressen-Zyklus zu verzögern, bevor zu dem Daten-Zyklus fortgeschritten wird.

[0017] Jede Bus-Master-Vorrichtung kann eine Identifikation-Zahl mit einer vorbestimmten Priorität umfassen. Die Bus-Master-Schnittstelle stellt ein Arbitrierungs-Signal auf, um eine Arbitrierung anzuzeigen, und stellt dann ein binäres Äquivalent deren Identifikation-Zahl auf den Bus-Daten-Signalen auf, um für den Bus zu arbitrieren. Der Bus-Master, der eine Identifikation-Zahl mit höchster Priorität aufstellt, erhält eine Steuerung über den Bus. Mehrere Arbitrierungs-Variationen sind zum Bestimmen des Bus-Masters mit der höchsten Priorität möglich. Mehrere Phasen werden in dem ersten Zustand basierend auf Übergängen eines Takt-Signals definiert. In einer Ausführungsform stellt, während jeder Phase, jeder Bus-Master sein nächstes, signifikantes Identifikation-Bit auf und vergleicht dann seine signifikanteren Bits mit entsprechenden Bits auf dem Bus, um zu bestimmen, ob er eine Priorität hat oder nicht. Falls nicht, fällt der Master aus der momentanen Arbitrierung heraus. In einer zweiten Ausführungsform stellt jeder Bus-Master seine aufeinander folgenden, voranführenden Identifikation-Bits gleich zu einem vorbestimmten Prioritäts-Logik-Niveau, beginnend mit einem Bit entsprechend zu jeder Phase, auf. In darauf folgenden Phasen vergleicht jeder Bus-Master seine oberen Identifikation-Bits gleich zu dem entgegengesetzten Logik-Niveau mit entsprechenden Bits, aufgestellt auf dem Bus, und falls die Bits passen, stellt der Bus-Master weiterhin mehr seiner Bits während darauf folgender Phasen auf. In der Endphase werden keine weiteren Bits aufgestellt und jeder Bus-Master vergleicht seine Identifikation-Zahl mit derjenigen, die auf dem Bus aufgestellt ist. Der partizipierende Bus-Master mit einer Anpassung in einer Endphase gewinnt und nimmt eine Steuerung auf dem Bus an. In der bevorzugten Ausführungsform sind die Identifikation-Zahlen vier Bits und eine Arbitrierung tritt in vier Phasen auf.

[0018] Jede Slave-Vorrichtung kann auch eine Identifikation-Zahl umfassen. Der gewinnende Bus-Master stellt die Identifikation-Zahl der Slave-Vorrichtung auf, die wünscht, auf den Bus zuzugreifen, und alle Slave-Vorrichtungen vergleichen die Zahl, aufgestellt auf dem Bus, mit deren Identifikation-Zahl. Die Slave-Vorrichtung, die eine Passung erfasst, partizipiert in diesem Zyklus. In der bevorzugten Ausführungsform ist eine Identifikation-Zahl, die nicht zu irgendeiner Slave-Vorrichtung zugeordnet ist, eine globale Identifikation-Zahl, wobei der Bus-Master einen Schreib-Zyklus zum Altern der Slave-Vorrichtung auf dem Bus ausführt.

[0019] In einer bevorzugten Ausführungsform ist ein Chassis vorgesehen, das eine Mehrzahl von Schlitzen und eine Mehrzahl von Schlitzz-Verbindern, montiert an dem Chassis, umfasst, wobei jeder der Schlitzz-Verbinder zu einem entsprechenden einen der Schlitze ausgerichtet ist. Ein Management-Kommunikation-Bus gemäß der vorliegenden Erfindung ist elektrisch mit jedem der Schlitzz-Verbinder verbunden. Der Bus-Master und die Slave-Vorrichtungen sind in einem oder mehreren Modul(en), aufgebaut so, um in die Schlitze des Chassis hineingesteckt zu werden, eingesetzt, wobei jedes Modul einen Modul-Verbinder für eine schnittstellenmäßige Verbindung eines entsprechenden einen der Schlitzz-Verbinder, verbunden mit dem Bus, umfasst. Jedes Modul, aufgebaut als eine Netzwerk-Vorrichtung, umfasst vorzugsweise eine Medien-Schnittstellen-Vorrichtung und eine Port-Steuer-Logik ebenso wie eine Slave-Schnittstelle und entsprechende Puffer, Register, Verriegelungen und einen Speicher.

[0020] Vorzugsweise ist ein Prozessor mit der Port-Steuer-Logik und der Slave-Schnittstelle und dem Speicher zum Übertragen von Daten zwischen der Netzwerk-Vorrichtung und der Slave-Schnittstelle verbunden, um einen Zugang und eine Steuerung der Netzwerk-Vorrichtung durch einen externen Bus-Master zu ermöglichen. Das Netzwerk-Modul umfasst auch vorzugsweise eine Schnittstelle oder einen Verbinder zum Aufnehmen eines Bus-Masters, so dass das Netzwerk-Modul sowohl eine Master als auch eine Slave-Vorrichtung in demselben Schlitz umfassen kann. Natürlich kann das Modul als ein reservierter bzw. zugeordneter Bus-Master konfiguriert sein und kann nur eine Bus-Master-Vorrichtung umfassen. Auf diese Art und Weise werden zwei oder mehr Module, aufgebaut als ein Bus-Master oder eine Slave, oder beide, in die Schlitze des Chassis eingesteckt und werden automatisch mit dem Management-Bus verbunden. Jeder Schlitz kann fest verdrahtet mit einer zugeordneten Identifikation-Zahl für sowohl Masters als auch Slaves sein. Alternativ können Identifikation-Zahlen programmiert sein und unabhängig von den physikalischen Schlitzen sein.

[0021] Ein besseres Verständnis der vorliegenden Erfindung kann erhalten werden, wenn die nachfolgende, detaillierte Beschreibung der bevorzugten Ausführungsform in Verbindung mit den nachfolgenden Zeichnungen betrachtet wird, in denen:

[0022] [Fig. 1](#) zeigt ein vereinfachtes Blockdiagramm, das ein Netzwerk-System, umfassend einen Management-Kommunikation-Bus gemäß der vorliegenden Erfindung, darstellt;

[0023] [Fig. 2A](#) zeigt eine perspektivische Ansicht einer modulmäßig aufgebauten Ausführungsform eines Netzwerk-Systems gemäß der vorliegenden Erfindung;

[0024] [Fig. 2B](#) zeigt eine rückwärtige Ansicht des Chassis und eines beispielhaften Moduls der [Fig. 2A](#);

[0025] [Fig. 3](#) zeigt ein Blockdiagramm eines Moduls, das Slave- und Master-Funktionen gemäß der vorliegenden Erfindung einsetzt;

[0026] [Fig. 4](#) zeigt ein Blockdiagramm einer Bus-Master-Vorrichtung gemäß der vorliegenden Erfindung;

[0027] [Fig. 5](#) zeigt ein Zustand-Diagramm, das Bus-Zustände eines Management-Kommunikation-Busses gemäß der vorliegenden Erfindung darstellt;

[0028] [Fig. 6A](#) zeigt ein Blockdiagramm einer bestimmten Ausführungsform zum Darstellen einer Arbitrierung;

[0029] [Fig. 6B](#) zeigt ein Zeitabstimmungs-Diagramm, das eine Arbitrierung der Ausführungsform, dargestellt in [Fig. 6A](#), darstellt; und

[0030] [Fig. 7](#) zeigt ein Zeitabstimmungs-Diagramm, das eine Betriebsweise eines Management-Kommunikation-Busses gemäß der vorliegenden Erfindung darstellt.

[0031] In [Fig. 1](#) nun ist ein vereinfachtes Blockdiagramm dargestellt, das ein Netzwerk-System **100** zeigt, das einen Management-Kommunikation-Bus **102**, ausgeführt gemäß der vorliegenden Erfindung, umfasst. Der Bus **102** umfasst eine Vielzahl von unabhängigen Übertragungs-Medien für eine entsprechende Vielzahl von Bus-Signalen. Eine oder mehrere Netzwerk-Vorrichtungen) **104** ist (sind) dargestellt, wobei jede eine Bus-Schnittstellen-Vorrichtung **106** zum Verbinden mit dem Bus **102**, und um eine Schnittstelle dazu zu bilden, umfasst. Ein geeigneter Bus-Verbinder **108** verbindet elektrisch die Schnittstellen-Vorrichtung **106** mit jedem der Signale des Busses **102**. Jede Schnittstellen-Vorrichtung **106** ist als eine Bus-Master-Vorrichtung, eine Bus-Slave-Vorrichtung, oder beide, ausgeführt. Allgemein ist ein Bus-Master eine Vorrichtung, die eine Steuerung eines Busses zum Initiieren und Steuern von Zyklen oder Transaktionen auf dem Bus erhält. Eine Slave-Vorrichtung spricht allgemein auf Signale oder Transaktionen an, die auf dem Bus auftreten, um Daten von dem Bus-Master aufzusuchen oder ansonsten Daten zu dem Bus-Master zuzuführen. Zum Beispiel erhält ein Bus-Master eine Steuerung über den Bus, um einen Lese-Zyklus durchzuführen, um Daten von einer Slave-Vorrichtung aufzusuchen, und die Slave-Vorrichtung stellt entsprechend die adressierten Daten auf dem Bus zum Aufsuchen durch den Bus-Master bereit.

[0032] In einer Ausführungsform gemäß der vorliegenden Erfindung ist die Schnittstellen-Vorrichtung **106** von einer oder mehreren Netzwerk-Vorrichtungen **104** als Bus-Master-Vorrichtungen konfiguriert, während die verbleibenden Schnittstellen-Vorrichtungen **106** der verbleibenden Netzwerk-Vorrichtungen **104** als Slave-Vorrichtungen konfiguriert sind. Zusätzlich ist ein optionaler, zugeordneter Bus-Master **110** dargestellt, der eine

Bus-Master-Schnittstelle **112** und einen Bus-Verbinder **108** zum schnittstellenmäßigen Verbinden mit dem Bus **102** umfasst. Der Bus-Master **110** ist entweder ein selbstständiges System oder umfasst optional eine andere Eingabe/Ausgabe-(I/O)-Schnittstelle **114**, um mit einem Computer-System **116** zu kommunizieren.

[0033] Jede der Netzwerk-Vorrichtungen **104** kann als irgendeiner von unterschiedlichen Netzwerk-Vorrichtungstypen, bekannt für Fachleute auf dem betreffenden Fachgebiet, ausgeführt werden, wie beispielsweise als Hubs, Konzentratoren, Schalter, Brücken, Repeater, Netzwerk-Schnittstellen-Karten (NICs), usw.. Die Netzwerk-Vorrichtungen **104** können ein Einzel-Port oder ein Mehrfach-Port sein und können entsprechend einem oder mehreren Protokollen oder Architekturen arbeiten, wie, zum Beispiel, Ethernet (10Base-T, 100Base-T, 100Base-FX, usw.), Token-Ring, VG (Voice-Grade), ARCnet, FDDI (Fiber Distributed Data Interface), CDDI (Copper Distributed Data Interface), ATM (Asynchronous Transfer Mode), usw.. Weiterhin können die Netzwerk-Vorrichtungen **104** entsprechend irgendeinem Typ einer physikalischen oder logischen Netzwerk-Topologie ausgeführt sein, wie beispielsweise Linear, Bus, Stern, Ring, Sternverdrahteter-Ring, usw.. Die vorliegende Erfindung ist nicht auf irgendeinen bestimmten Typ oder eine Konfiguration eines Netzwerks oder einer Netzwerk-Vorrichtung beschränkt. Weiterhin könnten irgendeine oder mehrere der Netzwerk-Vorrichtungen **104** Vorrichtungen vom Hybrid-Typ, entsprechend Mehrfach-Protokollen arbeitend, sein, so dass die Netzwerk-Vorrichtungen **104** nicht alle von demselben Typ sein müssen.

[0034] Es ist erwünscht, die Netzwerk-Vorrichtungen **104** zu Zwecken eines Managements bzw. einer Verwaltung zu überwachen und zu steuern. Zum Beispiel könnte eine der Netzwerk-Vorrichtungen **104** ein Ethernet 10Base-T Repeater mit Multi-Port sein, wobei es erwünscht ist, einen der Ports an diesem Repeater freizugeben oder zu sperren. Oder es kann erwünscht sein, einen der Ports an diesem Repeater zum Sammeln von statistischen Informationen dieses Ports für irgendeinen Zweck, wie beispielsweise eine Steuerung des Daten-Flusses, zu überwachen. Jede Netzwerk-Vorrichtung **104** umfasst vorzugsweise ein oder mehrere Status-Register **120**, um den Status dieser Vorrichtung anzuzeigen. Jede Netzwerk-Vorrichtung **104** umfasst auch vorzugsweise ein oder mehrere Konfigurations-Register **122** zum Programmieren und Konfigurieren dieser Netzwerk-Vorrichtung. Weiterhin umfasst jede Netzwerk-Vorrichtung **104** vorzugsweise einen Speicher **124** zum Überwachen des Betriebs oder zu ansonsten Zusammenstellen von statistischen Daten des bestimmten Netzwerks, mit dem diese Vorrichtung verbunden ist.

[0035] Der Management-Kommunikation-Bus **102** gibt einen Bus-Master, wie beispielsweise den Bus-Master **110**, frei, um Management-Funktionen durchzuführen, wie beispielsweise Überwachen des Status und Programmieren der Konfiguration einer oder mehrerer der Netzwerk-Vorrichtungen) **104**. Auf diese Art und Weise wird jede der Netzwerk-Vorrichtungen **104** durch einen Bus-Master, wie beispielsweise den Bus-Master **110**, verwaltet und gesteuert. Der Bus-Master **110** kann diese Funktionen automatisch entsprechend vorbestimmten Management-Richtlinien durchführen, oder kann durch eine externe Vorrichtung, wie beispielsweise das Computer-System **116**, gesteuert werden. Weiterhin kann ein Bediener jede der Netzwerk-Vorrichtungen **104** unter Verwendung des Computer-Systems **116** steuern. Auf diese Art und Weise kann eine entfernte Vorrichtung, verbunden mit einer Netzwerk-Vorrichtung **104**, umfassend Bus-Master-Fähigkeiten, Management-Funktionen durch Versenden von Konfigurations-Befehlen oder durch Aufsuchen eines Status oder von anderen Informationen von den anderen Netzwerk-Vorrichtungen über den Bus **102** durchführen. Wie zuvor beschrieben ist, kann eine oder können mehrere der Schnittstellen-Vorrichtungen) **106** als eine Bus-Master-Vorrichtung zum Steuern der Netzwerk-Vorrichtungen **104** konfiguriert sein.

[0036] Der Bus **102** umfasst allgemein eine Vielzahl von unabhängigen Übertragungs-Medien zum Führen der Bus-Signale. Viele physikalische Ausführungen sind möglich. Die Übertragungs-Medien können von irgendeinem Typ sein, wie beispielsweise ein leitender Draht, ein faseroptisches Kabel, usw.. Zum Beispiel könnte der Bus **102** als ein Bandkabel mit elektrischen Verbindern zum schnittstellenmäßigen Verbinden der Verbinder **108** ausgeführt sein. Alternativ könnte der Bus **102** auf einer gedruckten Schaltungs-Leiterplatte (PWB) mit mehreren Schlitz-Verbindern ausgeführt sein, wobei die Verbinder **108** so aufgebaut sind, um sich in die Schlitze des Busses **102** einzustecken, um eine Kommunikation zu ermöglichen. Der Bus **102** umfasst auch ein oder mehrere Erdungs-Signal(e) für eine Referenz, falls dies notwendig ist. Der Bus **102** arbeitet entweder synchron oder asynchron. Für einen synchronen Betrieb wird ein Takt-Signal auf dem Bus **102** bereitgestellt, der vorzugsweise bei einer Frequenz von ungefähr 8 Megahertz (MHz) arbeitet.

[0037] In der bevorzugten Ausführungsform ist der Bus **102** auf einer Rückseitenebene **206** eines Chassis **202**, dargestellt in [Fig. 2A](#), ausgeführt. Die [Fig. 2A](#) zeigt eine perspektivische Ansicht einer modulmäßig aufgebauten Ausführungsform eines Netzwerk-Systems; **200** gemäß der vorliegenden Erfindung. Das Chassis **202** ist vorzugsweise von einer kastenähnlichen Struktur, umfassend eine Vielzahl von Schlitzen **202a**, **202b**, **202c**, ..., **202i**, wobei jeder Schlitz zum Aufnehmen eines Moduls **204** ausgelegt ist. Vorzugsweise sind zwölf

Schlitze **202a-l** vorhanden, obwohl das Chassis **202** irgendeine Zahl von Schlitzen so, wie dies erwünscht ist, umfassen kann. Die Module **204** umfassen Netzwerk-Vorrichtungen, wie beispielsweise die Netzwerk-Vorrichtung **104**, oder Bus-Master-Vorrichtungen, wie beispielsweise den Bus-Master **110**, und sind so aufgebaut, um sich in irgendeinen der jeweiligen Schlitze **202a-l** des Chassis **202** einzustecken. Das Chassis **202** bietet auch einen geeigneten Zugang für jedes der Module **204** zu einem Bus, wie beispielsweise dem Bus **102**. Das Chassis **202** bietet auch eine passende Erdungs-Referenz für alle Module **204**, so dass der Bus **102** nicht gesonderte Erdungs-Leiter umfassen muss.

[0038] [Fig. 2B](#) zeigt eine rückwärtige Ansicht des Chassis **202** und eines beispielhaften Moduls **204** der [Fig. 2A](#). Das Chassis **202** umfasst eine Rückseitenebene **206**, die einen Management-Kommunikation-Bus **208** gemäß der vorliegenden Erfindung einsetzt. Die Rückseitenebene **206** kann andere Busse, einen Speicher oder eine Logik, so, wie dies erwünscht ist, umfassen. Der Bus **208** ist ähnlich zu dem Bus **102** und umfasst dieselben oder ähnliche Bus-Signale, und ist so aufgebaut, um sich zu den Schlitzen **202a-l** des Chassis **202** auszurichten. Der Bus **208** umfasst eine Vielzahl von Verbindern **210**, einen für jeden der Schlitze **202a-l**. Jedes der Module **204** umfasst einen kompatiblen Bus-Verbinder **212** für ein schnittstellenmäßiges Verbinden irgendeines der Verbinder **210**, wenn es in einen entsprechenden einen der Schlitze **202a-l** eingesteckt wird. Auf diese Art und Weise wird eine Netzwerk-Vorrichtung, eingesetzt in ein Modul **204**, mit dem Bus **208** verbunden, wenn sie in irgendeinen der Schlitze **202a-l** eingesteckt ist.

[0039] [Fig. 3](#) zeigt ein detailliertes Blockdiagramm des Moduls **204** und des Busses **208** der [Fig. 2B](#). Die Rückseitenebene **206** umfasst vorzugsweise den Bus **208** und einen Verbinder **210**, um sich mit dem Verbinder **212** des Netzwerk-Moduls **204** zu verbinden. Der Verbinder **212** ist mit einer Slave-Schnittstelle **300** verbunden, die eine Slave-Logik und/oder Verriegelungen, um Informationen mit anderen Modulen **204** in dem Chassis **202** zu kommunizieren, besitzt. Vorzugsweise umfasst jede Slave-Schnittstelle Speicher-Vorrichtungen **301**, wie beispielsweise 74HC373 transparente Verriegelungen von Texas Instruments, Inc. (TI), oder das Äquivalent. In Abhängigkeit von Zeitabstimmungs-Erfordernissen können auch Puffer verwendet werden, um Daten zu einer Speicher-Vorrichtung weiter innerhalb des Moduls **204** zuzuführen, wie beispielsweise innerhalb eines lokalen Prozessors **304** oder eines Speichers **302**. Die Slave-Schnittstelle **300** überwacht Zyklen auf dem Bus **208**, um zu bestimmen, wenn auf ihn zugegriffen wird, und falls dies der Fall ist, liefert sie entweder Daten zu dem Bus **208** oder liest Daten von diesem, wie dies weiter nachfolgend beschrieben ist. Der Speicher **302** ist mit der Slave-Schnittstelle **300** zum Speichern von Daten von dem Bus **208** und zum Aufsuchen von Daten zum Aufstellen auf dem Bus **208** gekoppelt. Der Speicher **302** ist vorzugsweise ein Dual-Port 2K mal 8-Bit (16 KB) Static Random Access Memory (SRAM), der einen Port, der mit der Slave-Schnittstelle **300** verbunden ist, und einen anderen Port, der mit dem Prozessor **304** verbunden ist, besitzt. Der Prozessor **304** ist vorzugsweise ein 80C51, oder dergleichen, der Konfigurations-Befehle von dem Bus **208** aufsucht und auch statistische Informationen in den Speicher **302** während eines Betriebs hinein ablegt.

[0040] Eine Medien-Schnittstellen-Vorrichtung **306** mit n Ports, nämlich Port1, Port2, ..., Portn, ist eine primäre Netzwerk-Vorrichtung des Moduls **204** für ein schnittstellenmäßiges Verbinden eines entsprechenden Netzwerks. Zum Beispiel könnte die Medien-Schnittstellen-Vorrichtung **306** ein 100Base-TX Repeater, oder dergleichen, sein, der Daten-Pakete an irgendeinem der Ports Port1–Portn aufnimmt und das Daten-Paket zu den verbleibenden Ports wiederholt. Die Medien-Schnittstellen-Vorrichtung **306** ist mit einer Port-Steuer-Logik **308** verbunden, die ein oder mehrere Steuer- oder Konfigurations-Register **308a**, Status-Register **308b** oder irgendeinen anderen statischen oder dynamischen Speicher **308c**, wie dies erwünscht ist, umfasst. Die Medien-Schnittstellen-Vorrichtung **306** nimmt deren Konfigurations-Informationen von einem oder mehreren der Konfigurations-Register **308a** auf und führt Status-Informationen über eines oder mehrere der Status-Register **308b** innerhalb der Port-Steuer-Logik **308** zurück. Für ein Ethernet kann die Port-Steuer-Logik **308** den Ring-Schnittstellen-Chip (Ring-Interface-Chip – RIC) von National Semiconductor, zum Beispiel, umfassen. Die Port-Steuer-Logik **308** ist mit dem Prozessor **304** verbunden, der wiederum mit einem anderen Speicher **310** verbunden ist. Der Speicher **310** ist vorzugsweise ein nichtflüchtiger RAM zum Speichern einer Produkt-Nummer, einer Serien-Nummer und von Konfigurations-Informationen des Moduls **204**, wobei die Informationen gültig verbleiben, nachdem die Energieversorgung unterbrochen ist. Der Prozessor **304** arbeitet allgemein so, um Daten und Informationen zwischen der Port-Steuer-Logik **308** und den Speichern **302**, **310** zu übertragen.

[0041] Auf diese Art und Weise steuert eine Bus-Master-Vorrichtung, verbunden mit dem Bus **208**, die Konfiguration der Medien-Schnittstellen-Vorrichtung **306** durch Ausführen eines Schreib-Zyklus, um neue Konfigurations-Informationen zu dem Bus **208** zu schreiben und das Modul **204** zu adressieren. Der Prozessor **304** überträgt diese Informationen zu den Konfigurations-Registern **308a** in der Port-Steuer-Logik **308**, die dann durch die Medien-Schnittstellen-Vorrichtung **306** aufgesucht wird. Statistische Daten und Status-Informationen

werden zu den Status-Registern **308b** und dem Speicher **308c** innerhalb der Port-Steuer-Logik **308** geschrieben, wobei die Daten zu dem Speicher **302** während einer Operation übertragen werden. Ein Bus-Master sucht diese Informationen durch Ausführen eines Lese-Zyklus auf dem Bus **208** auf, wobei die Slave-Schnittstelle **300** die Bus-Daten zu dem Bus **208** daraufhin zuführt.

[0042] In der bevorzugten Ausführungsform umfasst das Modul **204** einen Verbinder oder Schlitz **312** zum Aufnehmen einer optionalen Bus-Master-Vorrichtung **314**. Die Bus-Master-Vorrichtung **314** ist optional mit den Speichern **302**, **310**, der Port-Steuer-Logik **308** und dem Verbinder **212** über geeignete Leiter des Schlitzes **312** verbunden. Allerdings kann die Bus-Master-Vorrichtung **314** selbstständig sein. Falls die Bus-Master-Vorrichtung **314** umfasst ist, arbeitet das Modul **204** als sowohl ein Bus-Master als auch eine Slave-Vorrichtung auf dem Bus **208**. Das Modul **204** kann als sowohl ein Master als auch eine Slave gleichzeitig dienen, da die Bus-Master-Vorrichtung **314** einen Zyklus auf dem Bus **208** zu der Slave-Schnittstelle **300** ausführen kann. Es ist weiterhin daraufhinzuweisen, dass das Modul **204** auch ein selbstständiger Bus-Master sein kann, wobei die Slave-Schnittstelle **300** nicht umfasst ist. Falls die Bus-Master-Vorrichtung **314** einen Prozessor und einen Speicher umfasst, würden der Prozessor **304** und die Speicher **302**, **310** auch nicht notwendig sein. Auch sind die Medien-Schnittstellen-Vorrichtung **306** und die Port-Steuer-Logik **308** nicht an einem Bus-Master-Modul erforderlich, wobei das Modul **204** dann eine bestimmte Bus-Master-Vorrichtung, ähnlich zu dem bestimmten Bus-Master **110** der [Fig. 1](#), sein würde. Es ist verständlich, dass die vorliegende Erfindung nicht auf irgendeine bestimmte Konfiguration der Module **204** beschränkt ist und alle diese Konfigurationen umfasst.

[0043] Der Bus **208**, ebenso wie der Bus **102**, sind jeweils als ein Management-Kommunikation-Bus gemäß der vorliegenden Erfindung ausgeführt. Jeder Bus-Master und die Slave-Vorrichtung sind auch so ausgeführt, um auf dem Bus **208** oder **102** entsprechend der vorliegenden Erfindung zu kommunizieren. Die Struktur und die Betriebsweise des Busses **102** und **208** werden nun vollständig und zusammengefasst unter Bezugnahme auf den Bus **208** zur Vereinfachung beschrieben. Der Bus **208** bietet eine speicheraufgelistete Zugangsfähigkeit von 16 Kbytes (KB) eines Speichers pro Schlitz, wobei jeder Schlitz entweder ein Verbinder, wie beispielsweise der Verbinder **108**, oder einer der Schlitze **202a-l** ist, wie dies für das Chassis **202** der Ausführungsform gezeigt ist, die in den [Fig. 2A](#) und [Fig. 2B](#) dargestellt ist. Jeder Schlitz ist zu einer Schlitz-Identifikation-(ID)-Nummer zugeordnet, die entweder fest verdrahtet entsprechend dem physikalischen Schlitz oder programmierbar unter Verwendung eines Speichers ist. Die Schlitz-ID-Nummer ist vorzugsweise eine Vier-Bit Zahl SS[3:0] (Slave-Schlitz) zum Identifizieren bis maximal 16 Slave-Vorrichtungen, gekoppelt mit dem Bus **208**. In der bevorzugten Ausführungsform werden allerdings nur 12 Schlitze verwendet, wobei ein „Schlitz“ mit einer höheren Nummerierung als ein globaler Zugang zum Schreiben zu allen Slave-Vorrichtungen in einem Bus-Zyklus verwendet wird. Die globale Schlitz-Zahl ist vorzugsweise dezimal 14, oder Eh („h“ für hexadezimal), oder SS[3:0] gleich 1110b („b“ für binär). Der Bus **208** umfasst vorzugsweise 10 Pins oder Bus-Signale B[9:0], umfassend zwei Zustand-Signale ST1, ST0 oder Bus-Signale B[9,8], um mindestens drei unterschiedliche Zustände zu definieren, und acht Informations-Daten-Schlitze oder Bus-Signale B[7:0], wie dies in [Fig. 3](#) und in der nachfolgenden Tabelle dargestellt ist:

Tabelle 1: Signal-Definitionen von Bus 208

ST1 (B[9])	ST0 (B[8])	Zustand	Daten-Bits (B[7:0])
0	0	ST00	IDLE; ARB*, . . . , MRQ [3:0]/SS[3:0]
1	0	ST10	WR, A[6:0]
1	1	ST11	BSY*, A[13:7]
0	1	ST01	D[7:0]

wobei ein Stern „*“, der einem Signal-Namen folgt, eine negative Logik bezeichnet, wobei das Signal als aufgestellt angesehen wird, wenn es niedrig ist.

[0044] Die zwei Zustand-Bits ST1 und ST0 definieren mindestens drei unterschiedliche Zustände, wobei sich Definitionen der acht Signale B[7:0] mit dem bestimmten Zustand des Busses **208** ändern. Natürlich könnten zusätzliche Signale hinzugefügt werden, um zusätzliche Zustände zu definieren. Ein erster Zustand ist ein Identifikation-Zustand, umfassend eine Arbitrierung, um einen Bus-Master zu identifizieren, um den Bus **208** und eine Slave-Vorrichtung so zu steuern, dass der gewinnende Bus-Master einen Zugang wünscht. Ein zweiter Zustand ist ein Adressen-Zustand zum Aufstellen einer Adresse, und ein dritter Zustand ist ein Daten-Zu-

stand zum Durchführen eines Daten-Zyklus auf dem Bus **208**. In der bevorzugten Ausführungsform umfasst der Adressen-Zustand zwei unterschiedliche Zustände zum Aufstellen eines ersten und eines zweiten Bereichs der Adresse. Wie in Tabelle I dargestellt ist, definieren die zwei Zustand-Bits ST1 und ST0 vorzugsweise vier unterschiedliche Zustände ST00, ST10, ST11 und ST01 des Busses **208**.

[0045] Der Ausdruck „IDLE“ zeigt an, dass der Bus **208** im Ruhe-Zustand ist; ein Signal ARB* ist vorzugsweise hoch, wenn sich der Bus **208** im Ruhe-Zustand befindet, und wird auf das B[7] Signal während des Zustands ST00 gesetzt, um eine Arbitrierung zu initiieren; Signale MRQ[3:0] (Master-Anforderung) stellen die Bus-Master-ID-Nummern da, die auf Bus-Signalen B[3:0] während des Zustands ST00 durch jeweilige Bus-Master, die eine Steuerung des Busses **208** anfordern, aufgestellt werden; Signale SS[3:0] zeigen die Schlitz-ID-Nummer einer Slave-Vorrichtung an, wobei die ID-Nummer auf Bus-Signalen B[3:0] durch den gewinnenden Bus-Master während des Zustands ST00 aufgestellt wird, um auf eine Slave-Vorrichtung zuzugreifen; ein Signal WR ist ein Zyklus-Definitions-Signal, das auf dem Bus-Signal B[7] in einem Zustand ST10 aufgestellt wird, um einen Schreib-Zyklus anzuzeigen, wenn auf hoch gesetzt ist, und um einen Lese-Zyklus anzuzeigen, wenn auf niedrig gesetzt ist; ein Signal BSY* wird durch eine Slave-Vorrichtung auf ein Bus-Signal B[7:0] in einem Zustand ST11 aufgestellt, um einen Adressen-Zyklus vor Beginn eines Daten-Zyklus zu verzögern; Signale A[13:0] sind Adressen-Signale, aufgestellt durch den gewinnenden Bus-Master während Zustände ST10 und ST11; und Signale D[7:0] sind Daten-Signale, aufgestellt während eines Zustands ST01.

[0046] In [Fig. 4](#) nun ist ein spezifischeres Blockdiagramm einer Ausführungsform der Bus-Master-Vorrichtung **314** der [Fig. 3](#) dargestellt. Vorzugsweise ist die Bus-Master-Vorrichtung **314** ein Enhanced-Management-Prozessor, der weiterhin eine eingebettete Anwendung zum Sammeln von statistischen Informationen und Fehler-Zuständen eines Netzwerks, zum Aufbauen einer Management-Informationen-Basis (MIB) und zum Berichten der MIB-Informationen zu einem Management-Software-Client ist. Die Bus-Master-Vorrichtung umfasst vorzugsweise einen Prozessor **400**, der vorzugsweise ein 3051 RISC (Reduced Instruction-Set Computer) Prozessor-Typ ist, wie beispielsweise der IDT3051. Der Prozessor **400** umfasst vorzugsweise ein Speicher-Untersystem **402**, das vorzugsweise einen dynamischen RAM (DRAM) mit zwischen 1 bis 8 MBytes umfasst. Ein Netzwerk-Prozessor **404** ist vorzugsweise in einen Netzwerk-Knoten eingebunden, wobei der Prozessor **404** vollständig oder teilweise Daten-Pakete in das Speicher-Untersystem **402** hineinkopiert. Der Prozessor **404** schickt auch Daten-Pakete, aufgebaut durch den Prozessor **400**, über ein Netzwerk zu einer Management-Konsole, oder dergleichen.

[0047] Die Bus-Master-Vorrichtung **314** umfasst auch vorzugsweise einen Flash-Speicher **406**, der einen Code für eine eingebettete Anwendung enthält; einen Zeitgeber **408** zum Vorsehen einer RAM-Erneuerung, einer periodischen Unterbrechung des Prozessors **400** und eines Watchdog-Zeitgebers; einen seriellen Port **410** für eine direkte Kommunikation des Prozessors **400**; einen nichtflüchtigen Speicher **412** zum Speichern von Konfigurations- und Identifikation-Informationen und Variablen für eine eingebettete Anwendung; Steuer- und Status-Puffer **414**; und eine Bus-Master-Schnittstelle **416**, die Speicher-Vorrichtungen **418** umfasst, die alle mit dem Prozessor **400** über einen lokalen Bus **420** gekoppelt sind. Die Bus-Master-Schnittstelle **416** gibt den Prozessor **400** frei, um eine Steuerung des Busses **208** für ein Zugreifen auf und ein Steuern von einer oder mehreren der Slave-Vorrichtungen) zu erhalten. Vorzugsweise sind die Speicher-Vorrichtungen **418** Verriegelungen oder Puffer, wie beispielsweise Puffer 74AC244 von TI, oder dergleichen.

[0048] [Fig. 5](#) zeigt ein Status-Diagramm, das Übergänge zwischen den Zuständen des Busses **208** darstellt, wobei die Zustände ST00, ST10, ST11 und ST01 vorzugsweise in der Reihenfolge auftreten, wie dies in Tabelle I und [Fig. 5](#) dargestellt ist. Demzufolge befindet sich der Bus **208** zu Anfang in einem Zustand ST00, wenn er sich im Ruhe-Zustand befindet, und verbleibt in dem Zustand ST00 während einer Arbitrierung und um eine Slave-Vorrichtung zu identifizieren. Eine Arbitrierung wird vollständiger nachfolgend beschrieben. Der Bus-Master, der die Arbitrierung in dem Zustand ST00 erhält, erhält die Slave-Identifikationsnummer SS[3:0] auf Signalen B[3:0], während er sich noch in dem Zustand ST00 befindet, um die Slave-Vorrichtung, auf die zugegriffen werden soll, zu identifizieren. Der gewinnende Bus-Master überführt dann die Zustand-Signale ST1 und ST0, um die Zustand-Übergänge zu steuern. Insbesondere stellt der Bus-Master ein Zustand-Signal ST1 auf, um den Bus zu einem Zustand ST10 für die erste Adressen-Phase zu überführen. Das Signal WR wird auf B[7] aufgestellt und der erste Bereich der Adresse, oder A[6:0], wird auf den Bus-Signalen B[6:0] durch den Bus-Master in dem Zustand ST10 eingestellt. Dann stellt der Bus-Master das Zustand-Bit ST0 auf, um den Bus zu dem Zustand ST11 für die zweite Adressen-Phase zu überführen, wobei der Bus-Master auch die Adressen-Signale A[13:7] aufstellt. Die identifizierte Slave-Vorrichtung kann das Signal BSY* auf B[7:0] auf niedrig während des Zustands ST11 setzen, falls die Slave-Vorrichtung, die Adresse decodierend, belegt ist. Die Slave-Vorrichtung negiert das Signal BSY*, um einen Übergang zu dem Zustand ST01 für die Daten-Phase zuzulassen. Der Bus-Master stellt dann das Zustand-Bit ST1 auf niedrig ein, um den Zustand ST01 auf niedrig

für eine Daten-Phase zu überführen, und stellt dann das Zustand-Bit ST0 auf niedrig ein, um zurück zu dem Zustand ST00 zu überführen, um anzuzeigen, dass der Zyklus abgeschlossen ist. Der Bus **208** befindet sich erneut in Ruhe-Zustand und ist für einen anderen Zyklus bereit.

[0049] Es ist anzumerken, dass nur eines der individuellen Zustand-Bit-Signale ST1 und ST0 zu einem Zeitpunkt zwischen irgendwelchen zwei aufeinander folgenden Zuständen übergeht, was störungsfreie Zustand-Übergänge sicherstellt. Auch leidet das Zustand-Bit ST0 das Zustand-Bit ST1, so dass ST0 eine abgetastete Version von ST1 ist, um dadurch eine Ausführung einer Zustand-Maschine zu vereinfachen.

[0050] Der Bus **208** kann in einer asynchronen Art und Weise so betrieben werden, dass ein separates Takt-Signal oder eine Zeitabstimmungs-Referenz nicht erforderlich ist. Für eine asynchrone Ausführungsform umfassen sowohl der Bus-Master als auch die Slave-Vorrichtungen eine Zustand- und Daten-Decodier-Logik, um den momentanen Zustand und Übergänge zu dem nächsten Zustand zu bestimmen. In der bevorzugten Ausführungsform ist allerdings ein gesondertes Takt-Signal, bezeichnet als CLK, auf dem Bus **208** für synchronisierende Kommunikationen und zum Definieren von Zustand-Übergängen vorgesehen (**Fig. 6**, **Fig. 7**). Das Signal CLK arbeitet vorzugsweise bei einer Frequenz von ungefähr 8 MHz.

[0051] Tabelle I und **Fig. 5** zeigen, dass 14 binäre Adressen-Signale und 8 Daten-Signale zum Adressieren von 16 KB an Daten für jede Slave-Vorrichtung verwendet werden. Natürlich könnten zusätzliche Bus-Signale zum Adressieren eines größeren Daten-Raums und/oder von mehr Daten während jedes Zyklus vorgesehen werden. In der bevorzugten Ausführungsform umfasst der Bus **208** das Takt-Signal CLK und jeder Bus-Zyklus umfasst mindestens sieben Takt-Perioden, um abzuschließen. Der Zustand ST00 ist vorzugsweise von der Dauer von drei CLK Zyklen, umfassend zwei Takt-Zyklen für eine Arbitrierung und einen Takt-Zyklus für ein Decodieren der Slave-Vorrichtung. Ein CLK Zyklus wird durch jeden der verbleibenden Zustände ST10, ST11 und ST01 verwendet, und ein abschließender CLK Zyklus wird verwendet, um die Daten-Signale B[7:0] auf FFh während eines Ruhe-Zustands ST00 zu bringen. Ein Bus-Master kann zusätzliche CLK Zyklen oder Warte-Zustände, wie dies erwünscht ist, einsetzen, und die Slave-Vorrichtung kann zusätzliche CLK Zyklen während eines Zustands ST11 erfordern, um die Adresse zu decodieren oder zu verriegeln. In der bevorzugten Ausführungsform schließt allerdings jeder Bus-Zyklus in sieben CLK Zyklen ab und das Signal BSY* ist optional. Falls eine CLK Frequenz von 8 MHz verwendet wird, wird eine Daten-Durchsatz-Rate von ungefähr 1,14 MB erreicht, falls jeder Bus-Zyklus 7 CLK Zyklen ist.

[0052] In einer Ausführungsform sind bis zu 16 Schlitze definiert, jeder zum Aufnehmen entweder eines Bus-Masters oder einer Slave-Vorrichtung, oder einer Kombination von beiden, für insgesamt 32 Vorrichtungen. Vier binäre Signale MRQ[3:0] werden verwendet, um die Bus-Master während einer Arbitrierung zu identifizieren, und vier binäre Signale SS[3:0] werden verwendet, um die Slave-Vorrichtungen zu identifizieren. Die ID-Zahlen können fest für die physikalischen Schlitze, wie beispielsweise die Schlitze **202a-l**, codiert sein, oder sie können programmierbar sein und unabhängig der Schlitze sein. Demzufolge besitzt, zum Beispiel, der Bus-Master 9 eine ID-Nummer von MRQ[3:0] = 1001b, und die Slave-Vorrichtung 8 besitzt eine ID-Nummer SS[3:0] = 1000b. Das Signal ARB* verbleibt auf hoch in einem Zustand ST00 negiert, wenn der Bus **208** anzeigt, dass die Partizipation in der Bus-Besitz-Eigenschaft zugelassen ist. Eine oder mehrere der Bus-Master auf dem Bus **208** initiieren einen Arbitrierungs-Zyklus durch Aufstellen des Signals ARB* auf niedrig, nach Abtasten davon auf hoch in dem Zustand ST00. In dem nächsten CLK Zyklus wird das Signal ARB* niedrig durch eine oder mehrere Bus-Master gehalten, was anzeigt, dass nur diese Bus-Master, die das Signal ARB* in dem früheren CLK Zyklus aufstellten, in die Arbitrierung eingebunden sind, und eine Steuerung des Busses **208** erhalten können.

[0053] Der Arbitrierungs-Vorgang dauert vorzugsweise zwei CLK Zyklen, beginnend mit der ansteigenden CLK Flanke, nachdem das Signal ARB* auf niedrig gebracht ist. Die zwei Arbitrierungs-CLK-Zyklen umfassen vier separate Phasen 3, 2, 1 und 0, definiert zwischen aufeinander folgenden Übergängen des CLK Signals. Demzufolge tritt Phase 3 zwischen der ersten, ansteigenden Flanke und der nächsten, abfallenden Flanke des CLK Signals auf, Phase 2 folgt bis zu der nächsten, ansteigenden Flanke des CLK Signals, usw.. Während jeder dieser Phasen stellen bestimmte solche der partizipierenden Bus-Master eines oder mehrere deren Signale MRQ[3:0] auf, um die Besitzübernahme des Busses **208** abzuschließen. In der bevorzugten Ausführungsform gewinnt der Bus-Master mit dem niedrigsten MRQ[3:0] Wert, so dass der Bus-Master dann Null mit einer ID-Nummer von 0h immer eine Vorherrschaft übernimmt, falls eine Arbitrierung vorliegt, und der Bus-Master 15, dezimal (Fh, hexadezimal), besitzt die niedrigste Priorität. Die Bus-Daten-Signale B[7:0] werden vorzugsweise auf hoch über Pullup-Widerstände gezogen, falls nicht ansonsten auf niedrig gesetzt.

[0054] In einer ersten Arbitrierungs-Ausführungsform steuern die partizipierenden Bus-Master mit MRQ[3] =

0 in der ersten Phase 3 das Bus-Signal B[3] auf niedrig und halten es niedrig bis zu dem Ende der letzten Phase 0. Während Phase 3 vergleichen alle Teilnehmer ihren MRQ[3] Wert mit dem B[3] Wert, aufgestellt auf dem Bus **208**. Alle partizipierenden Bus-Master mit einem unterschiedlichen MRQ[3:0], ein anderes als dasjenige von B[3], verlieren und partizipieren nicht weiter in der Arbitrierung. Während der nächsten Phase 2 bringen die verbleibenden Teilnehmer, die MRQ[3] = B[3] und mit MRQ[2] = 0 angepasst haben, B[2] zu niedrig und halten es niedrig bis zu dem Ende der Phase 0. Während der Phase 2 vergleichen die verbleibenden Teilnehmer deren MRQ[2] Wert mit dem B[2] Wert auf dem Bus **208**. Wiederum fahren nur solche Bus-Master mit passendem MRQ[2] und passendem MRQ[3] ihre Teilnahme in der Arbitrierung fort. Während der nächsten Phase 1 bringt jeder verbleibende Bus-Master mit passendem MRQ[3] und passendem MRQ[2] = B[2] und mit MRQ[1] = 0 das Signal B[1] auf niedrig und halten es bis zu dem Ende der Phase 0. Während der Phase 1 vergleichen die verbleibenden Teilnehmer deren MRQ[1] Wert mit dem B[1] Wert auf dem Bus **208**. Während der letzten Phase 0 bringt der verbleibende Bus-Master mit passendem MRQ[3] und passendem MRQ[2] und mit MRQ[1] = B[1] und mit MRQ[0] = 0 das B[0] auf niedrig und hält es bis zu dem Ende der Phase 0. Während der Phase 0 vergleichen alle verbleibenden Teilnehmer deren MRQ[3:0] ID-Nummer mit dem Wert, der an dem B[3:0] Signal auf dem Bus **208** aufgestellt ist. Der Bus-Master mit passendem MRQ[3:0] gewinnt die Arbitrierung und übernimmt die Steuerung des Busses **208**.

[0055] Das Ziel des vorstehend beschriebenen Arbitrierungs-Vorgangs ist dasjenige, dass der Bus-Master mit dem niedrigsten MRQ[] Wert, was die ID- oder Schlitz-Nummer ist, eine Steuerung über den Bus **208** gewinnt. Der letzte Vergleich während einer Phase 0, um den gewinnenden Bus-Master zu bestimmen, erfordert eine gewisse Einstellzeit, um die Bus-Inhaberschaft zu verriegeln. Dies ist mit kostspieligeren Komponenten möglich, geeignet dazu, unter relativ hohen Frequenzen zu arbeiten. Allerdings wird die Zeitabstimmung relativ eng für kostengünstigere Ausführungen, wie beispielsweise eine programmierbare Feld-Logik (Programmable Array Logic – PAL) oder eine auf PAL basierende Logik. Falls die Zeitabstimmung zu eng für die bestimmte Logik, die verwendet wird, ist, könnte ein zusätzlicher CLK Zyklus eingesetzt werden. Dies verlangsamt allerdings den Vorgang und verringert etwas den potenziellen Daten-Durchsatz. Eine andere Lösung, wie sie nachfolgend beschrieben ist, ist diejenige, den Arbitrierungs-Vorgang in zwei CLK Zyklen zu komprimieren, um dieses Zeitabstimmungs-Erfordernis zu lockern.

[0056] In einer zweiten Arbitrierungs-Ausführungsform sind insgesamt zwölf Bus-Master definiert, die MRQ[3:0] ID-Nummern 0h–5h, und 7h–Dh (hexadezimal), haben. Dies ist für ein modulares Design mit zwölf Schlitzen ausreichend, wie beispielsweise dasjenige, das in [Fig. 2A](#) dargestellt ist. In diesem Schema werden Schlitze 6h und Eh nicht zugelassen, da ein Zugang nicht in der Endphase 0 zugelassen ist. Allerdings wird ein Bus-Master, der normalerweise bei MRQ[3:0] = 6h sein würde, so definiert werden, um mit MRQ[3:0] = Dh während einer Arbitrierung anzusprechen. Während jeder Phase stellen Bus-Master mit voranführenden Identifikation-Bits gleich zu einem vorbestimmten Prioritäts-Logik-Niveau die entsprechenden und aufeinander folgenden B[3:0] Signale zu dem Prioritäts-Logik-Zustand auf, wobei der entgegengesetzte, logische Zustand eine Phasen-Verzögerung darstellt. In der bevorzugten Ausführungsform ist das Prioritäts-Logik-Niveau 0. Es ist allerdings anzumerken, dass eine logische Negierung dort abgeschlossen wird, wo das Prioritäts-Logik-Niveau 1 ist. Für ein Prioritäts-Logik-Niveau von 0 stellen die Bus-Master mit voranführenden 0'en die entsprechenden, konsekutiven B[3:0] Signale auf, wobei „1“ allgemein als eine Phasen-Verzögerung angesehen wird. In darauf folgenden Phasen stellen verbleibende Bus-Master zusätzliche solche der B[3:0] Signale auf, falls deren obere MRQ[3:0] Signale gleich zu dem entgegengesetzten, logischen Zustand die entsprechenden B[3:0] Signale anpassen.

[0057] Insbesondere haben, in der ersten Phase 3, teilnehmende Bus-Master mit Schlitz-ID-Nummern von 8h (1xxxh) oder größer, MRQ[3] = 1b, und stellen nicht B[3] auf. Teilnehmende Bus-Master, die Schlitz-ID-Nummern von 4–7h (0xxxh) haben, stellen B[3] bis zu dem Ende der Phase 0 auf. Falls sie teilnehmen, stellen Bus-Master 2h (0010b) und 3h (0011b) sowohl B[3] als auch B[2] oder B[3,2] bis zu dem Ende der Phase 0 auf. Falls sie teilnehmen stellt der Bus-Master 1h (0001b) B[3,2,1] (oder B[3:1]) auf, und der Bus-Master 0h (00001b), stellt, falls er teilnimmt, alle Signale B[3:0] bis zu dem Ende der Phase 0 auf.

[0058] Während der verbleibenden Phasen 2-0 vergleichen die Teilnehmer deren obere MRQ[] Signale mit entsprechenden Bus-Signalen B[], und führen ein Partizipieren und ein Aufstellen der B[] Signale nur dann fort, wenn eine Anpassung vorhanden ist. Während Phase 2 stellen die Bus-Master Ah (1010b) und Bh (1011b), falls sie teilnehmen, B[2] auf, falls B[3] hoch ist (eine Anpassung). Falls B[3] niedrig ist, dann fallen die Ah und Bh Bus-Master heraus und nehmen nicht weiter an der momentanen Arbitrierung teil. Bus-Master 9h (1001b) stellt beide B[2,1] auf, falls B[3] hoch ist, und falls es nicht hoch ist, fällt der Bus-Master 9h aus der Arbitrierung heraus. In ähnlicher Weise stellt der Bus-Master 8h (1000b) B[2:0] auf, falls B[3] hoch ist, ansonsten fällt er heraus. Auch stellt der Bus-Master 2h (0010b) B[0] auf, falls B[1] hoch ist, fällt allerdings ansonsten heraus. Es

ist anzumerken, dass der Bus-Master 2h B[0] früh aufstellt, da dann, falls B[1] hoch ist, die Bus-Master 0h und 1h nicht teilnehmen. Während Phase 1 stellt der Bus-Master Ch (1100b) auf, falls er teilnimmt, B[1:0], falls B[3:2] beide hoch sind, ansonsten fällt er heraus; der Bus-Master Ah (1010b) stellt B[0] auf, falls B[3,1] beide hoch sind, fällt ansonsten heraus; der Bus-Master Dh (1101b, für 6h substituierend) stellt B[1] auf, falls B[3,2] hoch sind, und fällt ansonsten heraus; der Bus-Master 5h (0101b) stellt B[1] auf, falls B[2] hoch ist, fällt ansonsten heraus; und der Bus-Master 4h (0100b) stellt B[1:0] auf, falls B[2] hoch ist, fällt ansonsten heraus. In der letzten Phase 0 werden keine neuen B[3:0] Signale aufgestellt. Während der Phase 0 vergleicht der verbleibende Bus-Master seine MRQ[3:0] ID-Nummer mit den B[3:0] Signalen und verriegelt das Ergebnis. Der Bus-Master, der einen passenden MRQ[3:0] Wert besitzt, gewinnt die Arbitrierung. Auf diese Art und Weise nimmt der Bus-Master 0h die höchste Priorität ein, und der Bus-Master 6h (mit Dh als ID-Nummer) besitzt die niedrigste Priorität.

[0059] Die [Fig. 6A](#) und [Fig. 6B](#) stellen ein Arbitrierungs-Beispiel gemäß der zweiten Arbitrierungs-Ausführungsform, die gerade beschrieben ist, dar. In [Fig. 6A](#) sind zwei Netzwerk-Slave-Vorrichtungen **602** und **604** in Schlitze 0010b und 0011b, jeweils, eines Chassis **600** eingesteckt, das einen Bus **208**, eingesetzt in seiner Rückseitenebene, besitzt. Vier Bus-Master-Vorrichtungen **606**, **608**, **610** und **612** sind in die Schlitze 0100b, 0101b, 1000b und 1010b, jeweils, des Chassis **600** eingesteckt. [Fig. 6B](#) zeigt ein Zeitabstimmungs-Diagramm, das eine Arbitrierung des Busses **208** zwischen den vorstehenden Bus-Mastern **606–612** darstellt, wo Signale CLK, ARB*, ST1, ST0 und B[3:0] über der Zeitausgedruckt sind.

[0060] Zu Anfang befindet sich der Bus **208** in Ruhe in dem Zustand ST00 und die ARB* und B[3:0] Signale sind alle hoch. Zu der Zeit T0 setzen alle Bus-Master **606–612** das ARB* Signal auf niedrig. Die Arbitrierung beginnt an der nächsten, ansteigenden Flanke des CLK Signals zu der Zeit T2, wo die Phase P3 beginnt. Der Bus-Master **606** und **608** setzt B[3] auf niedrig zu ungefähr der Zeit T4 während der Phase P3, während die Bus-Master **610–612** keines der B[3:0] Signale aufstellen. Die Phase 2 beginnt zu der Zeit T6 an der nächsten, abfallenden Flanke des CLK Signals. Während der Phase 2 erfasst der Bus-Master **610** (ID = 1000b), dass das B[3] Signal nicht hoch ist und fällt aus der Arbitrierung heraus. In ähnlicher Weise erfasst der Bus-Master **612** (ID = 1010b), dass das B[3] Signal nicht hoch ist und fällt aus der Arbitrierung heraus. Die Phase 1 beginnt an der nächsten, ansteigenden Flanke des CLK Signals zu der Zeit T8. Der Bus-Master **606b** erfasst, dass B[2] noch hoch ist, was anzeigt, dass dort keine Bus-Master mit IDs von 0000b–0011b, für den Bus **208** arbitrierend, vorhanden sind. Demzufolge setzt der Bus-Master **606** die B[1:0] Signale auf niedrig zu der Zeit T10. Zwischenzeitlich erfasst der Bus-Master **608**, dass B[2] noch hoch während der Phase 1 ist, und stellt das B[1] Signal auf. Es ist anzumerken, dass beide Bus-Master **606** und **608** das B[1] Signal aufstellen, während nur der Bus-Master **606** das B[0] Signal aufstellt. Die Phase 0 tritt zwischen der nächsten, abfallenden und ansteigenden Flanke des CLK Signals zwischen den Zeiten T12 und T14, jeweils, auf, wobei beide verbleibenden Bus-Master **606** und **608** deren Schlitze-ID-Nummern MRQ[3:0] mit den Bus-Signalen B[3:0] vergleichen. Da der Bus-Master **606** mit MRQ[3:0] = B[3:0] = 0100b vorhanden ist, gewinnt der Bus-Master **606** und nimmt die Steuerung des Busses **208** zu der Zeit T14 auf.

[0061] Zu ungefähr der Zeit T16 wird das ARB* Signal auf hoch durch den Bus-Master **606** gesetzt, der auch B[2] auf niedrig setzt und B[1] auf hoch setzt, was eine Slave-Vorrichtung mit einer Schlitze-ID-Nummer von 0010b identifiziert. Da die Slave-Vorrichtung **602** eine ID-Nummer von 0010b besitzt, antwortet sie auf den Zyklus auf dem Bus **208** und sucht den ersten Teil einer Adresse während dem nächsten Zustand ST10 des Busses **208** auf. Der Zustand ST10 beginnt an der nächsten, ansteigenden Flanke des CLK Signals zu der Zeit T18 und endet an der nächsten, ansteigenden Flanke des CLK Signals zu der Zeit T20.

[0062] In einer dritten Arbitrierungs-Ausführungsform ist die erste Phase 3 dieselbe wie die Phase 3 der zweiten Ausführungsform vorstehend. Insbesondere stellen partizipierende Bus-Master, die Schlitze-ID-Nummern von 4–7h haben, B[3] auf, 1h stellt B[3-1] auf, 0h stellt B[3:0] auf und die Bus-Master 2h und 3h stellen beide B[3,2] bis zu dem Ende der Phase 0 auf. Während der Phase 2 stellt der Bus-Master 2h das B[0], falls B[1] hoch ist, auf, fällt ansonsten heraus; der Bus-Master 4h stellt beide B[1:0] auf, falls B[2] hoch ist, fällt ansonsten heraus; der Bus-Master 5h stellt B[1] auf, falls B[2] hoch ist, fällt ansonsten heraus; der Bus-Master 8h stellt B[2:0] auf, falls B[3] hoch ist, fällt ansonsten heraus; der Bus-Master 9h stellt B[2:1] auf, falls B[3] hoch ist, fällt ansonsten heraus; und die Bus-Master Ah und Bh stellen B[2] auf, falls B[3] hoch ist, fallen ansonsten heraus. Während der Phase 1 stellt der Bus-Master 6Hb B[0] auf, falls beide B[2,1] hoch sind, fallen ansonsten heraus; der Bus-Master Ah stellt B[0] auf, falls B[3,1] hoch sind, fällt ansonsten heraus; der Bus-Master Ch stellt B[1:0] auf, falls B[3,1] hoch sind, fällt ansonsten heraus; der Bus-Master Dh stellt B[1] auf, falls B[3,2] hoch sind, fällt ansonsten heraus; und der Bus-Master Eh stellt B[0] auf, falls B[3:0] hoch sind, fällt ansonsten heraus. In der letzten Phase 0 werden keine neuen B[3:0] Signale aufgestellt, und jeder verbleibende Bus-Master vergleicht seine MRQ[3:0] ID-Nummer mit den B[3:0] Signalen und verriegelt das Ergebnis. Der Bus-Master, der einen

passenden MRQ[3:0] Wert besitzt, gewinnt die Arbitrierung. Auf diese Art und Weise nimmt der Bus-Master Oh die höchste Priorität an und der Bus-Master Eh besitzt die niedrigste Priorität.

[0063] In dem folgenden CLK Zyklus stellt, nach einer Arbitrierung entsprechend zu einer der Ausführungsformen, die vorstehend beschrieben sind, der gewinnende Bus-Master die Schlitze-ID-Nummer SS[3:0] auf die B[3:0] Signale des Busses **208** einer Slave-Vorrichtung, die einen Zugang wünscht, während sie sich noch in dem Zustand ST00 befindet, auf. Die adressierte Slave-Vorrichtung kann dieselbe Schlitze-ID-Nummer wie der Bus-Master haben. Weiterhin ist, in der bevorzugten Ausführungsform mit nur 12 Schlitzen und Schlitze-Nummern eine Schlitze-ID-Nummer von Eh, oder 1110b, als ein globales Schreiben definiert, wobei alle der Slave-Vorrichtungen die Adresse decodieren und Daten von dem Bus **208** aufsuchen. Wie zuvor beschrieben ist, geht der Bus-Master dann schrittweise durch die verbleibenden Zustände in Reihenfolge, und die adressierte(n) Slave-Vorrichtungen) spricht (sprechen) auf den Zyklus an. Die Slave-Vorrichtungen antworten auf den Bus-Zyklus durch Verriegeln der B[3:0] Signale während des dritten CLK Zyklus des Zustands ST00, welche Verriegelung während des ST00 zu ST01 Übergangs auftreten sollte.

[0064] Die adressierte Slave-Vorrichtung decodiert den Zustand bzw. Status ST10 und umfasst vorzugsweise eine transparente Verriegelung, um das WR-Signal und die Adressen-Bits A[6:0] zu speichern. Es ist anzumerken, dass das A[7] Adressen-Bit mit den A[6:0] Adressen-Bits gruppiert werden könnte, wie dies üblicherweise vorgenommen werden würde. In der bevorzugten Ausführungsform wird allerdings WR mit A[6:0] gruppiert, um das Erfordernis zu beseitigen, für jede Slave-Vorrichtung eine Verriegelung zum Aufnehmen von Informationen im Zustand ST11 vorzusehen. Diese Slave-Vorrichtungen mit einem kleineren Adressen-Raum, A[6:0], reichen aus, wobei WR in demselben 8-Bit Chip verriegelt ist. In dem Zustand ST11 verriegelt die Slave-Vorrichtung A[13:8], falls diese Adressen-Bits verwendet werden. Die Slave-Vorrichtung beginnt dann ihren Zugriff und stellt das BSY* Signal innerhalb eines Einstellungs-Erfordernis, falls notwendig, auf. Wenn die Slave-Vorrichtung bereit ist, in den Zustand ST01 überzugehen, negiert sie das BSY* Signal, falls es aufgestellt ist. Nach einem Übergang von den Zuständen ST11 zu ST01 werden die A[13:0] Signale verriegelt und die Slave-Vorrichtung ist bereit, Daten aufzunehmen, falls ein Schreib-Zyklus angezeigt ist, oder Daten zuzuführen, falls ein Lese-Zyklus durch den Bus-Master angezeigt ist. In dem Zustand ST01 wird eine verriegelte Version des WR Signals durch die Slave-Vorrichtung verwendet, um die Richtung der Daten zu bestimmen. Nach dem Übergang von dem Zustand ST01 zu ST00 hört die Slave-Vorrichtung auf, Daten für Lese-Zyklen aufzustellen oder verriegelt die Bus-Daten-Signale B[7:0] für Schreib-Zyklen. Wiederum ist eine Schlitze-ID-Nummer von Eh global und alle Slave-Vorrichtungen präsentieren ein Aufsuchen der Daten von dem Bus **208** während des globalen Schreib-Zyklus.

[0065] [Fig. 7](#) zeigt ein Zeitabstimmungs-Diagramm, das den Vorgang des Management-Kommunikation-Busses **208** darstellt. Jeder der Zustände ST00–ST01 ist relativ zu Übergängen des CLK Signals definiert. T1, T2, T3 und T4 stellen Propagations-Verzögerungen dar. T1 ist die Propagations-Verzögerung jedes Zustand-Bits von der ansteigenden Flanke des CLK Signals an. T2 ist die Propagations-Verzögerung der B[7:0] Signale von der ansteigenden Flanke des CLK Signals an, wenn der Bus-Master Daten aufstellt. T3 ist die Propagations-Verzögerung von BSY* und des B[7] Signals von der ansteigenden Flanke des CLK Signals an, wenn die Slave-Vorrichtung das BSY* Signal aufstellt. T4 ist die Propagations-Verzögerung von Lese-Daten B[7:0] von der ansteigenden Flanke des CLK Signals an, wenn die Slave-Vorrichtung Daten aufstellt. Wie zuvor beschrieben ist, werden die Signale SS[3:0], WR und A[6:0], BSY* und A[13:7] und die Daten-Signale D[7:0] an jeweiligen solchen der B[7:0] Signale während entsprechender Zustände aufgestellt. Zum Beispiel werden SS[3:0] und D[3:0] beide an den B[3:0] Signalen aufgestellt, obwohl unterschiedliche Zustände des Busses **208** vorliegen, so dass dort keine Konkurrenz-Situation in Bezug auf den Bus vorhanden ist.

[0066] Vorzugsweise umfasst jeder Bus-Master einen Satz von vier Puffern, wie beispielsweise die Speicher-Vorrichtungen **418**, wobei jede ein entsprechendes Freigabe-Signal MST00*, MST10*, MST11* und MST01*, jeweils, besitzt. Der Bus-Master stellt das MST00* Signal auf, während er in dem Zustand ST00 ist, um einen ST00 Zustand-Puffer freizugeben, um die SS[3:0] Signale aufzustellen. Der Bus-Master stellt das MST10* Signal auf, während der Zustand ST10 vorliegt, um einen ST10 Zustand-Puffer freizugeben, um die WR und A[6:0] Signale aufzustellen. Der Bus-Master stellt das MST11* Signal auf, während er in dem Zustand ST11 ist, um einen ST11 Zustand-Puffer freizugeben, um die A[13:7] Signale aufzustellen. Der Bus-Master stellt das MST01* Signal auf, während der Zustand ST01 vorliegt, um einen ST01 Zustand-Puffer freizugeben, um die D[7:0] Signale zu schreiben oder zu lesen. Auch umfasst jede Slave-Vorrichtung einen Satz von vier Verriegelungen, wie beispielsweise die Speicher-Vorrichtungen **301**, wobei jede ein entsprechendes Freigabe-Signal SST00*, SST10*, SST11* und SST01*, jeweils, besitzt. Die Slave-Vorrichtung stellt das SST00* Signal, in dem Zustand SST00, auf, um eine ST00 Zustand-Verriegelung freizugeben, um die SS[3:0] Signale zu verriegeln. Die Slave-Vorrichtung stellt das SST10* Signal in dem Zustand ST10 auf, um eine ST10 Zu-

stand-Verriegelung freizugeben, um die WR und A[6:0] Signale zu verriegeln. Die Slave-Vorrichtung stellt das SST11* Signal in dem Zustand ST11 auf, um eine ST11 Zustand-Verriegelung freizugeben, um die A[13:7] Signale zu verriegeln. Die Slave-Vorrichtung stellt das SST01* Signal in dem Zustand ST01 auf, um eine ST01 Zustand-Verriegelung freizugeben, um die D[7:0] Signale aufzustellen oder zu lesen.

[0067] Es ist nun ersichtlich, dass ein Management-Kommunikation-Bus gemäß der vorliegenden Erfindung eine Kommunikation zwischen einer Vielzahl von Netzwerk-Vorrichtungen zu Zwecken einer Steuerung, einer Konfiguration, zum Prüfen eines Status, zum Überwachen von statistischen Informationen und für irgendwelche anderen Management-Funktionen freigibt. Der Bus ist vorzugsweise multiplexiert mit mindestens zwei Zustand-Signalen, die mindestens drei, und vorzugsweise vier, Zustände definieren, wobei ein erster Zustand für eine Arbitrierung und eine Bus-Slave-Identifikation definiert ist, ein zweiter und ein dritter Zustand für eine Zyklus-Definition und zum Aufstellen einer Adresse definiert sind, und ein vierter Zustand für einen Daten-Zyklus definiert ist. Acht Bus-Daten-Signale sind vorzugsweise zum Definieren von Bits zu 32 Signalen vorhanden, wobei die Definition der Bus-Daten-Signale von dem bestimmten Zustand des Busses, wie er durch die Zustand- bzw. Status-Signale definiert ist, abhängt. Der Bus ist ein Multimaster-Bus, da mehrere Bus-Master für den Bus während des ersten Zustands arbitrieren, wobei mehrere der Bus-Daten-Signale zum Identifizieren der partizipierenden Bus-Master verwendet werden. Der gewinnende Bus-Master identifiziert dann eine Slave-Vorrichtung unter Verwendung der Bus-Daten-Signale während eines letzten Zyklus des ersten Zustands. Der Bus-Master geht dann schrittweise durch verschiedene, aufeinander folgende Zustände und stellt Adressen- und Zyklus-Definitions-Signale auf dem Bus auf. Die Slave-Vorrichtung verriegelt entsprechend die Adresse und bestimmt von der Zyklus-Definition, ob der Zyklus ein Lese- oder ein Schreib-Zyklus ist.

[0068] Auf diese Art und Weise ist der Bus speichermäßig aufgelistet, wobei jeder Bus-Master einfach eine Adresse zu Konfigurations-Registern innerhalb der Slave-Vorrichtung identifiziert und Daten aufstellt, um die zugriffene Slave-Vorrichtung zu programmieren oder zu rekonfigurieren. Auch überwacht der Bus-Master die Slave-Vorrichtung unter Durchführen von Lese-Zyklen zu einem Status und/oder einem Speicher innerhalb der Slave-Vorrichtung, um auf Status-Informationen der Slave-Vorrichtung oder auf statistische Daten, die die Slave-Vorrichtung sammelt, zuzugreifen. Die mittels Speicher aufgelistete Konfiguration beseitigt das Overhead, das einem Codieren und Decodieren von zu Paketen gebildeten Daten zwischen den Management-Bereichen der Netzwerk-Vorrichtungen zugeordnet ist. In der bevorzugten Ausführungsform sind nur zehn Pins auf dem Bus vorhanden, umfassend zwei Zustand-Signale und acht Daten-Signale für eine kosteneffektive Lösung. Auch ist ein Takt-Signal vorzugsweise zum Synchronisieren von Zustand-Übergängen des Busses vorhanden. Dies führt zu einer Management-Lösung, die ungefähr ein Drittel der Kosten eines Management-Schemas unter Verwendung eines ARCnet erfordert, allerdings mit einem höheren Daten-Durchsatz. Demzufolge ermöglicht der Management-Kommunikation-Bus gemäß der vorliegenden Erfindung ein Management bzw. eine Verwaltung von Netzwerk-Vorrichtungen unter dem erwünschten Daten-Durchsatz ohne Hinzufügen wesentlicher Kosten zu einem Netzwerk-System.

[0069] Obwohl das Verfahren und die Vorrichtung der vorliegenden Erfindung in Verbindung mit der bevorzugten Ausführungsform beschrieben worden sind, ist vorgesehen, nicht auf die spezifische Form, wie sie hier angegeben ist, beschränkt zu sein, sondern, im Gegensatz dazu, ist vorgesehen, alle solchen Alternativen, Modifikationen und Äquivalente, wie sie passend innerhalb des Schutzzumfangs, wie er in den beigefügten Ansprüchen umfasst ist, eingeschlossen werden können, abzudecken.

Patentansprüche

1. Management-Kommunikation-Bus-System, das aufweist:
 mindestens eine Bus-Master-Vorrichtung (**314**) und mindestens eine Slave-Vorrichtung (**204**) und einen Management-Kommunikation-Bus für eine Kommunikation von Informations-Signalen zwischen den Master- und Slave-Vorrichtungen; gekennzeichnet dadurch, dass der Management-Kommunikation-Bus (**208**) aufweist:
 erste Bus-Leiter (B[9,8]), jeweils zum Führen eines codierten Bus-Zustand-Signals (ST0, ST1), so dass die codierten Bus-Zustand-Signale (ST0, ST1) auf den ersten Bus-Leitern zusammen jeweilige Bus-Zustände (ST00, ST10, ST11, ST01) größer in der Zahl als die Zahl von codierten Bus-Zustand-Signalen definieren können, und zweite Bus-Leiter (B[7:0]), um eine Vielzahl von Bus-Daten-Signalen zum Übertragen von Informations-Daten in Abhängigkeit von den Bus-Zuständen zu führen, wobei die Bus-Zustände umfassen:
 einen ersten Bus-Zustand (ST00) für eine Bus-Steuer-Arbitrierung und eine Slave-Vorrichtung-Identifikation, um ein Übertragen von Informations-Daten, umfassend eine Bus-Anforderung (MRQ[3:0]), und Slave-Identifikation-(SS[3:0])-Informationen auf den zweiten Bus-Leitern während des ersten Bus-Zustands (ST00) zu ermöglichen;

einen zweiten Bus-Zustand (ST10), um ein Aufstellen einer Adresse (A[6:0]) auf den zweiten Leitern während des zweiten Bus-Zustands (ST10) zu ermöglichen; und
einen dritten Bus-Zustand (ST01) zum Aufstellen von Daten entsprechend zu der Adresse zum Aufstellen von Daten (D[7:0]) entsprechend zu der Adresse während des dritten Bus-Zustands (ST01).

2. Management-Kommunikation-Bus-System nach Anspruch 1, wobei die Vielzahl der codierten Bus-Zustand-Signale (ST0, ST1) zusammen mindestens vier individuelle Bus-Zustände (ST00, ST10, ST11, ST01) definieren, wobei der zweite Bus-Zustand ein Aufstellen eines ersten Adressen-Bereichs (A[6:0]) während des zweiten Bus-Zustands (ST10) ermöglicht, und ein vierter Bus-Zustand (ST11) ein Aufstellen eines zweiten Adressen-Bereichs (A[13:7]) während des vierten Bus-Zustands (ST11) ermöglicht.

3. Management-Kommunikation-Bus-System nach Anspruch 1, wobei:
die mindestens eine Bus-Master-Vorrichtung (**314**) eine Schnittstelle zum Aufstellen der Vielzahl von codierten Bus-Zustand-Signalen (ST0, ST1) umfasst, um zwischen der größeren Zahl von Bus-Zuständen (ST00, ST10, ST11, ST01) überzugehen; und
wobei die Bus-Master-Schnittstelle so betreibbar ist, um die Vielzahl der Bus-Zustand-Signale (ST0, ST1) auf den ersten Bus-Leitern (B[9.8]) aufzustellen, um:
den ersten Bus-Zustand (ST00) zu initiieren und während des ersten Bus-Zustands ein Master-Anforderungs-Signal (MRQ[3:0]) auf den zweiten Bus-Leitern (B[7:0]) aufzustellen, um eine Steuerung des Busses (**208**) zu erhalten, und um ein Slave-Identifikation-Signal (SS[3:0]) aufzustellen, um die mindestens eine Slave-Vorrichtung (**204**) zu identifizieren,
zu dem zweiten Bus-Zustand (ST10) fortzuschreiten und um die Adresse (A[6:0]) auf den zweiten Bus-Leitern (B[3:0]) während des zweiten Bus-Zustands aufzustellen; und
zu dem dritten Bus-Zustand (ST01) fortzuschreiten, um einen Daten-Zyklus unter Verwendung von Daten-Signalen (D[7:0]) auf den zweiten Bus-Leitern (B[7:0]) durchzuführen.

4. Management-Kommunikation-Bus-System nach Anspruch 3, wobei die Bus-Master-Schnittstelle so betreibbar ist, um ein Zyklus-Definitions-Signal (WR) auf einem der zweiten Bus-Leiter während des zweiten Bus-Zustands (ST10) aufzustellen, was die Richtung der Daten (D[7:0]) zwischen der mindestens einen Bus-Master-Vorrichtung (**314**) und der mindestens einen Slave-Vorrichtung (**204**) anzeigt.

5. Management-Kommunikation-Bus-System nach Anspruch 4, wobei die mindestens eine Slave-Vorrichtung (**204**) aufweist:
eine Schnittstelle (**300**) zum Erfassen des Zyklus-Definitions-Signals (WR) und zum Aufstellen von Daten während eines Lese-Zyklus und zum Aufsuchen von Daten während eines Schreib-Zyklus; und
einen Speicher (**302**), verbunden mit der Schnittstelle (**300**), um die Daten zu speichern.

6. Management-Kommunikation-Bus-System nach Anspruch 1, das weiterhin aufweist:
eine Vielzahl von Bus-Master-Vorrichtungen (**204**, **314**), verbunden mit dem Bus, wobei jede eine Identifikation-Zahl (MRQ[3:0]) mit einer vorbestimmten Priorität besitzt; und
wobei jede der Vielzahl der Bus-Master-Vorrichtungen (**204**, **314**) eine Schnittstelle zum Aufstellen eines binären Äquivalents einer Identifikation-Zahl auf den zweiten Bus-Leitern (B[6:0]), um den Bus (**208**) zu arbitrieren, umfasst, wobei eine Bus-Master-Vorrichtung, die eine Identifikation-Zahl mit der höchsten Priorität enthält, eine Steuerung des Busses (**208**) erhält.

7. Management-Kommunikation-Bus-System nach Anspruch 6, wobei der erste Bus-Zustand (ST00) in mehrere Phasen unterteilt ist, wobei, während jeder der mehreren Phasen, jede Bus-Master-Vorrichtung, die ein entsprechendes, logisches Bit, das gleich zu einem vorbestimmten, logischen Prioritäts-Pegel ist, besitzt, das entsprechende, logische Bit auf einem entsprechenden einen (B[3]) der Vielzahl der zweiten Bus-Leiter (B[6:0]) erhält bzw. aufstellt und dann sein entsprechendes, logisches Bit mit einem entsprechenden einen der Master-Anforderungs-Signale (MRQ[3:0]) vergleicht, und wobei, während einer Endphase, eine Bus-Master-Vorrichtung, die einen Identifikation-Code besitzt, der entsprechende solche der Master-Anforderungs-Signale (MRQ[3:0]) anpasst, eine Steuerung des Busses erhält.

8. Management-Kommunikation-Bus-System nach Anspruch 7, wobei der erste Bus-Zustand (ST[00]) in mehrere Phasen (P3–P0) entsprechend zu der Zahl der Bits des binären Äquivalents der Identifikation-Zahl (MRQ[3:0]) unterteilt wird, wobei, während jeder der mehreren Phasen, jede Bus-Master-Vorrichtung, die ein voranführendes Identifikation-Bit gleich zu einem vorbestimmten, logischen Prioritäts-Pegel besitzt, das voranführende Identifikation-Bit und alle darauf folgenden Identifikation-Bits gleich zu dem vorbestimmten, logischen Prioritäts-Pegel an entsprechenden solchen der zweiten Bus-Leiter (B[7:0]) aufstellt, und wobei, in jeder darauf

folgenden Phase, jeder Bus-Master zusätzliche Identifikation-Bits aufstellt, falls seine signifikanteren Identifikation-Bits gleich zu einem entgegengesetzten, logischen Zustand wie der vorbestimmte, logische Prioritäts-Pegel sind und entsprechende solche der Bus-Anforderungs-Signale (MRQ[3:0]) anpassen.

9. Management-Kommunikation-Bus-System nach Anspruch 1, das weiterhin aufweist: eine Vielzahl von Slave-Vorrichtungen (**204**), wobei jede zu einer einer Vielzahl von eindeutigen Identifikations-Zahlen zugeordnet ist; und wobei die mindestens eine Bus-Master-Vorrichtung (**204**, **314**) eine Schnittstelle zum Aufstellen einer der Vielzahl der eindeutigen Identifikation-Zahlen auf der Vielzahl der Bus-Daten-Signale (B[6:0]) umfasst, um auf eine entsprechende eine der Vielzahl der Slave-Vorrichtungen (**204**) zuzugreifen.

10. Management-Kommunikation-Bus-System nach Anspruch 9, wobei die Bus-Master-Schnittstelle eine globale Identifikation-Zahl auf der Vielzahl der Bus-Daten-Signale aufstellt, um auf alle der Vielzahl der Slave-Vorrichtungen zuzugreifen.

11. Management-Kommunikation-Bus-System nach Anspruch 1, wobei die mindestens eine Slave-Vorrichtung eine Schnittstelle zum Aufstellen eines Busy-Signals (BSY*) auf einem der Vielzahl der zweiten Bus-Leiter während des zweiten Bus-Zustands (ST10, ST11) umfasst, um den dritten Bus-Zustand (ST01) zu verzögern.

12. Management-Kommunikation-Bus nach Anspruch 1, der weiterhin aufweist: ein Bus-Takt-Signal (CLK) zum Synchronisieren von Zustand-Übergängen, wobei das Bus-Takt-Signal eine Frequenz von ungefähr acht Megahertz besitzt.

13. Management-Kommunikation-Bus nach Anspruch 11, wobei eine Slave-Vorrichtung ein Busy-Signal (BSY*) auf einem der Vielzahl der zweiten Bus-Leiter (B[7:0]) aufstellt, um anzuzeigen, dass die Slave-Vorrichtung belegt ist, und zwar während des zweiten Bus-Zustands (ST10), und wobei der Management-Kommunikation-Bus (**208**) in dem zweiten Bus-Zustand (ST10) verbleibt, bis die Slave-Vorrichtung das Busy-Signal (BSY*) zurücknimmt.

14. Management-Kommunikation-Bus nach Anspruch 1, wobei die Vielzahl der codierten Bus-Zustand-Signale nur zwei Bus-Zustand-Signale (ST0, ST1) an jeweiligen ersten Bus-Leitern umfasst, und wobei zweite Bus-Leiter acht Bus-Leiter (B[7:0]) für insgesamt zehn Bus-Leiter umfassen.

15. Management-Kommunikation-Bus nach Anspruch 1, wobei nur eine der Vielzahl der codierten Bus-Zustand-Signale (ST0, ST1) zu einer Zeit zwischen aufeinander folgenden Bus-Zuständen der größeren Zahl von Bus-Zuständen (ST00–ST11) übergeht.

16. Netzwerk-System, das aufweist: ein Chassis (**202**), umfassend eine Vielzahl von Schlitzen (**202a** ... **202i**); eine Vielzahl von Schlitz-Verbindern (**210**), montiert an dem Chassis (**202**), wobei jeder der Vielzahl der Schlitz-Verbinder zu einem entsprechenden einen der Vielzahl der Schlitze (**202a** ... **202i**) ausgerichtet ist; einen Management-Kommunikation-Bus (**208**) nach einem der Ansprüche 1–15, verbunden mit jedem der Vielzahl der Schlitz-Verbinder (**210**), und mindestens ein Modul (**204**) zum Einstecken in irgendeinen der Vielzahl der Schlitze (**202a** ... **202i**) des Chassis (**202**), umfassend einen Modul-Verbinder (**212**) zum Verbinden mit einem entsprechenden einen der Vielzahl der Schlitz-Verbinder (**210**), um schnittstellenmäßig das mindestens eine Modul mit dem Bus (**208**) zu verbinden.

17. Netzwerk-System nach Anspruch 16, wobei das mindestens eine Modul (**204**) eine Bus-Master-Vorrichtung (**314**) zum Aufstellen der Vielzahl der codierten Bus-Zustand-Signale (ST0, ST1) umfasst, um zwischen der größeren Zahl von Bus-Zuständen (ST00–ST11) des Busses (**208**) überzugehen.

18. Netzwerk-System nach Anspruch 17, wobei die Bus-Master-Vorrichtung (**314**) eine Schnittstelle umfasst, um die Vielzahl von codierten Bus-Zustand-Signalen (ST0, ST1) auf den ersten Bus-Leitern (B9, B8) und die Bus-Daten-Signale auf der Vielzahl von zweiten Bus-Leitern (B[7:0]) aufzustellen, um den ersten Bus-Zustand (ST00) zu initiieren, eine Steuerung des Busses (**208**) zu erhalten und die Slave-Identifikation-Zahl (SS[3:0]) während des ersten Bus-Zustands (ST00) aufzustellen, um zu dem zweiten Bus-Zustand (ST10) fortzuschreiten und um eine Adresse (A[6:0]) während des zweiten Bus-Zustands aufzustellen, und um zu dem dritten Bus-Zustand (ST01) fortzuschreiten, um einen Daten-Zyklus (D[7:0]) während des dritten Bus-Zustands durchzuführen.

19. Netzwerk-System nach Anspruch 16, wobei das mindestens eine Modul (**204**) eine Slave-Vorrichtung zum Überwachen der Vielzahl der Bus-Daten-Signale auf den zweiten Bus-Leitern (B[7:0]), zum Aufsuchen einer Adresse und zum Teilnehmen in einem Daten-Zyklus (D7:0) während des dritten Bus-Zustands (ST01), umfasst.

20. Netzwerk-System nach Anspruch 24, wobei die Slave-Vorrichtung umfasst:
eine Schnittstelle (**300**) zum Erfassen eines Zyklus-Definitions-Signals (WR) während des zweiten Bus-Zustands (ST10) und während des dritten Bus-Zustands (ST01) zum Aufstellen von Daten auf den zweiten Bus-Leitern (B[7:0]) während eines Lese-Zyklus und zum Aufsuchen von Daten für einen Schreib-Zyklus; und einen Speicher (**302**), verbunden mit der Schnittstelle (**300**), um die Daten zu speichern.

21. Netzwerk-System nach Anspruch 16, wobei das mindestens eine Modul aufweist:
eine Bus-Master-Vorrichtung (**314**) zum Aufstellen der Vielzahl der Bus Zustand-Signale (ST0, ST1), um zwischen der größeren Zahl von Zuständen (ST00–ST11) des Busses (**208**) überzugehen; und eine Slave-Vorrichtung (**204**) zum Überwachen der Vielzahl der zweiten Bus-Leiter (B[7:0]), um eine Adresse aufzusuchen und um in einem Daten-Zyklus (D[7:0]) während des dritten Bus-Zustands (ST01) zu partizipieren.

22. Netzwerk-System nach Anspruch 16, wobei das mindestens eine Modul (**204**) aufweist:
ein erstes Modul (**204**), das eine Bus-Master-Vorrichtung (**314**) zum Aufstellen der Vielzahl der Bus-Zustand-Signale (ST0, ST1) umfasst, um zwischen der größeren Zahl von Zuständen (ST00–ST11) des Busses (**208**) überzugehen; und ein zweites Modul (**204**), das eine Slave-Vorrichtung zum Überwachen der Vielzahl der zweiten Bus-Leiter, zum Aufsuchen einer Adresse und zum Partizipieren in einem Daten-Zyklus (D[7:0]) während des dritten Bus-Zustands, umfasst.

23. Netzwerk-System nach Anspruch 22, wobei das zweite Modul weiterhin aufweist:
eine Netzwerk-Vorrichtung, die umfasst:
eine Medien-Schnittstellen-Vorrichtung (**306**); und eine Port-Steuer-Logik (**308**), verbunden mit der Medien-Schnittstellen-Vorrichtung (**306**) und der Slave-Vorrichtung, wobei die Port-Steuer-Logik eine Vielzahl von Konfigurations- und Status-Registern umfasst.

24. Netzwerk-System nach Anspruch 23, wobei die Slave-Vorrichtung weiterhin aufweist:
einen Prozessor (**304**), verbunden mit der Port-Steuer-Logik (**308**); und eine Slave-Schnittstelle (**300**), verbunden mit dem Prozessor (**304**) und dem Bus (**208**).

Es folgen 6 Blatt Zeichnungen

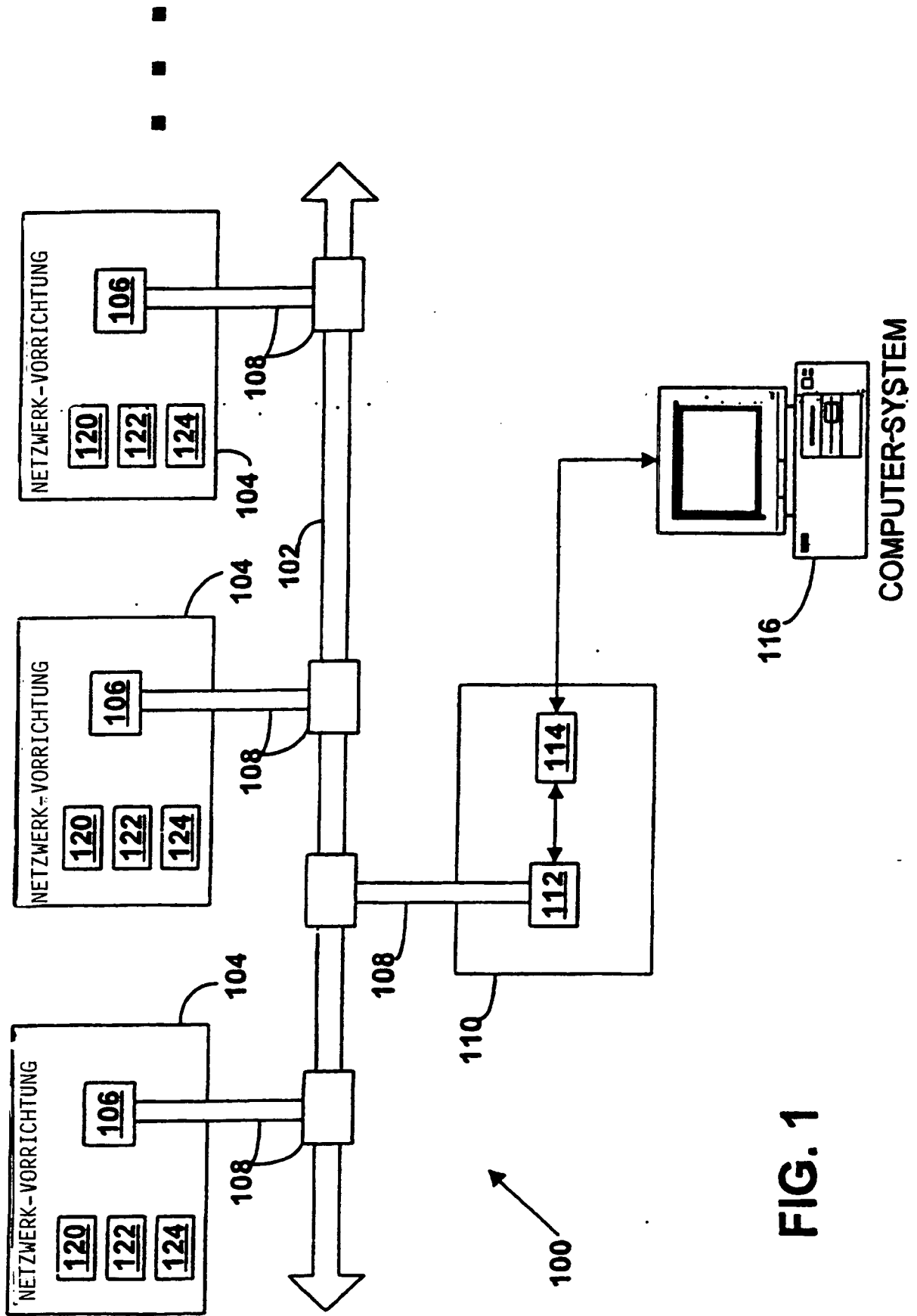
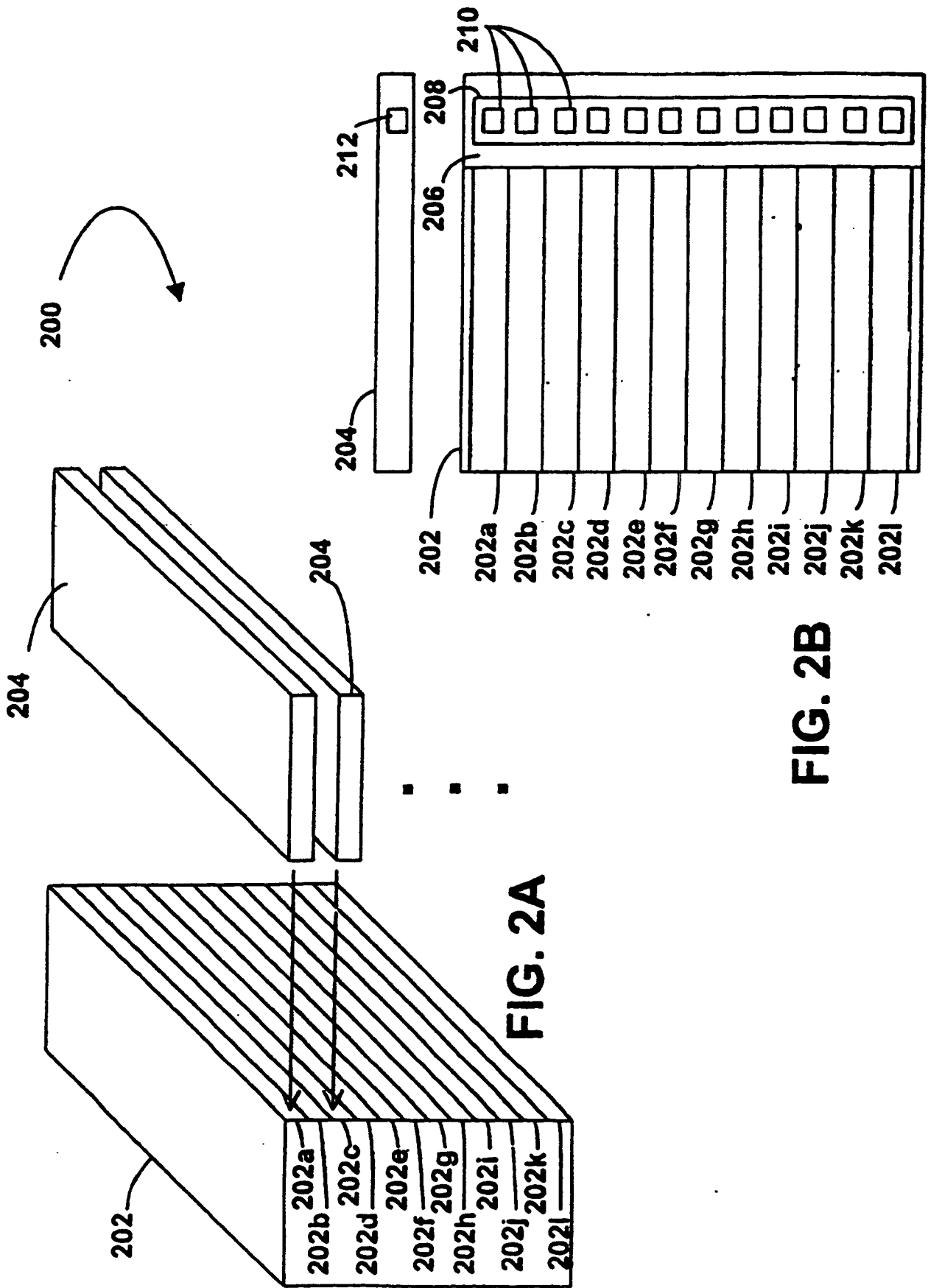


FIG. 1



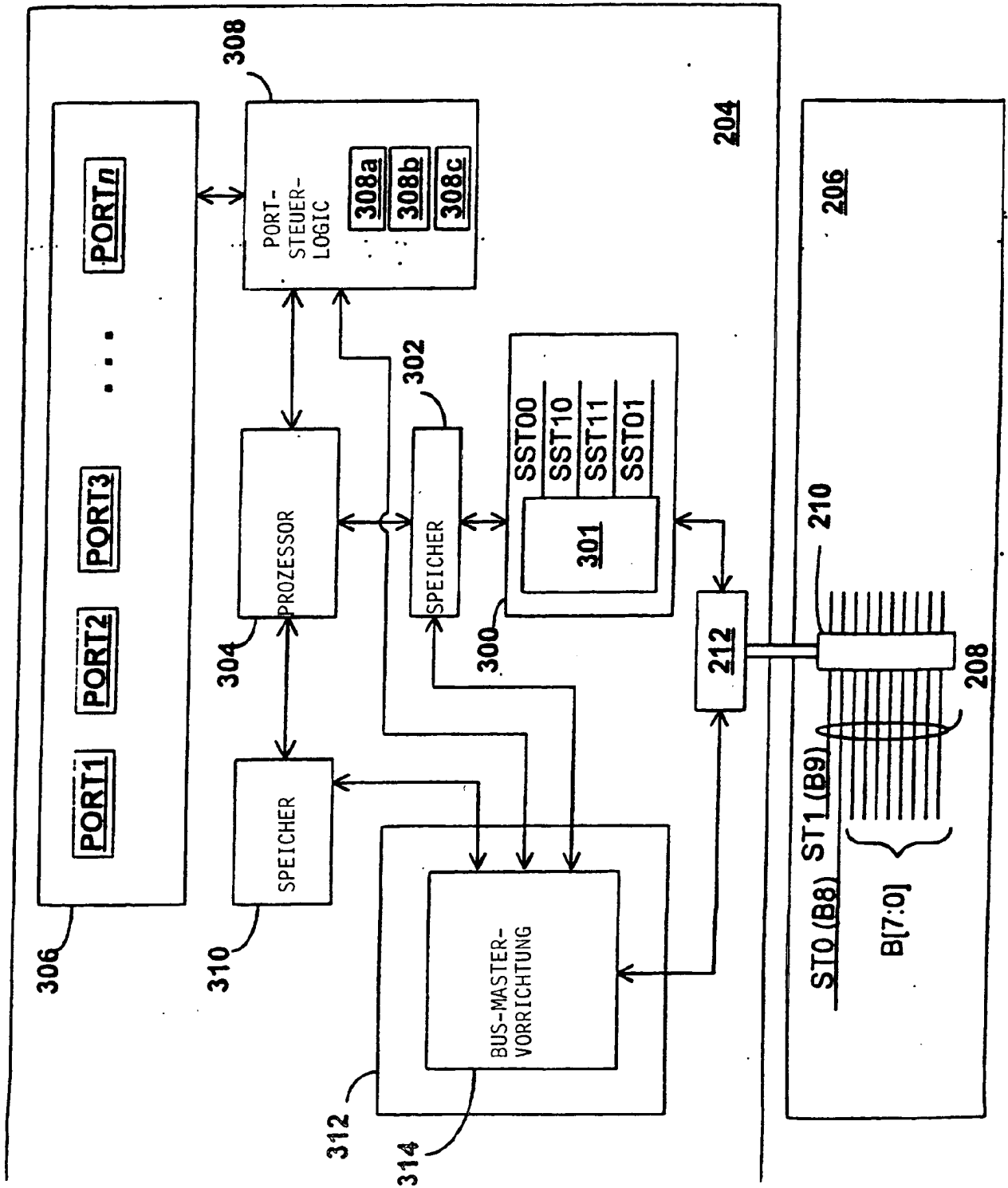


FIG. 3

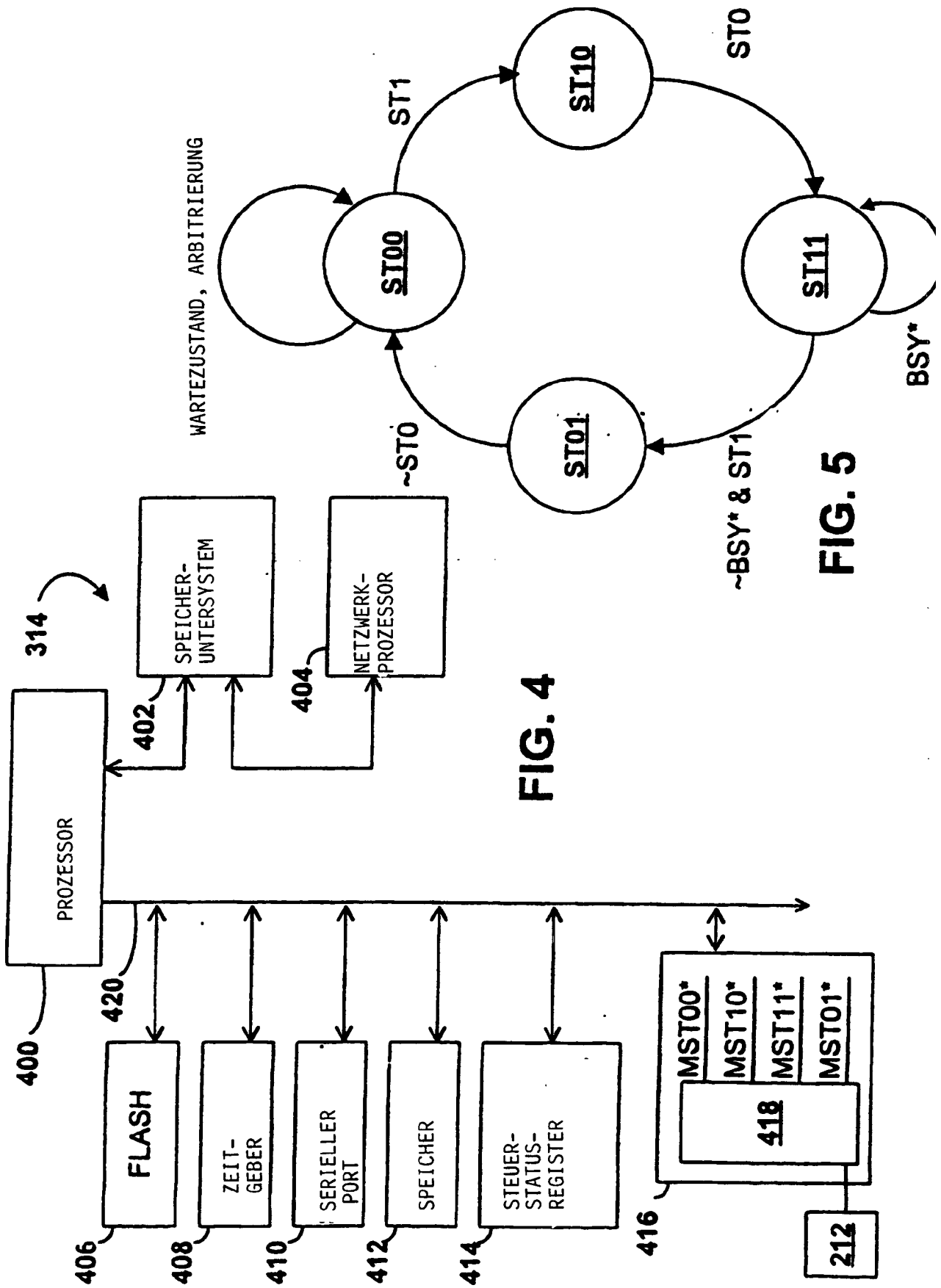


FIG. 4

FIG. 5

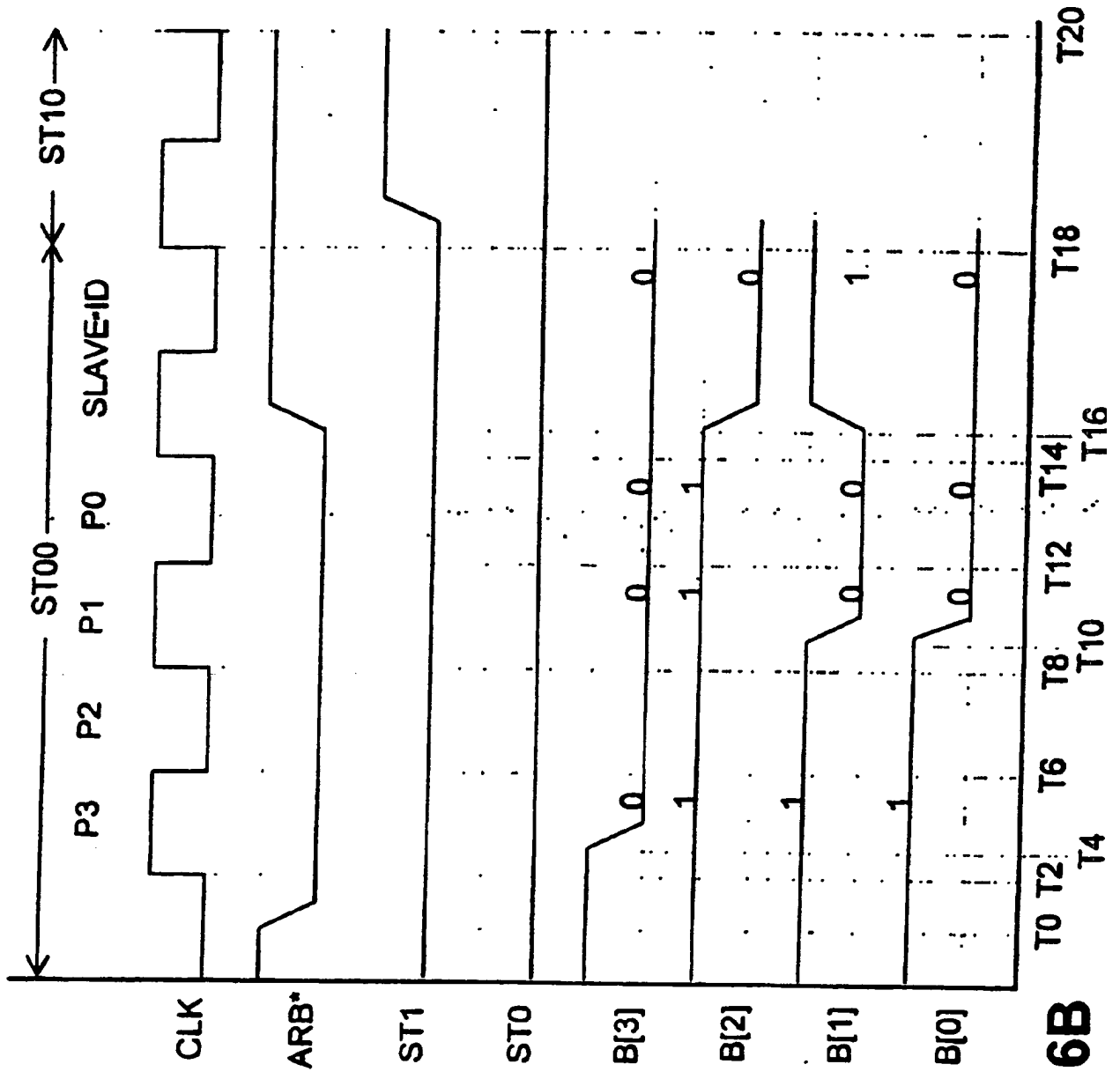
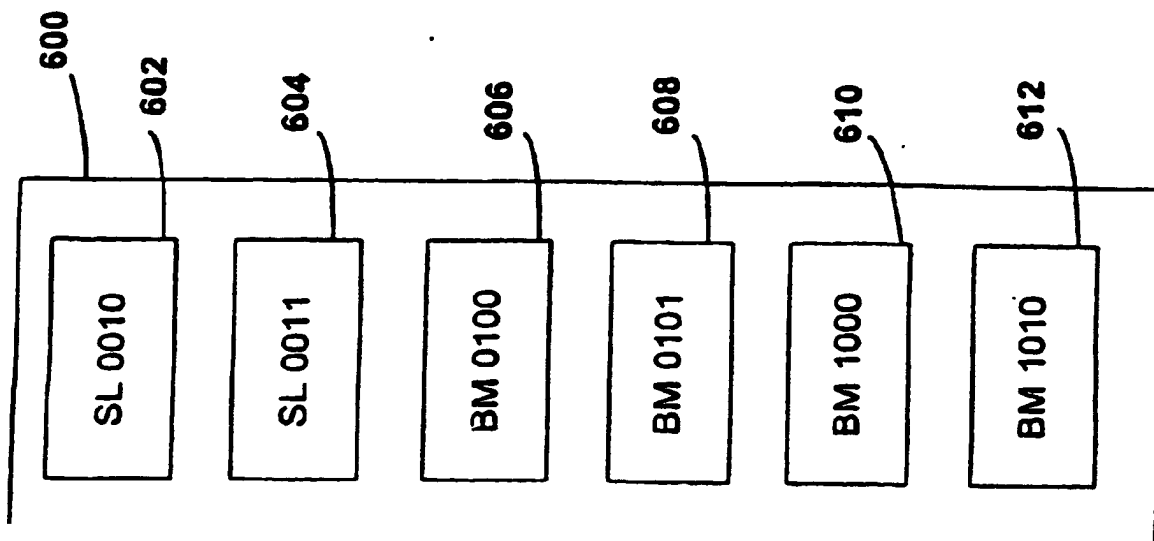


FIG. 6A **FIG. 6B**

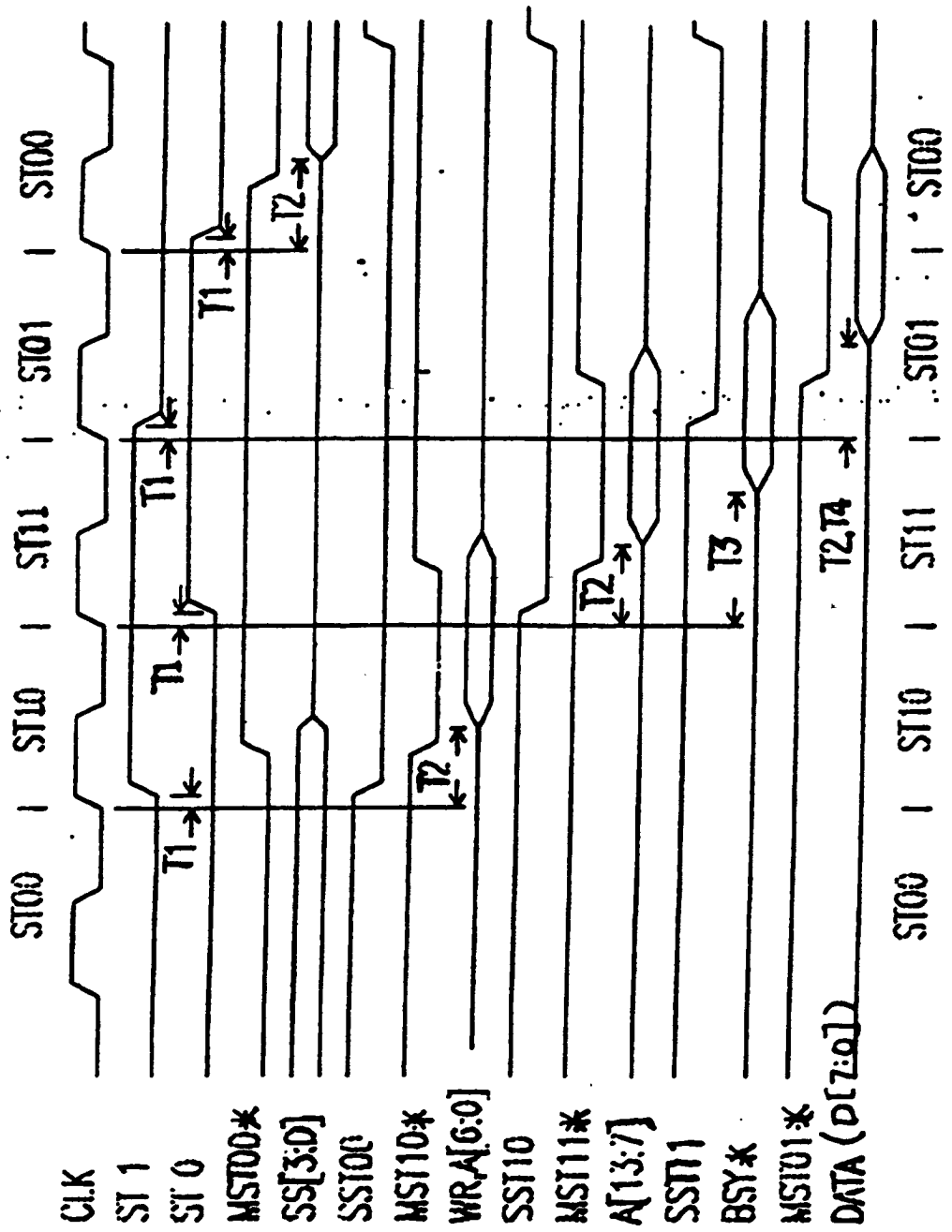


FIG. 7