

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5452003号  
(P5452003)

(45) 発行日 平成26年3月26日 (2014. 3. 26)

(24) 登録日 平成26年1月10日 (2014. 1. 10)

(51) Int. Cl.

H 0 1 L 21/00 (2006.01)

F I

H 0 1 L 21/00

請求項の数 4 (全 9 頁)

(21) 出願番号 特願2008-243438 (P2008-243438)  
 (22) 出願日 平成20年9月23日 (2008. 9. 23)  
 (65) 公開番号 特開2010-80460 (P2010-80460A)  
 (43) 公開日 平成22年4月8日 (2010. 4. 8)  
 審査請求日 平成22年10月22日 (2010. 10. 22)

(73) 特許権者 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 100088672  
 弁理士 吉竹 英俊  
 (74) 代理人 100088845  
 弁理士 有田 貴弘  
 (72) 発明者 新井 規由  
 東京都千代田区丸の内二丁目7番3号 三  
 菱電機株式会社内  
 (72) 発明者 ゴーラブ マジウムダール  
 東京都千代田区丸の内二丁目7番3号 三  
 菱電機株式会社内

審査官 小田 浩

最終頁に続く

(54) 【発明の名称】 半導体チップの製造方法および半導体モジュールの製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板の電気的な性能を示す項と半導体チップコストを示す項の積として定められた半導体チップの F O M に基づいて、種類の異なる基板における前記半導体チップの F O M を計算し、その計算結果の大小を比較する比較工程と、  
 この比較工程による前記計算結果の大小に基づいて、前記種類の異なる基板から所望の基板を選択する選択工程と、  
 この選択工程により選択された前記所望の基板に半導体素子を形成する素子形成工程とを備え、

前記電気的な性能を示す項は、定格電流密度を  $J_c$ 、定常損失を  $V F$ 、スイッチング損失を  $e r r$  とした時に、

$$J_c / (V F \cdot e r r)$$

として表され、

前記半導体チップコストを示す項は、前記半導体チップコストを  $C$  とした時に、

$$1 / C$$

として表され、

前記所望の基板は、前記種類の異なる基板に対する前記 F O M の計算結果が大きい方の基板であることを特徴とする半導体チップの製造方法。

【請求項 2】

種類の異なる基板は、シリコン基板および炭化シリコン基板であることを特徴とする請

10

20

求項 1 に記載の半導体チップの製造方法。

【請求項 3】

基板の電気的な性能を示す項と半導体モジュールコストを示す項の積として定められた半導体モジュールの F O M に基づいて、種類の異なる基板における前記半導体モジュールの F O M を計算し、その計算結果の大小を比較する比較工程と、

この比較工程による前記計算結果の大小に基づいて、前記種類の異なる基板から所望の基板を選択する選択工程と、

この選択工程により選択された前記所望の基板に半導体素子を形成する素子形成工程と、この素子形成工程を経て得られた複数の半導体チップを結線しパッケージに収納するパッケージ工程とを備え、

前記電気的な性能を示す項は、定格電流密度を  $J_c$ 、定常損失を  $V F$ 、スイッチング損失を  $e r r$  とした時に、

$$J_c / (V F \cdot e r r)$$

として表され、

前記半導体モジュールコストを示す項は、前記半導体モジュールコストを  $C$  とした時に、

$$1 / C$$

として表され、

前記所望の基板は、前記種類の異なる基板に対する前記 F O M の計算結果が大きい方の基板である

ことを特徴とする半導体モジュールの製造方法。

【請求項 4】

種類の異なる基板は、シリコン基板および炭化シリコン基板であることを特徴とする請求項 3 に記載の半導体モジュールの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体チップおよび半導体モジュールの製造方法に関するものである。

【背景技術】

【0002】

半導体チップ、又は半導体チップを搭載した半導体モジュールの性能を判断するものとして、F O M (figure of merit) という性能指数が用いられる。

【0003】

この F O M は、半導体チップや半導体モジュールの電気的な性能を判断するために、オン抵抗や電荷密度などの電気特性を組合せた数式として示される。そして、この F O M に電気特性の具体的な数値を入力することにより得られる F O M の値を用いて、半導体チップや半導体モジュールの個々の性能判断、または他の半導体チップや他の半導体モジュールとの性能比較を行う。

【0004】

例えば、特許文献 1 には、電荷  $Q_{G D}$  とオン抵抗  $R_{D S O N}$  の積として、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) の F O M が示されている。

【0005】

また特許文献 2 では、固有オン抵抗 ( $R_{o n, s p}$ ) と最大耐圧 ( $V B$ : blocking voltage) とを関連付けて、M O S F E T の F O M を示している。

【0006】

また特許文献 3 には、オン抵抗  $R_{o n}$  とゲート・ドレイン間容量  $Q_{g d}$  の積として、M O S F E T の F O M が示されている。

【0007】

また特許文献 4 では、オン抵抗 ( $R_{d s, o n}$ ) 及びゲート・ドレイン間の電荷密度 ( $Q_{g d}$ ) を関連付けて、トレンチ M O S F E T の F O M を示している。

【0008】

10

20

30

40

50

【特許文献１】特開２０００－１５６５０３号公報（段落０００６）

【特許文献２】特表２００４－５３７１６２号公報（段落０００５）

【特許文献３】特開２００７－２７２６６号公報（段落００１３）

【特許文献４】特表２００７－５１２７０１号公報（段落０００３）

【発明の開示】

【発明が解決しようとする課題】

【０００９】

このようにＦＯＭは、半導体チップや半導体モジュールの電気的な性能を判断するための指標として用いられるものである。しかしながら、このＦＯＭに基づいて、所望の性能を満足するものとして半導体チップや半導体モジュールを設計・製造したとしても、それが商業的に見ても満足する結果になるとは限らない。例えば、所望の性能を満足したとしても、実現には非常にコストが高くなったりする。このようにＦＯＭは、半導体チップや半導体モジュールの性能判断には使用できるが、商業上の判断基準として用いることは出来なかった。

【００１０】

この発明は、上記のような課題を解消するためになされたもので、電気的な性能判断に加えコスト面からも判断可能なＦＯＭを新たに提案し、このＦＯＭに基づいて、電気的な性能を満足することに加え低コスト化をも図った半導体チップの製造方法と半導体モジュールの製造方法を提供することを目的とする。

【課題を解決するための手段】

【００１１】

この発明に係る半導体チップの製造方法は、基板における電気的な性能を示す項と半導体チップコストを示す項の積として定められた半導体チップのＦＯＭに基づいて、種類の異なる基板に対する半導体チップのＦＯＭを計算し、その計算結果の大小を比較する比較工程と、この比較工程による計算結果の大小に基づいて、所望の基板を選択する選択工程と、この選択工程により選択された所望の基板に半導体素子を形成する素子形成工程とを備え、前記電気的な性能を示す項は、定格電流密度を $J_c$ 、定常損失を $V_F$ 、スイッチング損失を $e_{rr}$ とした時に、 $J_c / (V_F \cdot e_{rr})$ として表され、前記半導体チップコストを示す項は、前記半導体チップコストを $C$ とした時に、 $1 / C$ として表され、前記所望の基板は、前記種類の異なる基板に対する前記ＦＯＭの計算結果が大きい方の基板であることを特徴とするものである。

【００１２】

また、この発明に係る半導体モジュールの製造方法は、基板における電気的な性能を示す項と半導体モジュールコストを示す項の積として定められた半導体モジュールのＦＯＭに基づいて、種類の異なる基板に対する半導体モジュールのＦＯＭを計算し、その計算結果の大小を比較する比較工程と、この比較工程による計算結果の大小に基づいて、所望の基板を選択する選択工程と、この選択工程により選択された所望の基板に半導体素子を形成する素子形成工程と、この素子形成工程を経て得られた複数の半導体チップを結線し、パッケージに収納するパッケージ工程とを備え、前記電気的な性能を示す項は、定格電流密度を $J_c$ 、定常損失を $V_F$ 、スイッチング損失を $e_{rr}$ とした時に、 $J_c / (V_F \cdot e_{rr})$ として表され、記半導体モジュールコストを示す項は、前記半導体モジュールコストを $C$ とした時に、 $1 / C$ として表され、前記所望の基板は、前記種類の異なる基板に対する前記ＦＯＭの計算結果が大きい方の基板であることを特徴とするものである。

【発明の効果】

【００１３】

この発明によれば、基板の電気的な性能を示す項と半導体チップコストを示す項の積として半導体チップのＦＯＭを定めて、この半導体チップのＦＯＭに基づいて種類の異なる基板に対する半導体チップのＦＯＭを計算し、この計算結果の大小に基づいて所望の基板を選択し、選択された所望の基板に半導体素子を形成して半導体チップを得るようにした

ので、性能を満足することに加え、低コスト化が図られた半導体チップの製造方法を得ることができる。

【 0 0 1 4 】

また、この発明によれば、基板の電気的な性能を示す項と半導体モジュールコストを示す項の積として半導体モジュールの F O M を定めて、この半導体モジュールの F O M に基づいて種類の異なる基板に対する半導体モジュールの F O M を計算し、この計算結果の大小に基づいて所望の基板を選択し、選択された所望の基板に半導体素子を形成して得られた半導体チップを複数配置して結線し、パッケージに収納して半導体モジュールを得るようにしたので、性能を満足することに加え、低コスト化が図られた半導体モジュールの製造方法を得ることができる。

10

【 0 0 1 5 】

実施の形態

まず、この発明にかかる F O M を式 ( 1 ) として示す。

【 0 0 1 6 】

【 数 1 】

$$FOM = \frac{J_c}{V_F \cdot e_{rr} \cdot C} \quad (1)$$

20

ここで、 $J_c$  は定格電流密度 ( $A / cm^2$ )、 $V_F$  は定常損失 (DC 損失)、 $e_{rr}$  はスイッチング損失である。これら  $J_c$ 、 $V_F$  及び  $e_{rr}$  は、電気的な特性を示す。また  $C$  は半導体チップコストまたは半導体モジュールコストを示す。式 ( 1 ) から判るように、F O M は、電気的な性能を示す項 {  $J_c / (V_F \cdot e_{rr})$  } とコストを示す項 {  $1 / C$  } の積として定められる。

【 0 0 1 7 】

図 1 は、式 ( 1 ) で示した F O M をインバータに対して適用した結果の一例を示すものである。

【 0 0 1 8 】

図 1 において、1 は用途であり対象製品を示し、ここではインバータとしている。2 は対象製品において適用される基板の種類を示し、ここではシリコン ( S i ) 基板 2 a と炭化シリコン ( S i C ) 基板 2 b を対象にしている。シリコン基板は、広く流通している基板である。一方、炭化シリコン基板は、次世代として期待されている基板である。式 ( 1 ) で示した F O M は、このような基板材料の選択の際に利用価値が高い。3 は電気特性の 1 つである定格電流密度  $J_c$  ( $A / cm^2$ ) である。4 は電気特性の 1 つである定常損失  $V_F$  であり、DC 損失である。5 は電気特性の 1 つであるスイッチング損失  $e_{rr}$  である。6 は半導体チップコスト  $C$  を示している。7 は半導体チップに対する F O M を示している。同様に、8 は半導体チップを搭載した半導体モジュールコスト  $C$  を示しており、また 9 は半導体モジュールに対する F O M を示している。

30

【 0 0 1 9 】

定格電流密度 3 は絶対値で示している。通常、シリコン基板 2 a の定格電流密度 3 は  $200 \sim 250 A / cm^2$  であり、炭化シリコン基板 2 b の定格電流密度 3 は  $300 \sim 1000 A / cm^2$  である。図 1 では、定格電流密度 3 を、シリコン基板 2 a の場合で  $200 A / cm^2$  とし、炭化シリコン基板 2 b の場合で  $1000 A / cm^2$  としている。

40

【 0 0 2 0 】

定常損失 4 は相対値で示している。ここではシリコン基板 2 a の定常損失 4 を 1 とする。この時、炭化シリコン基板 2 b の定常損失 4 は  $0.6 \sim 0.8$  となる。図 1 では、炭化シリコン基板 2 b の定常損失 4 を  $0.8$  としている。

【 0 0 2 1 】

スイッチング損失 5 は相対値で示している。ここではシリコン基板 2 a のスイッチング

50

損失 5 を 1 とする。この時、炭化シリコン基板 2 b のスイッチング損失 5 は 0 . 1 ~ 0 . 3 となる。図 1 では、炭化シリコン基板 2 b のスイッチング損失 5 を 0 . 1 としている。

【 0 0 2 2 】

半導体チップコスト 6 は相対値で示している。ここではシリコン基板 2 a の半導体チップコスト 6 を 1 とする。この時の炭化シリコン基板 2 b の半導体チップコスト 6 は 1 0 0 から 1 の範囲で示している。図 1 では、炭化シリコン基板 2 b の半導体チップコスト 6 を 1 0 0、1 0、5 および 1 として示しているが、実際には連続した値となる。ここで、炭化シリコン基板 2 b の半導体チップコスト 6 である 1 0 0 は、半導体チップコストが、シリコン基板 2 a の半導体チップコスト 6 より 1 0 0 倍高いことを示す。また炭化シリコン基板 2 b の半導体チップコスト 6 である 1 は、半導体チップコストが、シリコン基板 2 a の半導体チップコスト 6 と同等であることを示す。炭化シリコン基板 2 b の半導体チップコスト 6 の低下は、例えば、材料調達コストの低下や製造技術の進歩による製造コストの低下により達成される。

10

【 0 0 2 3 】

半導体チップの F O M 7 は、式 ( 1 ) に、シリコン基板 2 a および炭化シリコン基板 2 b における定格電流密度 3、定常損失 4、スイッチング損失 5 および半導体チップコスト 6 の値を代入して計算した値である。

【 0 0 2 4 】

半導体モジュールコスト 8 は、半導体チップコスト 6 に 2 を加算したものである。半導体モジュールは、半導体チップを搭載しパッケージにして製造される。そのため半導体モジュールコスト 8 は、この半導体モジュールの製造に係るコストの割合を半導体チップコスト 6 に加えたものとなる。ここでは、シリコン基板 2 a の半導体モジュールコスト 8 は、半導体チップコスト 6 に 2 を加算し 3 で示し、炭化シリコン基板 2 b の半導体モジュールコスト 8 は、半導体チップコスト 6 に 2 を加算し 1 0 2 から 3 の範囲で示している。図 1 では、炭化シリコン基板 2 b の半導体モジュールコスト 8 を 1 0 2、1 2、7 および 3 として示しているが、実際には連続した値となる。炭化シリコン基板 2 b の半導体モジュールコスト 8 の低下は、例えば、材料調達コストの低下や製造技術の進歩による製造コストの低下により達成される。

20

【 0 0 2 5 】

半導体モジュールの F O M 9 は、式 ( 1 ) に、シリコン基板 2 a および炭化シリコン基板 2 b における定格電流密度 3、定常損失 4、スイッチング損失 5 および半導体モジュールコスト 8 の値を代入して計算した値である。

30

【 0 0 2 6 】

図 1 に示した半導体チップの F O M 7 および半導体モジュールの F O M 9 は次のように用いる。

【 0 0 2 7 】

まず、半導体チップの F O M 7 について説明する。

半導体チップの F O M 7 は、その値が大きい方が有利となる。即ち、半導体チップの F O M 7 の数値が大きい方が、性能を満足することはもちろんのこと、低コスト化が図られた製品を市場に投入出来ることになるため、市場での競争力向上に繋がり商業的に有利となる。

40

【 0 0 2 8 】

図 1 を見ると、シリコン基板 2 a を用いた場合の半導体チップの F O M 7 は 2 0 0 である。これに対し、炭化シリコン基板 2 a を用いた場合の半導体チップの F O M は、まず半導体チップコスト 6 が 1 0 0 の場合では 1 2 5 となり、これはシリコン基板 2 a を用いた場合の半導体チップの F O M 7 の 2 0 0 より小さいので、この場合は、基板 2 としてシリコン基板 2 a を用いて半導体チップを製造した方が、低コスト化が図られた半導体チップを得ることができる。次に、炭化シリコン基板 2 b の半導体チップコスト 6 が 1 0 の場合は、半導体チップの F O M 7 が 1 2 5 0 となり、これはシリコン基板 2 a を用いた場合の半導体チップの F O M 7 の 2 0 0 より大きいので、この場合は、基板 2 として炭化シリコ

50

ン基板 2 b を用いて半導体チップを製造した方が、低コスト化が図られた半導体チップを得ることができる。同様に、炭化シリコン基板 2 b の半導体チップコスト 6 が 5 および 1 の場合も、炭化シリコン基板 2 b を用いて半導体チップを製造した方が、低コスト化が図られた半導体チップを得ることができる。なお、炭化シリコン基板 2 b を用いた場合の半導体チップコスト 6 が 6 2 . 5 の場合に、半導体チップの F O M 7 がシリコン基板 2 a を用いた場合の半導体チップの F O M 7 と同じ 2 0 0 となる。よって、炭化シリコン基板 2 b における半導体チップコスト 6 である 6 2 . 5 が、シリコン基板 2 a または炭化シリコン基板 2 b を使用する際の基準値となる。

#### 【 0 0 2 9 】

実際の製造においては、半導体チップを製造する際の基板 2 の選別に使用できる。例えば、シリコン基板 2 a または炭化シリコン基板 2 b の何れを用いても、所定の性能を満足する半導体チップが得られるとすれば、製造にかかるコストが安いほうが、半導体チップのコストを低減することができる。この場合、シリコン基板 2 a を用いた場合の半導体チップの F O M 7 と炭化シリコン基板 2 b を用いた場合の半導体チップの F O M 7 とを比較し、望ましい基板 2 として、半導体チップの F O M 7 の大きい方の基板 2 を用いて半導体チップを製造すれば、低コスト化が図られた半導体チップを得ることができる。よって、半導体チップを製造する過程において、シリコン基板 2 a を用いた場合の半導体チップの F O M 7 と炭化シリコン基板 2 b を用いた場合の半導体チップの F O M 7 とを比較する比較工程と、この比較工程により、所望の基板 2 として半導体チップの F O M 7 が大きい基板 2 を選別する選別工程と、この選別工程により選別された基板 2 に、半導体素子、例えば、ダイオード、M O S F E T、I G B T ( Insulated Gate Bipolar Transistor ) などのダイオード素子やトランジスタ素子を形成する素子形成工程を備えることにより半導体チップを製造すれば、性能を満足することに加え、低コスト化が図られた半導体チップを得ることができる。このことは市場での競争力向上に繋がり商業的に有利となる。

#### 【 0 0 3 0 】

次に、半導体モジュールの F O M 9 について説明する。

半導体モジュールの F O M 9 は、半導体チップの F O M 7 と同様に、その値が大きい方が有利となる。即ち、半導体モジュールの F O M 9 の数値が大きい方が、性能を満足することはもちろんのこと、低コスト化が図られた製品を市場に投入出来ることになるため、市場での競争力向上に繋がり商業的に有利となる。

#### 【 0 0 3 1 】

図 1 を見ると、シリコン基板 2 a を用いた場合の半導体モジュールの F O M 9 は 6 7 である。これに対し、炭化シリコン基板 2 b を用いた場合の半導体モジュールの F O M 9 は、半導体モジュールコスト 8 が 1 0 2 の場合では 1 2 3 となり、これはシリコン基板 2 a を用いた場合の半導体モジュールの F O M 9 の 6 7 より大きいので、基板 2 として炭化シリコン基板 2 b を用いて半導体モジュールを製造した方が、低コスト化が図られた半導体モジュールを得ることができる。同様に、炭化シリコン基板 2 b の半導体モジュールコスト 8 が 1 2 , 7 および 3 の場合も、炭化シリコン基板 2 b を用いて半導体モジュールを製造した方が、低コスト化が図られた半導体モジュールを得ることができる。なお、炭化シリコン基板 2 b を用いた場合の半導体モジュールコスト 8 が 1 8 6 . 5 7 の場合に、半導体モジュールの F O M 9 がシリコン基板 2 a を用いた場合の半導体モジュールの F O M 9 とほぼ同じ 6 7 となる。よって、炭化シリコン基板 2 b における半導体モジュールコスト 8 である 1 8 6 . 5 7 が、シリコン基板 2 a または炭化シリコン基板 2 b を使用する際の基準値となる。なお炭化シリコン基板 2 b における半導体モジュールコスト 8 が 1 8 6 . 5 7 の場合には、半導体チップコスト 6 は 1 8 4 . 5 7 となるので、半導体モジュールを製造する場合には、半導体チップコスト 6 はほぼ 1 8 4 . 5 7 まで許容される。

#### 【 0 0 3 2 】

実際の製造においては、半導体モジュールを製造する際の基板 2 の選別に使用できる。例えば、シリコン基板 2 a または炭化シリコン基板 2 b の何れを用いても、所定の性能を満足する半導体モジュールが得られるとすれば、製造にかかるコストが安いほうが、半導

体モジュールのコストを低減することができる。この場合、シリコン基板 2 a を用いた場合の半導体モジュールの F O M 9 と炭化シリコン基板 2 b を用いた場合の半導体モジュールの F O M 9 とを比較し、望ましい基板 2 として、半導体モジュールの F O M 9 の大きい方の基板 2 を用いて半導体モジュールを製造すれば、低コスト化が図られた半導体モジュールを得ることができる。よって、半導体モジュールを製造する過程において、シリコン基板 2 a を用いた場合の半導体モジュールの F O M 9 と炭化シリコン基板 2 b を用いた場合の半導体モジュールの F O M 9 とを比較する比較工程と、この比較工程により、所望の基板 2 として半導体モジュールの F O M 9 が大きい基板 2 を選別する選別工程とを備えて、この選別工程により選別された基板 2 に、ダイオード、M O S F E T、I G B T などの半導体素子を形成して半導体チップを製造し、この半導体素子を形成する素子形成工程を経て得られた複数の半導体チップを搭載し結線したのち、パッケージに収納するパッケージ工程を用いて半導体モジュールを製造すれば、性能を満足することに加え、低コスト化が図られた半導体モジュールを得ることができる。このことは市場での競争力向上に繋がり商業的に有利となる。

10

#### 【 0 0 3 3 】

なお、この実施の形態においては、対象製品としてインバータを例にして説明をしたが、当然のことながら、インバータに限定されるものではなく、例えば、コンバータ、P F C ( Power Factor Control ) 回路、ブレーキ回路などの他の製品にも適用可能である。

#### 【 0 0 3 4 】

なお、この実施の形態においては、シリコン基板 2 a 又は炭化シリコン基板 2 b を例にして説明をしたが、当然のことながら、これらの基板に限定されるものではなく、考える全ての基板について、この発明は適用可能である。

20

#### 【 0 0 3 5 】

また、この実施の形態においては、電気的な特性を示す定格電流密度 3、定常損失 4 およびスイッチング損失 5 に対して所定の数値を用いて説明したが、これらの数値は固定値ではなく所定の範囲を有するものであり、当然のことながら、これらの数値は所定の範囲内で適宜選択されるものである。

#### 【 図面の簡単な説明 】

#### 【 0 0 3 6 】

【 図 1 】この発明の実施の形態に係る半導体チップおよび半導体モジュールの F O M をインバータに対して適用した結果の一例を示す説明図である。

30

#### 【 符号の説明 】

#### 【 0 0 3 7 】

1 用途 ( 対象製品 )、2 基板、2 a シリコン基板、2 b 炭化シリコン基板、3 定格電流密度、4 定常損失、5 スwitching 損失、6 半導体チップコスト、7 半導体チップの F O M、8 半導体モジュールコスト、9 半導体モジュールの F O M

【図 1】

1 用途	2 基板	3 J <sub>c</sub> 定格電流密度 (A/cm <sup>2</sup> )		4 V <sub>F</sub> 定常損失 (DC損失)		5 e <sub>rr</sub> スイッチング 損失		6 C 半導体 チップコスト		7 FOM 半導体 チップ		8 C 半導体 モジュール コスト		9 FOM 半導体 モジュール	
		J <sub>c</sub>		V <sub>F</sub>		e <sub>rr</sub>		C		FOM		C		FOM	
2a イン バータ	シリコン (Si)	200		1		1		1		200		3		67	
		1000		0.8		0.1		100		125		102		123	
		1000		0.8		0.1		10		1250		12		1042	
2b イン バータ	炭化シリコン (SiC)	1000		0.8		0.1		5		2500		7		1786	
		1000		0.8		0.1		1		12500		3		4167	



---

フロントページの続き

- (56)参考文献 特開平10-341035(JP,A)  
特表2008-525298(JP,A)  
国際公開第2006/071326(WO,A1)  
特表2009-531837(JP,A)  
国際公開第2008/054845(WO,A1)  
特表2009-545178(JP,A)  
国際公開第2008/014339(WO,A1)  
特開2007-81436(JP,A)  
特開2008-61404(JP,A)  
特開2008-306872(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 21/00