

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5500051号
(P5500051)

(45) 発行日 平成26年5月21日(2014.5.21)

(24) 登録日 平成26年3月20日(2014.3.20)

(51) Int.Cl.

F I

G 1 1 C 11/22 (2006.01)

G 1 1 C 11/22 5 0 1 P

請求項の数 10 (全 30 頁)

| | | | |
|-----------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2010-259854 (P2010-259854) | (73) 特許権者 | 308014341 |
| (22) 出願日 | 平成22年11月22日(2010.11.22) | | 富士通セミコンダクター株式会社 |
| (65) 公開番号 | 特開2012-113768 (P2012-113768A) | | 神奈川県横浜市港北区新横浜二丁目10番 |
| (43) 公開日 | 平成24年6月14日(2012.6.14) | | 23 |
| 審査請求日 | 平成25年7月31日(2013.7.31) | (74) 代理人 | 100094525 |
| | | | 弁理士 土井 健二 |
| | | (74) 代理人 | 100094514 |
| | | | 弁理士 林 恒徳 |
| | | (72) 発明者 | 川嶋 将一郎 |
| | | | 神奈川県横浜市港北区新横浜二丁目10番 |
| | | | 23 富士通セミコンダクター株式会社内 |
| | | 審査官 | 滝谷 亮一 |

最終頁に続く

(54) 【発明の名称】 強誘電体メモリ

(57) 【特許請求の範囲】

【請求項1】

複数のワード線と、
前記ワード線に交差する複数のビット線と、
複数のプレート線と、
前記ワード線とビット線との交差位置に配置され、前記ワード線とビット線に接続されたアクセスゲートと、前記アクセスゲートと前記プレート線との間に設けられた強誘電体キャパシタとをそれぞれ有する複数のメモリセルと、
前記強誘電体キャパシタから前記ビット線に出力される電荷量に応じて記憶データをラッチするラッチアンプと、
書き込みデータまたは前記ラッチした記憶データに応じて前記ビット線を駆動するライトアンプとを有し、
アクティブ期間の開始時まで前記ビット線が基準電位にプリチャージされ、
アクティブ期間では、第一の時間で、入力アドレスに応じて選択ワード線を駆動し、前記プレート線を基準電位から高電位レベルに駆動して前記強誘電体キャパシタから電荷を前記選択ビット線に出力させ、その後第二の時間で、書き込みデータにかかわらず選択ビット線を基準電位にして前記選択メモリセルに第一のデータを書き込み、その後第三の時間で、前記プレート線を前記基準電位に駆動し前記選択ビット線と共に前記基準電位に維持し、
前記アクティブ期間後のプリチャージ期間では、前記ライトアンプが書き込みデータま

10

20

たは前記ラッチした記憶データにしたがって前記選択ビット線を前記基準電位から高電位レベルに駆動して前記選択メモリセルに第二のデータを書き込む強誘電体メモリ。

【請求項 2】

請求項 1 において、

前記アクティブ期間では、前記第一の時間で、前記強誘電体キャパシタから前記ビット線に出力される電荷量に応じて選択ビット線の電位が上昇し、前記第二の時間で、前記ラッチアンプが前記選択ビット線の電位にしたがって前記記憶データをラッチすると共に、前記ラッチアンプを前記選択ビット線から切り離して当該選択ビット線を前記基準電位に駆動する強誘電体メモリ。

【請求項 3】

請求項 2 において、

前記メモリセルは、一对の前記アクセスゲートと、一对の前記強誘電体キャパシタとを有し、

前記第二の時間で、当該一对の選択ビット線を共に前記基準電位に駆動して、前記一对の強誘電体キャパシタに前記第一のデータを書き込み、

前記プリチャージ期間では、前記ライトアンプが前記一对の選択ビット線の一方を前記基準電位から前記高電位レベルに駆動して前記選択メモリセル内の一方の強誘電体キャパシタに前記第二のデータを書き込む強誘電体メモリ。

【請求項 4】

請求項 2 において、

前記メモリセルは、1つの前記アクセスゲートと、1つの前記強誘電体キャパシタとを有し、

前記第二の時間で、前記書き込みデータまたは前記ラッチした記憶データにかかわらず、前記選択ビット線を前記基準電位に駆動して、前記選択メモリセル内の前記強誘電体キャパシタに前記第一のデータを書き込み、

前記プリチャージ期間では、書き込みデータまたは前記ラッチした記憶データが前記第二のデータの場合に、前記ライトアンプが前記前記選択ビット線を前記基準電位から高電位レベルに駆動する強誘電体メモリ。

【請求項 5】

請求項 1 において、

さらに、前記第一の時間で、前記選択ビット線に出力された電荷量を電圧に変換すると共に前記選択ビット線を前記基準電位に維持する電荷電圧変換アンプ (QVA) を有し、

前記ラッチアンプは、前記第二の時間で、前記電荷電圧変換アンプが変換した電圧をセンスして前記記憶データをラッチする強誘電体メモリ。

【請求項 6】

請求項 5 において、

前記メモリセルは、一对の前記アクセスゲートと、一对の前記強誘電体キャパシタとを有し、

前記第二の時間で、当該一对の選択ビット線を共に前記基準電位に維持して、前記一对の強誘電体キャパシタに前記第一のデータを書き込み、

前記プリチャージ期間では、前記ライトアンプが前記一对の選択ビット線の一方を前記基準電位から前記高電位レベルに駆動して前記選択メモリセル内の一方の強誘電体キャパシタに前記第二のデータを書き込む強誘電体メモリ。

【請求項 7】

請求項 5 において、

前記メモリセルは、1つの前記アクセスゲートと、1つの前記強誘電体キャパシタとを有し、

前記第二の時間で、前記選択ビット線を前記基準電位に維持して、前記書き込みデータまたは前記ラッチした記憶データにかかわらず、前記選択メモリセル内の前記強誘電体キャパシタに前記第一のデータを書き込み、

10

20

30

40

50

前記プリチャージ期間では、書き込みデータまたは前記ラッチした記憶データが前記第二のデータの場合に、前記ライトアンプが前記前記選択ビット線を前記基準電位から高電位レベルに駆動する強誘電体メモリ。

【請求項 8】

請求項 2 または 5 において、
前記ラッチアンプ及びライトアンプは、前記複数のビット線に共通に設けられ、
前記第一の時間で、前記選択ビット線が前記ラッチアンプに接続され、
前記プリチャージ期間で、前記選択ビット線が前記ライトアンプに接続される強誘電体メモリ。

【請求項 9】

複数のワード線と、
前記ワード線に交差する複数のビット線対と、
複数のプレート線と、
前記ワード線とビット線対との交差位置に配置され、前記ワード線とビット線対にそれぞれ接続された一対のアクセスゲートと、前記一対のアクセスゲートと前記プレート線との間にそれぞれ設けられた一対の強誘電体キャパシタとをそれぞれ有する複数のメモリセルと、

前記強誘電体キャパシタから前記ビット線対に出力される電荷量に応じて記憶データをラッチするラッチアンプと、

書き込みデータまたは前記ラッチした記憶データに応じて前記ビット線対を駆動するライトアンプとを有し、

アクティブ期間の開始時まで前記ビット線対が基準電位にプリチャージされ、
アクティブ期間では、第一の時間で、入力アドレスに応じて選択ワード線を駆動し、前記プレート線を基準電位から高電位レベルに駆動して前記強誘電体キャパシタから電荷を前記選択ビット線対に出力させ、その後第二の時間で、選択ビット線対を共に基準電位にして前記選択メモリセルの前記一対の強誘電体キャパシタに第一のデータを書き込み、その後第三の時間で、前記プレート線を前記基準電位に駆動し前記選択ビット線対と共に前記基準電位に維持し、

前記アクティブ期間後のプリチャージ期間では、前記ライトアンプが書き込みデータまたは前記ラッチした記憶データにしたがって前記選択ビット線対のいずれか一方を前記基準電位から高電位レベルに駆動して前記選択メモリセルの対応する強誘電体キャパシタに第二のデータを書き込む強誘電体メモリ。

【請求項 10】

複数のワード線と、
前記ワード線に交差する複数のビット線と、
複数のプレート線と、
前記ワード線とビット線との交差位置に配置され、前記ワード線とビット線に接続されたアクセスゲートと、前記アクセスゲートと前記プレート線との間に設けられた強誘電体キャパシタとをそれぞれ有する複数のメモリセルと、

前記強誘電体キャパシタから前記ビット線に出力される電荷量に応じて記憶データをラッチするラッチアンプと、

書き込みデータまたは前記ラッチした記憶データに応じて前記ビット線を駆動するライトアンプとを有する強誘電体メモリの書き込み方法であって、

アクティブ期間の開始時まで前記ビット線を基準電位にプリチャージし、
アクティブ期間では、第一の時間で、入力アドレスに応じて選択ワード線を駆動し、前記プレート線を基準電位から高電位レベルに駆動して前記強誘電体キャパシタから電荷を前記選択ビット線に出力させ、その後第二の時間で、書き込みデータにかかわらず選択ビット線を基準電位にして前記選択メモリセルに第一のデータを書き込み、その後第三の時間で、前記プレート線を前記基準電位に駆動し前記選択ビット線と共に前記基準電位に維持し、

10

20

30

40

50

前記アクティブ期間後のプリチャージ期間では、前記ライトアンプが書き込みデータまたは前記ラッチした記憶データにしたがって前記選択ビット線を前記基準電位から高電位レベルに駆動して前記選択メモリセルに第二のデータを書き込む強誘電体メモリの書き込み方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電体メモリに関する。

【背景技術】

【0002】

ランダムアクセスメモリ(RAM)は、同期型と非同期型とに分類される。同期型RAMは、例えばチップセレクト/CSの立ち下げに 응답して、アドレスと書き込みデータをラッチし、そのアドレスにアクセスしてラッチしたデータの書き込みを実行する。

【0003】

一方、非同期型RAMは、例えばチップセレクト/CSの立ち下げに 응답してアドレスをラッチし、アクセスサイクルが開始され、チップセレクト/CSの立ち上げに 응답して書き込みデータをラッチし、そのデータの書き込みを実行する。この非同期型RAMの動作は、旧世代のCPUの演算結果のデータがクロックの後半に出力されることに整合させたものである。この非同期型RAMの書き込み方式をディレイドライト方式と称する。

【0004】

強誘電体メモリ(FeRAM)にも、同期型と非同期型とがある。強誘電体メモリは、メモリセルがアクセスゲートと強誘電体キャパシタとで構成され、強誘電体キャパシタの分極方向でデータを保持する。そして、読み出し時に強誘電体キャパシタに接続されているプレート線をHレベルに駆動したとき、強誘電体キャパシタの分極方向に変化が生じないでビット線に出力される電荷量が少ないか(例えばデータ0)、分極方向に変化が生じて電荷量が多いか(例えばデータ1)に応じて、記憶データを読み出す。

【0005】

さらに、強誘電体メモリは、その読み出し方式について、HiZ方式とBGS(Bit-Line GND Sense)方式とに分類される。HiZ方式では、読み出し動作にて、ビット線をプリチャージレベルでフローティングにした状態でワード線を選択してアクセスゲートを導通させ、プレート線をHレベルに駆動することでメモリセル内の強誘電体キャパシタが出力する電荷量に応じてビット線電位を変化させる。そして、そのビット線電位をラッチアンプで増幅して電源VDDレベルかグランドGNDレベルにする。この増幅されたビット線の電位が読み出しデータとして出力される。再書き込みは、ビット線電位を保ったままプレート線をHレベルとLレベルに駆動して行われる。

【0006】

また、HiZ方式の場合、書き込み動作では、ラッチアンプがビット線電位を増幅した後に、ライトアンプが書き込みデータに応じてビット線電位を電源VDDレベルかGNDレベルに駆動し、プレート線をHレベルとLレベルに駆動して、強誘電体キャパシタに分極状態を形成することでデータ0または1を書き込む。ビット線がHレベルでプレート線がLレベルならデータ1が、ビット線がLレベルでプレート線がHレベルならデータ0がそれぞれ書き込まれる。

【0007】

BGS方式では、ビット線がプリアンプであるQVアンプによりGNDレベルに固定され、ワード線とプレート線を駆動した時に出力される大小の電荷量を、QVアンプが電圧差に変換し、ラッチアンプが電源レベルまたはGNDレベルに増幅する。再書き込みは、ライトアンプによりビット線を駆動しプレート線をHレベルとLレベルに駆動して行われる。書き込み動作も、再書き込み動作と同等である。

【先行技術文献】

【特許文献】

10

20

30

40

50

【 0 0 0 8 】

【特許文献 1】特開 2 0 0 2 - 1 9 7 8 5 5 号公報

【特許文献 2】特開平 9 - 1 2 1 0 3 2 号公報

【特許文献 3】特開 2 0 0 9 - 1 2 3 3 2 8 号公報

【特許文献 4】特開 2 0 0 1 - 3 5 8 3 1 2 号公報

【特許文献 5】特許第 4 0 3 1 9 0 4 号公報

【特許文献 6】特許第 4 1 5 7 5 2 8 号公報

【特許文献 7】特許第 4 1 8 5 9 6 9 号公報

【特許文献 8】特開 2 0 0 2 - 1 3 3 8 5 7 号公報

【特許文献 9】特開 2 0 0 5 - 2 9 3 8 1 8 号公報

【特許文献 10】特開 2 0 0 7 - 2 5 7 6 9 2 号公報

【特許文献 11】特開 2 0 0 8 - 5 9 6 7 6 号公報

【特許文献 12】特開 2 0 0 8 - 2 3 4 8 2 9 号公報

【非特許文献】

【 0 0 0 9 】

【非特許文献 1】S.Kawashima, et.,al. "Bitline GND sensing technique for low-voltage operation FeRAM," IEEE J.SC, Vol. 37, no.5, pp.592-598, May. 2002

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 0 】

ディレイドライト式の場合、HiZ方式もBGS方式も、ワード線選択、プレート線駆動、センスアンプ動作などによりビット線レベルが電源レベルまたはGNDレベルにされ、プレート線がHレベルにされたままの状態が継続した後に、書き込みデータがラッチされて書き込み動作が行われる。アクティブ期間が長くなりこの待機状態が長時間継続した場合、半選択セルのアクセスゲートの閾値電圧が製造ばらつきにより低くなっていると、Hレベルの選択プレート線に共通に接続されビット線がLレベルの半選択セル内のノード、及び、電源レベルのビット線に共通に接続されプレート線がLレベルの半選択セル内のノードは、アクセスゲートのリークによりビット線レベルになり、強誘電体キャパシタの分極状態が反転される誤り書き込みが生じる。

【 0 0 1 1 】

そこで、本発明の目的は、上記の誤り書き込みを防止した強誘電体メモリを提供することにある。

【課題を解決するための手段】

【 0 0 1 2 】

強誘電体メモリの第1の側面は、複数のワード線と、
前記ワード線に交差する複数のビット線と、
複数のプレート線と、
前記ワード線とビット線との交差位置に配置され、前記ワード線とビット線に接続されたアクセスゲートと、前記アクセスゲートと前記プレート線との間に設けられた強誘電体キャパシタとをそれぞれ有する複数のメモリセルと、

前記強誘電体キャパシタから前記ビット線に出力される電荷量に応じて記憶データをラッチするラッチアンプと、

書き込みデータまたは前記ラッチした記憶データに応じて前記ビット線を駆動するライトアンプとを有し、

アクティブ期間の開始時まで前記ビット線が基準電位にプリチャージされ、

アクティブ期間では、第一の時間で、入力アドレスに応じて選択ワード線を駆動し、前記プレート線を基準電位から高電位レベルに駆動して前記強誘電体キャパシタから電荷を前記選択ビット線に出力させ、その後第二の時間で、書き込みデータにかかわらず選択ビット線を基準電位にして前記選択メモリセルに第一のデータを書き込み、その後第三の時間で、前記プレート線を前記基準電位に駆動し前記選択ビット線と共に前記基準電位に維

10

20

30

40

50

持し、

前記アクティブ期間後のプリチャージ期間では、前記ライトアンプが書き込みデータまたは前記ラッチした記憶データにしたがって前記選択ビット線を前記基準電位から高電位レベルに駆動して前記選択メモリセルに第二のデータを書き込む。

【発明の効果】

【0013】

第1の側面によれば、半選択セルでの誤書き込みが防止できる。

【図面の簡単な説明】

【0014】

【図1】本実施の形態における強誘電体メモリのメモリセルアレイを示す図である。 10

【図2】HiZ方式のFeRAMのコラムトランスファークロウとコラムセレクトおよびデータバスとそれに接続されるラッチアンプ、ライトアンプの構成を示す図である。

【図3】本実施の形態におけるディレイドライト式HiZリード方式のFeRAMの書き込み動作を示す図である。

【図4】図3(b)にセンス系とライト系動作を含めた詳細波形図である。

【図5】図3(c)にセンス系とライト系動作を含めた詳細波形図である。

【図6】ディレイドライト式HiZ方式の短いアクティブ期間の場合の波形図である。

【図7】図6(b)の問題のあるHiZ方式ディレイドライトのショートサイクルの詳細波形図である。

【図8】図6(c)の本実施の形態におけるHiZ方式ディレイドライトのショートサイクルの詳細波形図である。 20

【図9】第二の実施の形態におけるBGS方式のFeRAMのコラムトランスファークロウとコラムセレクトおよびデータバスとそれに接続されるラッチアンプ、ライトアンプの構成を示す図である。

【図10】BGS方式のFeRAMの同期式書き込み動作の波形図である。

【図11】第二の実施の形態におけるBGS方式のディレイドライト方式の波形図である。

【図12】BGS方式同期式書き込みの詳細波形図である。

【図13】本実施の形態におけるBGS方式ディレイドライトの詳細波形図である。

【図14】本実施の形態におけるメモリセルアレイの別の例を示す図である。

【図15】本実施の形態におけるメモリセルアレイの別の例を示す図である。 30

【図16】本実施の形態におけるメモリセルアレイの別の例を示す図である。

【図17】本実施の形態におけるメモリセルアレイの別の例を示す図である。

【図18】本実施の形態におけるメモリセルアレイの別の例を示す図である。

【発明を実施するための形態】

【0015】

図1は、本実施の形態における強誘電体メモリのメモリセルアレイを示す図である。このメモリセルアレイは、HiZ方式およびBGS方式の両方に適用され、この例では、メモリセルは2つのアクセスゲートと2つの強誘電体キャパシタを有する2トランジスタ2キャパシタ(2T2C)の例である。

【0016】 40

メモリセルアレイは、行方向に延在する複数のワード線WL0-WLmと、列方向に延在する複数のビット線対BL0、xBL0-BLn、xBLnと、それらの交差位置に設けられた複数のメモリセルMC00-MCnmとを有する。メモリセルMC00は、ゲートがワード線WL0に接続されたNMOSFETからなる一対のアクセスゲートQ00、xQ00と、それらに接続された一対の強誘電体キャパシタC00、xC00とを有する。アクセスゲートQ00、xQ00は、ワード線WL0が電源VDDレベルであるHレベルに駆動されたときビット線対BL0、xBL0と強誘電体キャパシタC00、xC00間を接続する。

【0017】

図1の例では、プレート線PL0-PLnがビット線対と平行に列方向に延在して設けられ、各メモリセル内の強誘電体キャパシタの一方の電極に接続される。後述するとおり、プレ 50

ート線は行方向に延在して配置されていてもよい。

【 0 0 1 8 】

複数のワード線WL0-WLmは、ワード線ドライバ回路WLDにより例えばGNDレベルのLレベルと、電源VDDレベルのHレベルとに駆動され、さらに書き込み動作時に電源レベルより高い昇圧レベルにも駆動される。複数のプレート線PL0-PLnは、プレート線ドライバ回路PLDにより例えばGNDレベルのLレベルと、電源VDDレベルのHレベルとに駆動される。

【 0 0 1 9 】

また、メモリセルMC00の内部ノードn00,xn00は、アクセスゲートQ00,xQ00と強誘電体キャパシタC00,xC00との接続ノードである。

【 0 0 2 0 】

図 1 において、ワード線WL0を選択すると、メモリセルMC00のアクセスゲートQ00,xQ00がONし、ビット線BL0,xBL0と強誘電体キャパシタC00,xC00とプレート線PL0とが接続がされる。プレート線PL0を駆動し、ビット線BL0,xBL0とプレート線PL0間に正負の電位差を与えることで、強誘電体キャパシタC00,xC00に正または負の電位差を与え2つの分極方向を制御する。

【 0 0 2 1 】

プレート線PL0につながる他の半選択セルMC01,MC0mでは、ワード線WL1~WLmが非選択のGNDレベルのためアクセスゲートQ01~Q0m,xQ01~xQ0mはOFFである。したがって、プレート線PL0の電位が上昇しても、フローティングノードである内部ノードn01~n0m,xn01~xn0mはキャパシタの容量結合で上昇し、強誘電体キャパシタC01~C0m,xC01~xC0mは電極間に電位差を生ぜず、これらの半選択メモリセルではその分極方向すなわち記憶データは保持される。

【 0 0 2 2 】

一方、選択ワード線WL0につながる他の半選択セルMC10,MCn0では、アクセスゲートQ10~Qn0,xQ10~xQn0はONするが、プレート線PL1~PLnおよびビット線対BL1~BLn,xBL1~xBLnの双方をGNDレベルに固定することで強誘電体キャパシタC10~Cn0,xC10~xCn0に電位差を与えず、これらのメモリセルでもその分極方向すなわち記憶データは保持される。

【 0 0 2 3 】

[HiZ方式の実施の形態]

図 2 は、HiZ方式のFeRAMのコラムトランスファークロウとコラムセレクトおよびデータバスとそれに接続されるラッチアンプ、ライトアンプの構成を示す図である。

【 0 0 2 4 】

ビット線BL0~BLn,xBL0~xBLnは、図 1 のメモリセルアレイのビット線につながる。コラムセレクトCSで選択された、たとえばコラム選択信号COL.0において、PMOSFET, NMOSFETの並列トランスファークロウからなるバイラテラルゲートTB0,xTB0がONし、ビット線BL0とデータバスBUS, ビット線xBL0とデータバスxBUSがそれぞれ接続される。またビット線対BL0,xBL0をGNDレベルにプリチャージするNMOSFET Qpd0とxQpd0は、選択コラムではOFFとなる。選択コラムのビット線をGNDレベルにプリチャージするために、データバスBUS, xBUSにはバスグランド信号 busgndによりON,OFF制御されるNMOSFET QbpdとxQbpsが接続されている。

【 0 0 2 5 】

一方、非選択コラムではバイラテラルゲートTB1~TBn およびxTB1~xTBn はOFF になり、ビット線対BL,xBLはデータバスBUS,xBUSから切り離される。また、ビット線対BL, xBLをGNDレベルにプリチャージするNMOSFET QpdとxQpdは、非選択コラムではONとなり、非選択コラムのビット線対は全てGNDレベルに固定される。

【 0 0 2 6 】

データバスBUS,xBUSは、制御信号 read で制御されるバイラテラルゲートTrbus, xTrbusでラッチアンプLAへ接続される。

【 0 0 2 7 】

ラッチアンプLAは、制御信号 sensexと senseでON/OFFを切り替えられる。 sensex

10

20

30

40

50

= VDDレベル, sense=GNDレベルの状態では, CMOSインバータのクロスカップル回路の上下ノードxIsen, IsenをPMOSFET PonとNMOSFET Qonで電源VDDとグランドGNDから切り離し, 制御信号 readでバイラテラルゲートTrbusとxTrbusをONして, ラッチアンプ内のノードDoとデータバスBUS, およびxDoとxBUSを接続し, ビット線対に発生した電圧レベルを取り込む。

【 0 0 2 8 】

一方, sensex = GNDレベル, sense=VDDレベルに切り替えると, ラッチアンプLA内のMOSFET PonとQonがONして, ノードDo, xDoを電源VDDとグランドGNDの振幅に増幅する。制御信号 read = HレベルでデータバスBUS, xBUSと接続したままラッチアンプLAがデータバスと選択ビット線対のレベルを増幅して, READサイクルでそのままメモリセルに再書き込みを行うことも可能である。

10

【 0 0 2 9 】

ラッチアンプLAは, 正相出力をノードDoから取り出して, read時はFeRAMの出力に伝達するとともに, データを保持する。また, ライトアンプWAは, その保持データに応じてデータバス対およびビット線対を駆動してメモリセルに再書き込みを行う。

【 0 0 3 0 】

ライトアンプWAは入力セクタSelWを有し, 再書き込み時はラッチアンプLAの出力Doを選択し, 書き込みサイクル時にはデータ入力Dinを選択する。制御信号 writeにより, 正相出力WDはバイラテラルゲートTwbusでデータバスBUSに接続され, 相補出力のWDxはバイラテラルゲートxTwbusでデータバスxBUSへ接続される。

20

【 0 0 3 1 】

すべてのトランスファゲートは, 電源レベルVDD ~ グランドレベルGNDの全電位を通過させるためにバイラテラルゲートの構成となっている。

【 0 0 3 2 】

[長いアクティブ期間]

図3は, 本実施の形態におけるディレイドライト式HiZリード方式のFeRAMの書き込み動作を示す図である。特に, アクティブ期間が長い例が示されている。図3には, メモリチップへの外部の入力信号(a)と, 問題を有する書き込み動作(b)と, 本実施の形態の書き込み動作(c)とが示されている。

【 0 0 3 3 】

図3の(b)(c)には, 内部のセルアレイ内のワード線WL, プレート線PLおよび正論理のビット線BLとそれと相補の関係の負論理のビット線xBLの駆動波形が示される。図中のWL, PL, BL, xBLは, セルアレイ中で選択されるメモリセルに接続されている信号を示している。セルアレイの構成は図1のプレート線PLがビット線BLに平行な2T2C方式のメモリセルを仮定している。

30

【 0 0 3 4 】

さらに, 図4は, 図3(b)にセンス系とライト系動作を含めた詳細波形図である。また, 図5は, 図3(c)にセンス系とライト系動作を含めた詳細波形図である。以下, これらの図3, 4, 5に沿って, 問題を有するディレイドライト式HiZ方式の書き込み動作と, 本実施の形態の書き込み動作とを説明する。

40

【 0 0 3 5 】

図3において, ディレイドライトでは, チップセレクト/CSの立ち下がりのタイミングで, アドレスが入力され, その入力アドレスに基づいてメモリセルへのアクセス動作が開始され, チップセレクト/CSまたはライトイネーブル/WEの立ち上がりのいずれか早いタイミングで書き込みデータを取り込む。また, アクティブ期間はチップセレクト/CSの立ち下がりで開始し, 立ち上がりで終了する。アクティブ期間後はプリチャージ期間になる。

【 0 0 3 6 】

問題のある書き込み動作が, 図3(b), 図4に示されている。チップセレクト/CSの立ち下りのタイミングt0からFeRAMチップのアクティブ期間が開始される。時間t1でワード線W

50

Lを立ち上げ、 t_2 から t_3 でプレート線PLを立ち上げると、選択セルの強誘電体キャパシタからその分極方向に応じた量の電荷がビット線BL, xBLに流れ出す。時間 t_2 までデータが(0)であった場合、リニア容量に相当する少ない電荷が、時間 t_2 までデータが(1)であった場合、リニア容量+分極反転電荷(1→0へ反転)の多量の電荷が、それぞれビット線対BL, xBLに流れ出す。時間 t_2 までビット線対はGNDレベルにプリチャージされフローティング状態にあるので、ビット線対BL, xBLの電位は、ビット線容量とセル容量とで電荷分配された電圧に上昇する。時間 t_3 でプレート線PLの上昇が止まると、強誘電体キャパシタの反転応答時間にもよるものの、ほぼビット線の電位は安定する。図3(b)の例では、ビット線BLがビット線xBLより高く上昇している。

【0037】

10

図2に示したようにHiZ方式の回路構成では、選択されたビット線対BL, xBLは、コラムトランスファークラップゲートTB, xTBとデータバスBUS, xBUSとスイッチTrbus, xTrbusを介してラッチアンプLAに接続され、ラッチアンプLAによりビット線対の信号のセンスと増幅が行われる。つまり、図3(b)では、時間 t_5 でラッチアンプLAをONして増幅を開始すると、ビット線BL, xBLが電源電圧VDDとグランドGNDの電位になる。

【0038】

そこで、時間 t_7 でワード線WLを電源電圧VDDより閾値電圧以上高い昇圧レベルVPPにブーストし、時間 t_8 から外部書き込みデータDinに従ったライトアンプの駆動を開始する。図3(b)の例では、メモリセルの記憶データを反転する書き込みデータDinが入力され、ライトアンプWAの駆動によりビット線対BL, xBLのレベルは反転している。

20

【0039】

時間 t_9 でプレート線がPL=VDDレベルであるため、Lレベルに駆動されたビット線BL側でデータ(0)の書き込みが行われる。ここで、チップセレクト/CSの立下りから始まった第一のタイミングシーケンスは終了する。そして、長いアクティブ期間の場合、時間 $t_9 \sim t_{10}$ の間、ワード線WLが昇圧VPPレベル、プレート線PL=VDDレベル、ビット線BL=GNDレベル、xBL=VDDレベルの状態に待機状態に入る。

【0040】

この待機状態では、選択セルMC00と同じコラムにある半選択セルMC01-MC0mでは、プレート線PL=VDDレベル、ワード線WL=GNDレベルであるので、その半選択セル内のキャパシタノードn01-n0mはキャパシタによるカップリング作用で電源VDDレベルにあるべきである。しかし、閾値が $V_{th} = 0V$ 近辺のアクセスゲートQ01-Q0mがあると、そのリーク電流により、セル内のキャパシタノードn01-n0mは、ビット線BLのグランドGNDレベルへリークしていき、図中n01-n0mの一点鎖線の矢印で示した破線のように最終的にはGNDレベルまで下がる。その結果、プレート線PL=VDDレベル、キャパシタノードn01-n0m=GNDレベルとなり、強誘電体キャパシタにデータ(0)の書き込み電圧が印加され、半選択セル内の保持データが破壊される。これがHiZ方式の場合のディレイドライト式書き込みの問題点である。この問題は、プレート線PLをGNDレベルに下げてもビット線xBL=VDD側でデータ(1)の書き込み電圧が印加されるので同様に発生する。また、書き込みデータDinが記憶データと非反転のデータであっても同様に発生する。

30

【0041】

40

そして、チップセレクト/CSまたはライトイネーブル/WEのいずれか早い立ち上がりでの時間 t_{10} で書き込みデータDinが取り込まれてラッチされる。また、チップセレクト/CSの立ち上がりでアクティブ期間が終了する。そして、時間 t_{10} から第二のタイミングシーケンスが起動する。時間 t_{11} でプレート線PLを立ち下げ、プレート線PL=GND、ビット線xBL=VDDの状態に選択セル内の強誘電体キャパシタxC00がデータ(1)書き込み状態になる。そして、時間 t_{13} でビット線xBLを立ち下げ、 t_{14} でワード線WLを立ち下げ第二のタイミングシーケンスは終了する。

【0042】

上記の期間 $t_9 \sim t_{11}$ は、プレート線PL=VDDレベル、ビット線BL=GNDレベルであるのでビット線BLへのデータ(0)の書き込み期間である。また、プレート線PLがGNDレベルに

50

なる時間 t_{12} からビット線 xBL がVDDレベルである t_{13} までの期間が、ビット線 xBL へのデータ(1)の書き込み期間である。

【0043】

図3(b)のディレイドライトでは、時間 t_5 - t_7 においてビット線対が電源電圧VDDとグランドGNDとに駆動され一方のビット線 xBL のみGNDレベルであるので、プレート線 $PL=VDD$ によりビット線 xBL 側の強誘電体キャパシタだけにデータ(0)が書き込まれ、ビット線 BL 側にはデータ(0)は書き込まれていない。そのため、外部書き込みデータに応じてチップ内のライトアンプが動作してビット線 BL がGNDレベルに駆動された時間 t_9 - t_{10} において、ビット線 BL 側にデータ(0)を書き込むことが必要になる。そして、この時間 t_9 - t_{10} でのデータ(0)の書き込みを行っている時間が長くなりすぎると、前述の通り半選択セルにて記憶データが破壊されることがある。

10

【0044】

記憶データが破壊される半選択セルは、選択セルとプレート線 PL が共通であり、ワード線 WL がVDDレベルに駆動されていないセルである。したがって、プレート線 PL が行方向に設けられていても、例えばメモリセル $MC00, MC01$ らとそれに隣接する行のメモリセル $MC01, MC11$ らとでプレート線がシェアされている場合や、特許文献3, 4に記載されているプレート線が巡回型(斜め方向)に配置されている場合でも、そのような半選択セルは存在する。

【0045】

上記の半選択セルでのデータ(0)の誤書き込みの問題は、非同期型の読み出し動作においても、アクティブ期間が長くなると発生する。図3(b)と図4において、ライトイネーブル $/WE$ が立ち下がらない場合は、読み出し動作になる。その場合でも、時間 t_9 - t_{11} の間、半選択セルでは、ビット線対がVDDレベルとGNDレベルにされ、プレート線 PL がVDDレベルに維持されているので、アクセスゲートの閾値が0V近傍にあるとそのリーク動作によりGNDレベルのビット線に対応する内部ノードがGNDレベルに低下し、プレート線 PL のVDDレベルにより、データ(0)の誤書き込みが発生する。そして、時間 t_{11} でプレート線 PL が立ち下げられると、選択セルではデータ(1)の再書き込みが行われる。

20

【0046】

HiZ方式ディレイドライトの本実施の形態が、図3(c)、図5に示されている。この場合は、長いアクティブ期間の待機状態 $t_7^* \sim t_{10}$ では、 $PL=BL=xBL=GND$ レベルにされる。これにより、半選択セルでは、アクセスゲートの閾値 V_{th} が0V近傍であってもプレート線 $PL=GND$ レベル、ビット線対 $BL=xBL=GND$ レベルのため、強誘電体キャパシタの両電極間にVDD-GNDの電圧が印加されず、記憶した分極状態が反転されることはない。なお、この実施の形態でも、メモリセルアレイは図1、HiZ方式の回路構成は図2を仮定している。

30

【0047】

本実施の形態でも、図3(c)に示されるとおり、プリチャージ期間 $\sim t_0$ でビット線対がGNDレベルにプリチャージされている。そして、チップセレクト $/CS$ の立ち下がりタイミング t_0 から立ち上がりタイミング t_{10} がアクティブ期間、その後の t_{10} 以降がプリチャージ期間である。また、書き込み信号 Din (DATA)は、ライトイネーブル $/WE$ の立ち上がりエッジ t_{10} でチップ内部に取り込まれる。ライトイネーブル $/WE$ が立ち下がらない場合は読み出し動作になる。

40

【0048】

まず、図3(c)において、時間 t_0 から t_3 までは図3(b)と同じである。ただし、ビット線対にセルの電荷が出力されビット線対に電位差が生じそれがラッチアンプ LA のノード Do, xDo に伝達された後、時間 t_4 でゲート $Trbus, xTrbus$ をオフにしデータバス $BUS, BUSx$ をラッチアンプ LA から切り離す。さらに、時間 t_6 でNMOSFET Q_{bpd}, xQ_{bpd} をONさせてビット線対 BL, xBL をともにGNDレベルに引き下げる。そして、ラッチアンプ LA が読み出しDATAを判別し、保持する。これについては後で詳述する。

【0049】

また、時間 t_6 - t_7^* の間、プレート線 $PL=VDD$ レベル、両ビット線対 $BL=xBL=GND$ レベルによ

50

り、選択セル内の両側の強誘電体キャパシタにデータ(0)の書き込みが行われる。このデータ(0)の書き込みはセル内の記憶データにかかわらず行われる。そして、時間 $t7^*$ でプレート線PLをGNDレベルに引き下げ、ワード線WLはVDDレベルのまま保持した状態で、第一タイミングシーケンスは終了し、長いアクティブ期間 $t7^*-t10$ の待機状態に入る。この待機状態では、選択セル、非選択セルのビット線対BL,xBLはGNDレベルにあり、プレート線PLもGNDレベルにある。そのため、選択セルとプレート線PLをシェアするセルであって、ワード線WL=GNDレベルの半選択セルにおいて、たとえアクセスゲートの閾値が0V近傍にあっても、記憶データが破壊されることはない。さらに、ワード線WL=VDDの半選択セルでも、非選択のビット線対はBL=xBL=GND、プレート線はPL=GNDであり、その記憶データは保護される。

10

【0050】

そして、チップセレクト/CSまたはライトイネーブル/WEのいずれか早い立ち上がりタイミング $t10$ で外部の書き込みデータが取り込まれ、チップセレクト/CSの立ち下げからプリチャージ期間に入ると、第二のタイミングシーケンスが起動する。まず、時間 $t11^*$ でワード線WLをVDDより閾値以上高い昇圧レベルVPPにブーストし、時間 $t12^*$ から $t13$ でライトアンプによりビット線xBLをVDDレベルに駆動して、データ(1)の書き込みを行う。なお、取り込んだ書き込みデータに応じて他方のビット線BLをVDDレベルに駆動する場合もある。

【0051】

そして、時間 $t14$ でワード線WLを立ち下げて、第二のタイミングシーケンスは終了する。また、リードサイクルでは、第二タイミングシーケンスに従い、先にラッチした読み出しデータに従いビット線BLかxBLのいずれかをVDDレベルとして再書き込みを行う。

20

【0052】

図3(b)(c)の例は2T2Cのメモリセルを前提にして説明しているが、1個のアクセスゲートと1個の強誘電体キャパシタからなる1T1Cのメモリセルの構成に対しても、同様に、第一タイミングシーケンス終了後にPL=BL=xBL=GNDレベルで長いアクティブ期間を待機する方式を適用することができる。

【0053】

図4は、図3(b)の問題のあるHiZ方式ディレイドライトの詳細波形図である。図3(b)に図2のセンス、ライト系の主要信号とそのコントロール信号を追記したものである。ラッチアンプLAのノードDo, xDoは、時間 $t2$ 以前に制御信号 read=HレベルでデータバスBUS,xBUSに接続されている。そして、時間 $t2\sim t3$ において、プレート線PLの立ち上がり中は、セルから出た電荷をビット線対とデータバス対の容量とセルキャパシタの容量とで電荷再分配した電圧がノードDo, xDoに加わる。時間 $t5$ でラッチアンプ制御信号を sense x=GNDレベル、sense=VDDレベルに切り替えてラッチアンプを活性化すると、ノードDo, xDoは電源電圧VDDとGNDにラッチ増幅される。この間、ノードDo,xDoはデータバス対BUS,xBUS線とビット線対に接続されているため、ノードDo,xDoの振幅動作がビット線対まで伝わる。

30

【0054】

時間 $t8$ の直前に制御信号 readがGNDレベルになりゲートTrbus,xTrbusがOFFになりデータバス対とラッチアンプとが切り離される。そして、時間 $t7$ でワード線WLを電源電圧VDDより閾値 V_{th} 以上の昇圧レベルVPPに昇圧する。さらに、時間 $t8$ で制御信号 write=VDDレベルとして、外部書き込みデータDinにしたがってライトアンプWAからデータバス対を駆動すると、プレート線がPL=VDDレベルであるため、ビット線BL0=GNDレベルによりビット線BL0側の強誘電体キャパシタにデータ(0)の書き込みが行われる。この時間 $t8$ で、時間 $t0$ からの第一のタイミングシーケンス $t_{timing1}$ が終了する。

40

【0055】

アクティブ期間が長くなると、時間 $t9$ の状態、すなわちPL=VDDレベル、WL=VDD+ V_{th} 、ビット線対の一方xBLがVDDレベル、他方BLがGNDレベルの待機状態が長時間継続する。この長時間の待機状態で、プレート線がPL=VDDレベル、ワード線がWL=GNDレベルである非選

50

択セルでは、セル内ノード n_{xx} がアクセスゲートのリーク動作によりビット線 $BL=GND$ レベルに変化していき、プレート線が $PL=VDD$ レベル、セル内ノードが $n_{xx}=GND$ レベルにより強誘電体キャパシタにデータ(0)の書き込み電圧が与えられ、記憶データが破壊されることがある。これが問題点である。

【0056】

そして、時間 t_{10} でのチップセレクト/CSの立ち上がりから、第二のタイミングシーケンス $timing_2$ が開始する。まず、時間 t_{11} でプレート線 PL を立ち下げた後、時間 t_{12} のプレート線の $PL=GND$ レベルから時間 t_{13} でのビット線 xBL_0 の立ち下げまでの期間では、ビット線が $xBL_0=VDD$ レベルであるため、ビット線 xBL_0 側の強誘電体キャパシタにデータ(1)が書き込まれる。

10

【0057】

または、ディレイドライトではなくリードサイクルの場合は、時間 t_8 でのライトアンプによる駆動がなく、バス線対とビット線対は、ラッチアンプにより時間 t_5 から時間 t_{14} の直前までビット線対の駆動を続ける。このような待機状態でも、半選択セルへのデータ(0)の誤書き込みが生じる場合がある。

【0058】

そして、時間 t_{13} の直前で、制御信号 $write$ を GND レベルにもどして、 BUS 線とライトアンプの出力を切り離し、時間 t_{13} で制御信号 $busgnd$ を VDD レベルにして、データバス BUS 、 $xBUS$ を GND レベルへプリチャージし、 VDD レベルだったビット線 xBL_0 が GND レベルになる。さらに、時間 t_{14} でワード線 WL を立ち下げ、その後 $sensex = VDD$ レベル、 $sense=GND$ レベルに切り替えてラッチアンプを OFF にし、コラム選択制御信号 COL を OFF にして、第二のタイミングシーケンス $timing_2$ は終了する。

20

【0059】

上記の長時間の待機状態で半選択セルのデータが破壊されることを防止するために、本実施の形態では、以下のように、待機状態において両ビット線対とプレート線とをいずれも GND レベルに維持するようにする。

【0060】

図5は、図3(c)の改良HiZ方式ディレイドライトの詳細波形図である。図3(c)に図2のセンス、ライト系の主要信号とそのコントロール信号を追記したものである。図5では、ラッチアンプのノード Do 、 xDo の信号は、図4と同じである。しかし、図3(c)で説明したとおりビット線対 BL_0 、 xBL_0 の駆動方法が異なる。

30

【0061】

チップセレクト/CSの立ち下げタイミング t_0 より前のプリチャージ期間で、ビット線対は GND レベルにプリチャージされている。

【0062】

チップセレクト/CSの立ち下げで始まるアクティブ期間で、時間 $t_0 \sim t_3$ においてラッチアンプのノード Do 、 xDo に選択されたビット線対 BL 、 xBL の電圧をとりこむところまでは、図4と同じである。このとき、本実施の形態では非選択ビット線対は全て GND レベルにされている。

【0063】

その後時間 t_4 で、制御信号 $read$ を立ち下げてゲート $Trbus$ 、 $xTrbus$ を OFF にし、データバス BUS 、 $xBUS$ とラッチアンプのノード Do 、 xDo とを切り離す。そして、時間 t_5 で制御信号を $sensex = GND$ レベル、 $sense=VDD$ レベルに切り替えてラッチアンプ LA を活性化すると、ノード Do 、 xDo は VDD レベルと GND レベルにラッチ増幅される。時間 t_4 から t_6 の間、ゲート $Trbus$ 、 $xTrbus$ のオフによりノード Do 、 xDo はデータバス対と切断されているため、ビット線対、データバス対のレベルは維持される。

40

【0064】

そして、時間 t_6 で制御信号 $busgnd$ を VDD レベルとしNMOSFET Q_{bpd} 、 xQ_{bpd} を ON とし、データバス BUS 、 $xBUS$ を GND レベルに引き下げ、ビット線対 BL_0 、 xBL_0 を GND レベルにする。このときプレート線は $PL = VDD$ レベルであるため、ビット線対 BL_0 、 xBL_0 により選択セルの強

50

誘電体キャパシタには両方ともデータ(0)が書き込まれる。この両強誘電体キャパシタへのデータ(0)の書き込みは、選択セルの記憶データにかかわらず行われる。その後、時間 $t7^*$ でプレート線PLを立下げ、時間 $t6 \sim t7^*$ でのデータ(0)の書き込みを終了して、第一のタイミングシーケンス t_{timing1} を終える。

【0065】

そして、長いアクティブ期間では、時間 $t7^*$ から $t10$ までの間、ラッチアンプLAで読出しデータを保持し、プレート線とビット線対とは $PL=BL0=xBL0=GND$ レベルで待機状態に入る。

【0066】

時間 $t10$ の、チップセレクト/CSまたはライトイネーブル/WEのいずれか早く立ち上げる時で書き込みデータ D_{in} (DATA)をチップ内に取り込み、チップセレクト/CSの立ち下がりから、第二のタイミングシーケンス t_{timing2} が起動する。時間 $t10$ で制御信号 busgnd をGNDレベルとしてデータバスBUS, $x\text{BUS}$ をハイインピーダンス状態HiZにし、その後、時間 $t11^*$ でワード線WLを $V_{\text{DD}}+V_{\text{th}}$ 以上にブーストする。そして、時間 $t12^{\circ}$ から制御信号 write をVDDレベルとしてライトアンプWAがデータバスを駆動し、ビット線BL0(または書き込みデータによってはビット線 $xBL0$)をVDDレベルに立ち上げる。時間 $t13$ の直前に制御信号 write をGNDレベルとしてライトアンプによるデータバスの駆動はOFFにする。その後、時間 $t13$ で制御信号 busgnd を再びVDDレベルとしてデータバス対をGNDレベルにプリチャージすることで、ビット線BL0(または $xBL0$)をGNDレベルにもどす。

【0067】

$t12^* \sim t13$ では $PL=GND$ レベル、 $xBL0=V_{\text{DD}}$ レベルであるので、ビット線 xBL 側の強誘電体キャパシタにはデータ(1)が書き込まれる。時間 $t14$ からワード線WLもGNDレベルにもどし、制御信号 sensex , sense を遷移してラッチアンプLAをOFFにし、コラム選択制御信号 COLをOFFにして、第二のタイミングシーケンス t_{timing2} を終了する。

【0068】

ディレイドライトではなく読み出しサイクルの場合は、時間 $t12^{\circ}$ からのライトアンプによるデータバス対の駆動の際に、ライトアンプWAの入力セクタを入力 D_{in} 側ではなくラッチアンプのノードDo側に切り替えておく。それによりラッチアンプが保持していた記憶データに基づいて、時間 $t12^{\circ} \sim t13$ でライトアンプがビット線対の駆動を行い、データ(1)の再書き込み(Restore)をする。ただし、図5では、ラッチアンプがデータバスから切り離されているので、ライトアンプから読み出しサイクルの再書き込みが行われ、図4の再書き込みをラッチアンプからデータバス対とビット線対とを駆動して行っていたのとは異なる。

【0069】

このように本実施の形態のディレイドライト式HiZ方式の書き込み動作では、長いアクティブ期間の場合、時間 $t7^* \sim t10$ ではプレート線とビット線対を $PL=BL0=xBL0=GND$ レベルで長い待機状態に入る。そのため、選択セルとプレート線を共有する半選択セルで、アクセストランジスタの閾値 V_{th} が0V近傍であっても、プレート線PLとビット線対との電位差がなく、そのセルで誤った強誘電体キャパシタへの書き込みを防止でき、記憶データが破壊されることはない。

【0070】

この誤書き込みの防止は、ディレイドライト式の書き込み動作だけではなく、読み出し動作においても同様に防止できる。また、チップセレクト/CSが立ち下がった後のアクティブ期間中にライトイネーブル/WEが立ち下がるリード・モディファイ・ライト動作においても同様に防止できる。

【0071】

[短いアクティブ期間]

次に、ディレイドライト式HiZ方式においてアクティブ期間が短い場合について説明する。本実施の形態では、アクティブ期間が長い場合に半選択セルの記憶データが破壊されることが解決できることを説明したが、アクティブ期間が短い場合は、アクティブサイク

10

20

30

40

50

ルをより短くできる。

【 0 0 7 2 】

図 6 は、ディレイドライト式HiZ方式の短いアクティブ期間の場合の波形図である。図 6 には、図 3 と同様に、メモリチップ外部の駆動波形 (a) と、内部のセルアレイでのワード線WL, プレート線PLおよび正論理ビット線BLとそれと相補の負論理ビット線xBLの駆動波形 (b) (c) とを示す。図 6 (b) が問題のある動作方法を、図 6 (c) が本実施の形態の動作方法を示す。

【 0 0 7 3 】

図 6 の (b), (c) において、WL, PL, BL, xBLについてはセルアレイ中で選択されるセルに接続されている信号を示している。また、セルアレイの構成は図 1 のPL平行BLの 2T2C方式を仮定している。ただし、このセルアレイ構成以外でも同様である。さらに、図 6 (b), (c) とともに、第一タイミングシーケンスtiming1と第二タイミングシーケンスtiming2は、図 3 (b), (c) と同等である。

【 0 0 7 4 】

図 6 (b) の問題のある動作方式では、第二タイミングシーケンスの時間t11でプレート線PLを立ち下げて強誘電体キャパシタのいずれか一方にデータ (1) を書き込むので、それより前に外部書き込みデータをビット線対に与えて、強誘電体キャパシタのいずれか他方にデータ (0) を書き込む期間t9-t10を確保する必要がある。従って、第一タイミングシーケンスの最後の時間t8で外部書き込みデータDinの取り込みを開始し、かつチップセレクト/CSの立ち上げ前のデータセットアップ期間をデータ (0) を書き込むに十分な比較的長い時間が必要である。このことは、アクティブ期間を短くしたい場合でも、時間t9-t10だけアクティブ期間が長くなることを意味する。

【 0 0 7 5 】

それに対して、図 6 (c) の本実施の形態では、第一タイミングシーケンスの終了t7*でプレート線PLを立ち下げる前に、両方の強誘電体キャパシタへのデータ (0) の書き込みが終了している。そのため、外部書き込みデータDinを取り込んだ後、データ (0) の書き込み期間を設けることなく、第二タイミングシーケンスで時間t12*~t13の期間にデータ (1) を書き込むことができる。すなわち、図 6 (b) のデータセットアップ期間をなくすることができる。このため本実施の形態のほうがアクティブ期間を短くできる。

【 0 0 7 6 】

図 7 は、図 6 (b) の問題のあるHiZ方式ディレイドライトのショートサイクルの詳細波形図である。図 6 (b) に図 2 のセンス、ライト系の主要信号とそのコントロール信号を追記したものである。t0~t15における波形と駆動信号の動作は、図 4 のHiZ方式ロングサイクルと同じであり、アクティブ期間t0~t10を短くしたものである。

【 0 0 7 7 】

図 7 において、読み出しサイクルの場合は、時間t5~t8でPL0=VDDレベル、xBL0=GNDレベルであり、データ(0)の再書き込みはt8で終了しているため、時間t8のビット線対BL0, xBL0のレベルがデータ(1)の再書き込み時も維持されるリストアであれば、t8~t10の期間をなくしてアクティブ期間を短縮できる。

【 0 0 7 8 】

しかし、図 7 に示している書き込みサイクルの場合では、選択セル内のデータと反転データが書き込まれることがあるので、外部の書き込みデータDinのチップ内への伝達後、時間t9からようやくデータ (0) の書き込みが始まる。したがって、時間t9~t10のデータ (0) の書き込み期間をある程度、一般に20ns以上、確保する必要があり、その分アクティブ期間を短くできない。

【 0 0 7 9 】

図 8 は、図 6 (c) の本実施の形態におけるHiZ方式ディレイドライトのショートサイクルの詳細波形図である。図 6 (c) に図 2 のセンス、ライト系の主要信号とそのコントロール信号を追記したものである。t0~t10での波形と駆動信号は図 5 の改良HiZ方式ロングサイクルと同じで、アクティブ期間t0~t10を短くしたものである。

【 0 0 8 0 】

図 8 の場合，読み出しサイクルの場合も書き込みサイクルの場合も，時間 $t_6 \sim t_7^*$ で $PL_0 = VDD$ レベル， $BL_0 = xBL_0 = GND$ レベルであり，両側の強誘電体キャパシタへのデータ (0) の再書き込みまたは書き込みは時間 t_7^* で終了している。したがって，時間 $t_7^* \sim t_{10}$ でのデータ (0) の書き込み期間をなくすことができるので，アクティブ期間を短縮することができる。

【 0 0 8 1 】

以上の通り，本実施の形態における HiZ 方式でのディレイドライトでは，ワード線 WL を駆動し，プレート線 PL を駆動して，選択セル内の強誘電体キャパシタの電荷をビット線対に出力し，ラッチアンプ LA 内のノード Do, xDo にそのビット線対の微小な電圧差が現れた後は，ビット線対をラッチアンプのノード Do, xDo から切り離して GND レベルに維持し，プレート線の $PL = VDD$ レベルにより，両方の強誘電体キャパシタにデータ (0) を書き込んでい

10

【 0 0 8 2 】

したがって，アクティブ期間が長い場合に，第二タイミングシーケンス直前の長い待機状態では，全てのセルでビット線対とプレート線とが GND レベルに維持され，非選択セルで誤書き込みが起きず記憶データが破壊されることがない。また，第二タイミングシーケンス timing2 の直前で書き込みデータ Din に対応して選択セル内の一方の強誘電体キャパシタにデータ (0) を書き込む必要がないので，アクティブ期間を短くできる。

20

【 0 0 8 3 】

以上の HiZ 方式の動作説明では，図 1 のワード線 WL が行方向，ビット線対 BL, xBL とプレート線 PL が列方向に配置され，ラッチアンプ LA が共有され非選択ビット線が GND レベルにされる例で説明した。しかし，本実施の形態は，そのような配置に限定されない。別の配置例については後で説明する。さらに，メモリセルが 2T2C タイプを前提に説明したが，後述するとおり，1T1C タイプにも適用できる。

【 0 0 8 4 】

[第二の実施の形態]

第二の実施の形態は，非特許文献 1 などに記載された BGS 方式に適用した例である。すなわち，ワード線を駆動しプレート線を駆動した時に，ビット線対を GND レベルに維持しビット線対に出力された電荷を C_{tank} と称するキャパシタに溜めて，そのキャパシタの電極の電位変化をラッチアンプでラッチ増幅する。

30

【 0 0 8 5 】

第二の実施の形態において，メモリセルアレイの構成は図 1 と同じとする。

【 0 0 8 6 】

図 9 は，第二の実施の形態における BGS 方式の FeRAM のコラムトランスファークラムトランスファークラムセクタおよびデータバスとそれに接続されるラッチアンプ，ライトアンプの構成を示す図である。

40

【 0 0 8 7 】

ビット線対 $BL_0 \sim BL_n$ ， $xBL_0 \sim xBL_n$ は，図 1 のセルアレイのビット線対につながる。選択コラムにおいて，コラムセクタ CS によるコラム選択信号 COL.0 の H レベルで，PMOSFET，NMOSFET の並列トランスファークラムからなるバイラテラルゲート TB0 と xTB0 が ON し，ビット線対 BL_0, xBL_0 とデータバス対 BUS, xBUS が接続される。また，ビット線グラウンドプリチャージ NMOSFET Qpd0, xQpd0 は，選択コラムでは OFF となる。ただし，選択コラムのビット線対を GND レベルにプリチャージするために，データバス対 BUS, xBUS には制御信号 busgnd により ON, OFF 制御される NMOSFET Qbpd, xQbps が設けられている。

【 0 0 8 8 】

一方，非選択コラムでは，トランスファークラム TB1 ~ TBn および xTB1 ~ xTBn は OFF にな

50

り、非選択ビット線対BL、xBLはデータバス対BUS、xBUSから切り離される。そして、ビット線グランドプリチャージNMOSFET Qpd、xQpdは、非選択コラムではONとなり、非選択コラムのビット線対は全てGNDレベルに固定される。

【 0 0 8 9 】

データバス対BUS、xBUSは、制御信号 readで制御されるNMOSFET Qrbus、xQrbusを經由して電荷・電圧変換アンプ(QVアンプ)QVAに接続されている。このQVアンプは、PMOSFETであるチャージトランスファアンプPct、xPctにより、その入力をGNDレベルに固定する。そして、QVアンプは、ビット線対及びデータバス対の入力電位の上昇をおさえて、そこからの電荷のみ後段の容量タンクCtank、xCtankで吸収して、その電極にその負電荷の蓄積による負電圧Vneg、xVnegを生成する。つまり、電荷を電圧に変換する。この電荷の流入により電極の負電圧Vneg、xVnegが上昇する。この負電圧Vneg、xVnegを、容量Cshift、xCshiftとソースフォロワNMOSのQsf、xQsfとからなるレベルシフト回路により、GND-VDD間のレベルヘシフトし、正電圧Vsfo、xVsfoの信号としてラッチアンプLAへ入力する。

10

【 0 0 9 0 】

ラッチアンプLAは、制御信号 sensexと senseの信号でONまたはOFFに切り換えられる。ラッチアンプLAがOFFのときは、バイラテラルゲートTs、xTsが導通して入力を取り込む。制御信号が sensex = VDDレベル、sense = GNDレベルの状態、CMOSインバータクロスカップルの上下ノードxIsen、IsenをPMOSFET PonとNMOSFET Qonとで電源電圧VDDとグランドGNDからそれぞれ切り離し、バイラテラルゲートTa、xTaをONして、入力電圧レベルVsfo、xVsfoを取り込む。

20

【 0 0 9 1 】

一方、制御信号が sensex = GNDレベル、sense = VDDレベルに切り替わると、バイラテラルTs、xTsをoffしてPMOSFET PonとNMOSFET QonをONすることで、ノードDo、xDoの信号を電源電圧VDDとグランドGNDの振幅に増幅する。そして、正相出力をノードDoから取り出して、読み出し時はメモリチップの出力Doに伝達するとともに、選択されたメモリセルへの再書き込みに使うデータを保持する。再書き込み時は、この保持したデータにしたがって、ライトアンプWAからデータバス対およびビット線対を駆動する。

【 0 0 9 2 】

ライトアンプLAは、入力セクタSelWを持ち、再書き込み時はラッチアンプLAの出力Doを選択し、書き込みサイクル時には外部入力Dinを選択する。制御信号 write信号により、正出力WDはバイラテラルゲートTwbusによりデータバスBUSに接続され、相補出力のWDxはバイラテラルゲートxTwbusによりもう一方のデータバスxBUSへ接続される。

30

【 0 0 9 3 】

ゲートQrbusとxQrbusは、ON状態で通過させる電位がほぼGNDレベルであるためnMOSFETだけのトランスファゲートであるが、そのほかのトランスファゲートは、VDD~GNDの全電位を通過させるためにPMOSFETとNMOSFETが平行接続されたバイラテラルゲートの構成となっている。

【 0 0 9 4 】

[BGS方式の同期式書き込み]

図10は、BGS方式のFeRAMの同期式書き込み動作の波形図である。同期式書き込みでは、チップセレクト/CSの立ち下りでアドレスを取り込み、ライトイネーブル/WEの立ち下がりて書き込みデータを取り込んでメモリセルに書き込む。図10には、メモリチップ外部の信号/CS、/WE、DATAおよび、内部のセルアレイにかかわるワード線WL、プレート線PLおよび正論理ビット線BLとそれと相補となる負論理ビット線xBLの駆動波形を示す。図中のWL、PL、BL、xBLは、選択されるセルに接続されている信号を示している。

40

【 0 0 9 5 】

図10において、チップセレクト/CSの立ち下りの時間t0からメモリチップのアクティブ期間が開始する。そして、時間t1でワード線WLが立ち上がり、時間t2からt3でプレート線PLが立ち上がると、選択セルの強誘電体キャパシタから電荷がビット線対に流れ出す。時間t2まで記憶データが(0)であった場合、リニア容量に相当する少ない電荷がビット

50

線に流れ出し、時間 t_2 まで記憶データが(1)であった場合、リニア容量+分極反転電荷(1 0へ反転)の多量の電荷がビット線に流れ出す。図10では、ビット線BL側に多量の電荷が流れ出している。しかし、ビット線をグラウンドレベルに維持するBGS方式のため、ビット線対BL、xBLの電位はGNDレベルからほとんど上昇せず、時間 t_3 でプレート線PLの上昇が止まると時間 t_4 でビット線対はGNDレベルにもどる。

【0096】

そして、時間 $t_4 \sim t_5$ の期間では、プレート線PLがVDDレベル、両ビット線対BL、xBLがGNDレベルにあるので、セル内の両側の強誘電体キャパシタへデータ(0)が書き込まれる。そして、時間 t_5 で次のデータ(1)の書き込みの準備のためプレート線PLがGNDレベルに立ち下げられる。その後、時間 t_6 でワード線WLをNMOSFETの V_{th} 以上昇圧して、時間 t_7^* からラッチした書き込みデータに対応するビット線xBLがVDDレベルに立ち上げられると、ON状態のNMOSFETのアクセスゲートを通してセル内ノードもVDDレベルに立ち上がる。プレート線PLがGNDレベルであるので、強誘電体キャパシタにはVDDレベルのフル電位が印加されて、データ(1)が書き込まれる。よって、 $t_7 \sim t_8$ はデータ(1)の書き込み期間である。

10

【0097】

ライトアンプWAは、読み出しサイクルでは、ラッチアンプLAが保持しているデータに応じて、ビット線BLまたはxBLを駆動し、ライトサイクルでは、外部からの入力データ D_{in} に応じて、ビット線BLまたはxBLを駆動する。

【0098】

20

このあと時間 t_8 からビット線xBLをGNDレベルにもどし、時間 t_9 からワード線WLをGNDレベルにもどして、 t_0 からの書き込みシーケンスを終了する。アクティブ期間が長くなると、メモリチップ内では動作終了状態が継続することになる。そして、チップセレクト/CSまたはライトイネーブル/WEのいずれか早い立ち上がりタイミング t_{10} 以降は、プリチャージ状態になり、時間 t_{15} から次のサイクル(アクティブ期間)が始まる。

【0099】

[第二の実施の形態におけるBGS方式のディレイドライト]

図11は、第二の実施の形態におけるBGS方式のディレイドライト方式の波形図である。図10と同様に、メモリチップ外部の信号と、選択セルのWL、PL、BL、xBLが示されている。ディレイドライト方式では、前述のとおり、チップセレクト/CSの立ち下がりアドレスを取り込みアクティブ期間が始まり、内部セルの選択動作を行う。また、チップセレクト/CSまたはライトイネーブル/WEのいずれか早い立ち上がりで書き込みデータを取り込んで、チップセレクト/CSの立ち上がりでアクティブ期間を終了しその後のプリチャージ期間中に選択セルに書き込みを行う。

30

【0100】

まず、時間 t_0 から t_5 までは、チップセレクト/CSの立ち下りから第一のタイミングシーケンス $timing_1$ が始まる。つまり、ワード線WLが駆動され、プレート線PLが駆動され、選択セルから電荷がビット線対に流れ出し、QVアンプによりその電荷が吸収され、ビット線対はGNDレベルに維持される。したがって、時間 $t_4 \sim t_5$ では、選択セルの両方の強誘電体キャパシタにデータ(0)が書き込まれる。

40

【0101】

時間 t_5 以降プレート線PLがVDDレベルの状態を維持すると、アクティブ期間が長い場合、プレート線PLをシェアしている半選択セルにおいて、アクセスゲートの閾値が0Vに近いと、リーク電流によりセル内のノードがGNDレベルにさがり、プレート線PLのVDDレベルにより、データ(0)が誤書き込みされる場合がある。これは記憶データの破壊であり好ましくない動作である。

【0102】

そこで、第二の実施の形態では、BGS方式においても、時間 t_5 でプレート線PLをGNDレベルに立ち下げ、その後の時間 t_{10} までの待機期間を $WL=VDD, PL=BL=xBL=GND$ レベルの状態を維持する。これにより、選択ビット線対も非選択ビット線対もGNDレベル、選択プレー

50

ト線PLもGNDレベルであるので、選択セル，半選択セル，非選択セルでアクセスゲートの閾値電圧が低くても誤書き込みは生じない。

【 0 1 0 3 】

次に、チップセレクト/CSの立ち上がりタイミング t_{10} でアクティブ期間が終了し、チップセレクト/CSまたはライトイネーブル/WEのいずれか早い立ち上がりで書き込みデータDinが取り込まれる。そして、時間 t_{10} から第二のタイミングシーケンス t_{iming2} が起動する。時間 t_{11} でワード線WLをVDDレベルから V_{th} 以上に昇圧し、時間 t_{12}^* からライトアンプWAを起動して書き込みデータDinに対応した一方のビット線xBL（またはBL）をVDDレベルに立上げる。よって、時間 $t_{12} \sim t_{13}$ では、ビット線xBL=VDDレベル、PL=GNDレベルであるので、選択セルへデータ(1)の書き込みが行われる。その後、時間 t_{13} からビット線xBL（またはBL）をGNDレベルにもどし、時間 t_{14} からワード線WLもGNDレベルにもどし、第二のタイミングシーケンスを終了する。

10

【 0 1 0 4 】

別の見方として、図10の同期式は、セルデータのセンスと、セルへの書き込みの両方をアクティブ期間中に行い、図11のディレイドライト式は、セルデータのセンスはアクティブ期間に行い、セルへの書き込みはアクティブ期間終了後のプリチャージ期間に行っている。従って、最小サイクルタイムがアクティブ期間+プリチャージ期間であることは両方同じであるが、同期式はプリチャージ期間を短くでき、ディレイドライト式はアクティブ期間=プリチャージ期間でデューティ比50%に近いチップセレクト/CSの波形で駆動できる。

20

【 0 1 0 5 】

またこれらの動作例は、メモリセルが2つのアクセスゲートと2つの強誘電体キャパシタからなる2T2CのFeRAMセルで説明しているが、1つのアクセスゲートと1つの強誘電体キャパシタからなる1T1CのFeRAMセルの構成に対しても、図11の第一と第二のタイミングシーケンスに分けたBGS方式ディレイドライトの動作を適用することができる。

【 0 1 0 6 】

メモリセルが1T1Cタイプの場合は、メモリセルに接続されるビット線BLとダミービット線xBLそれぞれに流れ出す電荷量の差を、上記と同様にQVアンプとラッチアンプとで検出し、ライトアンプWAにより再書き込みまたは書き込みを行う。その場合も、第一のタイミングシーケンス t_{iming1} で、ビット線BL、ダミービット線xBLが共にGNDレベルに維持されるので、ワード線とプレート線を駆動してビット線BLがGNDレベルの間にデータ(0)が書き込まれる。このデータ(0)の書き込みは選択セルの記憶データや書き込みデータにかかわらず行われる。そして、その後プレート線PLをGNDレベルに立ち下げて待機状態を継続する。この待機中に半選択セルへの誤書き込みは回避される。そして、第二のタイミングシーケンス t_{iming2} で、書き込みデータに応じて、ビット線BLが駆動されてデータ(1)が書き込まれる。

30

【 0 1 0 7 】

図12は、BGS方式同期式書き込みの詳細波形図である。図11の波形図に図9のセンス、ライト系の主要信号とそのコントロール信号を追記したものである。

【 0 1 0 8 】

QVアンプの信号レベルに注目すると、まず時間 t_2 までにビット線対にはプリチャージ電圧を与えておき、制御信号 readでビット線対をデータバス対に接続しておく。時間 $t_2 \sim t_3$ において、プレート線PLの立ち上がり中は、選択セルから出た電荷がビット線対とデータバス対を通して容量タンクC_{tank}へ吸い取られ、その電極の電位V_{neg}、xV_{neg}が上昇する。ビット線対も多少電位が上昇するが、時間 t_4 までにはすべての電荷が容量タンクC_{ank}に吸収されてGNDレベルにもどる。そして、電位V_{neg}、xV_{neg}をレベルシフトした電位V_{fso}とxV_{fso}も上昇し、セルで発生した電荷量が電圧変換されて、ラッチアンプLAのノードDo、xDoに伝達されている。

40

【 0 1 0 9 】

時間 t_4 で制御信号を sense_x = GNDレベル、 sense = VDDレベルに切り替えると、ラッチ

50

アンプ内のノードDo, xDoはVDDレベルとGNDレベルにラッチ増幅される。このあと制御信号 readをGNDレベルにしてデータバス対をQVアンプから切り離す。時間t4-t5では, 前述のとおりデータ(0)が両強誘電体キャパシタに書き込まれる。

【0110】

そして, データ(1)の書き込みのために, 時間t7*で, 制御信号 writeによりライトアンプWAがデータバスxBUS, ビット線xBLOをVDDレベルに駆動する。制御信号 writeでライトアンプからデータバス対の接続を遮断したあと, 時間t8からビット線xBLOをGNDレベルにもどし, 制御信号 busgndでデータバス対を直接GNDレベルへプリチャージする。このあと, コラム選択回路COL0, QVアンプ, 制御信号 sensex, senseなどの信号を初期状態にもどし, 第一のタイミングシーケンスを終了する。

10

【0111】

図13は, 本実施の形態におけるBGS方式ディレイドライトの詳細波形図である。図11の波形図に図9のセンス, ライト系の主要信号とそのコントロール信号を追記したものである。

【0112】

時間t0~t4のワード線の駆動からラッチアンプによる増幅までは, 図12の同期式の動作と同じである。この間, 制御信号 readがVDDレベルであり, データバス対がQVアンプがつながっている期間のみデータバス対の電位はGNDレベルに保持される。その後, 制御信号 readがGNDレベルとなったあとは, 時間t5近辺で制御信号 busgndをVDDレベルに遷移することで, データバス対のGNDレベル保持が行われる。なお, 非選択ビット線対は全

20

【0113】

時間t4-t5の間に, プレート線PLがVDDレベル, ビット線対BL, xBLがGNDレベルにあるので, 選択セル内の両強誘電体キャパシタにはデータ(0)が書き込まれる。このデータ(0)の書き込みは, 選択セルの記憶データや選択セルへの書き込みデータにかかわらず行われる。

【0114】

そして, 第一タイミングシーケンスtiming1では, QVアンプの初期化までを行い, アクティブ期間中の待機状態では, ラッチアンプLAはONのままにし読み出しデータをノードDo, xDoに保持して, コラム選択信号COLもONにする。この待機中は, 半選択セルへの誤書き込みは防止される。

30

【0115】

時間t10で, チップセレクト/CSが立ち上がると第二のタイミングシーケンスtiming2が起動し書き込みが始まる。また, チップセレクト/CSまたはライトイネーブル/WEのいずれか早い立ち上がりで書き込みデータDinを取り込む。制御信号 busgndをGNDレベルとしてデータバスをハイインピーダンス状態(HiZ)にしておき, 時間t11でワード線WLをVDDレベルからVth以上に昇圧し, 時間t12* から制御信号 writeをVDDレベルとしてライトアンプWAによりデータバスを駆動し, ビット線xBL(またはDATAによってはBL)をVDDレベルに立ち上げる。

【0116】

その後, 制御信号 writeをGNDレベルとしてデータバス対へのライトアンプによる駆動をOFFしてから, 時間t13で制御信号 busgndを再びVDDレベルとして, データバスをGNDレベルにプリチャージすることでビット線xBL(またはBL)をGNDレベルにもどす。時間t14からワード線WLもGNDレベルにもどし, 制御信号 sensex, sense, を遷移してラッチアンプLAをOFFにし, コラム選択信号COLをOFFにして, 第二のタイミングシーケンスを終了する。

40

【0117】

ディレイドライト式BGS方式の書き込み動作において, アドレスが取り込まれた後の第一のタイミングシーケンスtiming1では, ビット線対をGNDレベルに維持し, プレート線PLをVDDレベルに駆動することで選択セル内の両強誘電体キャパシタにはデータ(0)を書

50

き込む。そして、その後プレート線PLをGNDレベルに下げて第二のタイミングシーケンス timing2まで待機する。この待機中は、ビット線対BL,xBLもプレート線PLもGNDレベルに維持されるので、半選択セルにおける誤書き込みの問題は生じない。そして、書き込みデータが取り込まれた後の第二のタイミングシーケンス timing2では、ライトアンプにより一方のビット線だけをVDDレベルに駆動して選択セル内の一方の強誘電体キャパシタにデータ(1)を書き込む。

【0118】

上記の動作は、ディレイドライト式の書き込み動作だけでなく、非同期の読み出し動作でも同様である。つまり、チップセレクト/CSが立ち下がってアクティブ期間が始まると、入力アドレスに従って選択セルのデータが読み出され、両強誘電体キャパシタにはデータ(0)が再書き込みされる。その後チップセレクト/CSが立ち上がってプリチャージ期間が始まるまでの待機期間中は、ビット線対とプレート線をBL=xBL=PL=GNDに保ち、半選択セルでの誤書き込みは回避される。そして、プリチャージ期間で、ライトアンプにより一方のビット線がVDDに駆動されて、データ(1)の再書き込みが行われる。

【0119】

[メモリセルアレイの変型例]

第一の実施の形態のHiZ方式の動作説明では、図1のワード線WLが行方向、ビット線対BL,xBLとプレート線PLが列方向に配置され、ラッチアンプLAが共有され非選択ビット線がGNDレベルにされる例で説明した。しかし、HiZ方式の実施の形態は、そのような配置に限定されない。以下、別の配置例について説明する。

【0120】

図14は、本実施の形態におけるメモリセルアレイの別の例を示す図である。この例では、ワード線WLが行方向に、ビット線対BL,xBLとプレート線PLとが列方向に配置され、各ビット線対にラッチアンプLAが設けられている。そして、ビット線対BL,xBLとラッチアンプLAとの間にはトランスファゲートTB,xTBが設けられている。また、図2と同様に、各ビット線対には非選択ビット線対をグラウンドレベル(GNDレベル)にするMOSFET Qpd,xQpdが設けられている。

【0121】

この例では、ワード線とプレート線が駆動された時は、トランスファゲートTBがONして、選択ビット線対はラッチアンプLAに接続され、その後、トランスファゲートがOFFになりラッチアンプから切り離され、選択ビット線対はGNDレベルにされる。選択ビット線のラッチアンプは活性化されてデータをセンス、増幅する。また、非選択ビット線は、トランスファゲートがOFFとなりGNDレベルにされ、ラッチアンプも非活性のままである。

【0122】

この例においても、ワード線WL0が駆動されプレート線PL0が駆動されてメモリセルMC00が選択された時は、プレート線PL0を共有する半選択セルMC01のアクセストランジスタの閾値電圧が低いと誤書き込みが発生する。本実施の形態によれば、この誤書き込みが防止される。

【0123】

図15は、本実施の形態におけるメモリセルアレイの別の例を示す図である。この例は、図9のプレート線PLが行方向に配置された例である。ただし、プレート線PLは、2行のメモリセルMC00,MC01で共有されている。この場合は、ラッチアンプLA0とLA1は同時に駆動される。ワード線WL0が駆動されプレート線PL0が駆動されてメモリセルMC00とMC10が選択された時は、プレート線PL0を共有する半選択セルMC01とMC11は、アクセストランジスタの閾値電圧が低いと誤書き込みが発生する。本実施の形態によれば、この誤書き込みが防止される。

【0124】

なお、図15において、プレート線PLが各行に設けられている場合は、全てのビット線対をラッチアンプに接続してワード線WL0が選択された半選択セルMC10においても再書き込みできるようにしておく必要がある。その場合でも、ビット線対をラッチアンプから切

10

20

30

40

50

り離してGNDレベルにし、プレート線もGNDレベルにして、両方の強誘電体キャパシタにデータ(0)を書き込み、その後、ラッチアンプを再度ビット線対に接続してビット線対を駆動させることで、一方の強誘電体キャパシタにデータ(1)を書き込むことができる。その場合、第二タイミングシーケンスの直前でデータ(0)を書き込む必要がなくなり、アクティブサイクルを短くできる。

【0125】

図16は、本実施の形態におけるメモリセルアレイの別の例を示す図である。この例は、図4のプレート線PLが行方向に配置され、しかもコラム毎にプレート線PLが1行ずつ上側にシフトして配置された階段型プレート線の例である。このような階段型プレート線については、例えば特開2001-358312等に記載されている。この場合は、ワード線WL0が駆動されプレート線PL1が駆動されてメモリセルMC00が選択された時は、プレート線PL1を共有する半選択セルMC11のアクセストランジスタの閾値電圧が低いと誤書き込みが発生する。本実施の形態によれば、この誤書き込みが防止される。

10

【0126】

図16の階段状プレート線PLは、メモリセルMC00に対してワード線WL0とプレート線PL0で選択を行う。非選択BLをGNDレベルにすることで、同時にPLとWLを選択しなければ、半選択メモリセルのキャパシタの分極方向を維持でき、破壊されない。この場合、プレート線群PL0~PLn-1は、右に位置するプレート線ドライバから配線の必要なセルまでの間は単なる配線かダミーセルでプレート線信号を接続する。一方、プレート線群PLn~PLmは、横方向にビット線BLが異なるごとにひとつ下のワード線WLの行のn個のメモリセルに接続される。プレート線群PL0*~PLn-1*は、プレート線ドライバ直近のメモリセルからワード線WLmのメモリセルまでビット線BLが異なるごとにひとつ下のワード線WLの行のメモリセルに接続され、nより少ないメモリセルを駆動する。プレート線ドライバの動作は、PL0とPL0*~PLn-1とPLn-1*の両PLを同時に駆動する。両者の接続メモリセルの和はnである。なおm>nの仮定をしている。

20

【0127】

図17は、本実施の形態におけるメモリセルアレイの別の例を示す図である。この例は、巡回型プレート線PLの例である。プレート線PLは、メモリセルMC00に対してワード線WL0とプレート線PL0で選択を行う。同時にPLとWLを選択しなければ、そのメモリセルのキャパシタの分極方向を維持でき、破壊されない。プレート線群PL0~PLmまでは横方向にビット線BLが異なるごとにひとつ下のワード線WLの行のn個のメモリセルに接続される。ただし、ワード線WLmに到達するとワード線WL0まで配線して、またそこからビット線BLが異なるごとにひとつ下のワード線WLの行のメモリセルに接続される。この巡回型は、図16のような階段状プレート線PL0*~PLn-1*のプレート線ドライバが不用になり小面積化が図れる。またm=kn(kは整数)の場合、k個のn巡回型として、縦方向のプレート線PLのビット線BLに平行に配置される配線長を短くできる。

30

【0128】

なお、ここでプレート線PLの階段状型、巡回型を示したが、プレート線PLを横のメモリ行として、ワード線WLの方を階段状、巡回型とすることもできる。この場合、ワード線WLはビット線BLが異なるごとにひとつ下のプレート線PLの行のメモリセルに接続される。

40

【0129】

第二の実施の形態のBGS方式のディレイドライバは、図14、15、16、17のプレート線のレイアウト例にも適用できる。ただし、BGS方式の場合は、図9に示したとおり、複数のビット線対に共通にQVアンプとラッチアンプとライトアンプが設けられているので、その点で図14、15、16、17のレイアウトと異なる。

【0130】

[1T1Cのメモリセル]

図18は、本実施の形態におけるメモリセルアレイの別の例を示す図である。図18の通常メモリセルMC00-MCnmは、1つのアクセスゲートQ00-Qnmと1つの強誘電体キャパシタC00-Cnmとを有する1T1Cタイプのものである。複数のビット線BL0~BLnと、1本のダミー

50

ビット線dBLとを有する。ダミービット線dBLには、1つのアクセスゲートdQ00と1つの強誘電体キャパシタdC00とを有する1T1CタイプのダミーセルdMC0-dMCmが配置される。

【0131】

この1T1Cタイプの場合、ビット線BL0-nのうち選択メモリセルに接続されたビット線と、ダミービット線dBLとが、図3～8、図10～13におけるビット線対BL,xBLと同等に制御される。そして、ディレイドライトにおいて、第一のタイミングシーケンスでは、ワード線WLを駆動しプレート線を駆動して選択メモリセルの強誘電体キャパシタからビット線に出力される電荷がラッチアンプに伝達された後に、選択ビット線BLがGNDレベルに駆動される。それにより記憶データまたは書き込みデータにかかわらず選択メモリセル内の強誘電体キャパシタにデータ(0)が書き込まれる。そして、第二のタイミングシーケンスでは、書き込みデータまたは再書き込みデータがデータ(1)の場合のみ、書き込みアンプが選択ビット線BLをGNDレベルからVDDレベルに駆動されて選択メモリセル内の強誘電体キャパシタにデータ(1)が書き込まれる。

10

【0132】

以上の実施の形態をまとめると、次の付記のとおりである。

【0133】

(付記1)

複数のワード線と、
前記ワード線に交差する複数のビット線と、
複数のプレート線と、
前記ワード線とビット線との交差位置に配置され、前記ワード線とビット線に接続されたアクセスゲートと、前記アクセスゲートと前記プレート線との間に設けられた強誘電体キャパシタとをそれぞれ有する複数のメモリセルと、
前記強誘電体キャパシタから前記ビット線に出力される電荷量に応じて記憶データをラッチするラッチアンプと、
書き込みデータまたは前記ラッチした記憶データに応じて前記ビット線を駆動するライトアンプとを有し、
アクティブ期間の開始時まで前記ビット線が基準電位にプリチャージされ、
アクティブ期間では、第一の時間で、入力アドレスに応じて選択ワード線を駆動し、前記プレート線を基準電位から高電位レベルに駆動して前記強誘電体キャパシタから電荷を前記選択ビット線に出力させ、その後第二の時間で、書き込みデータにかかわらず選択ビット線を基準電位にして前記選択メモリセルに第一のデータを書き込み、その後第三の時間で、前記プレート線を前記基準電位に駆動し前記選択ビット線と共に前記基準電位に維持し、
前記アクティブ期間後のプリチャージ期間では、前記ライトアンプが書き込みデータまたは前記ラッチした記憶データにしたがって前記選択ビット線を前記基準電位から高電位レベルに駆動して前記選択メモリセルに第二のデータを書き込む強誘電体メモリ。

20

30

【0134】

(付記2)

付記1において、
前記アクティブ期間では、前記第一の時間で、前記強誘電体キャパシタから前記ビット線に出力される電荷量に応じて選択ビット線の電位が上昇し、前記第二の時間で、前記ラッチアンプが前記選択ビット線の電位にしたがって前記記憶データをラッチすると共に、前記ラッチアンプを前記選択ビット線から切り離して当該選択ビット線を前記基準電位に駆動する強誘電体メモリ。

40

【0135】

(付記3)

付記2において、
前記メモリセルは、一对の前記アクセスゲートと、一对の前記強誘電体キャパシタとを有し、

50

前記第二の時間で、当該一对の選択ビット線を共に前記基準電位に駆動して、前記一对の強誘電体キャパシタに前記第一のデータを書き込み、

前記プリチャージ期間では、前記ライトアンプが前記一对の選択ビット線の一方を前記基準電位から前記高電位レベルに駆動して前記選択メモリセル内の一方の強誘電体キャパシタに前記第二のデータを書き込む強誘電体メモリ。

【0136】

(付記4)

付記2において、

前記メモリセルは、1つの前記アクセスゲートと、1つの前記強誘電体キャパシタとを有し、

前記第二の時間で、前記書き込みデータまたは前記ラッチした記憶データにかかわらず、前記選択ビット線を前記基準電位に駆動して、前記選択メモリセル内の前記強誘電体キャパシタに前記第一のデータを書き込み、

前記プリチャージ期間では、書き込みデータまたは前記ラッチした記憶データが前記第二のデータの場合に、前記ライトアンプが前記前記選択ビット線を前記基準電位から高電位レベルに駆動する強誘電体メモリ。

【0137】

(付記5)

付記1において、

さらに、前記第一の時間で、前記選択ビット線に出力された電荷量を電圧に変換すると共に前記選択ビット線を前記基準電位に維持する電荷電圧変換アンプ(QVA)を有し、

前記ラッチアンプは、前記第二の時間で、前記電荷電圧変換アンプが変換した電圧をセンスして前記記憶データをラッチする強誘電体メモリ。

【0138】

(付記6)

付記5において、

前記メモリセルは、一对の前記アクセスゲートと、一对の前記強誘電体キャパシタとを有し、

前記第二の時間で、当該一对の選択ビット線を共に前記基準電位に維持して、前記一对の強誘電体キャパシタに前記第一のデータを書き込み、

前記プリチャージ期間では、前記ライトアンプが前記一对の選択ビット線の一方を前記基準電位から前記高電位レベルに駆動して前記選択メモリセル内の一方の強誘電体キャパシタに前記第二のデータを書き込む強誘電体メモリ。

【0139】

(付記7)

付記5において、

前記メモリセルは、1つの前記アクセスゲートと、1つの前記強誘電体キャパシタとを有し、

前記第二の時間で、前記選択ビット線を前記基準電位に維持して、前記書き込みデータまたは前記ラッチした記憶データにかかわらず、前記選択メモリセル内の前記強誘電体キャパシタに前記第一のデータを書き込み、

前記プリチャージ期間では、書き込みデータまたは前記ラッチした記憶データが前記第二のデータの場合に、前記ライトアンプが前記前記選択ビット線を前記基準電位から高電位レベルに駆動する強誘電体メモリ。

【0140】

(付記8)

付記2または5において、

前記ラッチアンプ及びライトアンプは、前記複数のビット線に共通に設けられ、

前記第一の時間で、前記選択ビット線が前記ラッチアンプに接続され、

前記プリチャージ期間で、前記選択ビット線が前記ライトアンプに接続される強誘電体

10

20

30

40

50

メモリ。

【 0 1 4 1 】

(付記 9)

付記 2 または 5 において、

前記アクティブ期間において、非選択のビット線は前記基準電位に維持され、前記選択ワード線に接続される非選択メモリセルのプレート線は前記高電位レベルに駆動されない強誘電体メモリ。

【 0 1 4 2 】

(付記 1 0)

付記 2 または 5 において、

前記プレート線は、前記ビット線に沿って配置され、

前記アクティブ期間において、非選択のビット線は前記基準電位に維持される強誘電体メモリ。

10

【 0 1 4 3 】

(付記 1 1)

複数のワード線と、

前記ワード線に交差する複数のビット線対と、

複数のプレート線と、

前記ワード線とビット線対との交差位置に配置され、前記ワード線とビット線対にそれぞれ接続された一対のアクセスゲートと、前記一対のアクセスゲートと前記プレート線との間にそれぞれ設けられた一対の強誘電体キャパシタとをそれぞれ有する複数のメモリセルと、

20

前記強誘電体キャパシタから前記ビット線対に出力される電荷量に応じて記憶データをラッチするラッチアンプと、

書き込みデータまたは前記ラッチした記憶データに応じて前記ビット線対を駆動するライトアンプとを有し、

アクティブ期間の開始時まで前記ビット線対が基準電位にプリチャージされ、

アクティブ期間では、第一の時間で、入力アドレスに応じて選択ワード線を駆動し、前記プレート線を基準電位から高電位レベルに駆動して前記強誘電体キャパシタから電荷を前記選択ビット線対に出力させ、その後第二の時間で、選択ビット線対を共に基準電位にして前記選択メモリセルの前記一対の強誘電体キャパシタに第一のデータを書き込み、その後第三の時間で、前記プレート線を前記基準電位に駆動し前記選択ビット線対と共に前記基準電位に維持し、

30

前記アクティブ期間後のプリチャージ期間では、前記ライトアンプが書き込みデータまたは前記ラッチした記憶データにしたがって前記選択ビット線対のいずれか一方を前記基準電位から高電位レベルに駆動して前記選択メモリセルの対応する強誘電体キャパシタに第二のデータを書き込む強誘電体メモリ。

【 0 1 4 4 】

(付記 1 2)

複数のワード線と、

前記ワード線に交差する複数のビット線と、

複数のプレート線と、

前記ワード線とビット線との交差位置に配置され、前記ワード線とビット線に接続されたアクセスゲートと、前記アクセスゲートと前記プレート線との間に設けられた強誘電体キャパシタとをそれぞれ有する複数のメモリセルと、

40

前記強誘電体キャパシタから前記ビット線に出力される電荷量に応じて記憶データをラッチするラッチアンプと、

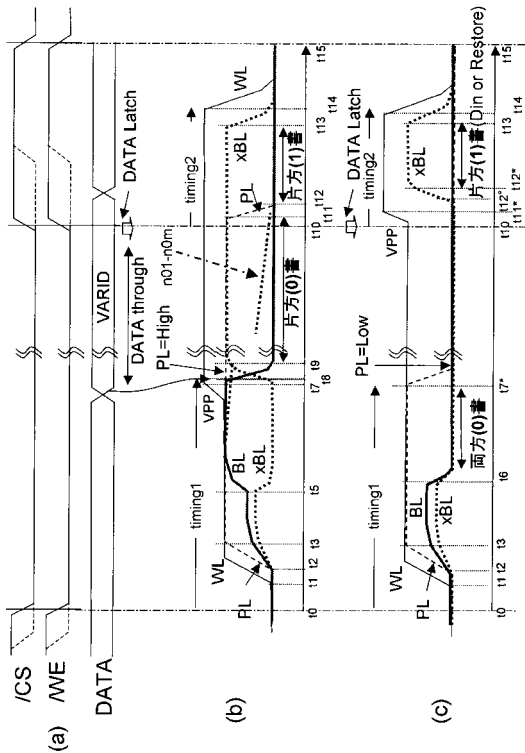
書き込みデータまたは前記ラッチした記憶データに応じて前記ビット線を駆動するライトアンプとを有する強誘電体メモリの書き込み方法であって、

アクティブ期間の開始時まで前記ビット線を基準電位にプリチャージし、

50

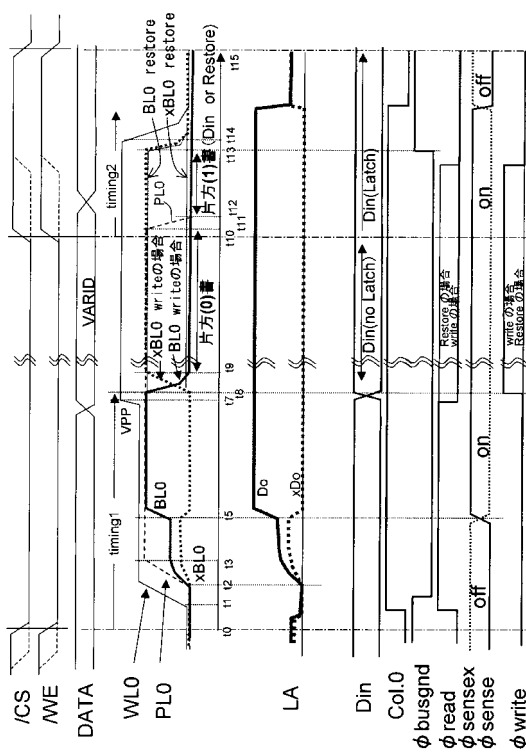
【図 3】

デレイドライク方式HIZ方式FeRAMの書き込み



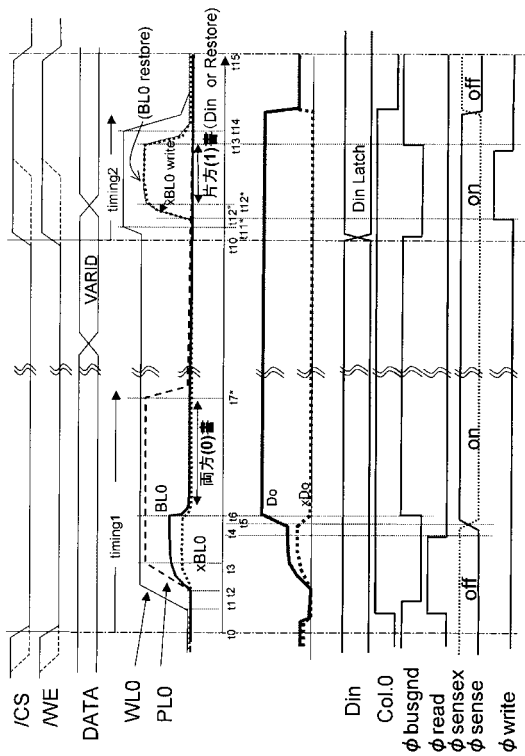
【図 4】

デレイドライク方式HIZ方式FeRAMの書き込み



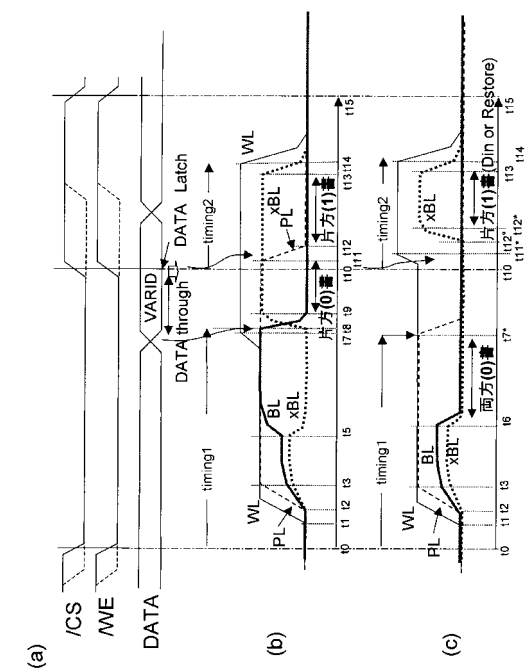
【図 5】

デレイドライク方式HIZ方式FeRAMの書き込み



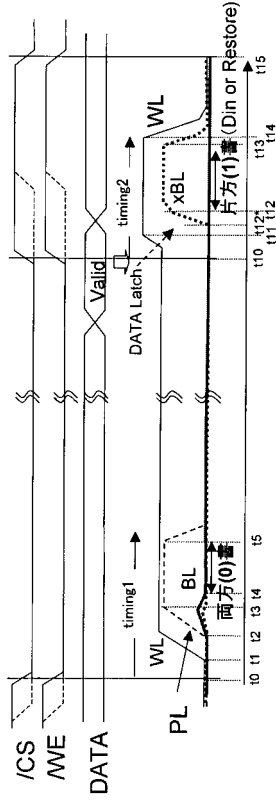
【図 6】

デレイドライク方式HIZ方式FeRAMの書き込み



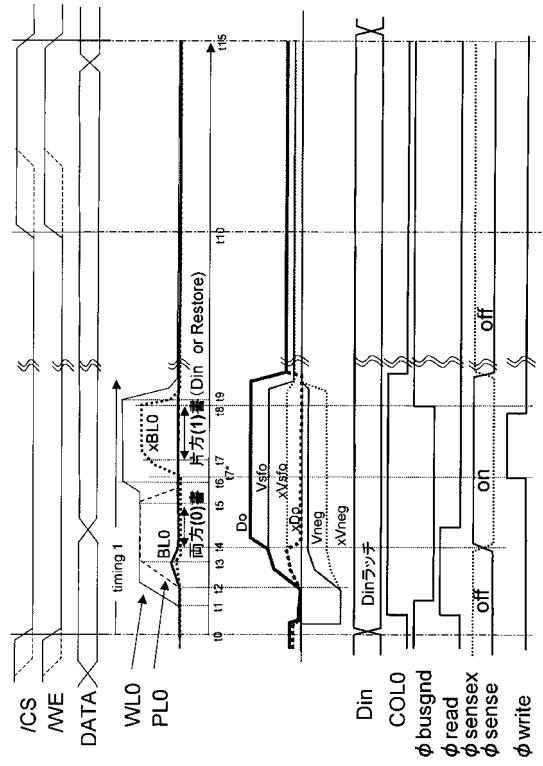
【図 1 1】

デレイトライク式BGS方式FeRAMの書込み



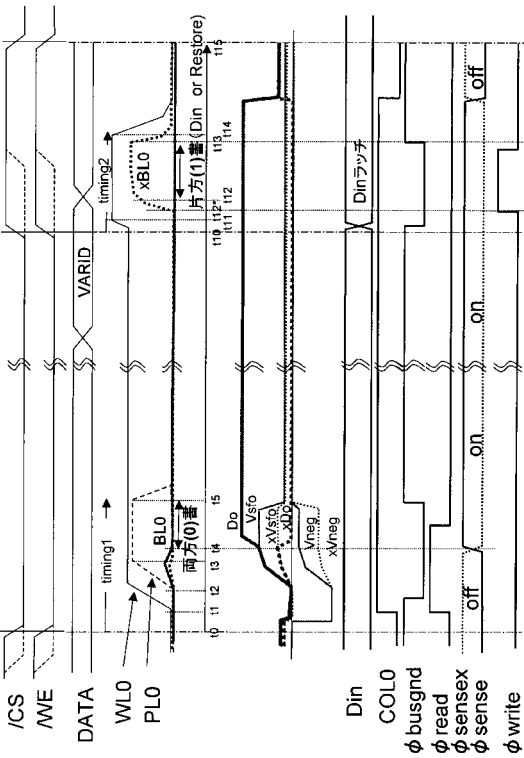
【図 1 2】

同期式BGS方式FeRAMの書込み

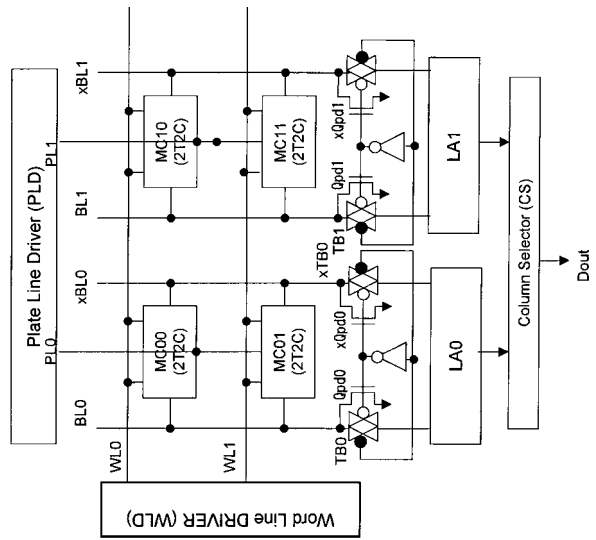


【図 1 3】

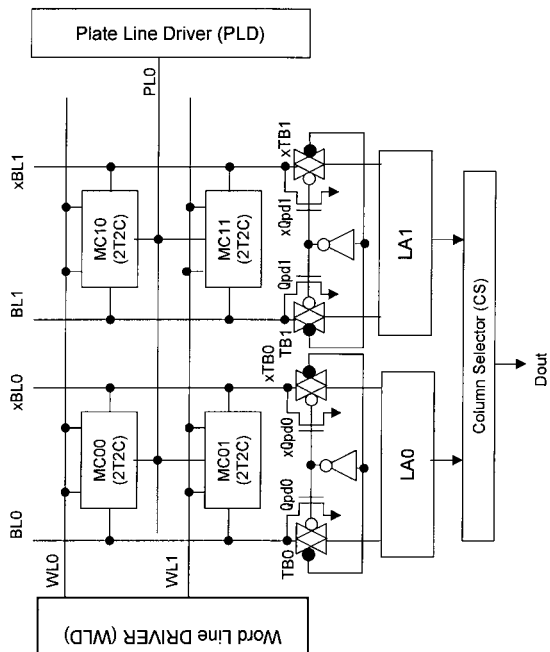
デレイトライク式BGS方式FeRAMの書込み



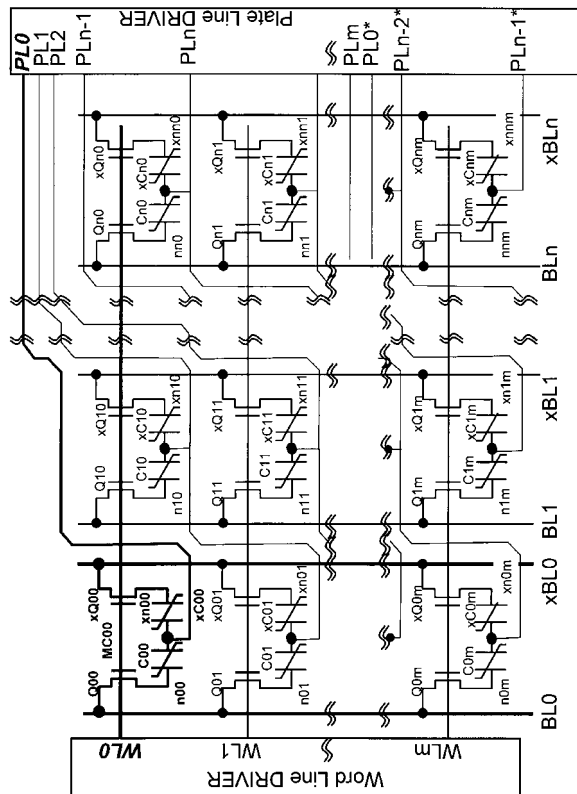
【図 1 4】



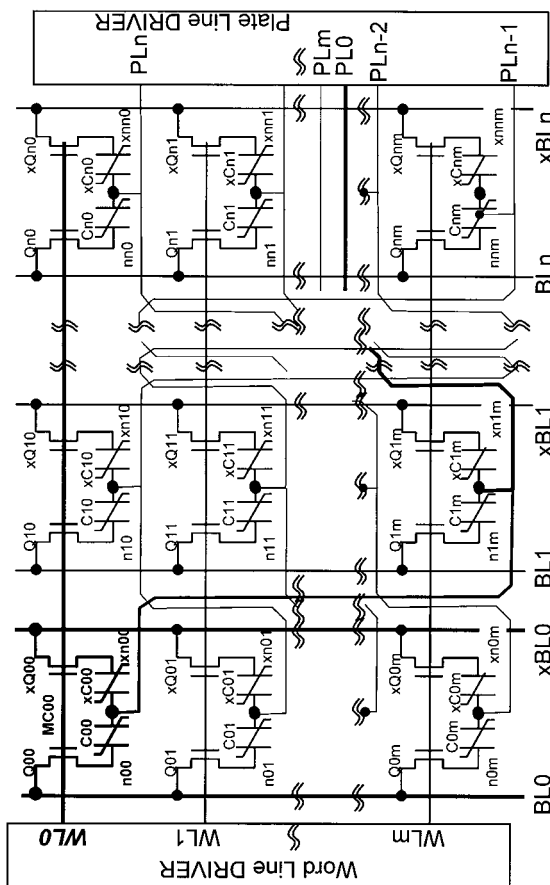
【 15 】



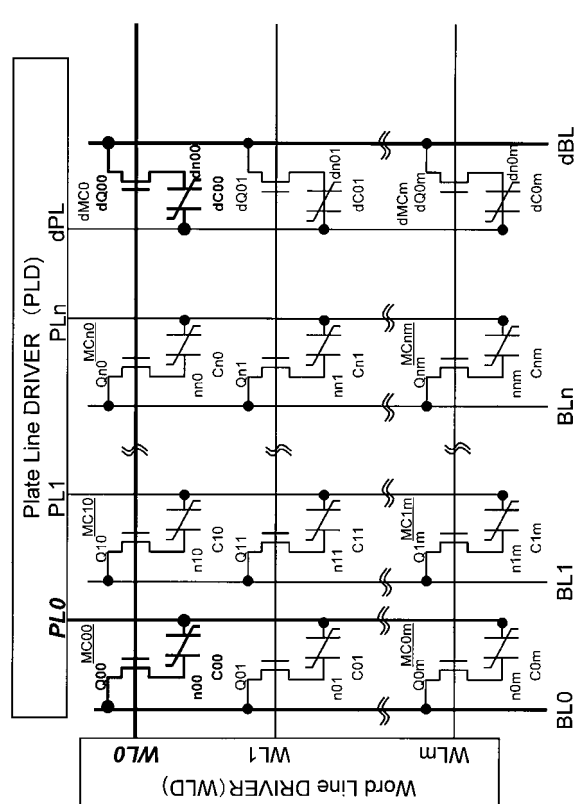
【 16 】



【 17 】



【 18 】



フロントページの続き

(56)参考文献 特開2002-187855(JP,A)
特開2010-015659(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/22