



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년07월05일

(11) 등록번호 10-2681728

(24) 등록일자 2024년07월01일

(51) 국제특허분류(Int. Cl.)

H04R 3/00 (2006.01) H04R 1/00 (2006.01)

H04R 19/04 (2006.01) H04R 3/00 (2006.01)

(52) CPC특허분류

H04R 3/00 (2013.01)

H04R 1/005 (2013.01)

(21) 출원번호 10-2022-0190665

(22) 출원일자 2022년12월30일

심사청구일자 2022년12월30일

(56) 선행기술조사문헌

JP2003032796 A*

JP2009218860 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

한국기술교육대학교 산학협력단

충청남도 천안시 동남구 병천면 충절로 1600 (한국기술교육대학교내)

(72) 발명자

김종팔

경기도 화성시 동탄순환대로27길 45, 621동 802호(영천동, 동탄역 센트럴 에미지)

(74) 대리인

특허법인 무한

전체 청구항 수 : 총 8 항

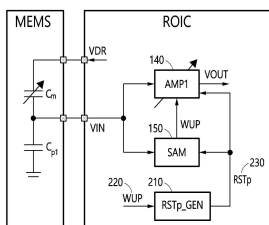
심사관 : 우만웅

(54) 발명의 명칭 마이크로폰의 전력 모드를 제어하는 제어 장치

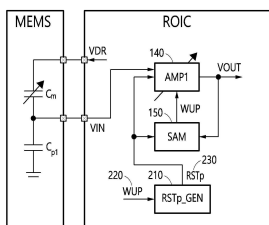
(57) 요약

마이크로폰의 전력 모드를 제어하는 제어 장치가 개시된다. 제어 장치는 마이크로폰의 입력 신호를 증폭하는 제1 회로부, 제1 회로부의 정보를 입력 받아 상기 제1 회로부의 소비 전력 모드를 제어하는 제1 제어 신호를 출력하는 제2 회로부 및 제2 회로부로부터 상기 제1 제어 신호를 입력 받아 제2 제어 신호를 출력하는 제3 회로부를 포함할 수 있고, 제1 회로부 및 제2 회로부는 제2 제어신호에 기초하여 제1 회로부 및 제2 회로부의 구성을 변경하고, 제2 제어 신호는 제1 제어 신호의 논리 상태가 변하는 시점부터 값을 변경하고, 미리 정의된 시간 동안 유지하다 원래의 논리값으로 복귀할 수 있다.

대표도 - 도2



(a)



(b)

(52) CPC특허분류

H04R 19/04 (2013.01)

H04R 2201/003 (2013.01)

H04R 2460/03 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345356194
과제번호	LINC3.0-2022-31
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	산학연협력고도화지원
연구과제명	3단계산학연협력선도대학육성사업(LINC3.0)(0.5)
기 여 율	1/1
과제수행기관명	한국기술교육대학교
연구기간	2022.03.01 ~ 2023.02.28

공지예외적용 : 있음

명세서

청구범위

청구항 1

마이크로폰의 입력 신호를 증폭하는 제1 회로부;

상기 제1 회로부의 정보를 입력 받아 상기 제1 회로부의 소비 전력 모드를 제어하는 제1 제어 신호를 출력하는 제2 회로부; 및

상기 제2 회로부로부터 상기 제1 제어 신호를 입력 받아 제2 제어 신호를 출력하는 제3 회로부를 포함하고,

상기 제1 회로부 및 상기 제2 회로부는 상기 제2 제어신호에 기초하여 상기 제1 회로부 및 상기 제2 회로부의 구성을 변경하고,

상기 제2 제어 신호는 상기 제1 제어 신호의 논리 상태가 변하는 시점부터 값을 변경하고, 미리 정의된 시간 동안 유지하다 원래의 논리값으로 복귀하는

제어 장치

청구항 2

제1항에 있어서,

상기 제1 회로부 및 상기 제2 회로부는,

소스 팔로워(source follower), 고 대역 통과 필터(high pass filter), 개루프 증폭회로(open loop amplifier) 또는 폐루프 증폭회로(closed loop amplifier)를 포함하는

제어 장치.

청구항 3

제1항에 있어서,

상기 제2 회로부는,

적어도 하나의 증폭회로, 비교부 및 논리회로를 포함하는,

제어 장치.

청구항 4

제1항에 있어서,

상기 제3 회로부는,

상기 제1 제어 신호를 미리 정의된 시간 동안 지연시켜 지연 신호를 만들어내고, 상기 제1 제어 신호와 상기 지연 신호를 배타적 논리합 연산하여 상기 제2 제어신호를 생성하는,

제어 장치.

청구항 5

제1항에 있어서,

상기 제3 회로부는,
기본 클럭과 적어도 하나의 파라미터에 기초하여 상기 미리 정의된 시간을 결정하는,
제어 장치.

청구항 6

제4항에 있어서,
상기 제3 회로부는,
상기 제1 제어 신호의 상승 엣지(rising edge) 또는 하강 엣지(falling edge) 발생 시 상기 지연 신호를 생성하는 과정의 장치를 리셋하는
제어 장치.

청구항 7

제1항에 있어서,
상기 제1 회로부 및 상기 제2 회로부는
복수의 저항 및
상기 복수의 저항과 연결되고 상기 제2 제어 신호에 의해 스위칭되는 스위치를 포함하는,
제어 장치.

청구항 8

제7항에 있어서,
상기 제2 제어 신호는,
상기 제1 제어 신호의 상승 엣지 혹은 하강 엣지 발생시 상기 제1 회로부 또는 상기 제2 회로부 내의 가변 저항의 값을 낮은 값으로 변경하는,
제어 장치.

발명의 설명

기술 분야

[0001] 본 발명은 마이크로폰의 전력 모드를 제어하는 제어 장치에 관한 것이다.

[0002] 본 발명은 “지능형 마이크로폰 적용을 위한 차동형 저전력 Sound Activity Monitor 기술 개발”의 연구 결과로 고안된 것이다.

배경 기술

[0004] 다양한 분야에서의 필요성으로 인해 마이크로폰과 관련한 기술에 관한 다양한 연구가 진행되고 있다. 근래에 들어 반도체 제조 공정을 응용해 마이크로미터 크기의 초 미세 기계부품과 전자회로를 동시 집적하는 MEMS 마이크로폰과 관련한 기술에 대한 연구가 다양하게 진행되고 있다. 또한 인공 지능 기술의 발달로 인해 음성 명령에 대한 인식 성능이 많이 향상되어, 사용자의 음성이 인식되는 상황과 음성이 인식되지 않는 상황에서의 마이크로폰의 효율적인 전력 관리 방법이 필요한 실정이다.

발명의 내용

과제의 해결 수단

- [0006] 일 실시예에 따른 마이크로폰의 전력 모드를 제어하는 제어 장치는, 마이크로폰의 입력 신호를 증폭하는 제1 회로부; 상기 제1 회로부의 정보를 입력 받아 상기 제1 회로부의 소비 전력 모드를 제어하는 제1 제어 신호를 출력하는 제2 회로부; 및 상기 제2 회로부로부터 상기 제1 제어 신호를 입력 받아 제2 제어 신호를 출력하는 제3 회로부를 포함하고, 상기 제1 회로부 및 상기 제2 회로부는 상기 제2 제어신호에 기초하여 상기 제1 회로부 및 상기 제2 회로부의 구성을 변경하고, 상기 제2 제어 신호는 상기 제1 제어 신호의 논리 상태가 변하는 시점부터 값을 변경하고, 미리 정의된 시간 동안 유지하다 원래의 논리값으로 복귀할 수 있다.
- [0007] 상기 제1 회로부 및 상기 제2 회로부는, 소스 팔로워(source follower), 고 대역 통과 필터(high pass filter), 개루프 증폭회로(open loop amplifier) 또는 폐루프 증폭회로(closed loop amplifier)를 포함할 수 있다.
- [0008] 상기 제2 회로부는, 적어도 하나의 증폭회로, 비교부 및 논리회로를 포함할 수 있다.
- [0009] 상기 제3 회로부는, 상기 제1 제어 신호를 미리 정의된 시간 동안 지연시켜 지연 신호를 만들어내고, 상기 제1 제어 신호와 상기 지연 신호를 배타적 논리합 연산하여 상기 제2 제어신호를 생성할 수 있다.
- [0010] 상기 제3 회로부는, 기본 클럭과 적어도 하나의 파라미터에 기초하여 상기 미리 정의된 시간을 결정할 수 있다.
- [0011] 상기 제3 회로부는, 상기 제1 제어 신호의 상승 엣지(rising edge) 또는 하강 엣지(falling edge) 발생 시 상기 지연 신호를 생성하는 과정의 장치를 리셋할 수 있다.
- [0012] 상기 제1 회로부 및 상기 제2 회로부는, 복수의 저항 및 상기 복수의 저항과 연결되고 상기 제2 제어 신호에 의해 스위칭되는 스위치를 포함할 수 있다.
- [0013] 상기 제2 제어 신호는, 상기 제1 제어 신호의 상승 엣지 혹은 하강 엣지 발현시 상기 제1 회로부 또는 상기 제2 회로부 내의 가변 저항의 값을 낮은 값으로 변경할 수 있다.

도면의 간단한 설명

- [0015] 도 1은 마이크로폰 회로 장치의 시스템을 설명하기 위한 블록도이다.
- 도 2는 일 실시예에 따른 마이크로폰의 전력 모드를 제어하는 제어 장치의 구성을 나타낸 블록도이다.
- 도 3a 및 도 3b는 일 실시예에 따른 마이크로폰의 전력 모드를 제어하는 제어 장치의 증폭 회로의 구성을 설명하기 위한 도면들이다.
- 도 4는 일 실시예에 따른 마이크로폰의 전력 모드를 제어하는 제어 장치의 저항과 스위치를 통해 가변 저항을 구현하는 예를 설명하기 위한 도면이다.
- 도 5a 및 도 5b는 마이크로폰의 전력 모드를 제어하는 제어 장치의 트랜지스터를 통해 가변 저항을 구현하는 예를 설명하기 위한 도면들이다.
- 도 6a 및 도 6b는 일 실시예에 따른 마이크로폰의 전력 모드를 제어하는 제어 장치의 제3 회로부의 동작을 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 실시예들에 대한 특정한 구조적 또는 기능적 설명들은 단지 예시를 위한 목적으로 개시된 것으로서, 다양한 형태로 변경되어 구현될 수 있다. 따라서, 실제 구현되는 형태는 개시된 특정 실시예로만 한정되는 것이 아니며, 본 명세서의 범위는 실시예들로 설명한 기술적 사상에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0017] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0018] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.

- [0019] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설명된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로써 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0020] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0021] 이하, 실시예들을 첨부된 도면들을 참조하여 상세하게 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.
- [0023] 도 1은 일 실시예에 따른 마이크로폰 회로 장치의 시스템을 설명하기 위한 블록도이다.
- [0024] 마이크로폰을 사용 시 사용자의 음성 입력이 존재할 경우와 음성 입력이 존재하지 않을 경우 모두 동일하게 마이크로폰을 일반 전력 모드로 작동하게 될 경우 사용자의 음성 입력이 존재하지 않는 경우에도 마이크로폰이 일반 전력 모드로 작동하게 되어 불필요하게 전력을 소모하게 되는 경우가 있다. 이에 마이크로폰이 사용자의 음성을 인식하여 일반 전력 모드로 작동되어야 하는 경우에만 일반 전력 모드로 작동하고, 사용자의 음성 입력이 없을 경우에는 저전력 모드로 작동하게 할 필요가 있다.
- [0025] 도 1을 참조하면, 일 실시예에 따른 마이크로폰 회로 장치의 시스템(100)은 트랜스듀서(예, MEMS 구조물)(110)와 전원 및 인가 신호 생성부(130)가 결합된 구성을 포함할 수 있다. 트랜스듀서(110)는 예를 들어 소리를 정전용량의 변화로 변환할 수 있는 MEMS 구조물일 수 있으며, 복수의 커패시터들을 포함하는 회로로 전기적으로 모델링 될 수 있다. 전원 및 인가 신호 생성부(130)는 예를 들어 트랜스듀서(110)에 인가신호를 공급하는 DR, 및 전체 칩에 전원을 공급하는 LDO(Low Drop Out Regulator)를 포함할 수 있다. 일 실시예에 따른 마이크로폰 회로 장치의 시스템(100)은 저전력 모드(low power mode) 또는 일반 전력 모드(normal power mode)로 동작하는 제1 증폭 회로, 및 제1 증폭 회로의 출력 신호에 기초하여 외부 입력 신호의 존재 여부를 판단하고, 외부 입력 신호의 존재 여부에 기초하여 제1 증폭 회로의 동작 모드를 저전력 모드 또는 일반 전력 모드로 동작 시키기 위한 제어 신호를 생성하는 외부 입력 신호 활동 모니터(external input signal activity monitor, or sound activity monitor, or SAM) 회로(150)를 포함할 수 있다. 저전력 모드는 일반 전력 모드보다 전력을 덜 사용하는 모드로서, 제1 회로부(140)는 저전력 모드에 있을 때 낮은 소비전력에서 신호를 버퍼링 혹은 증폭 처리하므로 상대적으로 잡음 수준이 높을 수 있다. 일반 전력 모드는 저전력 모드보다 전력을 더 사용하는 모드로서, 제1 회로부(140)는 일반 전력 모드에 있을 때 높은 소비전력에서 신호를 버퍼링 혹은 증폭 처리하므로 상대적으로 잡음 수준이 낮을 수 있다.
- [0026] 제2 회로부(150)는 제1 회로부(140)의 출력 신호를 증폭시키는 제2 증폭 회로(160), 제2 증폭 회로(160)의 출력 신호를 추가적으로 증폭한 제1 출력 신호 및 제2 출력 신호를 출력하는 제3 증폭 회로(170), 제3 증폭 회로(170)의 제1 출력 신호, 및 제2 출력 신호를 비교하여 출력하는 비교부(180), 및 비교부(180)의 출력 값에 기초하여 제1 회로부(140)를 동작 시키기 위한 제어 신호를 출력하는 논리 회로(190)를 포함할 수 있다. 논리 회로(190)는 외부 입력 신호 인식 여부에 따라 제1 회로부(140)에 신호를 전달하고, 제1 회로부(140)가 저전력 모드 또는 일반 전력 모드로 동작하도록 할 수 있다.
- [0028] 도 2는 일 실시예에 따른 마이크로폰의 전력 모드를 제어하는 제어 장치의 구성을 나타낸 블록도이다.
- [0029] 도 2를 참조하면, 도 1에서 본 바와 같은 마이크로폰 회로 장치의 시스템(100)은 고품질 센싱 모드와 저전력 센싱 모드의 두 가지 모드의 동작이 가능하다. 시스템(100)의 운용 모드의 변경이 있을 경우, 제2 회로부(150)의 출력 신호인 제1 제어 신호(220)의 값이 변경되어, 제1 회로부(140) 및 제2 증폭 회로(160)에도 step input 과 같은 잔여 효과(artifact)가 발생할 수 있다. 이 경우 회로가 저전력 센싱 모드로 변경된 후 외부 신호의 입력이 없어도 일정시간 이후 안정화되면서 비교부(180)의 입력이 변경될 수 있다. 시스템(100)은 이러한 입력의 변경을 소리 입력으로 착각하여 다시 고품질 센싱 모드로 변경될 수 있고, 이로 인해 다시 저전력 센싱 모드의 변경이 반복되어 외부 신호 입력과 관계없이 회로 자체의 잔여 효과로 인해 시스템(100)의 운용 모드의 변경이

무한정 반복될 수 있다. 이에 따라 회로 출력 안정화(settling)를 빠르게 하여 제2 회로부(150)의 과위 모드를 안정적으로 변경하기 위한 제3 회로부가 요구된다.

[0030] 도 2를 참조하면, 일 실시예에 따른 제3 회로부(210)는 마이크론의 입력 신호를 증폭하는 제1 회로부(140), 제1 회로부(140)의 정보를 입력 받아 제1 회로부(140)의 소비 전력 모드를 제어하는 제1 제어 신호(220)를 출력하는 제2 회로부(150) 및 제2 회로부(150)로부터 제1 제어 신호(220)를 입력 받아 제2 제어 신호(230)를 출력하는 제3 회로부(210)를 포함할 수 있고, 제1 회로부(140) 및 제2 회로부(150)는 제2 제어신호(230)에 기초하여 제1 회로부(140) 및 제2 회로부(150)의 구성을 변경하고, 제2 제어 신호(230)는 제1 제어 신호(220)의 논리 상태가 변하는 시점부터 값을 변경하고, 미리 정의된 시간 동안 유지하다 원래의 논리값으로 복귀할 수 있다. 제2 회로부(150)는, 적어도 하나의 증폭 회로(예: 제2 증폭회로(160), 제3 증폭회로(170)), 비교부(180) 및 논리 회로(190)를 포함할 수 있다.

[0031] 제3 회로부(210)는 제2 회로부(150)의 제1 제어 신호(220)를 수신하고 제1 제어 신호(220)에 기초하여 전력 모드가 변경되는 시점부터 일정 시간 동안 이전과 다른 출력 값이 유지되는 제2 제어 신호(230)를 생성할 수 있다. 제3 회로부(210)는 제2 제어 신호(230)에 기초하여 제1 회로부(140) 및 제2 회로부(150)내의 제2 증폭 회로 중 적어도 하나를 제어할 수 있다. 제2 회로부(150)의 입력은 도 2의 (a)에서와 같이 제1 증폭기의 입력을 공유하는 구성일 수 있다. 도 2의 (b)에서와 같이 제2 회로부(150)는 제1 증폭기의 출력을 입력으로 받는 구성일 수 있다.

[0033] 도 3a 및 도 3b는 일 실시예에 따른 마이크론의 전력 모드를 제어하는 제어 장치의 증폭 회로의 구성을 설명하기 위한 도면들이다.

[0034] 도 3a 의 (a) 와 (b)를 참조하면, 일 실시예에 따른 제어 장치의 제1 회로부 및 제2 회로부는 소스 팔로워(source follower)(310), 고 대역 통과 필터(330;335), 개루프 증폭 회로(320) 및 폐루프 증폭회로(closed loop amplifier)를 포함할 수 있다. 고 대역 통과 필터(330; 335)는 제3 회로부의 제2 제어 신호에 따라 변하는 가변 저항(331; 332; 336; 337)을 포함할 수 있으며 가변 저항(331; 332; 336; 337)의 구현 방향에 대해서는 도 4a 및 도 4b에서 구체적으로 살핀다. 제어 장치는 가변 저항(331; 332; 336; 337)을 통해 증폭 회로의 전력 모드를 변경할 때 일시적으로 낮은 저항 값을 이용할 수 있게 된다.

[0035] 도 3b를 참조하면, 일 실시예에 따른 제어 장치의 제1 회로부(140), 제2 증폭 회로(160) 및 제3 증폭 회로(170)는 폐루프 증폭회로(340)를 포함할 수 있다. 각각의 폐루프 증폭회로는 제3 회로부의 제2 제어 신호에 따라 변하는 가변 저항(341; 342)을 포함할 수 있으며 가변 저항(341; 342)의 구현 방향에 대해서는 도 4a 및 도 4b에서 구체적으로 살핀다.

[0036] 전력 모드를 변경할 때 제3 회로부는 개루프 증폭회로(320) 내의 가변저항(331, 332, 336, 337) 및 폐루프 증폭 회로(340) 내의 가변 저항(341; 342)의 값을 일시적으로 낮은 저항 값으로 이용할 수 있게 할 수 있다.

[0038] 도 4는 일 실시예에 따른 마이크론의 전력 모드를 제어하는 제어 장치의 저항과 스위치를 통해 가변 저항을 구현하는 예를 설명하기 위한 도면이다.

[0039] 도 4의 (a)와 (b)를 참조하면, 제1 회로부 및 제2 회로부는, 복수의 저항 및 복수의 저항과 연결되고 제2 제어 신호에 의해 스위칭되는 스위치를 포함할 수 있다.

[0040] 도 4의 (a)에서와 같이 저항(410)은 제2 제어 신호에 의해 스위칭 되는 스위치(420)와 병렬로 연결되어 가변 저항의 역할을 할 수 있다. 제2 제어 신호에 의해 스위치(420)의 개폐 상태가 스위칭 되면 R_{var} 의 값이 변하게 되고 이에 따라 마이크론의 전력 모드를 제어할 수 있다.

[0041] 도 4의 (b)에서와 같이 저항(430)은 제2 제어 신호에 의해 스위칭 되는 스위치(420)와 병렬로 연결되고, 저항(410)은 저항(430) 및 스위치(420)과 직렬로 연결되어 가변 저항의 역할을 할 수 있다. 제2 제어 신호에 의해 스위치(420)의 개폐 상태가 스위칭 되면 R_{var} 의 값은 저항(410)의 값 또는 저항(410) 및 저항(430)이 직렬로 연결된 저항 값을 갖게 되고 이에 따라 마이크론의 전력 모드를 제어할 수 있다.

[0043] 도 5a 및 도 5b는 마이크론의 전력 모드를 제어하는 제어 장치의 트랜지스터를 통해 가변 저항을 구현하는 예를 설명하기 위한 도면들이다.

[0044] 도 5a를 참조하면, 도 3a 및 도 3b에서 설명한 고 대역 통과 필터 또는 폐루프 증폭 회로는 PMOS 트랜지스터를 통해 가변 저항을 구현할 수 있다.

- [0045] 도 5a의 (a)를 살펴보면, 가변 저항(Rpseudo)은 제1 트랜지스터(510)를 포함할 수 있다. 가변 저항은 제1 노드에서 제1 트랜지스터(510)와 직렬로 연결된 제2 트랜지스터(520)를 포함할 수 있다. 가변 저항은 오프셋 전압을 생성하는 오프셋 전압 생성 회로부(530)를 포함할 수 있다. 제1 노드의 전압과 오프셋 전압만큼 차이가 나는 게이트 전압이 제1 트랜지스터(510)의 게이트 단자 및 제2 트랜지스터(520)의 게이트 단자 각각에 공급될 수 있다. 제1 트랜지스터(510)의 바디 단자는 제1 트랜지스터의 소스 단자 또는 드레인 단자에 연결될 수 있다. 제2 트랜지스터(520)의 바디 단자는 제2 트랜지스터의 소스 단자 또는 드레인 단자에 연결될 수 있다.
- [0046] 오프셋 전압 생성 회로부(530)는, NMOS 트랜지스터에 해당하는 제3 트랜지스터(540)를 포함할 수 있다. 오프셋 전압 생성 회로부(530)는, 제3 트랜지스터(540)의 소스 단자와 그라운드 단자에 연결된 전류원(550)을 포함할 수 있다. 제3 트랜지스터의 드레인 단자(540)에는 기준 전압이 공급될 수 있다. 오프셋 전압 생성 회로부(530)는 제2 트랜지스터(520)의 게이트 단자와 소스 단자 사이의 전압 차이를 오프셋 전압으로서 생성할 수 있다.
- [0047] 전류원(550)은, 제1 전류를 인가하는 제1 정전류원(560)을 포함할 수 있다. 전류원(550)은 제1 정전류원(560)과 병렬로 연결되어 제2 전류를 인가하는 제2 정전류원(570) 및 제2 정전류원(570)과 직렬로 연결되어 제2 제어 신호에 의해 스위칭 되는 스위치(580)를 포함할 수 있다.
- [0048] 도 5b를 참조하면, 도 3a 및 도 3b에서 설명한 고 대역 통과 필터 또는 페루프 증폭 회로는 NMOS 트랜지스터를 통해 가변 저항을 구현할 수 있다. 가변 저항은 제1 트랜지스터(510-1)를 포함할 수 있다. 가변 저항은 제1 노드에서 제1 트랜지스터(510-1)와 직렬로 연결된 제2 트랜지스터(520-1)를 포함할 수 있다. 가변 저항은 오프셋 전압을 생성하는 오프셋 전압 생성 회로부(530-1)를 포함할 수 있다. 제1 노드의 전압과 오프셋 전압만큼 차이가 나는 게이트 전압이 제1 트랜지스터(510-1)의 게이트 단자 및 제2 트랜지스터(520-1)의 게이트 단자 각각에 공급될 수 있다. 제1 트랜지스터(510-1)의 바디 단자는 제1 트랜지스터(510-1)의 소스 단자 또는 드레인 단자에 연결될 수 있다. 제2 트랜지스터(520-1)의 바디 단자는 제2 트랜지스터(520-1)의 소스 단자 또는 드레인 단자에 연결될 수 있다.
- [0049] 오프셋 전압 생성 회로부(530-1)는, PMOS 트랜지스터에 해당하는 제3 트랜지스터(540-1)를 포함할 수 있다. 오프셋 전압 생성 회로부(530-1)는, 제3 트랜지스터(540-1)의 소스 단자와 그라운드 단자에 연결된 전류원(550-1)을 포함할 수 있다. 제3 트랜지스터(540-1)의 드레인 단자에는 그라운드 전압이 공급될 수 있다. 오프셋 전압 생성 회로부(530-1)는 제2 트랜지스터(520-1)의 게이트 단자와 소스 단자 사이의 전압 차이를 오프셋 전압으로서 생성할 수 있다. 전류원(550-1)은, 제1 전류를 인가하는 제1 정전류원(560-1)을 포함할 수 있다.
- [0050] 전류원(550-1)은 제1 정전류원(560-1)과 병렬로 연결되어 제2 전류를 인가하는 제2 정전류원(570-1) 및 제2 정전류원(570-1)과 직렬로 연결되어 제2 제어 신호에 의해 스위칭 되는 스위치(580-1)를 포함할 수 있다.
- [0052] 도 6a 및 도6b는 일 실시예에 따른 마이크로폰의 전력 모드를 제어하는 제어 장치의 제3 회로부의 동작을 설명하기 위한 도면들이다.
- [0053] 도 6a의 (a)를 참조하면, 제3 회로부(210)는, 제2 회로부로부터 제1 제어 신호(220)를 수신하고, 제2 제어 신호(230) 생성에 관여하는 적어도 하나의 파라미터(예: REG_DIV[:] 및 REG_CNT[:])를 수신하고, 제1 증폭 회로, 제2 증폭 회로, 및 제3 증폭 회로 중 적어도 하나에 제2 제어 신호(230)를 송신하는 동작을 수행할 수 있다. 제3 회로부는, 제1 제어 신호(220)를 미리 정의된 시간 동안 지연시켜 지연 신호(CLK3)를 만들어내고, 제1 제어 신호(220)와 지연 신호(CLK3)를 배타적 논리합(XOR) 연산하여 제2 제어신호(230)를 생성할 수 있다. 제3 회로부(210)는, 기본 클럭과 적어도 하나의 파라미터(예: REG_DIV[:] 및 REG_CNT[:])에 기초하여 미리 정의된 시간을 결정할 수 있다. 제3 회로부(210)는, 제1 제어 신호(220)의 상승 엣지(rising edge) 또는 하강 엣지(falling edge) 발생 시 지연 신호를 생성하는 과정의 장치를 리셋할 수 있다. 제2 제어 신호(230)는, 제1 제어 신호(220)의 상승 엣지 혹은 하강 엣지 발현시 제1 회로부 또는 제2 회로부 내의 가변 저항의 값을 낮은 값으로 변경할 수 있다.
- [0054] 도 6a의 (b)를 참조하면, 제3 회로부(210)의 지연 신호(CLK3)는 적어도 하나의 파라미터(예: REG_DIV[:] 및 REG_CNT[:])에 기초하여 결정될 수 있다.
- [0055] 도 6b를 참조하면, 제2 클럭(CLK2)에 따라 제1 제어 신호(220)의 상승 엣지 후 일정 시간(예: 구간 t_r 내지 t_{r2}) 동안 제3 회로부(210)의 제2 제어 신호(230)가 on 될 수 있다. 클럭 사이클에 따라 제1 제어 신호의 하강 엣지 후 일정 시간(예: 구간 t_f 내지 t_{f2}) 동안 제2 제어 신호가 on 될 수 있다. 제3 회로부(210)의 출력신호(230)는 평소 제1 논리상태에 있다가, 제1 제어 신호(220)의 edge 발생 시점 부터 제2 논리상태로 전환된 뒤 일

정시간(Trst) 지난 뒤 제1 논리상태로 복귀할 수 있다. 변경된 논리상태에 머무는 시간(Trst)는 적어도 하나의 파라미터(예: REG_DIV[:] 및 REG_CNT[:])에 기초하여 결정될 수 있으며, 사용자는 다양한 마이크로폰 운용 시나리오에 따라 적어도 하나의 파라미터(예: REG_DIV[:] 및 REG_CNT[:])를 제어할 수 있다.

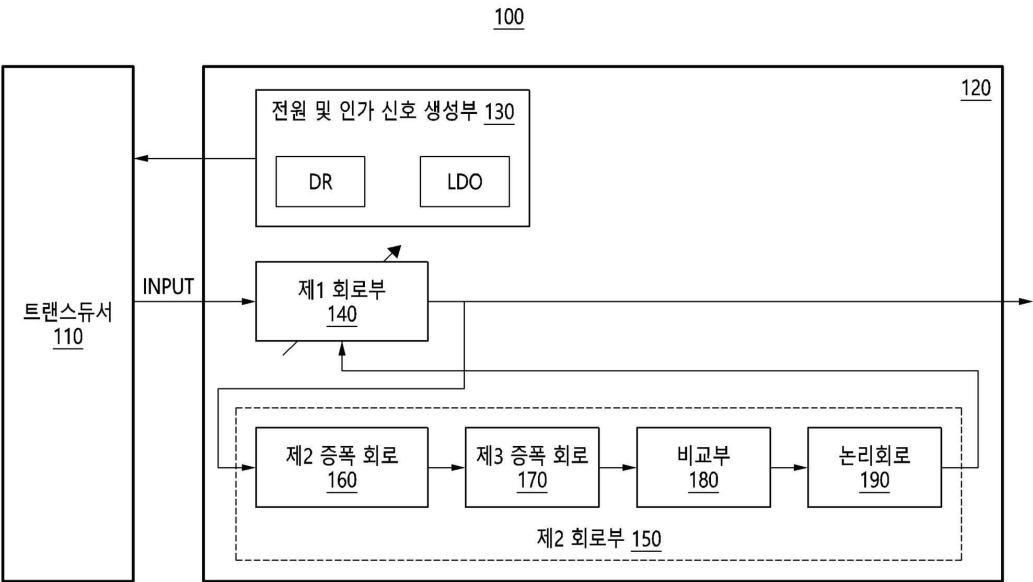
- [0056] CLK_DIV는 입력신호 기본클럭(CLK)의 주파수를 2의 n1승 배만큼 감소시켜 출력신호 제1 클럭(CLK1)을 생성할 수 있으며, 여기서 자연수 n1은 파라미터 REG_DIV[:]의 설정에 따라 정해질 수 있다. CLK_CNT는 입력신호인 제1 클럭(CLK1)을 기반으로 n2 개수만큼에 해당하도록 출력신호인 제2 클럭(CLK2)의 반주기를 생성할 수 있으며, 여기서 자연수 n2는 파라미터 REG_CNT[:]의 설정에 따라 정해질 수 있다.
- [0057] 디플립플롭(DFF)은 입력신호(IN, WUP)를 제2 클럭(CLK2) 신호의 상승 엣지에서 샘플링하여 지연 신호(CLK3)로 출력할 수 있다. 지연 신호(CLK3)는 입력신호(IN, WUP)와 배타적 논리합(XOR) 연산처리되어 제2 제어 신호가 생성될 수 있다. 즉 지연 신호(CLK3)와 입력신호(IN, WUP)가 논리값이 같을 때는 논리 LOW가, 논리값이 다를 때는 논리 HIGH가 출력될 수 있다.
- [0058] 입력신호(IN, WUP)의 상승 엣지 나 하강 엣지는 임의의 시점에서 발생할 수 있다. 만일 제2 클럭(CLK2)의 상승 엣지 발생 직후 입력신호(IN, WUP)의 상승 엣지나 하강 엣지가 발생되었다면, 입력신호(IN, WUP)의 엣지 발생 후 지연 신호(CLK3)에 상승 엣지 발생 시점까지의 시간은 제2 클럭(CLK2)의 한 주기 시간(T_{clk2})보다 약간 길 수 있다. 반면, 제2 클럭(CLK2)의 상승 엣지 발생 직전 입력신호(IN, WUP)의 상승 엣지나 하강 엣지가 발생되었다면, 입력신호(IN, WUP)의 엣지 발생 후 지연신호(CLK3)에 상승 엣지 발생 시점까지의 시간은 거의 0이 될 수 있다. 이 같은 입력신호(IN, WUP)의 엣지 발생 시점에 따라 출력신호(OUT, RSTp)의 on 구간(duration)이 제2 클럭(CLK2)의 한 주기 시간만큼 차이가 발생할 수 있고, 이러한 가변성을 줄이기 위하여 입력신호(IN, WUP)의 상승 엣지나 하강 엣지 발생시 CLK_DIV 과 CLK_CNT는 리셋될 수 있다. CLK_DIV 과 CLK_CNT가 리셋 되면 입력신호(IN, WUP)의 상승 엣지나 하강 엣지 발생이 임의의 시점에 발생하더라도 출력신호(OUT, RSTp)의 지속 시간(on duration)을 일정하게 유지할 수 있다. 여기서 AUTO_PULSE1는 상승 엣지가 입력될 경우 로우 액티브 리셋(low active reset) 신호를 출력할 수 있다.
- [0059] 즉 제3 회로부(210)는 설명한 바와 같이 클럭 사이클에 따라 특정 논리상태를 유지하고 있다가 전력 모드 변경 시점으로부터 일정 시간 동안만 다른 논리 상태를 가질 수 있고, 이를 통해 증폭 회로의 빠른 안정화를 도모할 수 있다.
- [0061] 이상에서 설명된 실시예들은 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치, 방법 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0062] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 또는 컴퓨터 저장 매체 또는 장치에 영구적으로, 또는 일시적으로 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0063] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 이를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수

있다.

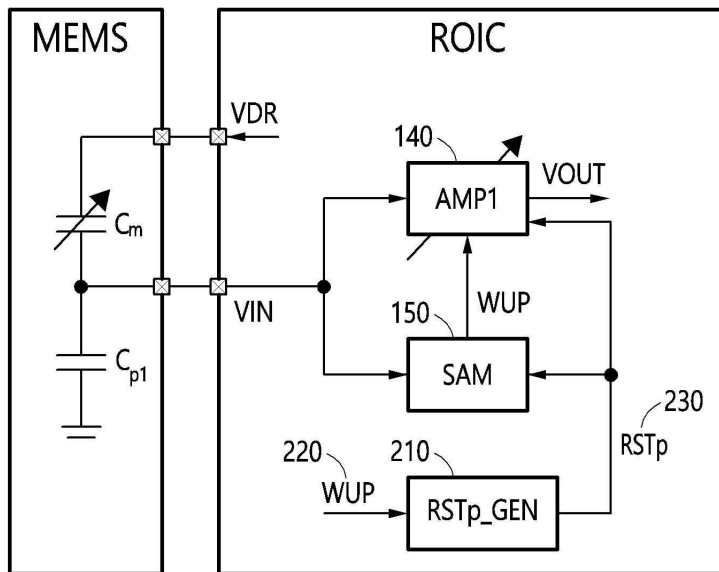
[0064] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

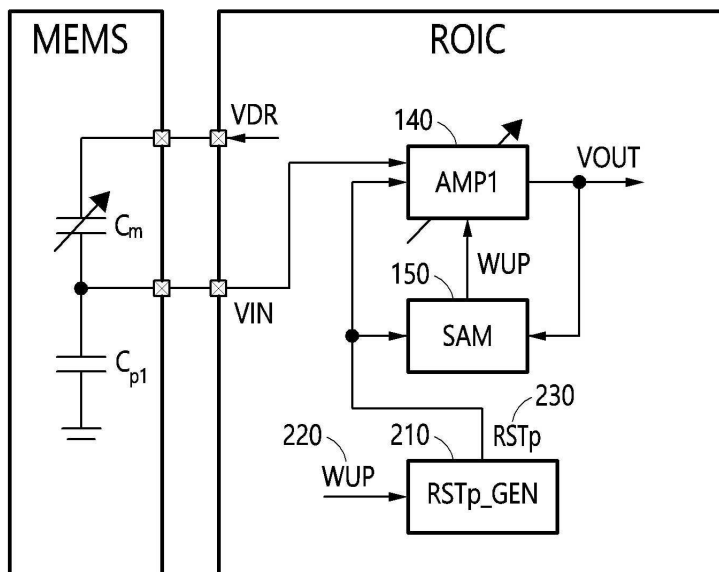
도면1



도면2

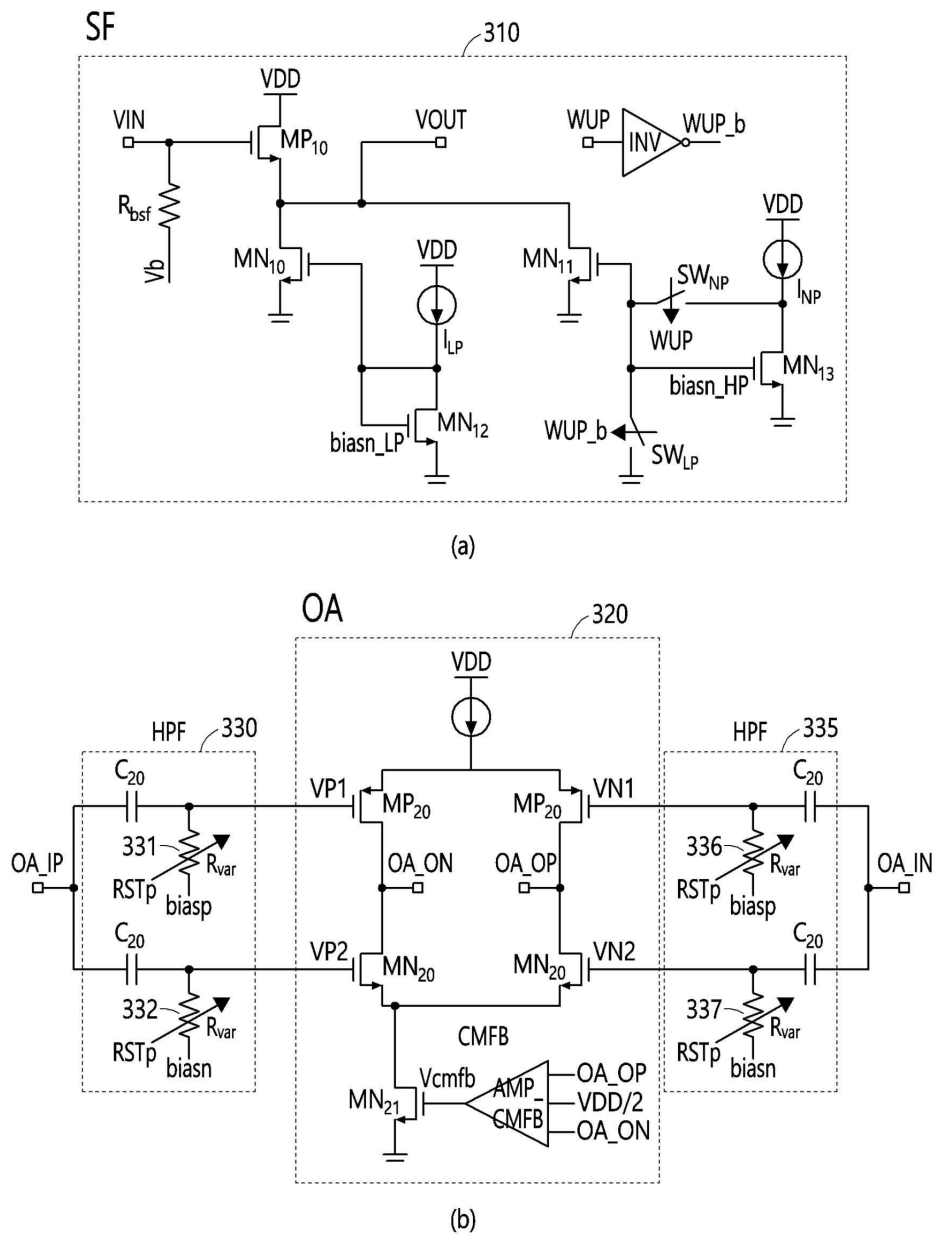


(a)

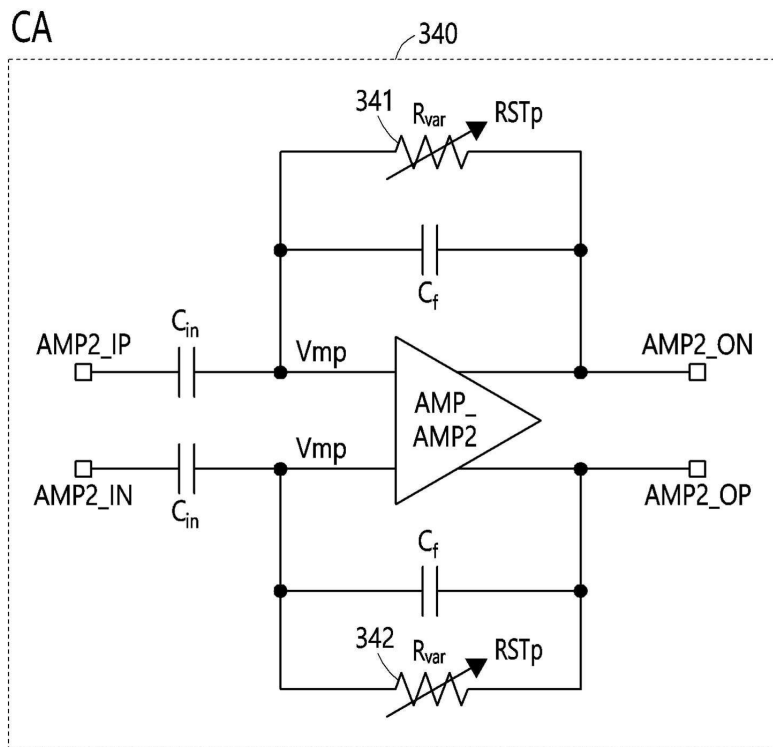


(b)

도면 3a

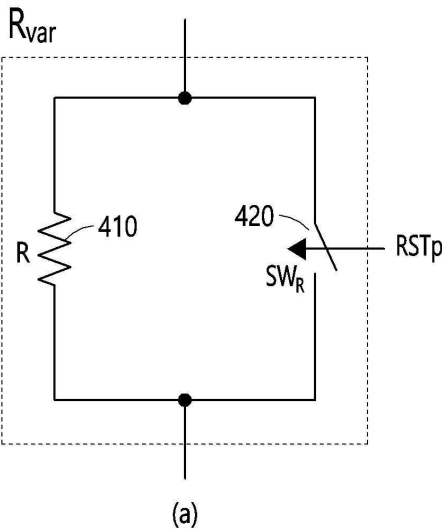


도면 3b

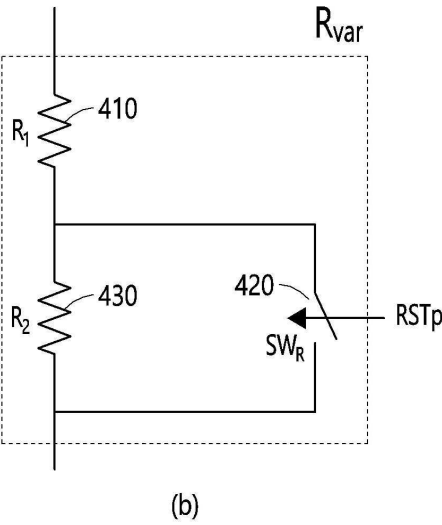


도면4

331; 332; 336; 337; 341; 342

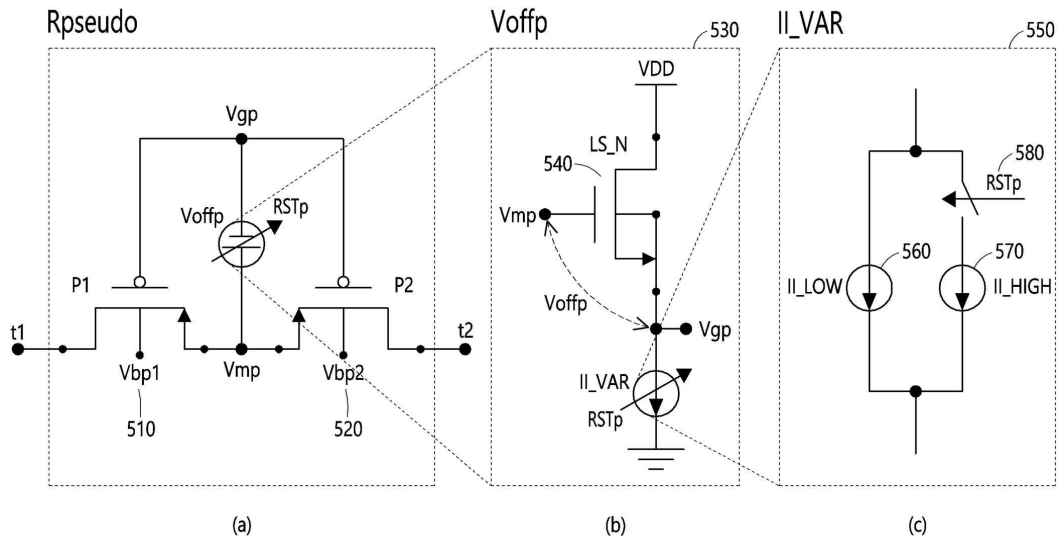


331; 332; 336; 337; 341; 342



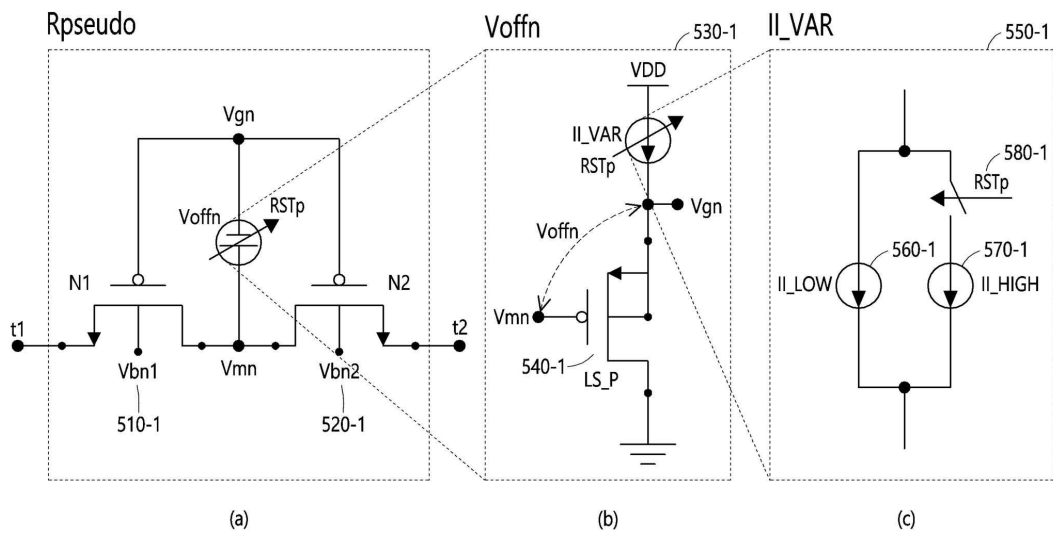
도면5a

331; 332; 336; 337; 341; 342

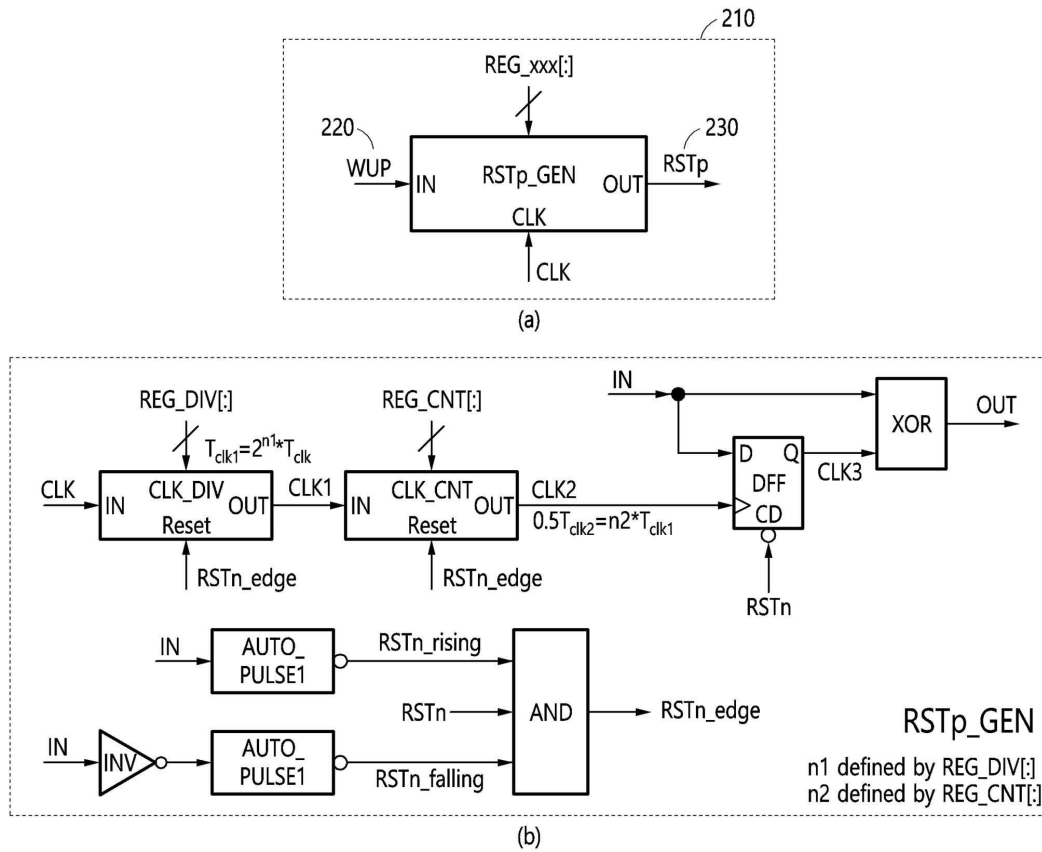


도면5b

331; 332; 336; 337; 341; 342



도면6a



도면6b

