

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-311941  
(P2004-311941A)

(43) 公開日 平成16年11月4日(2004.11.4)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/822	HO 1 L 27/04	5 F O 3 3
HO 1 L 21/768	HO 1 L 21/90	5 F O 3 8
HO 1 L 27/04		

審査請求 未請求 請求項の数 30 O L (全 15 頁)

(21) 出願番号	特願2003-400078 (P2003-400078)	(71) 出願人	390019839 三星電子株式会社
(22) 出願日	平成15年11月28日 (2003.11.28)		大韓民国京畿道水原市靈通区梅灘洞 4 1 6
(31) 優先権主張番号	2003-007160	(74) 代理人	100072349 弁理士 八田 幹雄
(32) 優先日	平成15年2月5日 (2003.2.5)	(74) 代理人	100102912 弁理士 野上 敦
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100110995 弁理士 奈良 泰男
		(74) 代理人	100111464 弁理士 齋藤 悦子
		(74) 代理人	100114649 弁理士 宇谷 勝幸
		(74) 代理人	100124615 弁理士 藤井 敏史

最終頁に続く

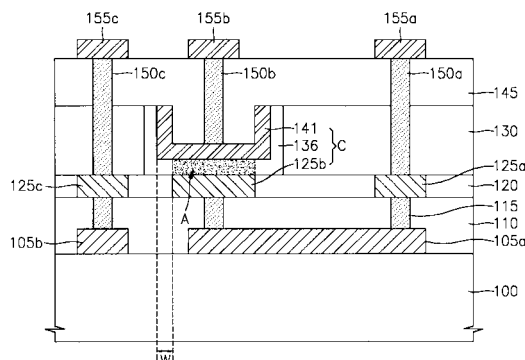
(54) 【発明の名称】 集積回路用の平板形キャパシタ及びその製造方法

(57) 【要約】

【課題】 集積回路用平板形キャパシタ及びその製造方法を提供する。

【解決手段】 半導体基板(100)の所定部分に形成される下部配線(105a)、前記下部配線と電氣的に連結され、下部配線上に形成される下部電極(125b)、前記下部電極の上部に両エッジを有する凹状よりなる誘電膜(136)、前記誘電膜表面に凹状よりなる上部電極(141)、前記下部配線と電氣的に連結される第1上部配線、及び前記上部電極と連結される第2上部配線を含み、前記凹状の上部電極が下部電極より大きく形成される。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

半導体基板の所定部分に形成される下部配線と、  
前記下部配線と電氣的に連結される下部電極と、  
前記下部電極の上部に形成された凹状の誘電膜と、  
前記下部電極より大きく、前記誘電膜の上部に形成される凹状の上部電極と、  
前記下部配線と電氣的に連結される第 1 上部配線と、  
前記上部電極と連結される第 2 上部配線と、を含むことを特徴とする平板形キャパシタ

## 【請求項 2】

10

前記下部電極は、前記凹状の上部電極のエッジの間に位置することを特徴とする請求項 1 に記載の平板形キャパシタ。

## 【請求項 3】

前記下部電極及び/または上部電極 Ti、Ta、W、TiN、Ta<sub>2</sub>N<sub>5</sub>、Al、Cu、Ru、Pt、Ir 物質及びこれらの組み合わせ膜のうち選択される何れか一つよりなることを特徴とする請求項 1 に記載の平板形キャパシタ。

## 【請求項 4】

前記誘電膜は、SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、Ta<sub>2</sub>O<sub>5</sub>、Al<sub>2</sub>O<sub>3</sub>、HfO、ZrO<sub>2</sub>、BST、PZT 及び ST 膜のうち選択される何れか一つよりなることを特徴とする請求項 1 に記載の平板形キャパシタ。

20

## 【請求項 5】

半導体基板上の所定部分に形成された第 1 金属配線と、  
前記半導体基板及び第 1 金属配線の上部に形成される第 1 層間絶縁膜と、  
前記第 1 層間絶縁膜の上部に形成される第 2 層間絶縁膜と、  
前記第 1 層間絶縁膜の上部に形成され、前記第 1 金属配線の一侧と連結される下部電極と、

前記第 1 層間絶縁膜の上部に形成され、前記下部電極と電氣的に絶縁される第 2 金属配線と、

前記第 2 層間絶縁膜の上部に形成される第 3 層間絶縁膜と、

前記下部電極及び第 2 層間絶縁膜の上部に形成される凹状の誘電膜と、

30

前記凹状の誘電膜の上面に沿って形成され、前記下部電極より大きい形状を有する凹状の上部電極と、

前記凹状の誘電膜、凹状の上部電極及び第 3 層間絶縁膜の上部に形成される第 4 層間絶縁膜と、

前記第 4 層間絶縁膜の上部に形成される多数の第 3 金属配線と、を含み、

前記第 3 金属配線のうち何れか一つは上部電極と連結され、他の一つは第 2 金属配線と連結されることを特徴とする平板形キャパシタ。

## 【請求項 6】

前記下部電極は、前記凹状の上部電極のエッジの間に位置することを特徴とする請求項 5 に記載の平板形キャパシタ。

40

## 【請求項 7】

前記下部電極及び第 2 金属配線は、同じ物質よりなることを特徴とする請求項 5 に記載の平板形キャパシタ。

## 【請求項 8】

前記下部電極、第 2 金属配線及び/または上部電極 Ti、Ta、W、TiN、Ta<sub>2</sub>N<sub>5</sub>、Al、Cu、Ru、Pt、Ir 物質及びこれらの組み合わせ膜のうち選択される何れか一つよりなることを特徴とする請求項 7 に記載の平板形キャパシタ。

## 【請求項 9】

前記下部電極、第 2 金属配線及び第 2 層間絶縁膜は、同じ厚さを有することを特徴とする請求項 5 に記載の平板形キャパシタ。

50

## 【請求項 10】

前記誘電膜は、 $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{HfO}$ 、 $\text{ZrO}_2$ 、 $\text{BST}$ 、 $\text{PZT}$ 及び $\text{ST}$ 膜のうち選択される何れか一つよりなることを特徴とする請求項 5 に記載の平板形キャパシタ。

## 【請求項 11】

前記第 1 ないし第 4 層間絶縁膜は、同じエッチング選択比を有する絶縁膜であることを特徴とする請求項 10 に記載の平板形キャパシタ。

## 【請求項 12】

半導体基板の所定部分上に下部配線を形成する段階と、  
前記下部配線と電気的に連結されるように下部電極を形成する段階と、  
前記下部電極の上部に層間絶縁膜を形成する段階と、  
前記下部電極及び下部電極を取り囲む部分が露出されるように層間絶縁膜をエッチングしてエッチング領域を形成する段階と、  
前記層間絶縁膜のエッチング領域内に凹状に誘電膜及び上部電極を形成する段階と、  
前記下部配線と電気的に連結されるように第 1 上部配線及び前記上部電極と連結されるように第 2 上部配線を同時に形成する段階と、を含み、  
前記上部電極は、前記下部電極より大きいことを特徴とする平板形キャパシタの製造方法。

10

## 【請求項 13】

前記下部配線と電気的に連結されるように下部電極を形成する段階は、  
前記半導体基板及び前記下部配線上に第 1 絶縁膜を形成する段階と、  
前記第 1 絶縁膜内に前記下部配線の一侧及び他側と各々コンタクトされる少なくとも二つのプラグを形成する段階と、  
前記第 1 絶縁膜及び少なくとも二つのプラグの上部に第 2 絶縁膜を形成する段階と、  
前記少なくとも二つのプラグのうち何れか一つとコンタクトされるように第 2 絶縁膜内に下部電極を形成する段階と、  
前記他の一つのプラグとコンタクトされるように第 2 絶縁膜内に形成される金属配線を形成する段階と、を含み、  
前記金属配線は、前記第 2 上部配線と電気的に連結されることを特徴とする請求項 12 に記載の平板形キャパシタの製造方法。

20

30

## 【請求項 14】

前記第 2 絶縁膜内に下部電極を形成する段階と前記第 2 絶縁膜内に金属配線を形成する段階とは、  
前記少なくとも二つのプラグが露出されるまで第 2 絶縁膜をエッチングし、下部電極が形成される第 1 領域及び金属配線が形成される第 2 領域を限定する段階と、  
前記第 1 及び第 2 領域が充填されるように第 2 絶縁膜上に金属膜を蒸着する段階と、  
前記金属膜を第 2 絶縁膜の表面が露出されるように平坦化させ、前記下部電極及び金属配線を形成する段階と、を含むことを特徴とする請求項 13 に記載の平板形キャパシタの製造方法。

## 【請求項 15】

前記層間絶縁膜のエッチング領域内に凹状の誘電膜及び凹状の上部電極を形成する段階は、  
前記層間絶縁膜及びエッチング領域の全面の上部に誘電膜を蒸着する段階と、  
前記誘電膜の上面に導電層を蒸着する段階と、  
前記上部電極用導電層及び誘電膜を前記層間絶縁膜の上面が露出されるようにCMPする段階と、を含むことを特徴とする請求項 12 に記載の平板形キャパシタの製造方法。

40

## 【請求項 16】

前記導電層を蒸着する段階と、導電層及び誘電膜をCMPする段階間に、前記バッファ酸化膜を形成する段階と、をさらに含み、以後のCMP段階時に前記バッファ膜が除去されることを特徴とする請求項 15 に記載の平板形キャパシタの製造方法。

50

## 【請求項 17】

前記下部電極、第2金属配線及び/または上部電極は、Ti、Ta、W、TiN、TaN、Al、Cu、Ru、Pt、Ir物質及びこれらの組み合わせ膜のうち選択される何れか一つよりなることを特徴とする請求項12に記載の平板形キャパシタの製造方法。

## 【請求項 18】

前記下部電極、第2金属配線及び/または上部電極は、250ないし500の温度範囲で蒸着することを特徴とする請求項17に記載の平板形キャパシタの製造方法。

## 【請求項 19】

前記下部電極、第2金属配線及び/または上部電極は、CVD、PVD、ALD及び電気メッキ方式のうち選択される何れか一つで形成することを特徴とする請求項18に記載の平板形キャパシタの製造方法。

10

## 【請求項 20】

前記誘電膜は、SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、Ta<sub>2</sub>O<sub>5</sub>、Al<sub>2</sub>O<sub>3</sub>、HfO、ZrO<sub>2</sub>、BST、PZT及びST膜のうち選択される何れか一つよりなることを特徴とする請求項12に記載の平板形キャパシタの製造方法。

## 【請求項 21】

半導体基板の所定部分に下部金属配線を形成する段階と、  
 前記半導体基板及び下部配線の上部に第1層間絶縁膜を形成する段階と、  
 前記下部金属配線とコンタクトされるように第1層間絶縁膜内に第1及び第2プラグを形成する段階と、  
 前記第1層間絶縁膜、第1プラグ及び第2プラグの上部に第2層間絶縁膜を形成する段階と、  
 前記第1プラグ及び前記第2プラグとコンタクトされる中間金属配線とコンタクトされるように下部電極を形成する段階と、  
 前記第2層間絶縁膜、下部電極及び中間金属配線の上部に第3層間絶縁膜を形成する段階と、  
 前記下部電極及び前記下部電極を取り囲む第2層間絶縁膜が露出されるようにキャパシタ領域を限定する段階と、  
 前記下部電極より大きくなるように前記キャパシタ領域に誘電膜及び上部電極を形成する段階と、  
 前記第3層間絶縁膜及びキャパシタ領域に第4層間絶縁膜を形成する段階と、  
 前記中間金属配線とコンタクトされるように第4及び第3層間絶縁膜内に第3プラグを形成し、前記上部電極とコンタクトされるように第4層間絶縁膜内に第4プラグを形成する段階と、  
 前記第3プラグとコンタクトされる第1上部金属配線及び前記第4プラグとコンタクトされる第2上部金属配線を形成する段階と、を含むことを特徴とする平板形キャパシタの製造方法。

20

30

## 【請求項 22】

前記第1層間絶縁膜を形成する段階及び第1及び第2プラグを形成する段階は、  
 前記半導体基板上に第1絶縁物質を蒸着する段階と、  
 前記第1金属配線の二つの分離された領域が露出されるまで第1層間絶縁膜をエッチングしてビアホールを形成する段階と、  
 前記ビアホールが充填されるように前記第1絶縁物質の上部に導電層を蒸着する段階と、  
 前記第1絶縁物質が露出されるまで導電層を平坦化する段階と、を含むことを特徴とする請求項21に記載の平板形キャパシタの製造方法。

40

## 【請求項 23】

前記第2層間絶縁膜を形成する段階、前記下部電極を形成する段階及び前記中間金属配線を形成する段階は、  
 前記第1層間絶縁膜及び第1及び第2プラグの上部に絶縁物質を蒸着する段階と、

50

前記第 1 プラグ、第 2 プラグ、第 1 プラグを取り囲む領域及び第 2 プラグを取り囲む領域が露出されるまで絶縁物質をエッチングしてエッチング領域を形成する段階と、  
 前記エッチング領域が充填されるように絶縁物質の上部に導電層を蒸着する段階と、  
 前記絶縁物質が露出されるように導電層を平坦化する段階と、を含むことを特徴とする請求項 2 1 に記載の平板形キャパシタの製造方法。

【請求項 2 4】

前記誘電膜及び上部電極を形成する段階は、  
 結果物の上部に誘電膜を蒸着する段階と、  
 前記誘電膜の上部に導電層を蒸着する段階と、  
 前記導電層及び誘電膜を前記第 3 層間絶縁膜の表面が露出されるように C M P する段階と、を含むことを特徴とする請求項 2 1 に記載の平板形キャパシタの製造方法。 10

【請求項 2 5】

前記導電層を蒸着する段階と、導電層及び誘電膜を C M P する段階間に、前記バフア酸化膜を形成する段階と、をさらに含み、以後 C M P 段階時に前記バフア膜が除去されることを特徴とする請求項 2 1 に記載の平板形キャパシタの製造方法。

【請求項 2 6】

前記下部電極、第 2 金属配線及び/または上部電極 T i、T a、W、T i N、T a N、A l、C u、R u、P t、I r 物質及びこれらの組み合わせ膜のうち選択される何れか一つよりなることを特徴とする請求項 2 1 に記載の平板形キャパシタの製造方法。

【請求項 2 7】

前記下部電極、第 2 金属配線及び/または上部電極は、2 5 0 ないし 5 0 0 の温度範囲で蒸着することを特徴とする請求項 2 6 に記載の平板形キャパシタの製造方法。 20

【請求項 2 8】

前記下部電極、第 2 金属配線及び/または上部電極は C V D、P V D、A L D 及び電気メッキ方式のうち選択される何れか一つで形成することを特徴とする請求項 2 7 に記載の平板形キャパシタの製造方法。

【請求項 2 9】

前記誘電膜は、S i O<sub>2</sub>、S i<sub>3</sub> N<sub>4</sub>、T a<sub>2</sub> O<sub>5</sub>、A l<sub>2</sub> O<sub>3</sub>、H f O、Z r O<sub>2</sub>、B S T、P Z T 及び S T 膜のうち選択される何れか一つよりなることを特徴とする請求項 2 1 に記載の平板形キャパシタの製造方法。 30

【請求項 3 0】

前記第 1 ないし第 4 層間絶縁膜は、同じエッチング選択比を有する絶縁膜であることを特徴とする請求項 2 1 に記載の平板形キャパシタの製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は集積回路用の平板形キャパシタ及びその製造方法に係り、より具体的にはキャパシタ誘電膜の劣化を防止し、キャパシタの特性を改善できる集積回路用の平板形キャパシタ及びその製造方法に関する。

【背景技術】

【0 0 0 2】

半導体メモリ素子だけでなくアナログ素子、すなわち、R F ( R a d i o F r e q u e n c y ) 素子、混合信号素子、及びシステムドライバ素子もキャパシタがなければならぬ成分のうち一つである。

【0 0 0 3】

このような集積回路用キャパシタは、多様な形に形成されるが、一般的には誘電膜によって分離された平行した薄膜の導電層よりなり、これを薄膜平板形キャパシタと称している。

【0 0 0 4】

図 1 は、一般的な集積回路用の平板形キャパシタを示す断面図であって、同図面を参照 50

して平板形キャパシタを説明すれば、半導体基板 10 の上部に第 1 金属膜を蒸着する。半導体基板 10 は、トランジスタ、IC 素子及び金属配線が形成されているシリコン基板であり、前記第 1 金属膜は図面上最初に蒸着されているので、第 1 金属膜と称しており、半導体素子全体では第 2 または第 3 金属膜となることもできる。第 1 金属膜の所定部分をパターンニングして、下部電極 12 a 及び第 1 金属配線 12 b を形成する。第 1 金属配線 12 b も当該図面上最初に見られる配線であるので、第 1 金属配線 12 b と称しており、第 2 または第 3 金属配線となりうる。

【0005】

その後、半導体基板 10 の結果物の上部に誘電膜 14 及び上部電極用金属膜を順次に蒸着した後、上部電極用金属膜及び誘電膜 14 を下部電極 12 a の所定部分が露出されるようにエッチングする。この時、下部電極 12 a の所定部分が誘電膜 14 の残留なしに露出されるように、誘電膜 14 をエッチングする。また、下部電極 12 a の所定部分を露出させるのは、以後下部電極 12 a を上部金属配線と電氣的に連結させるためである。次いで、結果物の上部に層間絶縁膜 18 を形成した後、下部電極 12 a、第 1 金属配線 12 b 及び上部電極 16 が露出されるように層間絶縁膜 18 をエッチングしてビアホール（図示せず）を形成する。

10

【0006】

ビアホール内に導電物を充電させてプラグ 20 を形成し、プラグ 20 各々とコンタクトされるように第 2 金属配線 22 a、22 b、22 c を形成する。ここで、第 2 金属配線 22 a は、下部電極 12 a に電氣的信号を供給し、第 2 金属配線 22 b は上部電極 16 に電氣的信号を供給し、第 2 金属配線 22 c は第 1 金属配線 12 b に電氣的信号を供給する。

20

【0007】

しかし、前記平板形キャパシタは、誘電膜 14 がエッチングされる過程で、誘電膜 14 の側壁にエッチング副産物が吸着されうる。このように、誘電膜 14 の側壁にエッチング副産物が吸着されれば、誘電膜の電氣的特性が低下する。

【0008】

また、誘電膜 14 のエッチングによって下部電極 12 a が露出される場合、下部電極 12 a が一部エッチングされ、エッチングされた下部電極 12 a の残滓が誘電膜 14 の側壁に再スパッタリングされうる。図 1 で点線形態の矢印は、下部電極 12 a の再スパッタリング経路を示す。

30

【0009】

このように誘電膜 14 及び下部電極 12 a の残滓が誘電膜 14 の側壁に付着または再スパッタリングされることは、後続の洗浄工程である程度除去されるが、十分にエッチング残滓物を除去するのは難しく、工程数を増やすという問題がある。

【0010】

このため従来他の方法では、図 2 に示されたように、誘電膜 14 を下部電極 12 a と同時にエッチングし、誘電膜 14 の上部に上部電極 16 だけを個別的にエッチングしている。その後、層間絶縁膜 18 及び誘電膜 14 を同時にエッチングしてビアホールを形成する。このような技術は、特許文献 1（図 1 A ないし図 1 G）に開示されている。

【0011】

前記のような技術は、上部電極 16 と誘電膜 14 とを同時にエッチングしないので、誘電膜 14 の側壁へのエッチング副産物の発生を減少させ、誘電膜 14 を過度にエッチングする必要がないので、下部電極 12 a の再スパッタリング現象を防止できるという長所がある。しかし、ビアホールの形成時、層間絶縁膜 18 及び高誘電率を有する誘電膜 14 を同時にエッチングしなければならないので、層間絶縁膜 18 及び誘電膜 14 を各々エッチングしなければならないという面倒さがある。

40

【0012】

前述した従来の問題点を解決するための従来さらに他の方法には、図 3 に示されたように、半導体基板 10 の上部に第 1 層間絶縁膜 52 を蒸着し、第 1 層間絶縁膜 52 の内部の所定部分に第 1 金属配線 54、56 を形成する。第 1 金属配線 54、56 は、公知のダ

50

マシン方式で形成されうる。この時、第1金属配線54は、以後形成される下部電極と接触されるように比較的広い線幅に形成される。第1金属配線54, 56を含む第1層間絶縁膜52の上部に第2層間絶縁膜58を蒸着した後、第1金属配線54, 56が各々露出されるように第2層間絶縁膜58を所定部分エッチングして凹状のキャパシタ領域(図示せず)及びビアホール(図示せず)を限定する。

#### 【0013】

その後、キャパシタ領域内に下部電極用の導電層及び誘電膜66を順次に蒸着し、これらをCMP(Chemical Mechanical Polishing)して、凹状のキャパシタ領域に下部電極62及び誘電膜66を形成する。それと同時に、ビアホール内に第1プラグ64を形成する。誘電膜66及び第2層間絶縁膜58の上部に上部電極用の導電層を前記キャパシタ領域が充填されるように蒸着した後、上部電極用の導電層をCMPして上部電極68を形成して、凹状のキャパシタを限定する。その後、半導体基板の結果物の上部に第3層間絶縁膜72を形成し、下部電極62から延びたパッド63、上部電極68及び第1プラグ64と露出されるように第3層間絶縁膜72をエッチングしてビアホールを形成する。その後、第3層間絶縁膜72内のビアホールの内部に第2プラグ74, 76, 78を公知の方式で形成する。このような技術は特許文献2(図13参照)に開示されている。

10

#### 【0014】

前記特許文献2は、上部電極をCMP方式によって形成するので、誘電膜66の側壁にエッチング副産物が吸着される恐れがなく、誘電膜を過度にエッチングしなくてもよいので、下部電極62の再スパッタリング現象が発生しない。また、ビアホールの形成時、誘電膜66と層間絶縁膜58または72とを同時にエッチングしなくてもよいので、ビアホール工程が単純化される。

20

#### 【0015】

しかし、前記技術は下部電極62から延びたパッド63、誘電膜66及び上部電極68が全てCMP方式によって形成されるので、CMPの残滓が誘電膜66の表面に残留する場合、下部電極62と上部電極68間にブリッジを誘発する。また、下部電極パッド63、誘電膜66及び上部電極68の表面に物理的な力が印加されることでスクラッチが発生したり、研磨剤から腐食のような化学的な問題が発生したりする。これにより、下部電極パッド63及び上部電極68と第2プラグ76間の接触時、接触不良が誘発されうる。また、実質的に誘電膜68として使われる部分がCMPによってスクラッチされて、誘電膜68の特性が劣化する。

30

#### 【0016】

また、前記特許文献2の凹状のキャパシタは、両側のエッジに当たる部分Xにストレスが集中して、下部電極62及び上部電極66に電圧印加時、前記エッジ部分Xに当たる誘電膜66で容易にブレイクダウンが発生するので、キャパシタの電気的特性が劣化する。このような現象は、凹状のキャパシタ構造にも起因できるが、キャパシタ領域のエッジ部分に誘電膜66が定常的に蒸着されなくて発生することもある。これにより、特許文献2も接触不良及び誘電膜の劣化という問題を解決し難い。

【特許文献1】米国特許6,492,223号公報(金森による)

40

【特許文献2】米国特許5,708,559号公報(Brabazonによる)

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0017】

本発明が解決しようとする技術的課題は、キャパシタの誘電膜の劣化を防止し、キャパシタの電気的特性を改善できる平板形キャパシタを提供することである。

#### 【0018】

本発明が解決しようとする他の技術的課題は、キャパシタの電極とプラグ間の接触特性を改善できる平板形キャパシタの製造方法を提供することである。

#### 【0019】

50

また、本発明が解決しようとするさらに他の技術的課題は、工程を単純化できる平板形キャパシタの製造方法を提供することである。

【課題を解決するための手段】

【0020】

前記本発明の技術的課題を達成するための本発明の一見地による平板形キャパシタは、半導体基板の所定部分に形成される下部配線、前記下部配線と電氣的に連結される下部電極、前記下部電極の上部に形成された凹状の誘電膜、前記下部電極より大きく、前記誘電膜の上部に形成される凹状の上部電極、前記下部配線と電氣的に連結される第1上部配線、及び前記上部電極と連結される第2上部配線を含む。

【0021】

また、本発明の他の実施の形態による平板形キャパシタは、半導体基板上の所定部分に形成された第1金属配線、前記半導体基板及び第1金属配線の上部に形成される第1層間絶縁膜、前記第1層間絶縁膜の上部に形成される第2層間絶縁膜、前記第1層間絶縁膜の上部に形成され、前記第1金属配線の一侧と連結される下部電極、前記第1層間絶縁膜の上部に形成され、前記下部電極と電氣的に絶縁される第2金属配線、前記第2層間絶縁膜の上部に形成される第3層間絶縁膜、前記下部電極及び第2層間絶縁膜の上部に形成される凹状の誘電膜、前記凹状の誘電膜の上面に沿って形成され、前記下部電極より大きい形状を有する凹状の上部電極、前記凹状の誘電膜、凹状の上部電極及び第3層間絶縁膜の上部に形成される第4層間絶縁膜、及び前記第4層間絶縁膜の上部に形成される多数の第3金属配線を含み、前記第3金属配線のうち何れか一つは上部電極と連結され、他の一つは第2金属配線と連結される。

【0022】

また、本発明による平板形キャパシタの製造方法は、半導体基板の所定部分上に下部配線を形成する段階、前記下部配線と電氣的に連結されるように下部電極を形成する段階、前記下部電極の上部に層間絶縁膜を形成する段階、前記下部電極及び下部電極を取り囲む部分が露出されるように層間絶縁膜をエッチングしてエッチング領域を形成する段階、前記層間絶縁膜のエッチング領域内に凹状に誘電膜及び上部電極を形成する段階、及び前記下部配線と電氣的に連結されるように第1上部配線及び前記上部電極と連結されるように第2上部配線を同時に形成する段階を含み、前記上部電極は前記下部電極より大きく形成することが望ましい。

【0023】

また、本発明のさらに他の実施の形態による平板形キャパシタの製造方法は、半導体基板の所定部分に下部金属配線を形成する段階、前記半導体基板及び下部配線の上部に第1層間絶縁膜を形成する段階、前記下部金属配線とコンタクトされるように第1層間絶縁膜内に第1及び第2プラグを形成する段階、前記第1層間絶縁膜、第1プラグ及び第2プラグの上部に第2層間絶縁膜を形成する段階、前記第1プラグと前記第2プラグとコンタクトされる中間金属配線とコンタクトされるように下部電極を形成する段階、前記第2層間絶縁膜、下部電極及び中間金属配線の上部に第3層間絶縁膜を形成する段階、前記下部電極及び前記下部電極を取り囲む第2層間絶縁膜が露出されるようにキャパシタ領域を限定する段階、前記下部電極より大きくなるように前記キャパシタ領域に誘電膜及び上部電極を形成する段階、前記第3層間絶縁膜及びキャパシタ領域に第4層間絶縁膜を形成する段階、前記中間金属配線とコンタクトされるように第4及び第3層間絶縁膜内に第3プラグを形成し、前記上部電極とコンタクトされるように第4層間絶縁膜内に第4プラグを形成する段階、及び前記第3プラグとコンタクトされる第1上部金属配線及び前記第4プラグとコンタクトされる第2上部金属配線を形成する段階を含む。

【発明の効果】

【0024】

本発明によれば、下部電極を平面に形成し、上部電極及び誘電膜は凹状に形成するが、下部電極の幅を上部電極の底部の幅より狭く形成する。これにより、実質的なキャパシタの誘電膜として作用する部分がキャパシタのエッジ部分に該当されずに下部電極と対応す

10

20

30

40

50



る部分となるので、エッジ部分に誘電膜の劣化が発生してもキャパシタの特性に影響を与えない。

【0025】

また、誘電膜及び上部電極がCMP方式によって限定されるので、誘電膜の側壁のエッチング副産物の吸着及び下部電極物質の再スパッタリング現象が発生しない。さらに、誘電膜が第1及び第2金属配線が形成された部分まで延びないので、ビアホール形成時、誘電膜をエッチングする必要がなく、ビアホールエッチング工程が容易になる。

【0026】

また、CMP残滓物による下部電極と上部電極とのショートを防止でき、コンタクト抵抗を改善できる。

【発明を実施するための最良の形態】

【0027】

以下、添付した図面に基づいて本発明の望ましい実施の形態を説明する。しかし、本発明の実施の形態は多様な形態に変形でき、本発明の範囲が後述する実施の形態によって限定されると解釈されてはならない。本発明の実施の形態は、当業者に本発明をさらに完全に説明するために提供されるものである。したがって、図面での要素の形状は、さらに明確な説明を強調するために誇張されたものあり、図面上で同じ符号で表示された要素は同じ要素を意味する。また、ある層が他の層または半導体基板の“上”にあると記載される場合に、ある層は前記他の層または半導体基板に直接接触して存在でき、または、その間に第3の層が介在されることもある。

【0028】

図4は、本発明による平板形キャパシタの断面図であり、図5A、B、図6A、Bは、本発明による平板形キャパシタの製造方法を説明するための各工程別断面図である。

【0029】

図4を参照して、半導体基板100上に第1金属配線105a、105bが形成されている。第1金属配線105aは、以後、下部電極とコンタクトされる配線であって、一般的な第1金属配線105bに比べて広い線幅を有し、これら第1金属配線105a、105bは、Al、Al合金膜、WまたはCuのような金属膜を利用できる。この時、第1金属配線105a、105bとしてCu膜が使われる場合は、公知のダマシーン法によって形成される。また、第1金属配線105a、105bは、当該図面で第1層に該当するので付与された名称であるだけで、必ずしも半導体集積回路において第1金属配線に該当されるものではない。第1金属配線105a、105bが形成された半導体基板100上に第1金属配線105a、105bとコンタクトされる第1プラグ115を含む第1層間絶縁膜110が形成される。この時、第1金属配線105aは二つの第1プラグ115と各々コンタクトされ、第1金属配線105aとコンタクトされる第1プラグ115は所定距離離隔される。

【0030】

第1層間絶縁膜110の上部に第2層間絶縁膜120が形成され、第2層間絶縁膜120の内部に第1プラグ115と各々コンタクトされるように第2層間絶縁膜120内に第2金属配線125a、125c及び下部電極125bが形成される。この時、下部電極125bの幅は第2金属配線125a、125bより相対的に広く、下部電極125b及び第2金属配線125a、125bの上面は第2層間絶縁膜120の表面と一致できる。また、下部電極125b及び第2金属配線125a、125cは同じ物質よりなり、Ti、Ta、W、TiN、TaN、Al、Cu、Ru、Pt、Ir物質またはこれらの組み合わせ膜よりなりうる。

【0031】

第2金属配線125a、125c及び下部電極125bが形成された第2層間絶縁膜120の上部に第3層間絶縁膜130が形成されており、第3層間絶縁膜130の内部には誘電膜136及び誘電膜136の表面に沿って凹状よりなる上部電極141が順次に形成されて、下部電極125bと共にキャパシタCが限定される。上部電極141は、前記下

10

20

30

40

50

部電極 1 2 5 b と同じ物質または下部電極 1 2 5 b の物質として言及された他の金属膜よりなりうる。この時、上部電極 1 4 1 は、下部電極 1 2 5 b より大きく形成される。より詳細には、凹状の上部電極 1 4 1 の幅（上部電極の底部の長幅及び短幅）は、下部電極 1 2 5 b の幅（下部電極の長幅及び短幅）より一定値 W だけ広く、すなわち、上部電極 1 4 1 は下部電極 1 2 5 b をいかなる方向でも含むように形成される。これにより、下部電極 1 2 5 b と対応する誘電膜の部分 A が実質的な誘電膜の役割をする。この時、上部電極 1 4 1 の幅は、前記下部電極の幅より 5 0 0 ないし 5 0 0 0 程度広い。

#### 【0032】

キャパシタを含む第 3 層間絶縁膜 1 3 0 の上部に第 4 層間絶縁膜 1 4 5 が形成されている。この時、第 1 ないし第 4 層間絶縁膜 1 1 0, 1 2 0, 1 3 0, 1 4 5 は、シリコン酸化膜を含むか、エッチング選択比が同じまたは類似した絶縁膜でありうる。第 4 層間絶縁膜 1 4 5 及び第 3 層間絶縁膜 1 3 0 の内部に第 2 プラグ 1 5 0 a, 1 5 0 b, 1 5 0 c が形成されており、第 2 プラグ 1 5 0 a, 1 5 0 b, 1 5 0 c の上部各々には第 3 金属配線 1 5 5 a, 1 5 5 b, 1 5 5 c が形成されている。この時、第 2 プラグ 1 5 0 a 及び第 3 金属配線 1 5 5 a は、下部電極 1 2 5 b と電氣的に連結される第 2 金属配線 1 2 5 a と連結され、第 2 プラグ 1 5 0 b 及び第 3 金属配線 1 5 5 b は上部電極 1 4 1 と電氣的に連結され、第 2 プラグ 1 5 0 b は第 4 層間絶縁膜 1 4 5 内に形成される。また、第 2 プラグ 1 5 0 c 及び第 3 金属配線 1 5 5 c は、個別的に形成された第 1 金属配線 1 0 5 b と電氣的に連結された第 2 金属配線 1 2 5 c と連結される。

#### 【0033】

このような構成の平板形キャパシタは、上部電極 1 4 1 が下部電極 1 2 5 b より大きく形成されることによって、実質的にキャパシタの誘電膜の役割をする部分は下部電極 1 2 5 b と対応する部分 A となる。これにより、キャパシタ C のエッジ部分に誘電膜 1 3 6 の蒸着が円滑でなくても、エッジ部分の誘電膜 1 3 6 は実質的なキャパシタの誘電膜部分 A ではないので、ブレイクダウンが発生しても、キャパシタの誘電特性に影響を与えない。また、下部電極 1 2 5 b が上部電極 1 4 1 のエッジ部分まで延びないので、ストレス集中による誘電膜 1 3 6 の劣化現象も発生しない。

#### 【0034】

また、たとえ下部電極 1 2 5 b が上部電極 1 4 1 の幅より狭く形成されても、下部電極 1 2 5 b と連結された第 1 金属配線 1 0 5 a が第 1 プラグ 1 1 5、第 2 金属配線 1 2 5 a 及び第 2 プラグ 1 5 0 a を通じて上部の第 3 配線 1 5 5 a に電氣的に連結されるので、電氣的な問題がない。

#### 【0035】

以下、前記本発明の平板形キャパシタの製造方法について説明する。

#### 【0036】

図 5 A に示されたように、半導体基板 1 0 0、例えば、半導体回路パターン及び絶縁膜が形成されている半導体基板 1 0 0 の上部に金属膜を蒸着した後、所定部分パターンングして第 1 金属配線 1 0 5 a, 1 0 5 b を形成する。この時、第 1 金属配線 1 0 5 a は、以後形成される下部電極を外部配線（第 3 金属配線）と連結させる役割を果たす。第 1 金属配線 1 0 5 a, 1 0 5 b が形成された半導体基板 1 0 0 の上部に第 1 層間絶縁膜 1 1 0 を形成する。その後、第 1 金属配線 1 0 5 a, 1 0 5 b が露出されるように第 1 層間絶縁膜 1 1 0 をエッチングして第 1 ピアホール 1 1 2 を形成する。この時、第 1 金属配線 1 0 5 a は、少なくとも二部分が露出されるように第 1 ピアホール 1 1 2 が形成されることが望ましい。第 1 層間絶縁膜 1 1 0 の上部に導電物を蒸着し、第 1 層間絶縁膜 1 1 0 の表面が露出されるように導電物をエッチバックまたは CMP のような平坦化を進行して、第 1 プラグ 1 1 5 を形成する。

#### 【0037】

第 1 層間絶縁膜 1 1 0 の上部に第 2 層間絶縁膜 1 2 0 を蒸着する。第 2 層間絶縁膜 1 2 0 は、例えば、予定された下部電極（または第 2 金属配線）の厚さに形成されることが望ましい。その後、第 1 プラグ 1 1 5 が各々露出されるように第 2 層間絶縁膜 1 2 0 を所定

10

20

30

40

50

部分エッチングして、第2金属配線予定領域123a, 123c及び下部電極予定領域123bを限定する。第2金属配線予定領域123a, 123c及び下部電極予定領域123bは、それぞれのプラグ115の線幅より広く形成され、特に、下部電極予定領域123bは第2金属配線予定領域123a, 123cより相対的に広く形成されうる。

#### 【0038】

次いで、同図面に示すように、第2層間絶縁膜120の上部に第2金属配線予定領域123a, 123c及び下部電極領域123bが充填されるように金属膜を蒸着する。金属膜にはTi、Ta、W、TiN、Ta<sub>2</sub>N、Al、Cu、Ru、Pt、Ir物質またはこれらの組み合わせ膜よりなり、これら金属膜は下部配線または下部回路の影響を最小化するために比較的低温である250ないし500の温度範囲で、CVD (Chemical Vapor Deposition)、PVD (Physical Vapor Deposition)、ALD (Atomic Layer Deposition) または電気メッキ方式で形成されうる。その後、金属膜をエッチバックまたはCMPによって平坦化して、第2金属配線125a, 125c及び下部電極125bを形成する。

#### 【0039】

図5Bに示されたように、第2金属配線125a, 125c及び下部電極125bが形成された第2層間絶縁膜120の上部に第3層間絶縁膜130を蒸着する。その後、下部電極125b及びその両側の第2層間絶縁膜120の部分が露出されるように第3層間絶縁膜130をエッチングして、凹状のキャパシタ予定領域130aを形成する。キャパシタ予定領域130aが限定された第3層間絶縁膜130の上部に誘電膜135及び上部電極用金属膜140を順次に積層する。誘電膜135にはSiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、Ta<sub>2</sub>O<sub>5</sub>、Al<sub>2</sub>O<sub>3</sub>、HfO、ZrO<sub>2</sub>、BST、PZTまたはST膜よりなり、上部電極用金属膜140は下部電極125bと同じ物質または下部電極125bの物質と言及された金属膜のうち他の金属膜よりなりうる。また、上部電極用金属膜140は、下部電極125bを形成する温度範囲でCVD、PVD、ALD及び電気メッキ方式のうち選択される何れか一つで形成されうる。

#### 【0040】

図6Aを参照して、上部電極用金属膜140及び誘電膜135をCMPして、キャパシタ予定領域130a内に凹状にキャパシタ誘電膜135及び上部電極141を形成する。これにより、キャパシタCが限定される。この時、上部電極用金属膜140及び誘電膜135のCMP時、上部電極用金属膜140の上部にバッファ酸化膜(図示せず)を介在した状態でCMP工程を使用でき、バッファ酸化膜が使われなくてもキャパシタ予定領域130aの底部に形成される上部電極141の部分はCMPの直接的な影響を受けない。この時、下部電極125bがCMPによって限定されないので、CMPされた誘電膜135の表面にCMPの残滓が残存しても、下部電極125bと上部電極141とのショートが発生しない。また、たとえ誘電膜135がCMP工程によって限定されるが、誘電膜135のCMPされる面は実質的にキャパシタの誘電膜の役割をする部分でないので、誘電膜135の劣化を防止できる。

#### 【0041】

次いで、図6Bに示されたように、キャパシタCが形成された第3層間絶縁膜130の上部に第4層間絶縁膜145を蒸着する。ここで、本実施の形態での第1ないし第4層間絶縁膜110, 120, 130, 145は、シリコン酸化膜を含むか、またはエッチング選択比が類似した絶縁膜でありうる。その後、第2金属配線125a, 125c及び上部電極141が露出されるように第4層間絶縁膜145及び第3層間絶縁膜130をエッチングして、第2ビアホール148a, 148b, 148cを限定する。この時、第2ビアホール148a, 148b, 148c各々は、下部電極125bと連結される第2金属配線125a、上部電極141及び個別の第1金属配線105bと連結される第2金属配線125cを各々露出させる。

#### 【0042】

その後、図6Bには示されていないが、図4に示されたように、第4層間絶縁膜145

の上部にビアホール 148 a , 148 b , 148 c が充填されるように金属膜を蒸着した後、これを平坦化して、第 2 プラグ 150 a , 150 b , 150 c を形成する。次いで、第 4 層間絶縁膜 145 の上部に金属膜を蒸着し、それぞれの第 2 プラグ 150 a , 150 b , 150 c とコンタクトされるように前記金属膜をパターンニングして、金属配線 155 a , 155 b , 155 c を形成する。

【0043】

このような本発明は、上部電極 141 と誘電膜 136 とが CMP 方式によって形成されるので、誘電膜 136 の側壁のエッチング副産物の発生が防止され、下部電極 125 b を露出させるための誘電膜 136 の過度なエッチングが要求されないので、下部電極 125 b の再スパッタリング方式が要求されない。

10

【0044】

また、第 1 及び第 2 プラグ 115 , 150 a , 150 b , 150 c を限定するためのビアホール 112 , 148 a , 148 b , 148 c の形成時、高誘電率を有するキャパシタの誘電膜をエッチングせずに、単一膜または同一系列の層間絶縁膜だけをエッチングすることによって、ビアホール形成工程が単純化される。

【0045】

また、下部電極 125 b、誘電膜 136 及び上部電極 141 が CMP 工程によって同時に限定されないので、CMP 工程の残滓物が誘電膜 136 に残留しても下部電極 125 b と上部電極 141 とのブリッジを防止できる。また、第 3 金属配線 155 b とコンタクトされる上部電極 141 の底部は、CMP から直接的な影響を受けないので、上部電極 141 と第 3 金属配線 155 b 間のコンタクト不良の問題を減少させうる。

20

【0046】

以上、本発明を望ましい実施の形態を挙げて詳細に説明したが、本発明は前記実施の形態に限定されず、本発明の特許請求の範囲内で、当業者によって多様な変形が可能である。

【産業上の利用可能性】

【0047】

本発明の平板形キャパシタは、キャパシタの誘電膜の劣化を防止してキャパシタの電気的特性を改善でき、キャパシタの電極とプラグ間のコンタクト特性を改善できる。また、単純な工程によって製作できる。

30

【図面の簡単な説明】

【0048】

【図 1】従来の平板形キャパシタを示す断面図である。

【図 2】従来の平板形キャパシタを示す断面図である。

【図 3】従来の平板形キャパシタを示す断面図である。

【図 4】本発明による平板形キャパシタを示す断面図である。

【図 5】A、B は、本発明による平板形キャパシタの製造方法を説明するための各工程別断面図である。

【図 6】A、B は、図 5 に続く本発明による平板形キャパシタの製造方法を説明するための各工程別断面図である。

40

【符号の説明】

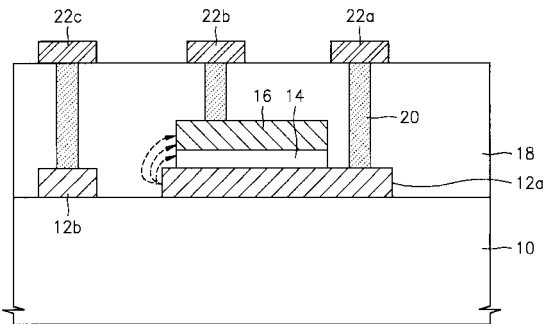
【0049】

- 100 基板、
- 105 a , 105 b 第 1 金属配線、
- 110 第 1 層間絶縁膜、
- 115 第 1 プラグ、
- 120 第 2 層間絶縁膜、
- 125 a , 125 b , 125 c 第 2 金属配線、
- 130 第 3 層間絶縁膜、
- 136 誘電膜、

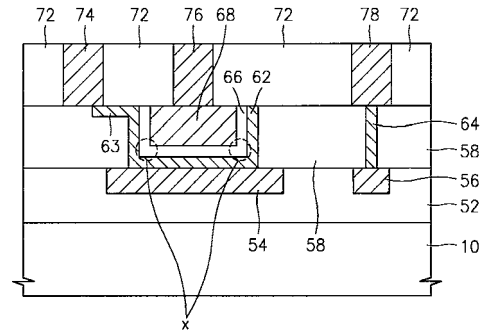
50

- 141 上部電極、
- 145 第4層間絶縁膜、
- 150a, 150b, 150c 第2プラグ、
- 155a、155b、155c 第3金属配線。

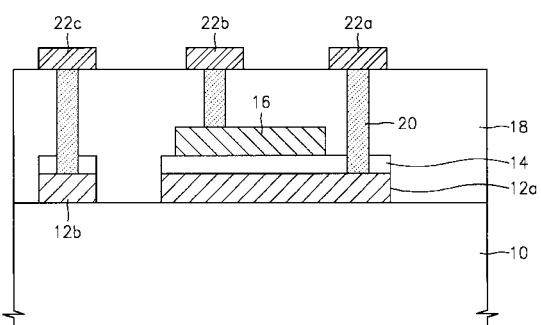
【図1】



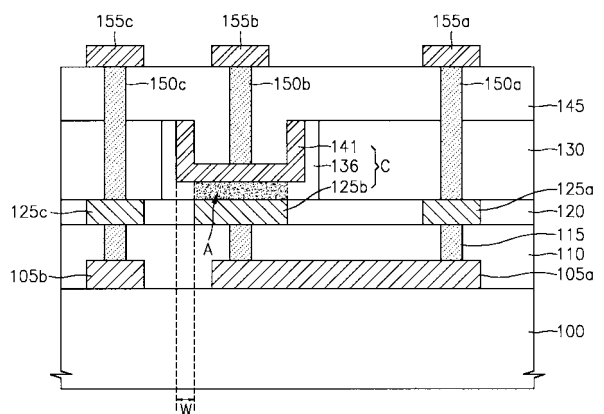
【図3】



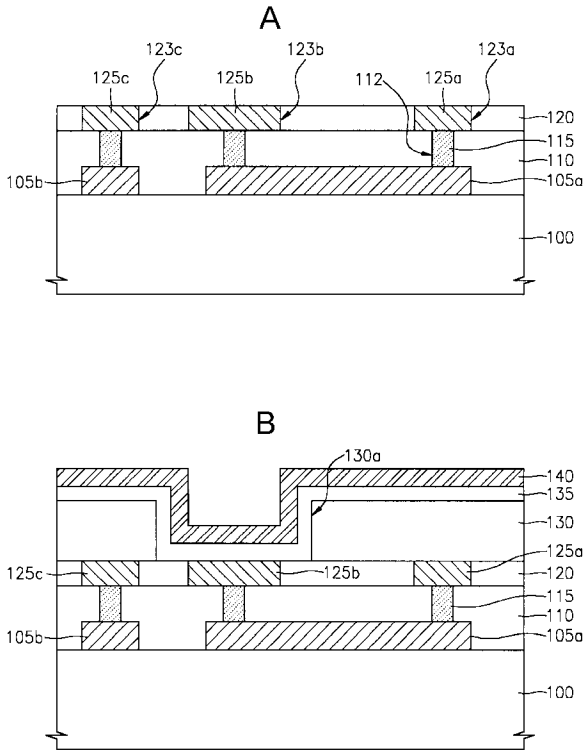
【図2】



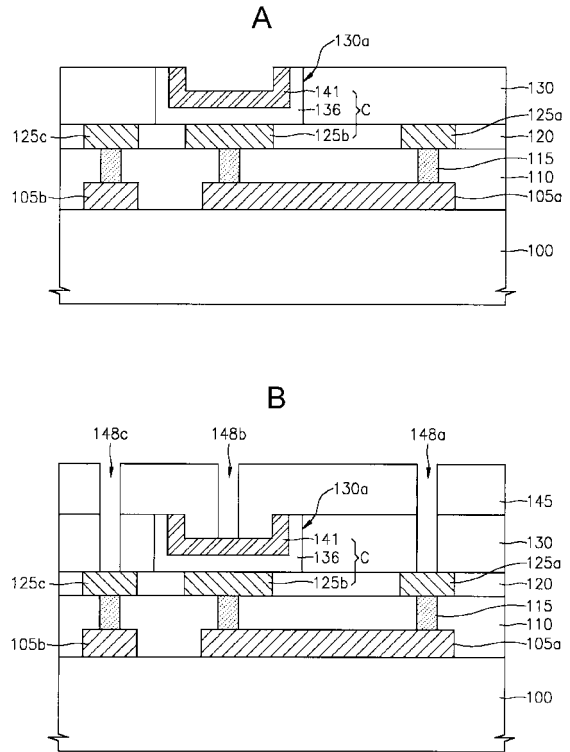
【図4】



【 図 5 】



【 図 6 】



---

フロントページの続き

(72)発明者 元 せき 俊

大韓民国ソウル特別市冠岳区奉天7洞1603-25番地1統8班

Fターム(参考) 5F033 HH07 HH08 HH11 HH18 HH19 HH21 HH32 HH33 KK07 KK08  
KK09 KK11 KK18 KK19 KK21 KK32 KK33 MM01 MM17 PP06  
PP14 PP27 QQ09 QQ10 QQ31 QQ37 QQ39 QQ48 VV10 WW03  
XX00 XX01 XX33  
5F038 AC05 AC10 AC15 EZ20