

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成29年3月16日(2017.3.16)

【公表番号】特表2016-513914(P2016-513914A)

【公表日】平成28年5月16日(2016.5.16)

【年通号数】公開・登録公報2016-029

【出願番号】特願2015-561534(P2015-561534)

【国際特許分類】

H 03K 19/0185 (2006.01)

【F I】

H 03K 19/00 101C

【手続補正書】

【提出日】平成29年2月7日(2017.2.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力信号を第1の電圧レベルから第2の電圧レベルにレベルシフトするためのレベルシフティング回路であって、

前記入力信号を昇圧するように構成された交流(A C)結合電圧昇圧回路と、それにより前記電圧昇圧回路の第1及び第2のノードが前記第1の電圧レベル以上の電圧値を有する、

前記第2の電圧レベルまでの大きさを有する第1の出力信号を生成するように構成された第1の論理インバータと、ここにおいて、前記電圧昇圧回路の前記第1のノードが前記第1の論理インバータの入力と、前記入力信号の論理反転を受け取るように構成された第1のキャパシタとに直接接続される、

前記第2の電圧レベルまでの大きさを有する第2の出力信号を生成するように構成された第2の論理インバータと、ここにおいて、前記電圧昇圧回路の前記第2のノードが前記第2の論理インバータの入力と、前記入力信号を受け取るように構成された第2のキャパシタとに直接接続され、前記電圧昇圧回路が第3の電圧レベルによって電力が供給され、前記第1の電圧レベルが前記第3の電圧レベルに等しい、

を備える、レベルシフティング回路。

【請求項2】

前記電圧昇圧回路が、閉じると前記第3の電圧レベルをそれぞれ前記電圧昇圧回路の前記第1及び第2のノードに接続するように構成された第1及び第2のスイッチを備え、前記電圧昇圧回路の前記第2のノードが前記第1のスイッチのための制御であり、前記電圧昇圧回路の前記第1のノードが前記第2のスイッチのための制御である、請求項1に記載のレベルシフティング回路。

【請求項3】

前記第1及び第2のスイッチが第1及び第2のnチャネル金属酸化膜半導体電界効果トランジスタ(M O S F E T)を備え、前記第1のトランジスタのゲートが前記電圧昇圧回路の前記第2のノードに結合され、前記第1のトランジスタのソースが前記電圧昇圧回路の前記第1のノードに結合され、前記第1のトランジスタのドレインが前記第3の電圧レベルに結合され、前記第2のトランジスタのゲートが前記電圧昇圧回路の前記第1のノードに結合され、前記第2のトランジスタのソースが前記電圧昇圧回路の前記第2のノード

に結合され、前記第2のトランジスタのドレインが前記第3の電圧レベルに結合される、請求項2に記載のレベルシフティング回路。

【請求項4】

前記第1及び第2のノードの前記電圧値が、前記第1の電圧レベルと、前記第1及び第3の電圧レベルの合計の間であり、それらの値を含む、請求項1に記載のレベルシフティング回路。

【請求項5】

前記第3の電圧レベルが、前記第2の電圧レベルによって電力が供給され、また、追跡回路を介して前記第2の電圧レベルを追跡するように構成される、請求項1に記載のレベルシフティング回路。

【請求項6】

前記追跡回路がpチャネル金属酸化膜半導体電界効果トランジスタ(MOSFET)を備え、前記MOSFETのソースが前記第2の電圧レベルに結合され、前記MOSFETのドレインが前記MOSFETのゲートに結合され、前記MOSFETの前記ゲートが前記第3の電圧レベルに結合される、請求項5に記載のレベルシフティング回路。

【請求項7】

前記電圧昇圧回路の前記第1又は第2のノードが、前記入力信号が動的になる前に開始値に初期化されるように構成される、請求項1に記載のレベルシフティング回路。

【請求項8】

閉じると、前記電圧昇圧回路の前記第1のノードを前記第1の論理インバータの前記入力に接続するように構成された第1のスイッチと、

閉じると、前記電圧昇圧回路の前記第2のノードを前記第2の論理インバータの前記入力に接続するように構成された第2のスイッチと、

閉じると、前記第1の論理インバータの前記入力を前記第1の電圧レベルのための基準電圧レベルに短絡するように構成された第3のスイッチと、

閉じると、前記第2の論理インバータの前記入力を前記第1の電圧レベルのための前記基準電圧レベルに短絡するように構成された第4のスイッチと

を更に備える、請求項1に記載のレベルシフティング回路。

【請求項9】

前記基準電圧レベルが接地である、請求項8に記載のレベルシフティング回路。

【請求項10】

前記入力信号が前記第1又は第3のスイッチのうちの少なくとも1つの動作を制御し、前記入力信号の論理反転が前記第2又は第4のスイッチのうちの少なくとも1つの動作を制御する、請求項8に記載のレベルシフティング回路。

【請求項11】

前記入力信号の論理反転が前記第1の論理インバータの別の入力を駆動し、前記入力信号が前記第2の論理インバータの別の入力を駆動する、請求項1に記載のレベルシフティング回路。

【請求項12】

前記第2の電圧レベルが前記第1の電圧レベルより高い、請求項1に記載のレベルシフティング回路。

【請求項13】

前記第2の出力信号が前記第1の出力信号の論理反転である、請求項1に記載のレベルシフティング回路。

【請求項14】

請求項1に記載されているように入力信号を第1の電圧レベルから第2の電圧レベルにレベルシフトするための回路を備える電子信号変換器。

【請求項15】

入力信号を第1の電圧レベルから第2の電圧レベルにレベルシフトする方法であって、交流(AC)結合電圧昇圧回路内で前記入力信号を昇圧することと、それによって前記

電圧昇圧回路の第1及び第2のノードが前記第1の電圧レベル以上の電圧値を有する、

前記第2の電圧レベルまでの大きさを有する第1の出力信号を第1の論理インバータから出力することと、ここにおいて、前記電圧昇圧回路の前記第1のノードが前記第1の論理インバータの入力と、前記入力信号の論理反転を受け取るように構成された第1のキャパシタとに直接接続される、

前記第2の電圧レベルまでの大きさを有する第2の出力信号を第2の論理インバータから出力することと、ここにおいて、前記電圧昇圧回路の前記第2のノードが前記第2の論理インバータの入力と、前記入力信号を受け取るように構成された第2のキャパシタとに直接接続され、前記電圧昇圧回路が第3の電圧レベルによって電力が供給され、前記第1の電圧レベルが前記第3の電圧レベルに等しい、

を備える方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

[0069]特許請求の範囲は、上で説明した正確な構成及び構成要素に限定されないことを理解されたい。上で説明した方法及び装置の配置、動作及び詳細には、特許請求の範囲を逸脱することなく、様々な修正、変更及び変形が加えられ得る。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C1]

入力信号を第1の電圧レベルから第2の電圧レベルにレベルシフトするための回路であって、

前記入力信号を昇圧するように構成された交流(AC)結合電圧昇圧回路と、それにより前記電圧昇圧回路の第1及び第2のノードが前記第1の電圧レベル以上の電圧値を有する、

前記第2の電圧レベルまでの大きさを有する第1の出力信号を生成するように構成された第1の論理インバータと、ここにおいて、前記電圧昇圧回路の前記第1のノードが前記第1の論理インバータの入力に結合される、

前記第2の電圧レベルまでの大きさを有する第2の出力信号を生成するように構成された第2の論理インバータと、ここにおいて、前記電圧昇圧回路の前記第2のノードが前記第2の論理インバータの入力に結合される、

を備える回路。

[C2]

前記電圧昇圧回路が、

前記電圧昇圧回路の前記第1のノードに結合された、前記入力信号の論理反転を受け取るように構成された第1のキャパシタと、

前記電圧昇圧回路の前記第2のノードに結合された、前記入力信号を受け取るように構成された第2のキャパシタと

を備える、C1に記載のレベルシフティング回路。

[C3]

前記電圧昇圧回路が第3の電圧レベルによって電力が供給される、C1に記載のレベルシフティング回路。

[C4]

前記第3の電圧レベルが前記第1の電圧レベルに等しい、C3に記載のレベルシフティング回路。

[C5]

前記電圧昇圧回路が、閉じると前記第3の電圧レベルをそれぞれ前記電圧昇圧回路の前記第1及び第2のノードに接続するように構成された第1及び第2のスイッチを備え、前

記電圧昇圧回路の前記第2のノードが前記第1のスイッチのための制御であり、前記電圧昇圧回路の前記第1のノードが前記第2のスイッチのための制御である、C 3に記載のレベルシフティング回路。

[C 6]

前記第1及び第2のスイッチが第1及び第2のnチャネル金属酸化膜半導体電界効果トランジスタ(MOSFET)を備え、前記第1のトランジスタのゲートが前記電圧昇圧回路の前記第2のノードに結合され、前記第1のトランジスタのソースが前記電圧昇圧回路の前記第1のノードに結合され、前記第1のトランジスタのドレインが前記第3の電圧レベルに結合され、前記第2のトランジスタのゲートが前記電圧昇圧回路の前記第1のノードに結合され、前記第2のトランジスタのソースが前記電圧昇圧回路の前記第2のノードに結合され、前記第2のトランジスタのドレインが前記第3の電圧レベルに結合される、C 5に記載のレベルシフティング回路。

[C 7]

前記第1及び第2のノードの前記電圧値が、前記第1の電圧レベルと、前記第1及び第3の電圧レベルの合計の間であり、それらの値を含む、C 3に記載のレベルシフティング回路。

[C 8]

前記第3の電圧レベルが、前記第2の電圧レベルによって電力が供給され、また、追跡回路を介して前記第2の電圧レベルを追跡するように構成される、C 3に記載のレベルシフティング回路。

[C 9]

前記追跡回路がpチャネル金属酸化膜半導体電界効果トランジスタ(MOSFET)を備え、前記MOSFETのソースが前記第2の電圧レベルに結合され、前記MOSFETのドレインが前記MOSFETのゲートに結合され、前記MOSFETの前記ゲートが前記第3の電圧レベルに結合される、C 8に記載のレベルシフティング回路。

[C 10]

前記電圧昇圧回路の前記第1又は第2のノードが、前記入力信号が動的になる前に開始値に初期化されるように構成される、C 1に記載のレベルシフティング回路。

[C 11]

閉じると、前記電圧昇圧回路の前記第1のノードを前記第1の論理インバータの前記入力に接続するように構成された第1のスイッチと、

閉じると、前記電圧昇圧回路の前記第2のノードを前記第2の論理インバータの前記入力に接続するように構成された第2のスイッチと、

閉じると、前記第1の論理インバータの前記入力を前記第1の電圧レベルのための基準電圧レベルに短絡するように構成された第3のスイッチと、

閉じると、前記第2の論理インバータの前記入力を前記第1の電圧レベルのための前記基準電圧レベルに短絡するように構成された第4のスイッチと

を更に備える、C 1に記載のレベルシフティング回路。

[C 12]

前記基準電圧レベルが接地である、C 11に記載のレベルシフティング回路。

[C 13]

前記入力信号が前記第1又は第3のスイッチのうちの少なくとも1つの動作を制御し、前記入力信号の論理反転が前記第2又は第4のスイッチのうちの少なくとも1つの動作を制御する、C 11に記載のレベルシフティング回路。

[C 14]

前記入力信号の論理反転が前記第1の論理インバータの別の入力を駆動し、前記入力信号が前記第2の論理インバータの別の入力を駆動する、C 1に記載のレベルシフティング回路。

[C 15]

前記第1又は第2の論理インバータのうちの少なくとも1つが相補性金属酸化膜半導体

(C M O S) インバータを備える、C 1 に記載のレベルシフティング回路。

[C 1 6]

前記第2の電圧レベルが前記第1の電圧レベルより高い、C 1 に記載のレベルシフティング回路。

[C 1 7]

前記第2の出力信号が前記第1の出力信号の論理反転である、C 1 に記載のレベルシフティング回路。

[C 1 8]

入力信号を第1の電圧レベルから第2の電圧レベルにレベルシフトするための回路であって、前記回路が、

前記第1の電圧レベルによって電力が供給され、前記入力信号を昇圧するように構成された交流(A C)結合電圧昇圧回路と、それにより前記電圧昇圧回路の第1及び第2のノードが前記第1の電圧レベル以上の電圧値を有する、

前記第2の電圧レベルまでの大きさを有する第1の出力信号を生成するように構成された第1の論理インバータと、ここにおいて、前記電圧昇圧回路の前記第1のノードが前記第1の論理インバータの入力に結合される、

前記第2の電圧レベルまでの大きさを有する第2の出力信号を生成するように構成された第2の論理インバータと、ここにおいて、前記電圧昇圧回路の前記第2のノードが前記第2の論理インバータの入力に結合される、

を備える回路

を備える電子信号変換器。

[C 1 9]

前記入力信号が前記変換器のためのサンプリングクロック信号を備える、C 1 8 に記載の変換器。

[C 2 0]

入力信号を第1の電圧レベルから第2の電圧レベルにレベルシフトする方法であって、交流(A C)結合電圧昇圧回路内で前記入力信号を昇圧することと、それによって前記電圧昇圧回路の第1及び第2のノードが前記第1の電圧レベル以上の電圧値を有する、

前記第2の電圧レベルまでの大きさを有する第1の出力信号を第1の論理インバータから出力することと、ここにおいて、前記電圧昇圧回路の前記第1のノードが前記第1の論理インバータの入力に結合される、

前記第2の電圧レベルまでの大きさを有する第2の出力信号を第2の論理インバータから出力することと、ここにおいて、前記電圧昇圧回路の前記第2のノードが前記第2の論理インバータの入力に結合される、

を備える方法。