



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I657541 B

(45)公告日：中華民國 108 (2019) 年 04 月 21 日

(21)申請案號：107109222

(22)申請日：中華民國 107 (2018) 年 03 月 19 日

(51)Int. Cl. : **H01L21/8239(2006.01)****H01L27/1155(2017.01)**

(30)優先權：2017/11/30 中國大陸

201711236924.1

2018/03/01

世界智慧財產權組織

PCT/CN2018/077767

(71)申請人：大陸商長江存儲科技有限責任公司(中國大陸) YANGTZE MEMORY TECHNOLOGIES CO., LTD. (CN)

中國大陸

(72)發明人：胡禹石 HU, YUSHI (CN)；呂震宇 LU, ZHENYU (US)；陶謙 TAO, QIAN

(CN)；陳俊 CHEN, JUN (CN)；楊士寧 YANG, SIMON SHI-NING (US)；楊

偉毅 YANG, STEVE WIYI (US)

(74)代理人：吳豐任；李俊陞；戴俊彥

(56)參考文獻：

TW 201712912A

審查人員：林弘恩

申請專利範圍項數：19 項 圖式數：12 共 59 頁

(54)名稱

三維記憶體裝置的源極結構及其製作方法

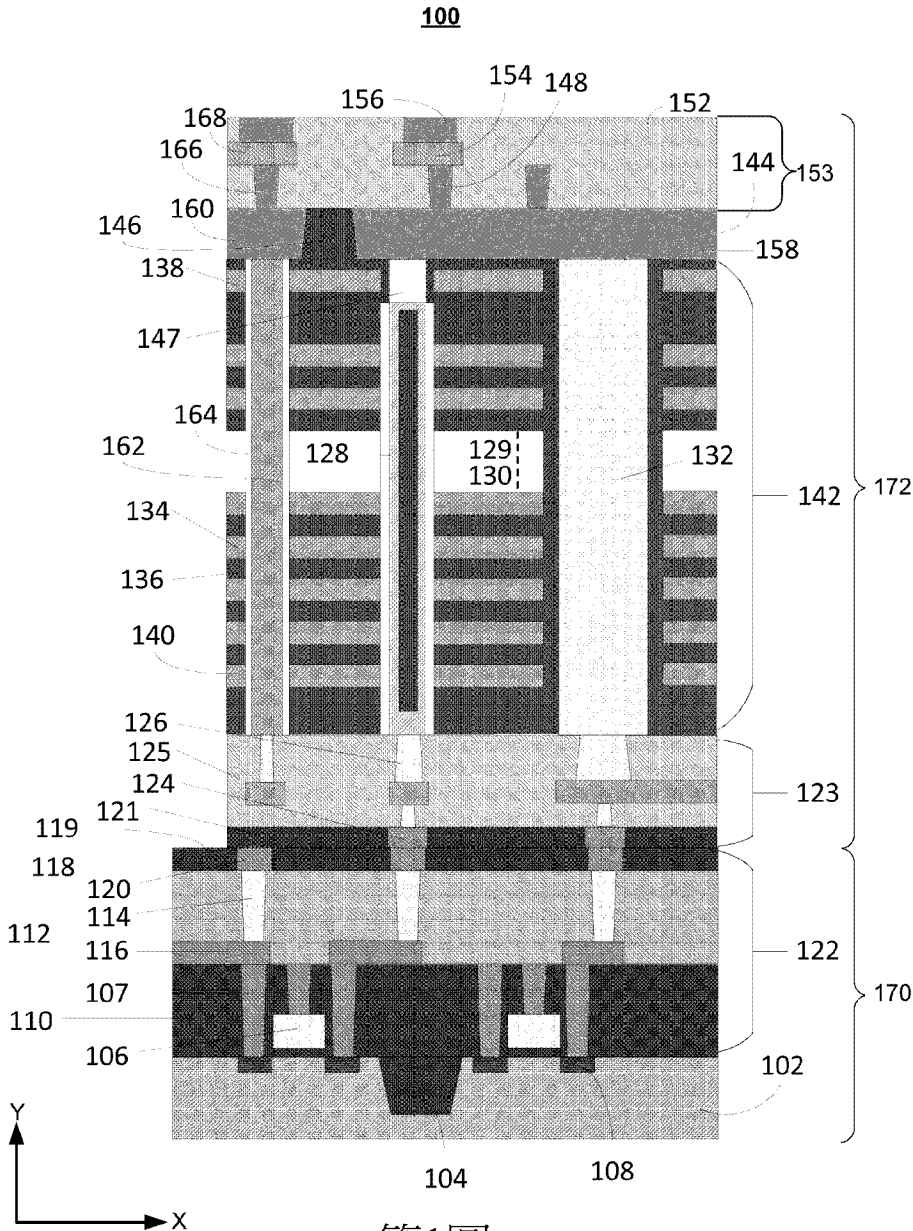
SOURCE STRUCTURE OF THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

(57)摘要

本揭露揭示 3D 記憶體裝置的源極結構與製作 3D 記憶體裝置的源極結構的方法。反及記憶體裝置包括一基底、一導體/介電質交替堆疊、一反及串、一源極導體層以及一源極接觸件。導體/介電質交替堆疊包括位於基底上的複數個導體/介電質對。反及串垂直延伸穿過導體/介電質交替堆疊。源極導體層位於導體/介電質交替堆疊上並接觸導體/介電質交替堆疊。源極接觸件包括與源極導體層接觸的一端。反及串經由源極導體層而電連接於源極接觸件。在某些實施例中，源極導體層包括一或多個導通區，分別包括金屬、金屬合金及金屬矽化物的其中一種或多種。

Embodiments of source structure of a three-dimensional (3D) memory device and method for forming the source structure of the 3D memory device are disclosed. In an example, a NAND memory device includes a substrate, an alternating conductor/dielectric stack, a NAND string, a source conductor layer, and a source contact. The alternating conductor/dielectric stack includes a plurality of conductor/dielectric pairs above the substrate. The NAND string extends vertically through the alternating conductor/dielectric stack. The source conductor layer is above the alternating conductor/dielectric stack and is in contact with an end of the NAND string. The source contact includes an end in contact with the source conductor layer. The NAND string is electrically connected to the source contact by the source conductor layer. In some embodiments, the source conductor layer includes one or more conduction regions each including one or more of a metal, a metal alloy, and a metal silicide.

指定代表圖：



第1圖

符號簡單說明：

- 100 . . . 3D 記憶體裝置
- 102 . . . 基底
- 104、146 . . . 絕緣區
- 106 . . . 電晶體
- 107、114 . . . 接觸件
- 108 . . . 摻雜區
- 110、112、118、121、125、129、136、152、164 . . . 介電層
- 116、120、124、134、154、168 . . . 導體層
- 119 . . . 接合介面
- 122 . . . 周邊互連層
- 123 . . . 陣列互連層
- 126 . . . 位元線接觸件
- 128 . . . 半導體通道
- 130 . . . 反及串
- 132 . . . 源極接觸件
- 138、140 . . . 選擇閘、源極選擇閘
- 142 . . . 導體/介電質交替堆疊
- 144 . . . 源極導體層
- 147 . . . 磊晶層、磊晶插塞
- 148、166 . . . 接觸層
- 153 . . . BEOL 互連層
- 156 . . . 襯墊層

158、160 . . . 導通區

162 . . . TAC

170 . . . 第一半導體結構

172 . . . 第二半導體結構

x、y . . . 方向

【發明說明書】

【中文發明名稱】三維記憶體裝置的源極結構及其製作方法

【英文發明名稱】SOURCE STRUCTURE OF THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

【技術領域】

【0001】 本申請案主張2017/11/30所提出的中國專利申請案201711236924.1的內容與2018/3/1所提出的專利合作條約之專利申請案PCT/CN2018/077767的內容，上述所列參考文獻全文引用作為本說明書的揭示內容。

【0002】 本揭露的實施例有關於三維(three-dimensional，3D)記憶體裝置以及其製作方法。

【先前技術】

【0003】 藉由改進製程技術、電路設計、演算法和製造程序等，平面式記憶體單元可以縮小到更小的尺寸。然而，隨著記憶體單元的特徵尺寸接近下限，平面式製程及製作技術變得艱難且耗費成本。因此，平面記憶單元的儲存密度接近上限。

【0004】 3D記憶體架構可以解決平面式記憶體單元中的密度限制。3D記憶體結構包括一記憶體陣列以及用於控制往來記憶體陣列的訊號的周邊元件。

【發明內容】

【0005】 本文揭示了3D記憶體架構及其製作方法的實施例。

【0006】 根據本揭露的某些實施例，反及(not AND，NAND)記憶體裝置包括

一基底、一導體/介電質交替堆疊、一反及串、一源極導體層以及一源極接觸件。該導體/介電質交替堆疊包括位於該基底上的複數個導體/介電質對。該反及串傳直延伸並穿過該導體/介電質交替堆疊。該源極導體層位於該導體/介電質交替堆疊上並接觸該反及串的一第一端。該源極接觸件包括接觸該源極導體層的一第一端。該反及串經由該源極導體層而電連接該源極接觸件。

【0007】 在某些實施例中，該源極導體層包括一或多個導通區，各個導通區分別包括金屬、金屬合金及/或金屬矽化物。該金屬可包括銅(copper)、鈷(cobalt)、鎳(nickel)、鈦(titanium)及/或鎢(tungsten)。該金屬合金可包括銅、鈷、鎳、鈦及/或鎢其中至少兩者的合金。該金屬矽化物可包括銅矽化物、鈷矽化物、鎳矽化物、鈦矽化物及/或鎢矽化物。

【0008】 在某些實施例中，該反及記憶體裝置包括位於該反及串與該源極導體層之間的一磊晶矽層。該反及串可以經由該磊晶矽層而電連接該源極導體層。該源極導體層可包括複數個導通區以及一或多個絕緣區，其電性絕緣該複數個導通區。該反及串可以經由該複數個導通區的一第一導通區而電連接該源極接觸件。

【0009】 在某些實施例中，該反及記憶體裝置包括一接通陣列接觸件(through array contact, TAC)垂直延伸並穿過該導體/介電質交替堆疊。該TAC可與該複數個導通區的一第二導通區相接觸。

【0010】 在某些實施例中，該反及記憶體裝置包括一第一互連層，例如後段製程(back-end-of-line, BEOL)互連層。該第一互連層可包括一第一接觸件以及一第二接觸件。該反及串可經由該第一導通區而電連接該第一接觸件。該TAC可經由該第二導通區而電連接該第二接觸件。

【0011】 在某些實施例中，該反及記憶體裝置包括位於該基底以及該反及串之間的一周邊元件。該反及記憶體裝置也可包括一第二互連層(例如一周邊互連

層)，位於該周邊元件之上並與該周邊元件相接觸。該第二互連層可包括在一或多個介電層的一或多個導體層。該反及記憶體裝置 還可包括一第三互連層(例如一陣列互連層)，其接觸該反及串的一第二端與該源極接觸件的一第二端。該第三互連層可包括在一或多個介電層中的一或多個導體層。

【0012】 在某些實施例中，該反及記憶體裝置包括位於該第二互連層以及該第三互連層之間的一接合介面。該周邊元件可經由該第二互連層以及該第三互連層而電連接該反及串。

【0013】 本揭露的某些實施例揭示了一種製作反及記憶體裝置的方法。先在一第一基底上形成一導體/介電質交替堆疊。形成一反及串與一源極接觸件，使該反及串與該源極接觸件垂直延伸並穿過該導體/介電質交替堆疊。然後以一源極導體層取代該第一基底，以使該源極導體層接觸該反及串的一第一端與該源極接觸件的一第一端，並且該反及串會經由該源極導體層而電連接該源極接觸件。在某些實施例中，該源極導體層包括一或多個導通區，各該導通區包括金屬、金屬合金及/或金屬矽化物。

【0014】 在某些實施例中，以該源極導體層取代該第一基底的方法包括移除該基底，以及在該基底的一原始位置形成該源極導體層。移除該第一基底的方法可以包括薄化該第一基底，以及將該薄化的第一基底移除。

【0015】 在某些實施例中，以該源極導體層取代該第一基底的方法包括在該基底上形成一金屬層，以及以該基底中的矽與該金屬層中的金屬之間的反應為基礎而形成一金屬矽化物層。形成該金屬層的方法可以包括薄化該第一基底，以及將該金屬層形成在該薄化的第一基底。形成該金屬層的方法可以包括在該第一基底的一第一表面形成一絕緣區，其中該第一表面與該導體/介電質交替堆疊接觸，以及從該第一基底的一第二表面對該第一基底薄化，以暴露出該絕緣區。在某些實施例中，在以該源極導體層取代該第一基底之後，於該源極導體

層中形成一或多個絕緣區。

【0016】 在某些實施例中，可以在一第二基底上形成一周邊元件。該反及串可與該周邊元件相連接(join)，使得該反及串位於該第一基底以及該周邊元件之間。連接該反及串與該周邊元件的方法可包括形成一第一互連層，其接觸於該反及串的一第二端與該源極接觸件的一第二端，形成接觸該周邊元件的一第二互連層，以及在該第一互連層以及該第二互連層之間形成一接合介面，以使該周邊元件可經由該第一互連層以及該第二互連層而電連接該反及串。該第一互連層可包括在一或多個介電層中的一或多個導體層。該第二互連層可包括在一或多個介電層中的一或多個導體層。

【0017】 在某些實施例中，在該第一互連層以及該第二互連層之間形成該接合介面的方法包括，在該第一互連層中的其中一個介電層以及在該第二互連層中的其中一個該介電層之間形成化學鍵結(chemical bonds)，及/或在該第一互連層中的其中一個導體層與該第二互連層中的其中一個導體層之間產生物理性相互擴散(inter-diffusion)。

【圖式簡單說明】

【0018】

所附圖式併入本文並構成說明書的一部分，其繪示出了本揭露所揭示的實施例，並且與詳細說明一起用於解釋本揭露所揭示的原理，以使相關領域技術人員能夠製作及使用本揭露所揭示的內容。

第1圖為根據本揭露某些實施例所繪示的3D記憶體裝置100範例的剖面示意圖。

第2A圖至第2D圖為某些實施例之製作周邊元件以及周邊互連層的範例製作

方法的製程示意圖。

第3A圖至第3D圖為某些實施例之製作陣列元件以及陣列互連層的範例製作方法的製程示意圖。

第4圖為某些實施例之用以連接陣列元件以及周邊元件的範例製作方法的製程示意圖。

第5A圖至第5B圖為某些實施例之形成源極導體層的一範例製作方法的製程示意圖。

第6A圖至第6B圖為某些實施例之形成源極導體層的另一範例製作方法的製程示意圖。

第7圖為某些實施例之在源極導體層上形成BEOL互連層的範例製作方法的製程示意圖。

第8圖為某些實施例的製作周邊元件以及周邊互連層之範例方法的流程圖。

第9圖為某些實施例之製作陣列元件以及陣列互連層之範例方法的流程圖。

第10圖為某些實施例之製作具有陣列元件以及周邊元件之3D記憶體裝置之範例方法的流程圖。

第11圖為某些實施例之形成源極導體層之一範例方法的流程圖。

第12圖為某些實施例之形成源極導體層之另一範例方法的流程圖。

下文將配合所附圖示說明本揭露之實施例。

【實施方式】

【0019】 儘管本文討論了具體的結構及配置，但應該理解，這僅僅是為了說明及示例的目的而完成的。相關領域的技術人員應可理解，在不脫離本揭露的精神及範圍的情況下，可以使用其他結構及佈置。對於相關領域的技術人員顯而易見的是，本揭露還可以用於各種其他應用中。

【0020】 值得注意的是，在說明書中對提及「一個實施例」、「一實施例」、「示範性實施例」、「一些實施例」等的引用表示所描述的實施例可以包括特定的特徵、結構或特性，但並非每個實施例都一定需要包括此特定的特徵、結構或特性，而且這些用語不一定指相同的實施例。此外，當特定特徵、結構或特性結合實施例描述時，無論是否於文中明確教示，結合其他實施例來實現這些特徵、結構或特性皆屬於相關領域的技術人員的知識範圍所及。

【0021】 通常，術語可以至少部分地根據上、下文中的用法來理解。例如，如本文所使用的術語「一或多個」可用於以單數意義描述任何特徵、結構或特性，或可用於描述特徵、結構或特性的複數組合，至少可部分取決於上、下文。類似的，術語諸如「一」、「一個」或「該」也可以被理解為表達單數用法或傳達複數用法，至少可部分取決於上、下文。此外，術語「基於」可以被理解為不一定旨在傳達排他性的一組因素，並且可以相反地允許存在未必明確描述的附加因素，並且至少部分取決於上、下文。

【0022】 應該容易理解的是，本文中的「在...上面」、「在...之上」及「在...上方」的含義應該以最寬泛的方式來解釋，使得「在...上面」不僅意味著「直接在某物上」，而且還包括在某物上且兩者之間具有中間特徵或中間層，並且「在...之上」或「在...上方」不僅意味著在某物之上或在某物上方的含義，而且還可以包括兩者之間沒有中間特徵或中間層(即，直接在某物上)的含義。

【0023】 此外，為了便於描述，可以在本文使用諸如「在...下面」、「在...之下」、「較低」、「在...之上」、「較高」等空間相對術語來描述一個元件或特徵與另一個或多個元件或特徵的關係，如圖式中所表示者。除了圖式中描繪的方向之外，這些空間相對術語旨在涵蓋使用或操作中的裝置的不同方位或方向。該裝置可以其他方式定向(例如以旋轉90度或以其它方向來定向)，並且同樣能相應地以本文中所使用的空間相關描述來解釋。

【0024】 如本文所用，術語「基底」是指在其上添加後續材料層的材料。基底本身可以被圖案化。添加在基底頂部的材料可以被圖案化或可以保持未圖案化。此外，基底可以包括多種半導體材料，例如矽、鍺、砷化鎵、磷化銦等。或者，基底可以由非導電材料製成，例如玻璃、塑料或藍寶石晶圓。

【0025】 如本文所使用的，術語「層」是指一材料部分，其一區域具有一厚度。一層的範圍可以在整個下層或上層結構上延伸，或者其範圍可以小於下層或上層結構的範圍。此外，一層可以為均勻或不均勻連續結構的一區域，其厚度可小於該連續結構的厚度。例如，一層可以位於該連續結構的頂表面及底表面之間或在該連續結構的頂表面及底表面之間的任何一對水平平面之間。一層可以水平地、垂直地及/或沿著漸縮表面延伸。一基底可以為一層，其可以包括一層或多層，及/或可以在其上面及/或下面具有一層或多層。一層可以包含多層。例如，互連層可以包括一或多個導體及接觸層(其中形成有接觸件、互連線及/或通孔)以及一或多個介電層。

【0026】 本文所使用的術語「名義上(nominal)」是指在產品或製程的設計階段期間設定的組件或製程操作的特性或參數的期望值或目標值，以及高於及/或低於期望值的數值範圍。數值範圍可能由於製造工藝或公差而有輕微變化。如本文所使用的術語「約/大約」表示可能會隨著與對象半導體元件相關聯的特定技術點而改變的給定量數值。基於特定的技術點，術語「約/大約」可以指示出給定量數值，例如在該數值的10-30%內變化(例如，該數值的 $\pm 10\%$ 、 $\pm 20\%$ 或 $\pm 30\%$)。

【0027】 本文所使用的術語「3D記憶體裝置(3D memory device)」是指在橫向基底上具有垂直方向串列的記憶體單元電晶體(本文稱為「記憶體串」，例如反及串(NAND string))，因此記憶體串相對於基底是沿著垂直方向延伸。本文所用的術語「垂直/垂直地」是指名義上/大體上垂直於一基底之橫向表面。

【0028】 在某些3D記憶體裝置中，一源極選擇閘(source selective gate)控制了形成於該3D記憶體裝置之基底中的一摻雜矽通道的開/關狀態。該源極選擇閘的操作速度根據該矽通道的導通性(conductance)而定，其中可將矽限定視為一種半導體材料。再者，由於整塊(block)記憶體單元可以共用一單一源極選擇閘，因此將該記憶體塊的陣列共用源極(array common source)加載(load)並驅動對於該周邊元件會具有挑戰性。

【0029】 本揭露的多個實施例提供一種3D記憶體裝置，其具有一源極導體層，代替了使用於其他3D記憶體裝置的基底中的矽通道。藉由以導電材料(例如金屬、金屬合金及/或金屬矽化物)取代矽並形成本文所揭示的源極導體層，可以縮小該3D記憶體裝置的源極側(例如共用源極接觸件以及反及串之間)，因此可以增加裝置操作速度。在某些實施例中，源極選擇閘之抹除(erase)操作的導通機制可以經由閘極引致汲極漏電 (gate-induced drain leakage，GIDL)所驅動。

【0030】 再者，與矽基底相比，本文所揭示的源極導體層可以更易於在任何適合的佈局(例如在不同的絕緣區)中進行圖案化，因此能如所要求的驅動單一記憶體塊、多重記憶體塊或一記憶體塊的一部分，藉此可以增強對應記憶體陣列之周邊元件的驅動能力。由於其導電性質，本文所揭示的源極導體層可以被圖案化並使用為互連層(例如BEOL互連的一部分)。

【0031】 第1圖為根據本揭露某些實施例所繪示的3D記憶體裝置100範例的剖面示意圖。3D記憶體裝置100可包括一基底102，其可包括矽(例如單晶矽(single crystalline silicon))、矽化鍺(silicon germanium，SiGe)、砷化鎵(gallium arsenide，GaAs)、鍺(Ge)，絕緣層上覆矽(silicon on insulator，SOI)或其他任何適合的材料。

【0032】 3D記憶體裝置100可包括位於基底102上的一周邊元件。周邊元件可以是形成於基底102「上」，也就是說，全部的或部分的周邊元件是在基底102中形成(例如位於基底102上表面之下)及/或直接位在基底102上。周邊元件可包

括形成於基底102上的複數個電晶體106。一絕緣區104以及一摻雜區108(例如電晶體106的源極區或汲極區)可以形成於基底102上。

【0033】 在某些實施例中，周邊區可包括任何適合的用來促進3D記憶體裝置100操作的數位、類比及/或混合訊號的周邊電路。舉例來說，周邊元件可包括一或多個頁面緩衝、一解碼器(例如列解碼器以及行解碼器)、一感測放大器(sense amplifier)、一驅動器(driver)、一充電泵(charge pump)、一電流或電壓基準(current or voltage reference)或是任何電路中的主動或被動部件(例如電晶體、二極體、電阻或電容)。在某些實施例中，周邊元件係使用互補式金氧半導體(complementary metal-oxide-semiconductor, CMOS或稱為「CMOS晶片」)技術而形成於基底102上。

【0034】 3D記憶體裝置100可包括位於電晶體106上方的一周邊互連層122以傳送往來電晶體106的電訊號。周邊互連層122可包括一或多個接觸件(例如接觸件107以及接觸件114)以及一或多個內連線導體層(例如導體層116以及導體層120)，其各自包括一個或多個互連線(interconnect lines)及/或通孔(vias)。在本文中，術語「接觸件」可以廣泛地包括任何適合的互連態樣，例如中段製程(middle-end-of-line, MEOL)互連結構以及後段製程(back-end-of-line, BEOL)互連結構，包括垂直互連接入(vertical interconnect accesses)(例如穿孔)以及水平線路(例如互連線)。周邊互連層122還可包括一或多個層間介電(interlayer dielectric, ILD)層，例如介電層110、112以及118。也就是說，周邊互連層122可包括在介電層112與118中的導體層116與120。周邊互連層122中的接觸件和導體層可包括導體材料，其包含但不限於鎢(W)、鈷(Co)、銅、鋁、矽化物(silicide)或是上述的任意組合。周邊互連層122中的介電層材料可包括介電材料，其包含但不限於氧化矽、氮化矽、氮氧化矽(矽 oxynitride)、摻雜氧化矽(doped silicon oxide)或是上述的任意組合。

【0035】 3D記憶體裝置100可包括位於周邊元件上方的一記憶體陣列元件。值得注意的是，第1圖中加入了x軸和y軸以進一步表示3D記憶體裝置100各部件之間的空間關係。基底102包括兩個水平表面(例如頂表面以及底表面)，在x軸方向(橫向方向或是寬度方向)上橫向延伸。在本文中，不論半導體裝置(如3D記憶體裝置100)之一部件(如一層或一元件)在另一部件(如一層或一元件)「上(on)」、「上方(above)」或「下(below)」，是指在y方向上相對於半導體裝置之基底而決定，其中半導體裝置之基底(如基底102)在y方向(垂直方向或厚度方向)上位在半導體裝置最低處平面的情況下。描述空間關係的相同概念應用在本揭露中。

【0036】 在某些實施例中，3D記憶體裝置100是一反及快閃記憶體裝置(NAND Flash memory device)，其中的記憶體單元是以反及串130陣列的形式在基底102上方垂直延伸而提供。陣列元件可包括複數個反及串130延伸並穿過複數個導體層134與介電層136對(pair)。該複數個導體/介電層對在本文也可以稱為「導體/介電質交替堆疊」142。導體/介電質交替堆疊142中的導體層134以及介電層136係在垂直方向上交替。換句話說，除了位於最上方或最下方的導體/介電質交替堆疊142，各導體層134的兩側鄰接於兩個介電層136，且各介電層136的兩側鄰接於兩個導體層134。各導體層134可以具有相同的厚度或不同的厚度。類似的，各介電層136可以具有相同的厚度或不同的厚度。例如，在導體/介電質交替堆疊142的一第一複數個導體/介電質對中，各導體層134與介電層136的厚度範圍可為約5 nm至約40 nm(例如為5 nm至40 nm)。在導體/介電質交替堆疊142的一第二複數個導體/介電質對中，各導體層134與介電層136的厚度範圍可為約10 nm至約40 nm(例如為10 nm至40 nm)。在導體/介電質交替堆疊142的一第三複數個導體/介電質對中，各導體層134的厚度範圍可為約5 nm至約40 nm(例如為5 nm至40 nm)，而各介電層136的厚度範圍可為約50 nm至約200 nm (例如為50 nm至200 nm)。

【0037】 在某些實施例中，導體/介電質交替堆疊142相較於導體/介電層對包括更多具有不同材料及/或厚度的導體層或介電層。導體層134可以包括導體材料，其包含但不限於鎢、鈷、銅、鋁、摻雜矽(doped silicon)、矽化物或是上述的任意組合。介電層136可包括介電材料，其例如包含但不限於氧化矽、氮化矽、氮氧化矽或是上述的任意組合，但不以此為限。介電層136可包括介電材料，其包含但不限於氧化矽、氮化矽、氮氧化矽或是上述的任意組合。

【0038】 如第1圖所示，各反及串130可包括一半導體通道128以及一介電層129(也可稱為「記憶體膜(memory film)」)。在某些實施例中，半導體通道128包括矽，例如非晶矽(amorphous silicon)、多晶矽(polysilicon)或是單晶矽(single crystalline silicon)。在某些實施例中，介電層129為一複合層，包括一穿隧層(tunneling layer)、一儲存層(storage layer)(也可稱為「電荷捕捉(charge trap)/儲存層」)以及一阻擋層(blocking layer)。各反及串130可以具有圓柱體形狀(cylinder shape)，例如支柱形狀(pillar shape)。在某些實施例中，半導體通道128、穿隧層、儲存層以及阻擋層分別沿著該支柱的中心向外表面的方向依序配置。穿隧層可包括氧化矽、氮化矽或是上述的任意組合。穿隧層(例如在各反及串130的放射方向上)的厚度範圍可為約5 nm至約15 nm (例如為5 nm至15 nm)。儲存層可以包括氮化矽、氮氧化矽、矽或上述的任意組合。儲存層(例如在各反及串130的放射方向上)的厚度範圍可為約3 nm至約15 nm (例如為3 nm至15 nm)。阻擋層可以包括氧化矽、氮化矽、高介電常數(high-k)的介電物質，或是上述的任意組合。在某些實施中，阻擋層可包含氧化矽/氮化矽/氧化矽(ONO)的複合層，其厚度範圍為約4 nm至約15 nm (例如為4 nm至15 nm)。在另一示例中，阻擋層可包括一高介電常數介電層，例如一氧化鋁(Al_2O_3)層，其厚度範圍為約1 nm至約5 nm (例如為1 nm至5 nm)。

【0039】 在某些實施例中，反及串130包括複數個對應反及串130的控制閘

(control gate)，分別為字元線的一部分。導體/介電質交替堆疊142中的各導體層134係做為對應反及串230的各記憶體單元的控制閘。如第1圖所示，反及串130可包括位於反及串130的上端的一選擇閘138(例如一源極選擇閘)。反及串130可包括位於反及串130的下端的另一選擇閘140(例如一汲極選擇閘)。在本文中，一部件(例如反及串130)的「上端」是在y軸方向上較遠離基底102的一端，而一部件(例如反及串130)的「下端」是在y軸方向上較靠近基底102的一端。如第1圖所示，關於各反及串130，源極選擇閘138可以在汲極選擇閘140的上方。在某些實施例中，選擇閘138以及選擇閘140包括導體材料，例如(但不限於)鎢、鈷、銅、鋁、摻雜矽、矽化物或是上述的任意組合。

【0040】 在某些實施例中，3D記憶體裝置100包括位於導體/介電質交替堆疊142上的一源極導體層144。源極導體層144的底表面可接觸於反及串130的上端。源極導體層144可包括一或多個導通區(例如導通區158以及160)以及一或多個絕緣區(例如絕緣區146)，絕緣區會電性絕緣導通區。與半導體層(例如摻雜矽通道)不同的是，導通區158與160的導通性不受源極選擇閘138影響，因為導通區158與160包括導電材料。因此，相較於使用半導體通道來電連接反及串與共用源極接觸件的其他3D記憶體裝置，源極導體層144可提供一或多個反及串130以及源極接觸件132(例如在3D記憶體裝置100的一記憶體塊中當作所有反及串130的共用源極接觸件)之間的低電阻電連接。

【0041】 導通區158與160可包括比半導體材料的導電性高的導電材料，其中半導體材料舉例為矽(例如摻雜或非摻雜的非晶矽、單晶矽或多晶矽)。在某些實施例中，各導通區158與160的導電性在約20°C下至少為約 1×10^4 S/m，例如在20°C下至少為 1×10^4 S/m。在某些實施例中，各導通區158與60的導電性在約20°C下的範圍為約 1×10^4 S/m至約 1×10^8 S/m，例如在20°C下的範圍為 1×10^4 S/m至 1×10^8 S/m(例如在20°C下為 1×10^4 S/m、 1×10^5 S/m、 5×10^5 S/m、 1×10^6 S/m、 2×10^6 S/m、

3×10^6 S/m、 4×10^6 S/m、 5×10^6 S/m、 6×10^6 S/m、 7×10^6 S/m、 8×10^6 S/m、 9×10^6 S/m、 1×10^7 S/m、 2×10^7 S/m、 3×10^7 S/m、 4×10^7 S/m、 5×10^7 S/m、 6×10^7 S/m、 7×10^7 S/m、 8×10^7 S/m、 9×10^7 S/m、 1×10^8 S/m、任何以這些數值中的任一個當作範圍最低值或是以這些數值的任兩個定義出的任意範圍)。導通區158與60中的導電材料可包括但不限於金屬、金屬合金及金屬矽化物。在某些實施例中，各導通區158與60包括一或多種金屬，例如銅(Cu)、鈷(Co)、鎳(Ni)、鈦(Ti)及鎢(W)。前述金屬也可包括任何其他適合的金屬，例如銀(Ag)、鋁(Al)、金(Au)、鉑(Pt)等。在某些實施例中，各導通區158與60包括一或多種金屬合金，各分別為Cu、Co、Ni、Ti及W的至少其中兩個的合金(例如TiNi合金或TiNi合金與TiW合金的組合)，或者為任何其他適合的金屬合金，例如Ag、Al、Au、Pt、鐵(Fe)、鉻(Cr)等。在某些實施例中，各導通區158與60包括一或多種金屬矽化物，例如銅矽化物、鈷矽化物、鎳矽化物、鈦矽化物及鎢矽化物。前述金屬矽化物也可包括任何其他適合的金屬矽化物，例如銀矽化物、鋁矽化物、金矽化物、鉑矽化物等。

【0042】 源極導體層144可以被圖案化以在不同配置中形成具有不同數量導通區以及絕緣區的任何合適的佈局。源極導體層144中導通區以及絕緣區的不同佈局可以用來驅動各種結構中的記憶體陣列，例如在單一記憶體塊、多個記憶體塊或一記憶體塊的一部分(例如一或多個記憶體指)中的反及串陣列。在某些實施例中，為了使記憶體陣列的各種結構被源極導體層144驅動，在俯視圖中源極導體層144為溝渠狀或板狀，使得導通區(例如導通區158)可以接觸反及串130的陣列。在某些實施例中，源極導體層144中的至少一導通區(例如導通區160)不與反及串130接觸(例如經由絕緣區146而電連接導通區158)。導通區160可以接觸陣列元件中任何適合的接觸件，以提供該陣列元件及/或周邊元件與上層(upper level)互連結構(例如BEOL互連結構)之間的電連接。也就是說，源極導體層144可以被圖案化以形成任何適合的佈局，以作為BEOL互連結構的一部分。

【0043】 在某些實施例中，絕緣區146延伸穿過整個厚度的源極導體層144以使導通區158以及導通區160電性絕緣。絕緣區146可包括介電材料，其包含但不限於氧化矽、氮化矽、氮氧化矽、摻雜氧化矽、任何其他適合的介電材料、或以上材料之任意組合。可以使用圖案化製程(例如微影以及乾/濕蝕刻)以圖案化源極導體層144中的絕緣區146。然後，可以在圖案化區域藉由熱成長(thermal growth)及/或薄膜沉積介電材料而形成絕緣區146。藉由在源極導體層144中形成絕緣區(例如絕緣區146)可以定義出多個導通區(例如導通區158與60)的佈局。

【0044】 在某些實施例中，反及串130還包括位於反及串130的半導體通道128之上端的一磊晶層147。磊晶層147可包括半導體材料，例如矽。磊晶層147可為從半導體層(例如矽基底)經磊晶成長所形成。例如磊晶層147可為從矽基底經磊晶成長所形成的單晶矽層(例如在3D記憶體裝置100中被移除以及被源極導體層144取代之前)。對各反及串130而言，磊晶層147於此可視為一「磊晶插塞」。位於反及串130上端的磊晶插塞147可同時接觸源極導體層144的導通區158與反及串130的導體通道128，以在反及串130以及源極導體層144之間提供電連接。磊晶插塞147可垂直延伸並通過部分或整個厚度的源極選擇閘138並且做為能被反及串130上端的源極選擇閘138所控制的通道。源極選擇閘138可控制磊晶插塞147的導通性(coductance)。另一方面，由於位於源極選擇閘138上方的源極導體層144的導通區158包括導電材料，所以源極選擇閘138不能控制導通區158的導通性。因此，反及串130之源極側的控制只能在磊晶層147上進行。在某些實施例中，各源極選擇閘138的厚度以及磊晶層147的厚度可被調整。例如，源極選擇閘138的厚度範圍可以為約5 nm至約100 nm (例如5 nm至100 nm)，而磊晶層147的厚度範圍可以為約1 nm至約100 nm (例如1 nm至100 nm)。

【0045】 在某些實施例中，陣列元件還包括一源極接觸件132，其垂直延伸並穿過導體/介電質交替堆疊142。如第1圖所示，源極接觸件132的上端可接觸源極

導體層144的導通區158並且可經由源極導體層144的導通區158而電連接反及串130。在某些實施例中，多個反及串(例如單一記憶體塊、多個記憶體塊或一記憶體塊的一部分的反及串陣列)可經由源極導體層144而電連接源極接觸件132。因此，源極接觸件132可意指為這些反及串的「共用(common)源極接觸件」。源極接觸件132可包括導體材料，其包含但不限於W、Co、Cu、Al、矽化物或上述的任意組合。為了使源極接觸件132電性絕緣於周圍導體/介電質交替堆疊142中的導體層134，可以在源極接觸件132以及導體/介電質交替堆疊142之間設置具有任何合適介電材料的介電層。

【0046】 在某些實施例中，陣列元件還包括一接通陣列接觸件(TAC)162，其垂直延伸並穿過導體/介電質交替堆疊142。TAC 162可延伸穿過整個厚度的導體/介電質交替堆疊142(例如在垂直方向上的所有該導體/介電質對)。TAC 162的上端可接觸源極導體層144中的導通區160。TAC 162可藉由導通區160而從周邊元件載送電訊號至一BEOL接觸層166、一BEOL導體層168以及一襯墊層156。TAC 162可包括貫穿導體/介電質交替堆疊142的一開口(例如藉由乾/濕蝕刻製程製作)，其被導體材料所填充。在某些實施例中，為了電性絕緣的目的，在TAC 162以及導體/介電質交替堆疊142設有介電層164。TAC 162可包括導體材料，其包含但不限於W、Co、Cu、Al、摻雜矽、矽化物或上述的任意組合。可藉由ALD、CVD、PVD、電鍍、任何其他適合製程或上述的任意組合而將導體材料填入TAC 162的開口。

【0047】 如第1圖所示，3D記憶體裝置100可包括位於周邊互連層122之上的一陣列互連層123，其接觸於周邊互連層122。陣列互連層123可包括位元線接觸件126、一或多個導體層(例如導體層124)以及一或多個介電層(例如介電層121以及125)。各位元線接觸件126可接觸對應的一反及串130下端以個別定位(address)對應的反及串130。導體層可包括導體材料，其包含但不限於W、Co、Cu、Al、

矽化物或上述的任意組合。介電層可包括介電材料，其包含但不限於氧化矽、氮化矽、低介電常數材料或上述的任意組合。

【0048】 接合介面119可在周邊互連層122的介電層118以及陣列互連層123的介電層121之間形成。接合介面119也可在陣列互連層123的導體層124以及周邊互連層122的導體層120之間形成。各介電層118以及介電層121可包括氮化矽或氧化矽。

【0049】 在某些實施例中，一第一半導體結構170與一第二半導體結構172在接合介面119處接合。第一半導體結構170可包括基底102、在基底102上的一或多個周邊元件以及周邊互連層122。第二半導體結構172可包括源極導體層144、陣列互連層123、導體/介電質交替堆疊142(具有複數個導體/介電層對)以及反及串130。第一半導體結構170可包括第1圖所示在接合介面119之下的元件，而第二半導體結構172可包括第1圖所示在接合介面119之上的元件。周邊互連層122可包括導體層120，其在接合介面119與陣列互連層123的導體層124接觸。周邊互連層122也可包括介電層118，其在接合介面119與陣列互連層123的介電層121接觸。

【0050】 如第1圖所示，3D記憶體裝置100還可包括位於源極導體層144之上的一BEOL互連層153。在某些實施例中，BEOL互連層153包括導體層154與168、接觸層148與166、一或多個介電層(例如介電層152)以及一或多個襯墊層(例如襯墊層156)。BEOL互連層153可在3D記憶體裝置100以及外部電路之間傳送電訊號。在BEOL互連層153中的導體層、接觸層以及襯墊層(例如包括接合襯墊)可包括導體材料，其包含但不限於W、Co、Cu、Al、矽化物或上述的任意組合。在BEOL互連層153中的介電層可包括介電材料，其包含但不限於氧化矽、氮化矽、低介電常數材料或上述的任意組合。

【0051】 BEOL互連層153可與周邊元件電連接。具體而言，BEOL互連層153

的接觸層166可在源極導體層144的上表面接觸源極導體層144的導通區160。
TAC 162的上端可在源極導體層144的底表面接觸源極導體層144的導通區160。
TAC 162的下端可接觸陣列互連層123中的一接觸件。

【0052】 在某些實施例中，BEOL互連層153也包括源極導體層144。例如，在源極導體層144中並與接觸層148連接的導通區158可使陣列元件(例如反及串130以及源極接觸件132)電連接其他電路(例如BEOL導體層154以及襯墊層156)。類似的，在源極導體層144中並與接觸層166、TAC 162、陣列互連層123以及周邊互連層122連接的導通區160可使周邊元件(例如電晶體106)電連接其他電路(例如BEOL導體層168以及襯墊層156)。在某些實施例中，做為BEOL互連層153一部分的源極導體層144可經圖案化而形成任何適合的佈局，以符合所要求的陣列元件以及周邊元件的互連配置中的導通區設計。

【0053】 第2A圖至第2D圖為用以製作周邊元件以及周邊互連層的範例製作方法的製程示意圖。第8圖為製作周邊元件以及周邊互連層之範例方法800的流程圖。第2A圖至第2D圖以及第8圖所繪之周邊元件以及周邊互連層為描繪在第1圖中之周邊元件(例如電晶體106)以及周邊互連層122之一示例。應理解的是，方法800所示的步驟並非全部，且在所示的步驟之前、之後或之間，也可以執行其他步驟。

【0054】 請參考第8圖，方法800首先進行步驟802，其中在一第一基底上形成一周邊元件。該第一基底可為一矽基底。如第2A圖所示，一周邊元件形成於一第一矽基底202上。該周邊元件可包括形成在第一矽基底202上的複數個電晶體204。電晶體204可藉由多個製程步驟所形成，其包含但不限於微影(photolithography)、乾/濕蝕刻(dry/wet etch)、薄膜沉積(thin film deposition)、熱成長(thermal growth)、佈植(implantation)、化學機械研磨(chemical mechanical polishing，CMP)或上述之任意組合。在某些實施例中，摻雜區208形成在第一矽

基底202內，其中摻雜區208例如可做為電晶體204的源極區及/或汲極區。在某些實施例中，一絕緣區206亦形成於第一矽基底202內。

【0055】 進行方法800的步驟804，如第8圖所示，其中在周邊元件之上形成一或多個介電層以及導體層。如第2B圖所示，一第一介電層210可形成在第一矽基底202上。第一介電層210可包括一接觸層209，其包括MEOL接觸件，以電連接於周邊元件(例如電晶體204)。

【0056】 如第2C圖所示，一第二介電層216形成在第一介電層210上。在某些實施例中，第二介電層216為多層組合並可由多個步驟形成。例如，第二介電層216可包括一導體層212與一接觸層214。導體層(例如導體層212)與接觸層(例如接觸層209及214)可包括由一或多道薄膜沉積製程所形成之導體材料，薄膜沉積製程包括但不限於化學氣相沉積(CVD)、物理氣相沉積(PVD)、原子層沉積(ALD)、電鍍(electroplating)、無電電鍍(electroless plating)或上述之任意組合。形成導體層與接觸層的製程亦可包括微影、CMP、乾/濕蝕刻或上述之任意組合。介電層(例如第一介電層210以及第二介電層216)可由薄膜沉積製程形成，其包括但不限於CVD、PVD、ALD或上述之任意組合。

【0057】 進行方法800的步驟806，如第8圖所示，形成一周邊互連層之一上介電層與一上導體層。在步驟804與806所形成之介電層與導體層可共同視為一「互連層」(例如周邊互連層)。介電層與導體層各自可為周邊互連層的一部分，可傳送電訊號至周邊元件並自周邊元件輸出電訊號。如第2D圖所示，在第二介電層216上形成一第三介電層(上介電層)218，以及在第三介電層218內形成一上導體層220，藉此以形成一周邊互連層222。導體層(例如導體層220)可包括由一或多道薄膜沉積製程所形成之導體材料，薄膜沉積製程包括但不限於CVD、PVD、ALD、電鍍、無電電鍍或上述之任意組合。形成導體層以及接觸層的製程步驟亦可包括微影、CMP、乾/濕蝕刻或上述之任意組。介電層(例如介電層218)可包

括由一或多道薄膜沉積製程所形成之介電層，其製程包括但不限於CVD、PVD、ALD或上述之任意組合。

【0058】 第3A圖至第3D圖為用以製作陣列元件以及陣列互連層的範例製作方法的製程示意圖。第9圖為製作陣列元件以及陣列互連層之範例方法900的流程圖。第3A-3D圖以及第9圖所繪之陣列元件以及陣列互連層為描繪在第1圖中之陣列元件(例如反及串130)以及陣列互連層123之一示例。應理解的是，方法900所示的步驟並非全部，且在所示的步驟之前、之後或之間，也可以執行其他步驟。

【0059】 請參考第9圖，方法900首先進行步驟902，在第一第二基底中形成一絕緣區。第二基底可為一矽基底，例如第3 A 圖中的第二矽基底302。一陣列元件可形成在第二矽基底302上。在某些實施例中，一絕緣區304形成在第二矽基底302中。絕緣區304可藉由熱成長及/或薄膜沉積所形成。可使用圖案化製程(例如微影以及乾/濕蝕刻)來圖案化第二矽基底302中的絕緣區304。

【0060】 進行方法900的步驟904，如第9圖所示，在第二基底上形成複數個介電層對(在本文中也可意指為「介電質交替堆疊」)。如第3B圖所示，複數個成對的第一介電層308以及第二介電層310形成在第二矽基底302上。這些介電層對可形成一介電質交替堆疊306。介電質交替堆疊306可包括交替堆疊的第一介電層308以及與第一介電層308不同的第二介電層310。在某些實施例中，各介電層對包括一層氮化矽以及一層氧化矽。在某些實施例中，在介電質交替堆疊306中可以比前述介電層對有更多不同材料及/或厚度的膜層。在某些實施例中，第一介電層308可各自具有相同厚度或不同厚度。類似的，第二介電層 310可各自具有相同厚度或不同厚度。在一示例中，在介電質交替堆疊306的一第一複數個介電質對中，各第一介電層308以及第二介電層310的厚度範圍可為約5 nm至約40 nm(例如5 nm至40 nm)。在介電質交替堆疊306的一第二複數個介電質對中，各

第一介電層308以及第二介電層310的厚度範圍可為約10 nm至約40 nm (例如10 nm至40 nm)。在介電質交替堆疊306的一第三複數個介電質對中，各第一介電層308的厚度範圍可為約5 nm至約40 nm (例如5 nm至40 nm)，且各第二介電層310之厚度範圍可為約50 nm至約200 nm (例如50 nm至200 nm)。介電質交替堆疊306可由一或多道薄膜沉積製程所形成，其包括但不限於CVD、PVD、ALD或上述之任意組合。在某些實施例中，介電質交替堆疊306可由複數個導體/介電層對所取代，其中的導體/介電層對也就是交替堆疊的導體層(例如多晶矽)以及介電層(例如氧化矽)。

【0061】 進行方法900的步驟906，如第9圖所示，在第二基底上形成陣列元件的複數個反及串。如第3C圖所示，反及串318形成在第二矽基底302。介電質交替堆疊306的各第一介電層308可分別被一導體層316所取代，因此形成在導體/介電質交替堆疊314中的複數個導體/介電層對。可藉由對第二介電層310具有選擇性的濕蝕刻去除第一介電層308以及將導體層316填入該結構中而使導體層316取代第一介電層308。各導體層316的厚度範圍可為約5 nm至約40 nm(例如5 nm至40 nm)。導體層316可包括導體材料，其包含但不限於W、Co、Cu、Al、摻雜矽、多晶矽、矽化物或上述的任意組合。導體層316可利用薄膜沉積製程來填入，例如CVD、ALD、其他適合的製程或上述的任意組合。

【0062】 在某些實施例中，導體/介電質交替堆疊314中的導體層316會使用來形成對應反及串318的選擇閘以及字元線。介電質交替堆疊306中的至少一些導體層316(例如除了頂部的導體層316與底部的導體層316以外)可各自被用來當作對應反及串318的字元線。如第3C圖所示，導體/介電質交替堆疊314中的上導體層(最上層的導體層)以及下導體層(最下層的導體層)可各自被圖案化以形成對應反及串318的一汲極選擇閘330以及一源極選擇閘328。在某些實施例中，介電質交替堆疊306上端的一或多個成對的第一介電層308以及第二介電層310會被圖

案化，而上部經圖案化的介電層對中的第一介電層308可被對應的一導體層316所取代，因此形成汲極選擇閘330。在某些實施例中，會在導體/介電質交替堆疊314頂部上形成額外的導體層，並將其圖案化以形成對應反及串318的汲極選擇閘。

【0063】 在某些實施例中，形成反及串318的製作方法還包括形成一半導體通道320，垂直延伸並穿過導體/介電質交替堆疊314。在某些實施例中，形成反及串318的製作方法還包括在導體/介電質交替堆疊314中的半導體通道320以及複數個導體/介電層對之間形成一介電層322。介電層322可為一複合介電層，例如為多個介電層的組合，其包含但不限於一穿隧層、一儲存層以及一阻擋層。

【0064】 穿隧層可包括介電材料，其包含但不限於氧化矽、氮化矽、氮氧化矽或上述的任意組合。來自半導體通道的電子或電洞可穿過穿隧層而穿隧到反及串318的一儲存層。穿隧層的厚度(例如在反及串318的放射方向上)範圍可為約5 nm至約15 nm(例如5 nm至15 nm)。儲存層可包括用來儲存電荷的材料，以進行記憶體操作。儲存層材料包括但不限於氮化矽、氮氧化矽、氧化矽以及氮化矽之組合或上述的任意組合。儲存層的厚度(例如在反及串318的放射方向上)範圍可為約3 nm至約15 nm(例如3 nm至15 nm)。阻擋層可包括介電材料，其包含但不限於氧化矽或氧化矽/氮化矽/氧化矽(ONO)的組合，其具有範圍為約4 nm至約15 nm(例如4 nm至15 nm)的厚度。阻擋層可還包括一低介電常數層，例如厚度範圍約1 nm至約5 nm(例如1 nm至5 nm)的 Al_2O_3 層。介電層322可藉由例如ALD、CVD、PVD製程、任何其他適合製程或上述的任意組合所形成。

【0065】 在某些實施例中，形成反及串318的製作方法還包括在反及串318的一端形成一磊晶層326。如第3C圖所示，磊晶層326可形成於反及串318的下端，做為一磊晶插塞。磊晶層326可為一矽層，其接觸於第二矽基底302，並可從第二矽基底302經磊晶成長而形成，並且可以對其佈植至一要求的摻雜濃度(level)。

【0066】 在某些實施例中，步驟906還包括形成一或多個源極接觸件(例如共用源極接觸件)。如第3C圖所示，可在第二矽基底302上形成一源極接觸件324，其垂直延伸並穿過導體/介電質交替堆疊314。源極接觸件324的一端可接觸第二矽基底302。在某些實施例中，源極接觸件324可經由第二矽基底302而電連接多個反及串318。選擇閘328可形成在反及串318的下端以作為開關件，開啟及關閉磊晶層326。在某些實施例中，磊晶層326垂直延伸並穿過部分或整個厚度的選擇閘328。源極接觸件324可包括導體材料，其包含但不限於W、Co、Cu、Al、摻雜矽、矽化物或上述的任意組合。源極接觸件324的方式可包括藉由一乾/濕蝕刻製程以形成穿過導體/介電質交替堆疊314的一垂直開口，然後藉由一填入製程而將導體材料以及其他材料(例如介電材料)填入該開口。該開口可藉由ALD、CVD、PVD、電鍍、任何其他適合製程或上述的任意組合來充填。

【0067】 進行方法900的步驟908，如第9圖所示，在複數個反及串之上形成一陣列互連層。陣列互連層可在反及串以及3D記憶體裝置的其他部分(例如周邊元件)之間傳送電訊號。如第3D圖所示，一陣列互連層338形成在反及串318之上。在某些實施例中，形成陣列互連層338的製作方法包括先形成一介電層334，再於介電層334中形成一位元線接觸件335，其接觸於反及串318。介電層334可包括一或多層介電材料，例如氧化矽、氮化矽、氮氧化矽或上述的任意組合。可藉由在介電層334中形成一開口，然後在該開口中填入導體材料以及介電材料以形成位元線接觸件335。位元線接觸件335可包括導體材料，其包含但不限於W、Co、Cu、Al、摻雜矽、矽化物或上述的任意組合。可藉由ALD、CVD、PVD、任何其他適合的製程或上述的任意組合而以導體材料以及介電材料填入位元線接觸件335的開口。

【0068】 在某些實施例中，形成陣列互連層338的製作方法還包括在介電層334中形成一或多個導體層(例如導體層340)以及一或多個接觸層(例如接觸層

344)。導體層340以及接觸層344可包括導體材料，其包含但不限於W、Co、Cu、Al、摻雜矽、矽化物或上述的任意組合。導體層340以及導體接觸層344可藉由適合的已知BEOL方法所形成。

【0069】 在某些實施例中，形成陣列互連層338的製作方法還包括形成一上導體層342以及一上介電層336。上導體層342可包括導體材料，其包含但不限於W、Co、Cu、Al、摻雜矽、矽化物或上述的任意組合。介電層336可包括介電材料，其包含但不限於氧化矽、氮化矽、氮氧化矽或上述的任意組合。

【0070】 第4圖為用以連接陣列元件以及周邊元件的範例製作方法的製程示意圖。第5A圖至第5B圖與第6A圖至第6B圖為形成源極導體層的多個範例製作方法的製程示意圖。第7圖為在源極導體層上形成BEOL互連層的範例製作方法的製程示意圖。第10圖為製作具有陣列元件以及周邊元件之3D記憶體裝置之範例方法1000的流程圖。第4圖至第7圖所繪的3D記憶體裝置以及源極導體層為描繪在第1圖中之3D記憶體裝置100以及源極導體層144之一示例。應理解的是，方法1000所示的步驟並非全部，且在所示的任意步驟之前、之後或之間，也可以執行其他步驟。

【0071】 如第10圖所示，方法1000首先進行步驟步驟1002，將陣列元件(與陣列互連層)放置於第二基底(例如將第二基底顛倒翻轉)之下，並且將陣列互連層對準周邊互連層。如第4圖所示，陣列互連層338可被設置在第二矽基底302下方。在某些實施例中，陣列互連層338與周邊互連層222之對準是藉由使陣列互連層338之導體層342對準周邊互連層222之導體層220來進行。藉此，當陣列元件連接於周邊元件時，導體層342可接觸導體層220。

【0072】 進行方法1000的步驟1004，如第10圖所示，使陣列互連層連接周邊互連層。可對第一基底與第二基底進行覆晶接合(flip-chip bonding)來將陣列互連層連接至周邊互連層。在某些實施例中，可對第一基底與第二基底以面對面的

方式進行混合接合(hybrid bonding)來將陣列互連層連結至周邊互連層，使3D記憶體裝置的最終結構裡的陣列互連層位在周邊互連層上並與陣列互連層接觸。混合接合(如「金屬/介電質混合接合」)可為直接接合的技術(如在兩表面之間形成鍵結，而不需利用中間層，如焊料或黏著劑)，其同時形成金屬-金屬鍵結及介電質-介電質鍵結。如第4圖所示，陣列互連層338可連接於周邊互連層222，因此形成一接合介面403。

【0073】 在連結兩互連層的製程進行前或進行當中，可利用一處理製程來提升陣列互連層338與周邊互連層222之間的接合強度。在某些實施例中，介電層336與介電層218分別包括氧化矽或氮化矽。在某些實施例中，處理製程包括對陣列互連層338表面與周邊互連層222表面進行處理之一電漿處理，使兩互連層表面在介電層336與介電層218之間形成化學鍵。在某些實施例中，處理製程包括對陣列互連層338表面與周邊互連層222表面進行處理之一濕式處理，使兩互連層表面形成的化學鍵能增強兩介電層336與218之間的鍵結強度。在某些實施例中，處理製程包括可在溫度從約250°C至約600°C(如從250°C至600°C)進行之熱製程(thermal process)。熱製程可引起導體層342與導體層220之間的相互擴散(inter-diffusion)。藉此，在連結製程後，導體層342可與導體層220互相混合(inter-mixed)。導體層342與導體層220可各自包括銅。

【0074】 進行方法1000的步驟1006，如第10圖所示，在反及串之上形成一源極導體層。該前述連接製程之後，形成有導體/介電質交替堆疊(其中設有反及串)於其上的第二基底可以被移除，並且源極導體層可形成在該導體/介電質交替堆疊(其中設有反及串)上。也就是說，在連接製程之後，藉由在第二基底的原始位置(例如在導體/介電質交替堆疊上)形成源極導體層，以取代第二基底。在某些實施例中，源極導體層可被圖案化以形成一或多個絕緣區。

【0075】 如第5A圖所示，在某些實施例中，第二矽基底302 (如第4圖所示) 會

被移除，而一源極導體層405形成在導體/介電質交替堆疊314上。換句話說，源極導體層 405可在第二矽基底302的原始位置處取代第二矽基底302。源極導體層 405可包括導電材料，以使源極導體層405的導通性不受源極導體層405下方的源極選擇閘328所影響。源極導體層 405中的導電材料可提供源極接觸件324以及反及串318之間的電連接。源極導體層405中的導電材料可包括但不限於金屬、金屬合金及金屬矽化物。在某些實施例中，源極導體層 405包括一或多種金屬，例如Cu、Co、Ni、Ti、W或任何其他適合的金屬。在某些實施例中，源極導體層 405包括一或多種金屬合金，各自為Cu、Co、Ni、Ti、W其中至少兩種的合金(例如TiNi合金或TiNi合金以及TiW合金的組合)，或是任何其他適合的金屬合金。在某些實施例中，源極導體層405包括一或多種金屬矽化物，例如銅矽化物、鈷矽化物、鎳矽化物、鈦矽化物、鎢矽化物或任何其他適合的金屬矽化物。

【0076】 在某些實施例中，源極導體層405之厚度範圍為約20 nm至約50 μm ，例如範圍為從20 nm至50 μm (例如20 nm、30 nm、40 nm、50 nm、60 nm、70 nm、80 nm、90 nm、100 nm、110 nm、120 nm、130 nm、140 nm、150 nm、160 nm、170 nm、180 nm、190 nm、200 nm、500 nm、1 μm 、5 μm 、10 μm 、15 μm 、20 μm 、25 μm 、30 μm 、35 μm 、40 μm 、45 μm 、50 μm 、任何以這些數值中的任一個當作範圍最低值或是以這些數值的任兩個定義出的任意範圍)。在某些實施例中，源極導體層405的厚度範圍為約200 nm至約5 μm ，例如範圍為從200 nm至5 μm (例如200 nm、300 nm、400 nm、500 nm、600 nm、700 nm、800 nm、900 nm、1 μm 、2 μm 、3 μm 、4 μm 、5 μm 、任何以這些數值中的任一個當作範圍最低值或是以這些數值的任兩個定義出的任意範圍)。源極導體層405可由一或多道薄膜沉積製程所形成，其包含但不限於CVD、PVD以及ALD製程。

【0077】 第11圖為形成源極導體層之一範例方法的流程圖。應理解的是，方

法1100所示的步驟並非全部，且在所示的任意步驟之前、之後或之間，也可以執行其他步驟。請參考第11圖，方法1100首先進行步驟1102，將第二基底薄化。例如，可以薄化第二矽基底302 (示於第4圖)以使其成為一薄化之矽基底。在某些實施例中，可從第二矽基底302的上(頂)表面(相對於與導體/介電質交替堆疊314接觸的底表面)薄化直至絕緣區304被暴露出。也就是說，薄化之第二基底的厚度可與形成在第二基底中的絕緣區相同。

【0078】 進行方法1100的步驟1104，如第11圖所示，移除薄化之第二基底。可藉由研磨(grinding)、溼/乾蝕刻、CMP或上述的任意組合來移除薄化之第二基底。應理解的是，在某些實施例中可跳過步驟1102，而第二基底(例如第4圖中的第二矽基底302)可在單一製程中被移除，不需先被薄化。

【0079】 進行方法1100的步驟1106，如第11圖所示，在被移除的第二基底的原始位置處形成一源極導體層。如第5A圖所示，源極導體層405可形成在導體/介電質交替堆疊314上，以使源極導體層405的底表面可接觸該導體/介電質交替堆疊314的上介電層，也接觸反及串318的上端(例如磊晶層326)以及源極接觸件324的上端。

【0080】 進行方法1100的步驟1108，如第11圖所示，圖案化源極導體層。在某些實施例中，使源極導體層圖案化以形成一或多個絕緣區。在源極導體層中留下的導電材料可形成導通區，被絕緣區所電性絕緣。如第5B圖所示，絕緣區407可形成在源極導體層405中。絕緣區407可包括介電材料，其包含但不限於氧化矽、氮化矽、氮氧化矽，摻雜氧化矽、任何其他適合的介電材料或上述的任意組合。圖案化製程(例如微影以及乾/濕蝕刻)可用來圖案化源極導體層405中的絕緣區407。然後，可以在該圖案化的區域中藉由介電材料的熱成長及/或薄膜沉積來形成絕緣區407。可以圖案化源極導體層405以在不同配置中形成具有不同數量導通區以及絕緣區的任何合適的佈局。源極導體層405中導通區以及絕緣區

的不同佈局可以用來驅動各種結構中的記憶體陣列，例如在單一記憶體塊、多個記憶體塊或一記憶體塊的一部分(例如一或多個記憶體指)中的反及串陣列。在反及串318以及源極接觸件324之間的電連接之外，形成在源極導體層405的導通區可提供額外的電連接，例如提供周邊元件以及BEOL互連結構之間的電連接以及陣列元件以及BEOL互連結構之間的電連接。

【0081】 第12圖為形成源極導體層之另一範例方法的流程圖。應理解的是，方法1200所示的步驟並非全部，且在所示的任意步驟之前、之後或之間，也可以執行其他步驟。請參考第12圖，方法1200首先進行步驟1202，將第二基底薄化。例如，可以薄化第二矽基底302 (示於第4圖) 以使其成為一薄化之第二矽基底417(示於第6A圖)。在某些實施例中，在某些實施例中，可從第二矽基底302的上表面(相對形成有反及串318的底表面)薄化直至絕緣區304被暴露出。也就是說，薄化之第二矽基底417的厚度可與形成在第二矽基底302中的絕緣區304相同。然後第二基底可經由研磨、溼/乾蝕刻、CMP或上述的任意組合而薄化。

【0082】 進行方法1200的步驟1204，如第12圖所示，在薄化的第二基底上形成一金屬層。如第6A圖所示，一金屬層419可形成在薄化之第二矽基底417的上側。金屬層419可包括Co、Ni、Ti、W、任何其他可形成金屬矽化物的適合金屬、或上述的任意組合。金屬層419可由一或多道薄膜沉積製程所形成，其包含但不限於CVD、PVD、ALD或上述的任意組合。在某些實施例中，金屬層419的厚度至少為約2 nm (例如至少2 nm)，例如範圍為約2 nm至約500 nm (例如2 nm至500 nm)。金屬層419的厚度可為適合後續矽化製程的足夠厚度。

【0083】 進行方法1200的步驟1206，如第12圖所示，形成一金屬矽化物層。可以以薄化之第二基底中的矽以及金屬層中的金屬之間的反應為基礎而形成該金屬矽化物層。如第6B圖所示，源極導體層421可為一金屬矽化物層，其可以藉由以薄化之第二矽基底417以及金屬層419的反應為基礎的矽化製程而形成。金

屬矽化物層的所形成可藉由一熱處理(thermal treatment，例如退火(annealing)、燒結(sintering)或任何其他適合的製程)，而產生金屬-矽合金(亦即矽化物)。退火製程可包括例如快速熱退火(rapid thermal annealing，RTA)以及雷射退火(laser annealing)。絕緣區304中的介電材料不能與金屬層419中的金屬。因此，絕緣區304可保留於源極導體層421中。在某些實施例中，在矽化製程之後，金屬層419中未反應的部分可以從源極導體層421移除。此移除金屬層419中未反應的部分可藉由濕蝕刻、乾蝕刻或任何其他適合的製程所進行。

【0084】 源極導體層421中的金屬矽化物材料可依據金屬層419中的該金屬材料而定。例如，當金屬層419包括Co、Ni、Ti或W時，那麼源極導體層421會對應包括鈷矽化物、鎳矽化物、鈦矽化物或鎢矽化物。在某些實施例中，源極導體層421中的金屬矽化物材料為導電材料，其具有夠高的導電性以使源極導體層421的導通不會被源極選擇閘328所影響，並且源極導體層421可電連接反及串318以及源極接觸件324。在某些實施例中，源極導體層421中的金屬矽化物材料的導電性在約20°C下至少為約 1×10^4 S/m(例如在20°C下至少為 1×10^4 S/m)，例如在約20°C下之範圍為約 1×10^4 S/m至約 1×10^7 S/m(例如在20°C下的範圍為 1×10^4 S/m至 1×10^7 S/m at 20°C)。

【0085】 如第6B圖所示，在形成源極導體層421之前先形成的絕緣區304 可保留在源極導體層421中，而被絕緣區304所電性絕緣的導通區包括由矽化製程所形成的金屬矽化物。也就是說，在某些實施例中，在形成金屬矽化物層之前可先圖案化源極導體層421中的導通區以及絕緣區(例如方法900中的步驟902)。在某些實施例中，是在形成金屬矽化物層之後進行額外的圖案化製程(也就是直接圖案化源極導體層421)以形成額外的絕緣區(未示於第6B圖)。例如，進行方法1200之步驟1208，如第12圖所示，圖案化金屬矽化物層以形成絕緣區與被絕緣區電性絕緣的導通區。應理解的是，在某些實施例中，在第二基底(例如絕緣區

304)中的絕緣區並非必須，且源極導體層421中的絕緣區可藉由在矽化製程之後圖案化源極導體層421所形成。

【0086】 在形成金屬矽化物層之後，圖案化製程(例如微影以及乾/濕蝕刻)可以用來圖案化源極導體層421。然後，可以在圖案化區域經由熱成長及/或薄膜沉積介電材料而形成絕緣區。絕緣區可包括介電材料，例如氧化矽、氮化矽、氮氧化矽，摻雜氧化矽、任何其他適合的介電材料或上述的任意組合。在源極導體層421中的絕緣區形成後可以定義出多個導通區的佈局。源極導體層421中的導通區以及絕緣區的不同佈局可用來驅動各種結構中的記憶體陣列，例如在單一記憶體塊、多個記憶體塊或一記憶體塊中的一部分(例如一或多個記憶體指)的反及串陣列。除了提供反及串318以及源極接觸件324之間的電連接以外，形成於源極導體層421中的導通區可提供其他額外的電連接，例如在周邊元件以及BEOL互連結構之間以及在陣列元件以及BEOL互連結構之間的電連接。

【0087】 請再參考第10圖，進行方法1000的步驟1008，在源極導體層之上形成BEOL互連層。如第7圖所示，在源極導體層405/421之上形成一BEOL互連層702。BEOL互連層702可包括一介電層409、一或多個接觸層411、一或多個導體層413以及一襯墊層415。介電層409可為由不同製程步驟形成的多個介電層的組合。接觸層411、導體層413以及襯墊層415可包括導體材料，其包含但不限於W、Co、Cu、Al、摻雜矽、矽化物或上述的任意組合。介電層409可包括介電材料，其包含但不限於氧化矽、氮化矽、氮氧化矽，低介電常數材料或上述的任意組合。在某些實施例中，襯墊層415電連接於外部電路或元件，以在連接的陣列/周邊元件以及外部電路或元件之間傳送電訊號。在某些實施例中，BEOL互連層702 (例如接觸層411)電連接源極導體層405/421(例如接觸源極導體層405/421之導通區的上表面)。

【0088】 應理解的是，在某些實施例中，形成陣列元件/陣列互連層以及形成

周邊元件/周邊互連層的順序可以調整，或者陣列元件/陣列互連層的製作以及該周邊元件/周邊互連層的製作可以並行。再者，根據某些實施例，在導體/介電質交替堆疊上形成源極導體層以及連接陣列元件與周邊元件的順序可以調整。在某些實施例中，在連接陣列元件以及周邊元件之前，先在導體/介電質交替堆疊上形成源極導體層。在一示例中，在第二基底上形成反及串之後，可以先成源極導體層以取代第二基底，然後再形成陣列互連層。在另一示例中，在第二基底上形成反及串之後，可先形成陣列互連層，然後可形成源極導體層以取代第二基底。一般而言，不限制形成源極導體層的時機，其可以在本文揭示的3D記憶體裝置(例如3D記憶體裝置100)製作方法的製程中任何適合的時機進行。

【0089】 本揭露不同實施例提供具有源極導體層的3D記憶體裝置，其取代其他3D記憶體裝置中所使用的該基底中的矽通道。藉由以本文揭示之形成源極導體層的導電材料(例如金屬、金屬合金及/或金屬矽化物)來取代矽，可以降低3D記憶體裝置的源極側(例如在共用源極接觸件以及反及串之間)之電阻，因此可以增加該元件操作速度。在某些實施例中，源極選擇閘之抹除操作的導通機制可以經由GIDL所驅動。

【0090】 再者，與矽基底相比，本文所揭示的源極導體層可以更易於在任何適合的佈局(例如在不同的絕緣區)中進行圖案化，因此能如所要求的驅動單一記憶體塊、多重記憶體塊或一記憶體塊的一部分，藉此可以增強對應記憶體陣列之周邊元件的驅動能力。由於其導電性質，本文所揭示的源極導體層可以被圖案化並使用為互連層(例如BEOL互連的一部分)。

【0091】 在某些實施例中，反及記憶體裝置包括一基底、一導體/介電質交替堆疊、一反及串、一源極導體層及一源極接觸件。導體/介電質交替堆疊包括複數個導體/介電質對位於基底之上。該反及串垂直延伸並穿過導體/介電質交替堆疊。源極導體層位於導體/介電質交替堆疊之上並接觸反及串的一第一端。源極

接觸件包括接觸該源極導體層的一第一端。反及串經由源極導體層而電連接源極接觸件。

【0092】 在某些實施例中，3D記憶體裝置包括一基底、位於基底上的一周邊元件、分別垂直延伸在周邊元件之上的複數個記憶體串以及在複數個記憶體串之上的一源極導體層。複數個記憶體串的上端各自接觸源極導體層的一第一表面。

【0093】 某些實施例揭示了形成反及記憶體裝置的方法。在一第一基底上形成一導體/介電質交替堆疊。形成一反及串與一源極接觸件，此兩者垂直延伸並穿過導體/介電質交替堆疊。以一源極導體層取代第一基底，使源極導體層接觸反及串的一第一端與源極接觸件的一第一端，並且反及串經由源極導體層而電連接源極接觸件。

【0094】 某些實施例揭示了形成3D記憶體裝置的方法。在一第一基底上形成導體/介電質交替堆疊。形成複數個記憶體串，垂直延伸並穿過導體/介電質交替堆疊，使複數個記憶體串的一第一端各自接觸第一基底的一第一表面。移除第一基底。形成一源極導體層，使複數個記憶體串的各第一端接觸源極導體層的一第一表面。

【0095】 某些實施例揭示了形成3D記憶體裝置的方法。在一第一基底上形成導體/介電質交替堆疊。在第一基底的第一側上形成複數個記憶體串，垂直延伸並穿過導體/介電質交替堆疊。從第一基底的一第二側薄化第一基底。在薄化的第一基底的第二側上形成一金屬層。以至少部分之金屬層與薄化之第一基底之間反應反應為基礎而形成一源極導體層。

【0096】 以上對具體實施例的描述將充分揭示本揭露內容的一般性質，其他人可以通過應用相關領域技術範圍內的知識，輕易地將特定實施例調整及/或修改於各種應用，而無需過度實驗與背離本揭露內容的一般概念。因此，基於這

裡給出的教導及指導，這樣的修改及調整仍應屬於本揭露的實施例的均等意涵及範圍內。應該理解的是，本文中的措辭或術語是為了描述的目的而非限制的目的，使得本說明書的術語或措辭將由相關領域技術人員根據教導及指導來解釋。

【0097】 以上本揭露的實施例已借助於功能構建塊來描述，該功能構建塊示出了特定功能及其關係的實現。為了描述的方便，這些功能構建塊的邊界/範圍在本文中係被任意的定義，在適當地實現所指定的功能及關係時，可以定義出替代邊界/範圍。

【0098】 發明內容及摘要部分可以闡述出發明人所設想的本揭露的一個或多個的示範性實施例，但並非全部的示範性實施例，並且因此不旨在以任何方式限制本揭露內容及所附權利要求範圍。

【0099】 本揭露的廣度及範圍不應受上述任何示範性實施例所限制，而應僅根據以下權利要求及其均等物來限定。

【符號說明】

【0100】

100	3D記憶體裝置
102	基底
104、146、206、304、407	絕緣區
106、204	電晶體
107、114	接觸件
108、208	摻雜區
110、112、118、121、125、129、136、152、164、322、334、409	介電層
116、120、124、134、154、168、212、340、316、340、413	導體層

119、403	接合介面
122	周邊互連層
123	陣列互連層
126、335	位元線接觸件
128、320	半導體通道
130、318	反及串
132、324	源極接觸件
138、140、328	選擇閘、源極選擇閘
142、314	導體/介電質交替堆疊
144、405、421	源極導體層
147、326	磊晶層、磊晶插塞
148、166、209、214、344、411	接觸層
153、702	BEOL互連層
156、415	襯墊層
158、160	導通區
162	TAC
170	第一半導體結構
172	第二半導體結構
202	第一矽基底
204	電晶體
206	絕緣區
208	摻雜區
210、308	第一介電層
216、310	第二介電層

218	第三介電層
220	上導體層
222	周邊互連層
302	第二矽基底
306	介電質交替堆疊
328	源極選擇閘
330	汲極選擇閘
336	上介電層
338	陣列互連層
342	上導體層
417	薄化之第二矽基底
419	金屬層
800、900、1000、1100、1200	方法
802～806、902～908、1002～1008、1102～1108、1202～1208	步驟
x、y	方向



I657541

【發明摘要】

【中文發明名稱】 三維記憶體裝置的源極結構及其製作方法

【英文發明名稱】 SOURCE STRUCTURE OF THREE-DIMENSIONAL
MEMORY DEVICE AND METHOD FOR FORMING THE SAME

【中文】

本揭露揭示3D記憶體裝置的源極結構與製作3D記憶體裝置的源極結構的方法。反及記憶體裝置包括一基底、一導體/介電質交替堆疊、一反及串、一源極導體層以及一源極接觸件。導體/介電質交替堆疊包括位於基底上的複數個導體/介電質對。反及串垂直延伸穿過導體/介電質交替堆疊。源極導體層位於導體/介電質交替堆疊上並接觸導體/介電質交替堆疊。源極接觸件包括與源極導體層接觸的一端。反及串經由源極導體層而電連接於源極接觸件。在某些實施例中，源極導體層包括一或多個導通區，分別包括金屬、金屬合金及金屬矽化物的其中一種或多種。

【英文】

Embodiments of source structure of a three-dimensional (3D) memory device and method for forming the source structure of the 3D memory device are disclosed. In an example, a NAND memory device includes a substrate, an alternating conductor/dielectric stack, a NAND string, a source conductor layer, and a source contact. The alternating conductor/dielectric stack includes a plurality of conductor/dielectric pairs above the substrate. The NAND string extends vertically through the alternating conductor/dielectric stack. The source conductor layer is above the alternating conductor/dielectric stack and is in contact with an end of the

NAND string. The source contact includes an end in contact with the source conductor layer. The NAND string is electrically connected to the source contact by the source conductor layer. In some embodiments, the source conductor layer includes one or more conduction regions each including one or more of a metal, a metal alloy, and a metal silicide.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

100	3D記憶體裝置
102	基底
104、146	絕緣區
106	電晶體
107、114	接觸件
108	摻雜區
110、112、118、121、125、129、136、152、164	介電層
116、120、124、134、154、168	導體層
119	接合介面
122	周邊互連層
123	陣列互連層
126	位元線接觸件
128	半導體通道
130	反及串
132	源極接觸件
138、140	選擇閘、源極選擇閘
142	導體/介電質交替堆疊
144	源極導體層
147	磊晶層、磊晶插塞
148、166	接觸層
153	BEOL互連層
156	襯墊層

158、160	導通區
162	TAC
170	第一半導體結構
172	第二半導體結構
x、y	方向

【特徵化學式】

無

【發明申請專利範圍】

【第1項】 一種反及(not AND, NAND)記憶體裝置，包括：

一基底；

一導體/介電質交替堆疊(alternating conductor/dielectric stack)，包括複數個導體/介電質對(conductor/dielectric pair)位於該基底上；

一反及串，垂直延伸並穿過該導體/介電質交替堆疊；

一源極導體層，位於該導體/介電質交替堆疊上並接觸於該反及串的一第一端，其中該源極導體層包括複數個導通區以及一或多個絕緣區，該一或多個絕緣區電性絕緣該複數個導通區；以及

一源極接觸件，包括一第一端，該第一端接觸於該源極導體層，其中該反及串經由該複數個導通區的一第一導通區而電連接該源極接觸件。

【第2項】 如請求項1所述的反及記憶體裝置，其中該源極導體層包括一或多個導通區(conduction reigon)，各該導通區包括金屬、金屬合金及金屬矽化物(metal silicide)的其中一種或多種。

【第3項】 如請求項2所述的反及記憶體裝置，其中該金屬包括銅(copper)、鈷(cobalt)、鎳(nickel)、鈦(titanium)及鎢(tungsten)的其中一種或多種。

【第4項】 如請求項2所述的反及記憶體裝置，其中該金屬合金包括銅、鈷、鎳、鈦及鎢的其中至少兩種的合金。

【第5項】 如請求項2所述的反及記憶體裝置，其中該金屬矽化物包括銅矽化物、鈷矽化物、鎳矽化物、鈦矽化物及鎢矽化物的其中一種或多種。

【第6項】 如請求項1所述的反及記憶體裝置，還包括位於該反及串與該源極導體層之間的一磊晶矽層，其中該反及串經由該磊晶矽層而電連接該源極導體層。

【第7項】 如請求項1所述的反及記憶體裝置，還包括一接通陣列接觸件(through array contact, TAC)垂直延伸並穿過該導體/介電質交替堆疊，其中該TAC接觸於該複數個導通區的一第二導通區。

【第8項】 如請求項1所述的反及記憶體裝置，還包括一第一互連層，該第一互連層包括一第一接觸件，其中該反及串經由該第一導通區而電連接該第一接觸件。

【第9項】 如請求項7所述的反及記憶體裝置，還包括一第一互連層，該第一互連層包括一第二接觸件，其中該接通陣列接觸件經由該第二導通區而電連接該第二接觸件。

【第10項】 如請求項1所述的反及記憶體裝置，還包括位於該基底以及該反及串之間的一周邊元件。

【第11項】 如請求項10所述的反及記憶體裝置，還包括一第二互連層，位於該周邊元件之上並與該周邊元件相接觸，其中該第二互連層包括一或多個導體層，位於一或多個介電層中。

【第12項】 如請求項11所述的反及記憶體裝置，還包括一第三互連層，該第三

互連層與該反及串的一第二端相接觸，並與該源極接觸件的一第二端相接觸，其中該第三互連層包括一或多個導體層，位於一或多個介電層中。

【第13項】 如請求項12所述的反及記憶體裝置，還包括一接合介面(bonding interface)，位於該第二互連層以及該第三互連層之間，其中該周邊元件經由該第二互連層以及該第三互連層而電連接該反及串。

【第14項】 一種三維(three-dimensional，3D)記憶體裝置，包括：

一基底；

一周邊元件，位於該基底上；

複數個記憶體串，分別垂直延伸於該周邊元件之上；

一源極導體層，位於該複數個記憶體串上，其中各該複數個記憶體串的一上端接觸於該源極導體層的一第一表面，該源極導體層包括複數個導通區以及一或多個絕緣區，該一或多個絕緣區電性絕緣該複數個導通區；以及

一源極接觸件，包括一第一端，該第一端接觸於該源極導體層，其中該複數個記憶體串的其中一個經由該複數個導通區的一第一導通區而電連接該源極接觸件。

【第15項】 如請求項14所述的3D記憶體裝置，其中該複數個導通區在約20°C下所具有的電導性(electrical conductivity)至少為約 1×10^4 S/m。

【第16項】 一種製作反及記憶體裝置的方法，其包括：

在一基底上形成一導體/介電質交替堆疊；

形成一反及串與一源極接觸件，該反及串與該源極接觸件皆垂直延伸並穿

過該導體/介電質交替堆疊；以及

以一源極導體層取代該基底，使該源極導體層接觸該反及串的一端與該源極接觸件的一端，並且該反及串經由該源極導體層而電連接該源極接觸件。

【第17項】 如請求項16所述的製作反及記憶體裝置的方法，其中該源極導體層包括 一或多個導通區，各該導通區包括金屬、金屬合金以及金屬矽化物其中的一種或多種。

【第18項】 如請求項16所述的製作反及記憶體裝置的方法，其中以該源極導體層取代該基底的步驟包括：

移除該基底；以及

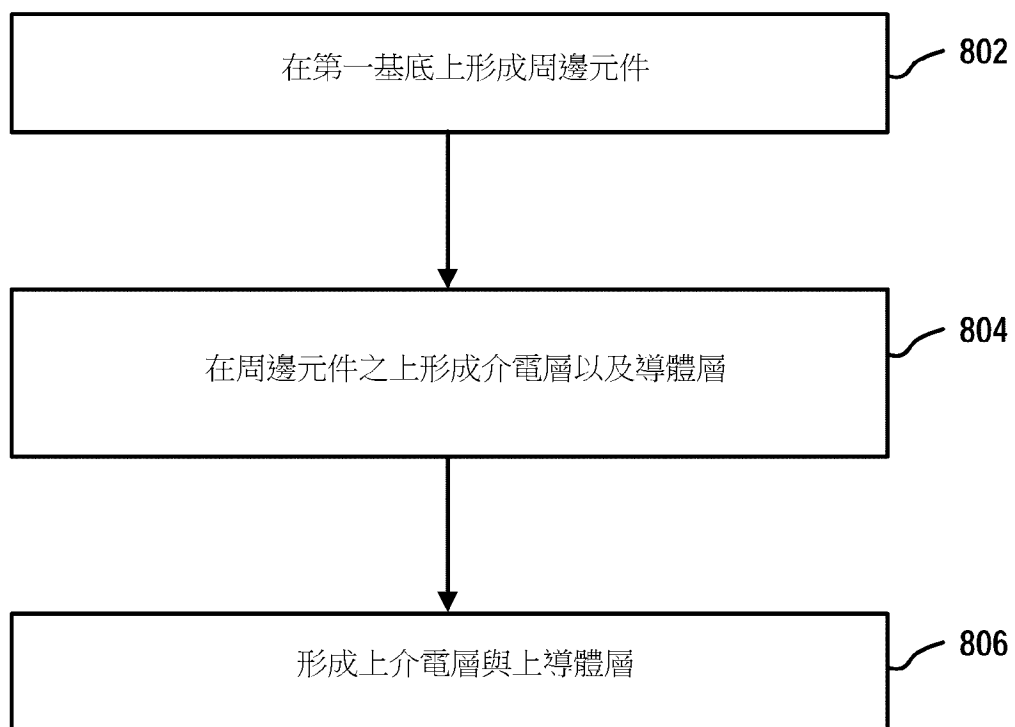
在該基底的一原始位置形成該源極導體層。

【第19項】 如請求項16所述的製作反及記憶體裝置的方法，其中以該源極導體層取代該基底的步驟包括：

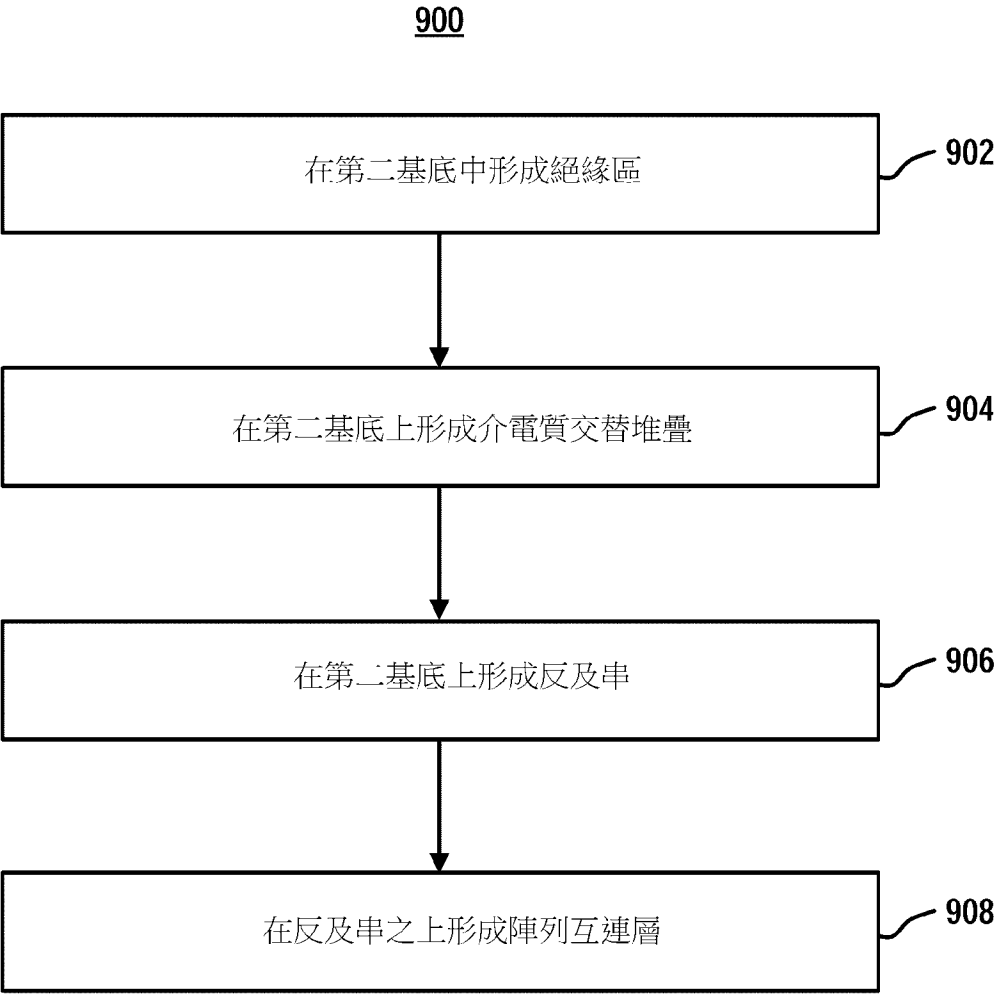
於該基底上形成一金屬層；以及

以該基底中的矽與該金屬層中的金屬之間的反應為基礎而形成一金屬矽化物層。

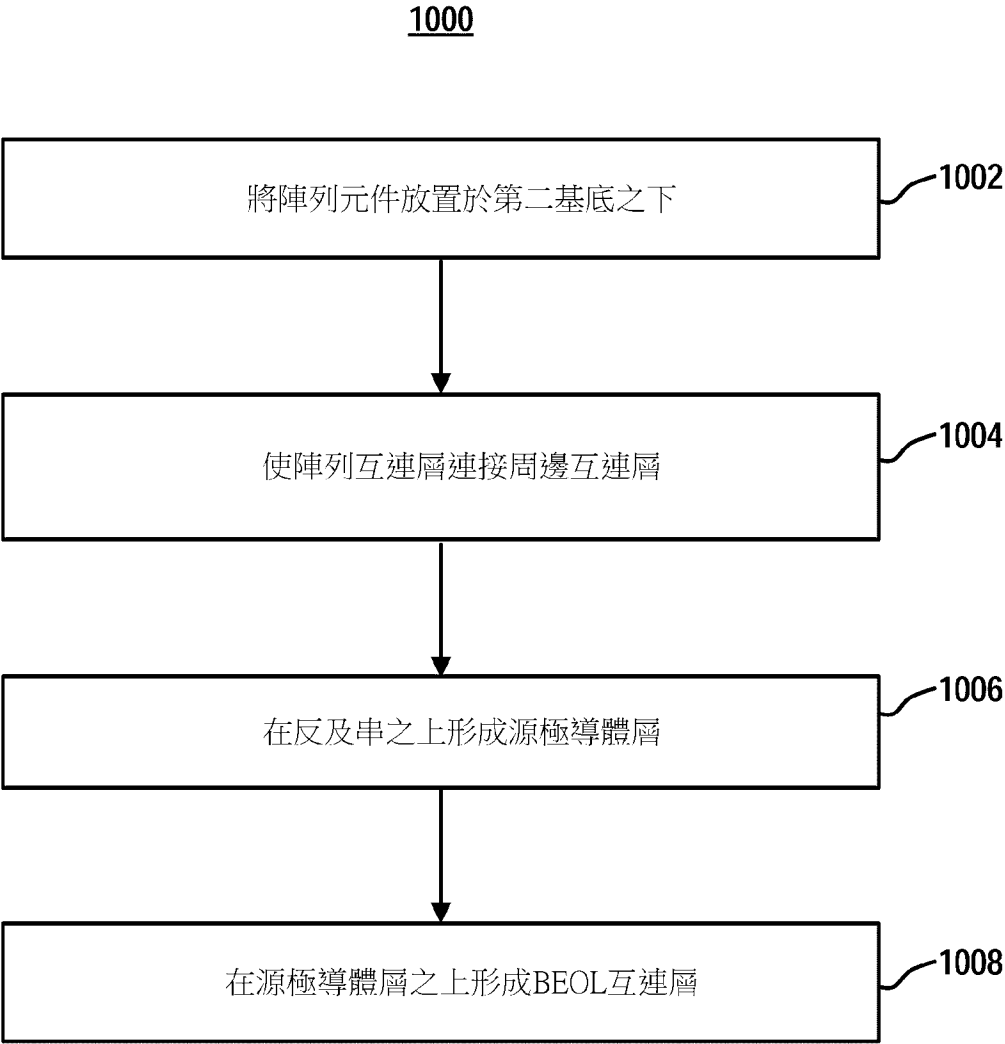
800



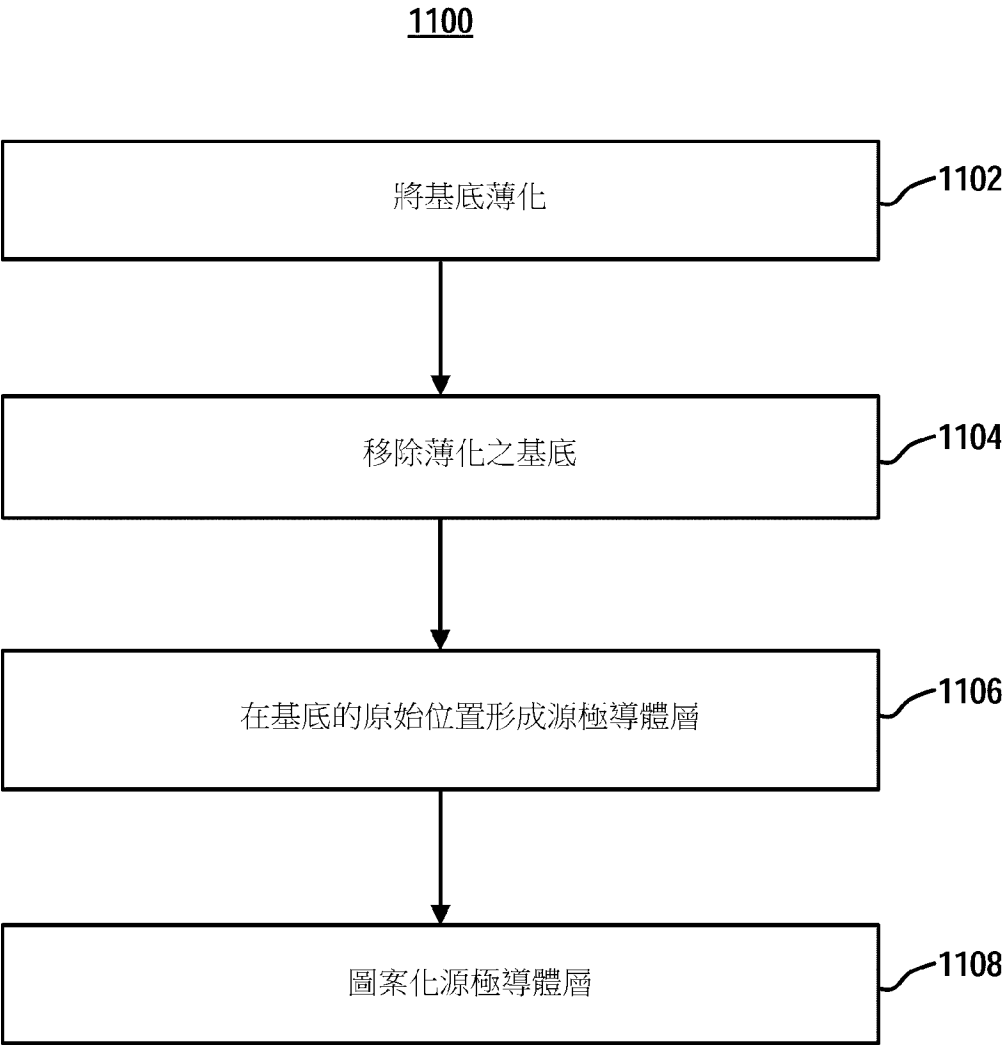
第8圖



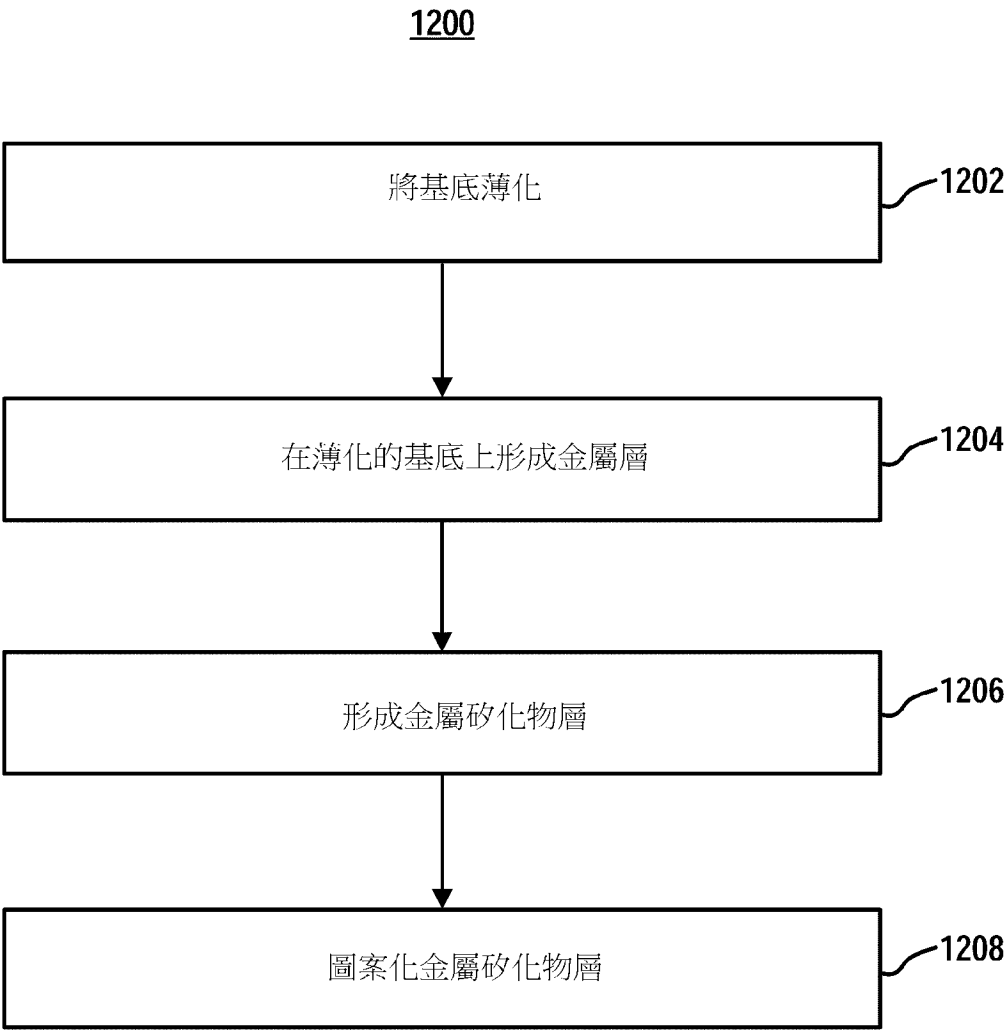
第9圖



第10圖



第11圖



第12圖