

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006 年12 月28 日 (28.12.2006)

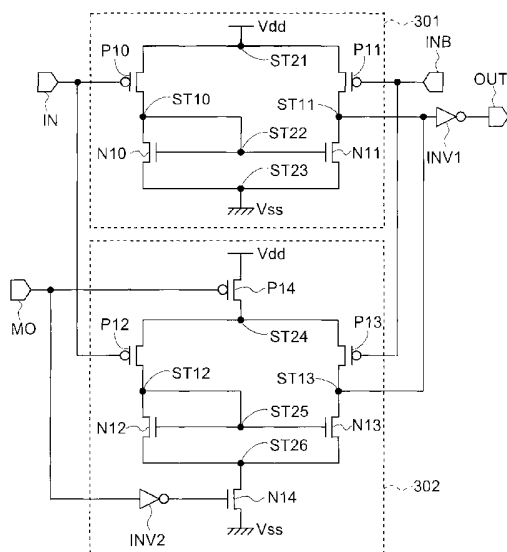
PCT

(10) 国際公開番号
WO 2006/137232 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G02F 1/1345 (2006.01)
G02F 1/133 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2006/310148
- (22) 国際出願日: 2006 年5 月22 日 (22.05.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-182021 2005 年6 月22 日 (22.06.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2 2 番2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大河 寛幸 (OHKAWA, Hiroyuki) [JP/—]. 村上 祐一郎 (MURAKAMI, Yuhichiroh) [JP/—].
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1 丁目1 0 番3 号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MC, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: LEVEL SHIFTER CIRCUIT AND DISPLAY APPARATUS HAVING THE SAME

(54) 発明の名称: レベルシフタ回路およびそれを備える表示装置



(57) Abstract: A level shift circuit comprises a first level shifter part (301), a second level shifter part (302), two input signal terminals (IN, INB), an output signal terminal (OUT), an inverter circuit (INV1) and a control terminal (MO). The second level shifter part (302) operates when a low level of signal is applied to the control terminal (MO); and the second level shifter part (302) ceases its operation when a high level of signal is applied to the control terminal (MO). A level shifter circuit as described above is provided to the source driver of a liquid crystal display apparatus. When an image display of high resolution is to be performed, a low level of control signal is applied to the control terminal (MO); and when an image display of low resolution is to be performed, a high level of signal is applied to the control terminal (MO).

/ 続葉有 /



(57) 要約:

レベルシフト回路は、第1のレベルシフト部(301)と、第2のレベルシフト部(302)と、2個の入力信号端子(IN, INB)と、出力信号端子(OUT)と、インバータ回路(INV1)と、制御用端子(MO)とによって構成される。第2のレベルシフト部(302)は、制御用端子(MO)にローレベルの信号が与えられた時には動作するが、ハイレベルの信号が与えられた時には動作を停止する。液晶表示装置のソースドライバに、上述のようなレベルシフト回路が設けられる。高解像度の画像表示が行われる時には制御用端子(MO)にローレベルの制御用信号が与えられ、低解像度の画像表示が行われる時にはハイレベルの信号が与えられる。

明 細 書

レベルシフト回路およびそれを備える表示装置

技術分野

- [0001] 本発明は、表示装置に関し、特に表示装置の駆動回路において所定の電圧を昇圧して駆動電圧を生成するためのレベルシフト回路に関する。

背景技術

- [0002] 従来より、外部から与えられた入力信号の電圧レベルを変換する回路として、レベルシフト回路が知られている。レベルシフト回路は、例えば、液晶表示装置の駆動回路において、駆動信号の電圧レベルを高めるために用いられている。図12は、従来のレベルシフト回路の構成を示す回路図である。このレベルシフト回路は、2個のPチャネルMOSTランジスタP30、P31と、2個のNチャネルMOSTランジスタN30、N31と、インバータ回路INV30と、2個の入力信号端子IN、INBと、出力信号端子OUTと、駆動電圧Vdd、Vssの電源と、節点ST30～ST34を備えている。
- [0003] PチャネルMOSTランジスタP30のソース端子は駆動電圧Vddの電源ラインと接続され、ゲート端子は入力信号端子INと接続され、ドレイン端子はNチャネルMOSTランジスタN30のドレイン端子、ゲート端子、およびNチャネルMOSTランジスタN31のゲート端子と接続されている。PチャネルMOSTランジスタP31のソース端子は駆動電圧Vddの電源ラインと接続され、ゲート端子は入力信号端子INBと接続され、ドレイン端子はNチャネルMOSTランジスタN31のドレイン端子とインバータ回路INV30の入力端子とに接続されている。
- [0004] NチャネルMOSTランジスタN30のソース端子は駆動電圧Vssの電源ラインと接続され、ゲート端子はPチャネルMOSTランジスタP30のドレイン端子とNチャネルMOSTランジスタN31のゲート端子とに接続され、ドレイン端子はPチャネルMOSTランジスタP30のドレイン端子とNチャネルMOSTランジスタN31のゲート端子とに接続されている。また、NチャネルMOSTランジスタN30のゲート端子とドレイン端子とは接続されている。NチャネルMOSTランジスタN31のソース端子は駆動電圧Vssの電源ラインと接続され、ゲート端子はNチャネルMOSTランジスタN30のゲート端子、ド

レイン端子およびPチャネルMOSTランジスタP30のドレイン端子とに接続され、ドレイン端子はPチャネルMOSTランジスタP31のドレイン端子とインバータ回路INV30の入力端子とに接続されている。

[0005] 上述のような構成において、入力信号端子INにハイレベルの入力信号が与えられている時には、入力信号端子INBにはローレベルの入力信号が与えられる。一方、入力信号端子INにローレベルの入力信号が与えられている時には、入力信号端子INBにはハイレベルの入力信号が与えられる。

[0006] このようなレベルシフタ回路において、入力信号端子INにハイレベルの入力信号が与えられ、入力信号端子INBにローレベルの入力信号が与えられている時の動作について説明する。PチャネルMOSTランジスタP30のゲート端子にはハイレベルの入力信号が与えられるので、PチャネルMOSTランジスタP30のオン抵抗が大きくなる。節点ST30の電位はPチャネルMOSTランジスタP30のオン抵抗とNチャネルMOSTランジスタN30のオン抵抗との比に基づいて決まるので、この時、節点ST30の電位は低下する。これにより、NチャネルMOSTランジスタN31のゲート端子に与えられる電圧が小さくなり、NチャネルMOSTランジスタN31を流れる電流が小さくなる。また、PチャネルMOSTランジスタP31のゲート端子にはローレベルの入力信号が与えられるので、PチャネルMOSTランジスタP31を流れる電流が大きくなる。これにより、PチャネルMOSTランジスタP31からインバータ回路INV30へと電流が流れ、インバータ回路INV30を構成するMOSTランジスタのゲート電極には電荷が蓄積される。その結果、インバータ回路INV30を構成するMOSTランジスタのゲートの電位がインバータ回路INV30の反転電位よりも高くなると、インバータ回路INV30から出力される信号の電位は駆動電圧 V_{ss} の電位となる。ここで、インバータ回路INV30の反転電位とは、インバータ回路INV30から出力される信号の論理レベルが「1」から「0」に変化する時の当該インバータ回路INV30のゲート電位のことである。このように、入力信号端子INにハイレベルの入力信号が与えられる時には、出力端子OUTから出力される信号はローレベルとなる。

[0007] 次に、入力信号端子INにローレベルの入力信号が与えられ、入力信号端子INBにハイレベルの入力信号が与えられている時の動作について説明する。Pチャネル

MOSTランジスタP30のゲート端子にはローレベルの入力信号が与えられるので、PチャンネルMOSTランジスタP30のオン抵抗が小さくなる。節点ST30の電位はPチャンネルMOSTランジスタP30のオン抵抗とNチャンネルMOSTランジスタN30のオン抵抗との比に基づいて決まるので、この時、節点ST30の電位は上昇する。これにより、NチャンネルMOSTランジスタN31のゲート端子に与えられる電圧が大きくなり、NチャンネルMOSTランジスタN31を流れる電流が大きくなる。また、PチャンネルMOSTランジスタP31のゲート端子にはハイレベルの入力信号が与えられるので、PチャンネルMOSTランジスタP31を流れる電流が小さくなる。これにより、インバータ回路INV30を構成するMOSTランジスタのゲートからNチャンネルMOSTランジスタN31へと電荷が放電される。その結果、インバータ回路INV30を構成するMOSTランジスタのゲートの電位がインバータ回路INV30の反転電位よりも低くなると、インバータ回路INV30から出力される信号の電位は駆動電圧Vddの電位となる。このように、入力信号端子INにローレベルの入力信号が与えられる時には、出力端子OUTから出力される信号はハイレベルとなる。

- [0008] 以上のように、レベルシフト回路によって、外部から与えられる信号の電圧レベルの変換が行われている。例えば、このようなレベルシフト回路は、液晶表示装置のソースドライバ等の駆動回路内に設けられている。これにより、大きな駆動電圧が必要とされる駆動回路に小さな電圧しか与えることができない場合でも、レベルシフト回路によって電圧レベルを高めることができ、液晶表示装置を動作させることが可能になっている。

特許文献1:特開2003-330430号公報

発明の開示

発明が解決しようとする課題

- [0009] ところが、1つの表示装置で高解像度の画像表示と低解像度の画像表示との切り替えが行われることがある。このような表示装置においては、消費電力の低減が課題となっている。
- [0010] そこで、本発明は、消費電力を低減することができるレベルシフト回路を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の第1の局面は、与えられた入力信号の電圧レベルの変換を行うレベルシフト回路であって、

前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第1の電圧レベル変換部を有する第1の変換回路と、

前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第2の電圧レベル変換部と、与えられた制御用信号に基づいて当該第2の電圧レベル変換部の動作／非動作の切り替えを行う動作切替部とを有する1以上の第2の変換回路とを備えることを特徴とする。

[0012] 本発明の第2の局面は、本発明の第1の局面において、

前記第1の電圧レベル変換部および／または前記第2の電圧レベル変換部は電流駆動型であることを特徴とする。

[0013] 本発明の第3の局面は、本発明の第1の局面において、

前記第2の変換回路は、前記第2の電圧レベル変換部を流れる貫通電流を遮断するためのスイッチを備えていることを特徴とする。

[0014] 本発明の第4の局面は、表示装置であって、

与えられた入力信号の電圧レベルの変換を行うレベルシフト回路と、

表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、

前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応する複数の画素形成部を含み前記画像を表示する表示部と、

前記レベルシフト回路を含み、当該レベルシフト回路によって前記入力信号の電圧レベルの変換が行われた後の信号に基づいて前記映像信号を前記複数の映像信号線に供給する映像信号線駆動回路と、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路とを備え、

前記レベルシフト回路は、

前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第1の電圧レベル変換部を有する第1の変換回路と、

前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第2の電圧レベル変換部と、与えられた制御用信号に基づいて当該第2の電圧レベル変換部の動作／非動作の切り替えを行う動作切替部とを有する1以上の第2の変換回路とを含むことを特徴とする。

- [0015] 本発明の第5の局面は、表示装置であって、
与えられた入力信号の電圧レベルの変換を行うレベルシフト回路と、
表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応する複数の画素形成部を含み前記画像を表示する表示部と、
前記映像信号を前記複数の映像信号線に供給する映像信号線駆動回路と、
前記レベルシフト回路を含み、当該レベルシフト回路によって前記入力信号の電圧レベルの変換が行われた後の信号に基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路とを備え、
前記レベルシフト回路は、
前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第1の電圧レベル変換部を有する第1の変換回路と、
前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第2の電圧レベル変換部と、与えられた制御用信号に基づいて当該第2の電圧レベル変換部の動作／非動作の切り替えを行う動作切替部とを有する1以上の第2の変換回路とを含むことを特徴とする。

- [0016] 本発明の第6の局面は、本発明の第4または第5の局面において、
前記第1の電圧レベル変換部および／または前記第2の電圧レベル変換部は電流駆動型であることを特徴とする。

- [0017] 本発明の第7の局面は、本発明の第4または第5の局面において、
前記第2の変換回路は、前記第2の電圧レベル変換部を流れる貫通電流を遮断するためのスイッチを備えていることを特徴とする。

- [0018] 本発明の第8の局面は、本発明の第4または第5の局面において、

前記映像信号線駆動回路と前記走査信号線駆動回路との少なくとも一方が前記表示部と同一の基板上に形成されたドライバモノリシック型であることを特徴とする。

[0019] 本発明の第9の局面は、本発明の第4または第5の局面において、能動素子として多結晶シリコン薄膜トランジスタが含まれていることを特徴とする。

[0020] 本発明の第10の局面は、本発明の第4または第5の局面において、前記表示すべき画像の解像度に応じて前記制御用信号を生成する制御用信号生成部を更に備えることを特徴とする。

[0021] 本発明の第11の局面は、本発明の第4または第5の局面において、1画面分の前記画像を表示する周期を表わす周波数に応じて前記制御用信号を生成する制御用信号生成部を更に備えることを特徴とする。

発明の効果

[0022] 本発明の第1の局面によれば、レベルシフタ回路には、入力信号の電圧レベルを変換するために、第1の電圧レベル変換部を有する第1の変換回路と第2の電圧レベル変換部を有する第2の変換回路とが設けられている。第2の変換回路には、制御用信号に応じて第2の電圧レベル変換部の動作／非動作の切り替えを行う動作切替部が設けられている。このため、第1の電圧レベル変換部と第2の電圧レベル変換部の双方を動作させることと、第1の電圧レベル変換部のみを動作させることができ。これにより、必要に応じて第2の電圧レベル変換部の動作を停止させることによって、無駄な電力消費を抑制することができる。

[0023] 本発明の第2の局面によれば、レベルシフタ回路には、電流駆動型の電圧レベル変換部が含まれている。このため、入力信号の電圧レベルが小さい場合にも、当該入力信号の電圧レベルを変換することができる。

[0024] 本発明の第3の局面によれば、第2の電圧レベル変換部に貫通電流を遮断するためのスイッチが設けられている。このため、第2の電圧レベル変換部の動作を停止させるときに確実に貫通電流を遮断することができ、消費電力が低減される。

[0025] 本発明の第4の局面によれば、表示装置の映像信号線駆動回路には、入力信号の電圧レベルを変換するために、第1の電圧レベル変換部を有する第1の変換回路と第2の電圧レベル変換部を有する第2の変換回路とが設けられたレベルシフタ回路

が含まれている。第2の変換回路には、制御用信号に応じて第2の電圧レベル変換部の動作／非動作の切り替えを行う動作切替部が設けられている。このため、映像信号線駆動回路の駆動のために、高い駆動能力が要求される時には、第1の電圧レベル変換部と第2の電圧レベル変換部とを動作させ、低い駆動能力で充分である時には、第1の電圧レベル変換部のみを動作させることができる。これにより、低い駆動能力で充分である時の無駄な電力消費を抑制することができ、全体としての消費電力が低減される。

[0026] 本発明の第5の局面によれば、表示装置の走査信号線駆動回路には、入力信号の電圧レベルを変換するために、第1の電圧レベル変換部を有する第1の変換回路と第2の電圧レベル変換部を有する第2の変換回路とが設けられたレベルシフト回路が含まれている。第2の変換回路には、制御用信号に応じて第2の電圧レベル変換部の動作／非動作の切り替えを行う動作切替部が設けられている。このため、走査信号線駆動回路の駆動のために、高い駆動能力が要求される時には、第1の電圧レベル変換部と第2の電圧レベル変換部とを動作させ、低い駆動能力で充分である時には、第1の電圧レベル変換部のみを動作させることができる。これにより、低い駆動能力で充分である時の無駄な電力消費を抑制することができ、全体としての消費電力が低減される。

[0027] 本発明の第6の局面によれば、本発明の第2の局面と同様、入力信号の電圧レベルが小さい場合にも、当該入力信号の電圧レベルを変換することができる。

[0028] 本発明の第7の局面によれば、本発明の第3の局面と同様、第2の電圧レベル変換部の動作を停止させるときに確実に貫通電流を遮断することができ、消費電力が低減される。

[0029] 本発明の第8の局面によれば、ドライバモノリシック型の表示装置において、消費電力が低減される。

[0030] 本発明の第9の局面によれば、能動素子として多結晶シリコン薄膜トランジスタが採用されている。このため、例えば、基板として安価なガラス基板を採用することができる。これにより、安価に、消費電力が低減される表示装置を提供することができる。

[0031] 本発明の第10の局面によれば、制御用信号生成部が表示画像の解像度に応じて

制御用信号を生成する。そして、その制御用信号が第2の変換回路内の動作切替部に与えられる。このため、高解像度の画像表示が行われる時には、第1の電圧レベル変換部と第2の電圧レベル変換部の双方を動作させ、低解像度の画像表示が行われる時には、第1の電圧レベル変換部のみを動作させることができる。これにより、低解像度の画像表示が行われている時の無駄な電力消費が抑制され、全体としての消費電力が低減される。

- [0032] 本発明の第11の局面によれば、制御用信号生成部が画像表示の周波数に応じた制御用信号を生成する。そして、その制御用信号が第2の変換回路内の動作切替部に与えられる。このため、周波数が高い時には、第1の電圧レベル変換部と第2の電圧レベル変換部の双方を動作させ、周波数が低い時には、第1の電圧レベル変換部のみを動作させることができる。これにより、低周波数の画像表示が行われている時の無駄な電力消費が抑制され、全体としての消費電力が低減される。

図面の簡単な説明

- [0033] [図1]本発明の一実施形態に係る液晶表示装置の全体構成を示すブロック図である。
- [図2]上記実施形態におけるソースドライバの構成を示すブロック図である。
- [図3]上記実施形態において、表示モードが高解像度モードの時の信号波形図である。
- [図4]上記実施形態において、表示モードが低解像度モードの時の信号波形図である。
- [図5]上記実施形態におけるレベルシフト回路の構成を示す回路図である。
- [図6]上記実施形態において、多結晶シリコン薄膜トランジスタの製造工程を示すフローチャートである。
- [図7]上記実施形態において、多結晶シリコン薄膜トランジスタの製造工程を説明するための図である。
- [図8]上記実施形態において、多結晶シリコン薄膜トランジスタの製造工程を説明するための図である。
- [図9]上記実施形態における多結晶シリコン薄膜トランジスタの構造を示す断面図で

ある。

[図10]上記実施形態の第1の変形例に係るレベルシフト回路の構成を示す回路図である。

[図11]上記実施形態の第2の変形例に係るレベルシフト回路の構成を示す回路図である。

[図12]従来例におけるレベルシフト回路の構成を示す回路図である。

符号の説明

- [0034] 20…制御用信号生成部
30…レベルシフト回路
31…シフトレジスタ
200…表示制御回路
300…ソースドライバ
301…第1のレベルシフト部
302…第2のレベルシフト部
400…ゲートドライバ
500…表示部
IN、INB…入力信号端子
MO…制御用端子
N11～N17…NチャネルMOSトランジスタ
OUT…出力信号端子
P11～P17…PチャネルMOSトランジスタ
SL1～SLn…ソースバスライン(映像信号線)

発明を実施するための最良の形態

[0035] 以下、添付図面を参照しつつ本発明の一実施形態について説明する。

[0036] <1. 液晶表示装置の全体構成および動作>

図1は、本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示制御回路200とソースドライバ(映像信号線駆動回路)300とゲートドライバ(走査信号線駆動回路)400と表

示部500とを備えている。表示制御回路200には、後述する表示モードを切り替えるための制御用信号SMを生成する制御用信号生成部20が含まれている。表示部500には、互いに交差(直交)する複数(n本)のソースバスライン(映像信号線)SL1～SLnと複数(m本)のゲートバスライン(走査信号線)GL1～GLmとが設けられている。ソースバスラインSL1～SLnはソースドライバ300と接続され、ゲートバスラインGL1～GLmはゲートドライバ400と接続されている。ソースバスラインSL1～SLnとゲートバスラインGL1～GLmとの交差点には、それぞれ画素形成部が設けられている。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子であるTFT10と、そのTFT10のドレイン端子に接続された画素電極と、上記複数個の画素形成部に共通的に設けられ画素電極と共通電極Ecとの間に挟持された液晶層とからなる。そして、画素電極と共通電極Ecとにより形成される容量により画素容量Cpが構成される。

[0037] なお、本実施形態に係る液晶表示装置においては、表示される画像の解像度に応じて駆動回路の動作が切り替えられる。以下の説明においては、高解像度の画像表示が行われるよう動作する時の状態を「表示モードが高解像度モード」といい、低解像度の画像表示が行われるよう動作する時の状態を「表示モードが低解像度モード」という。

[0038] 表示制御回路200は、外部から送られる画像信号DATを受け取り、映像信号AVと、表示部500に画像を表示するタイミングを制御するためのソーススタートパルス信号SSP、ソースクロック信号SCK、ゲートスタートパルス信号GSP、およびゲートクロック信号GCKと、表示モードを切り替えるための制御用信号SMとを出力する。なお、制御用信号SMについては制御用信号生成部20で生成されるが、表示モードが高解像度モードの時には制御用信号SMの論理レベルはローレベルにされ、表示モードが低解像度モードの時には制御用信号SMの論理レベルはハイレベルにされる。ソースドライバ300は、ソーススタートパルス信号SSP、ソースクロック信号SCK、制御用信号SMおよび映像信号AVを受け取り、表示部500内の各画素形成部の画素容量Cpを充電するために、駆動用の映像信号をソースバスラインSL1～SLnに印加

する。ゲートドライバ400は、各ゲートバスラインGL1～GLmを1水平走査期間ずつ順次に選択するために、表示制御回路200から出力されるゲートスタートパルス信号GSPとゲートクロック信号GCKとに基づいて、アクティブな走査信号の各ゲートバスラインGL1～GLmへの印加を1垂直走査期間を周期として繰り返す。

[0039] 以上のようにして、各ソースバスラインSL1～SLnに駆動用の映像信号が印加され、各ゲートバスラインGL1～GLmに走査信号が印加されることにより、表示部500に画像が表示される。

[0040] <2. ソースドライバ>

<2.1 ソースドライバの構成>

図2は、本実施形態におけるソースドライバ300の構成を示すブロック図である。このソースドライバ300は、レベルシフト回路30と、n段からなるシフトレジスタ31と、各ソースバスラインSL1～SLnに対応するように設けられた波形整形回路32、バッファ部33、サンプリング回路34と、奇数列目の各ソースバスラインSL1、SL3、・・・、SLn-1とその次の列のソースバスラインSL2、SL4、・・・、SLnとの接続をオン／オフするためのアナログスイッチ35と、シフトレジスタ31の偶数段目からの出力をオン／オフするために偶数列目の各ソースバスラインSL2、SL4、・・・、SLnに対応するように設けられたアナログスイッチ36とを備えている。シフトレジスタ31には、各ソースバスラインSL1～SLnに対応するように設けられたラッチ回路LATと、偶数列目の各ソースバスラインSL2、SL4、・・・、SLnにつき、その前の列のソースバスラインSL1、SL3、・・・、SLn-1との接続をオン／オフするためのアナログスイッチAS1、およびその次の列のソースバスラインSL3、SL5、・・・、SLn-1との接続をオン／オフするためのアナログスイッチAS2と、互いに隣接する奇数列目の各ソースバスラインSL1、SL3、・・・、SLn-1の接続をオン／オフするためのアナログスイッチAS3とが含まれている。

[0041] <2.2 ソースドライバの動作の概略>

レベルシフト回路30は、表示制御回路200から出力されるソースクロック信号SCKと制御用信号SMとを受け取り、その電圧レベルを変換する。そして、電圧レベルの変換が施されたソースクロック信号SCKがレベルシフト回路30から出力される。なお

、レベルシフト回路30の詳しい構成および動作については後述する。

[0042] シフトレジスタ31には、ソースクロック信号SCKとソーススタートパルス信号SSPと制御用信号SMとが与えられる。シフトレジスタ31内のアナログスイッチAS1、AS2、AS3には、表示モードに応じた制御用信号SMが与えられる。従って、アナログスイッチAS1、AS2、AS3は、この表示装置の表示モードによって異なる動作を行う。具体的には、表示モードが高解像度モードの時には、アナログスイッチAS1およびAS2はオン状態になり、アナログスイッチAS3はオフ状態になる。一方、表示モードが低解像度モードの時には、アナログスイッチAS1およびAS2はオフ状態になり、アナログスイッチAS3はオン状態になる。これにより、表示モードが高解像度モードの時には、ソーススタートパルス信号SSPのパルスが入力された後、ソースクロック信号SCKに基づいて、各ソースバスラインSL1～SLnに対応するラッチ回路LATから順次にサンプリングパルスS1～Snが出力される。一方、表示モードが低解像度モードの時には、ソーススタートパルス信号SSPのパルスが入力された後、ソースクロック信号SCKに基づいて、奇数列目の各ソースバスラインSL1、SL3、・・・、SLn-1に対応するラッチ回路LATのみから順次にサンプリングパルスS1、S3、・・・、Sn-1が出力される。

[0043] 波形整形回路32は、ラッチ回路LATから出力されるサンプリングパルスのパルス幅を整える。波形整形回路32でパルス幅の調整が施されたサンプリングパルスは、バッファ部33でバッファリングされ、サンプリング回路34に信号T1～Tnとして出力される。サンプリング回路34は、バッファ部33から出力された信号T1～Tnに基づいて、表示制御回路200から送られる映像信号AVのサンプリングを行い、それを駆動用の映像信号としてソースバスラインSL1～SLnに出力する。

[0044] アナログスイッチ35、36には、制御用信号SMが与えられる。アナログスイッチ35は、表示モードが高解像度モードの時にはオフ状態になり、表示モードが低解像度モードの時にはオン状態になる。一方、アナログスイッチ36は、表示モードが高解像度モードの時にはオン状態になり、表示モードが低解像度モードの時にはオフ状態になる。また、上述したように、表示モードが高解像度モードの時には全てのソースバスラインSL1～SLnに対応するラッチ回路LATから順次にサンプリングパルスが出

力され、表示モードが低解像度モードの時には奇数列目のソースバスラインSL1、SL3、 $\dots$ 、SL $n-1$ に対応するラッチ回路LATのみから順次にサンプリングパルスが出力される。これにより、表示モードが高解像度モードの時には、各ソースバスラインSL1～SL n のそれぞれに対応するラッチ回路LATから出力されるサンプリングパルスが、当該各ソースバスラインSL1～SL n に対応するサンプリング回路34に与えられる。一方、表示モードが低解像度モードの時には、奇数列目の各ソースバスラインSL1、SL3、 $\dots$ 、SL $n-1$ のそれぞれに対応するラッチ回路LATから出力されるサンプリングパルスが、当該奇数列目の各ソースバスラインSL1、SL3、 $\dots$ 、SL $n-1$ に対応するサンプリング回路34とその次の列に対応するサンプリング回路34とに与えられる。

[0045] <2.3 高解像度モードの時のソースドライバの動作>

図3は、表示モードが高解像度モードの時の信号波形図である。ソーススタートパルス信号SSPのパルスの発生後、最初にソースクロック信号SCKのパルスが発生すると、1列目のソースバスラインSL1に対応するラッチ回路LATからサンプリングパルスS1が出力される(時点 t_1)。ソースクロック信号SCKは、時点 t_1 から時点 t_2 までの期間中、論理レベルがハイレベルの状態維持される。このため、時点 t_1 から時点 t_2 までの期間中、サンプリングパルスS1の出力が維持される。また、表示モードが高解像度モードの時には、アナログスイッチ35はオフ状態になっているので、サンプリングパルスS1が2列目のソースバスラインSL2に対応して設けられたバッファ部33に与えられることはない。従って、時点 t_1 から時点 t_2 までの期間中には、1列目のソースバスラインSL1に対応して設けられたバッファ部33から出力される信号T1のみによって映像信号AVがサンプリングされる。そして、そのサンプリングされた映像信号AVが1列目のソースバスラインSL1に出力される。

[0046] 時点 t_2 になると、ソースクロック信号SCKの論理レベルがハイレベルからローレベルに変化する。表示モードが高解像度モードの時には、アナログスイッチAS1はオン状態になっており、アナログスイッチAS3はオフ状態になっている。従って、2列目のソースバスラインSL2に対応するラッチ回路LATからサンプリングパルスS2が出力される。ソースクロック信号SCKは、時点 t_2 から時点 t_3 までの期間中、論理レベルがロ

ーレベルの状態に維持される。また、表示モードが高解像度モードの時には、アナログスイッチ36はオン状態になっている。このため、時点 t_2 から時点 t_3 までの期間中、サンプリングパルス S_2 の出力が維持される。また、上述のとおりアナログスイッチ35はオフ状態になっているので、サンプリングパルス S_2 が1列目のソースバスライン SL_1 に対応して設けられたバッファ部33に与えられることはない。従って、時点 t_2 から時点 t_3 までの期間中には、2列目のソースバスライン SL_2 に対応して設けられたバッファ部33から出力される信号 T_2 のみによって映像信号 AV がサンプリングされる。そして、そのサンプリングされた映像信号 AV が2列目のソースバスライン SL_2 に出力される。

[0047] 時点 t_3 になると、ソースクロック信号 SCK の論理レベルがローレベルからハイレベルに変化する。表示モードが高解像度モードの時には、アナログスイッチ AS_2 はオン状態となっている。従って、3列目のソースバスライン SL_3 に対応するラッチ回路 LAT からサンプリングパルス S_3 が出力される。ソースクロック信号 SCK は、時点 t_3 から時点 t_4 までの期間中、論理レベルがハイレベルの状態に維持される。このため、時点 t_3 から時点 t_4 までの期間中、サンプリングパルス S_3 の出力が維持される。これにより、時点 t_3 から時点 t_4 までの期間中には、3列目のソースバスライン SL_3 に対応して設けられたバッファ部33から出力される信号 T_3 のみによって映像信号 AV がサンプリングされる。そして、そのサンプリングされた映像信号 AV が3列目のソースバスライン SL_3 に出力される。

[0048] 以上のように、1列目から n 列目までのソースバスライン $SL_1 \sim SL_n$ につき、1列ずつ順次に、表示制御回路200から送られる映像信号 AV が印加される。

[0049] <2.4 低解像度モードの時のソースドライバの動作>

図4は、表示モードが低解像度モードの時の信号波形図である。ソーススタートパルス信号 SSP のパルスの発生後、最初にソースシフトクロック信号 SCK のパルスが発生すると、1列目のソースバスライン SL_1 に対応するラッチ回路 LAT からサンプリングパルス S_1 が出力される(時点 t_1)。ソースクロック信号 SCK は、時点 t_1 から時点 t_3 までの期間中、論理レベルがハイレベルの状態に維持される。このため、時点 t_1 から時点 t_3 までの期間中、サンプリングパルス S_1 の出力が維持される。ここで、表示モー

ドが低解像度モードの時には、アナログスイッチ36はオフ状態になっており、アナログスイッチ35はオン状態になっているので、サンプリングパルスS1は2列目のソースバスラインSL2に対応して設けられたバッファ部33にも与えられる。従って、時点t1から時点t3までの期間中には、1列目および2列目のソースバスラインSL1、SL2に対応して設けられたバッファ部33から出力される信号T1、T2によって映像信号AVがサンプリングされる。そして、そのサンプリングされた映像信号AVが1列目および2列目のソースバスラインSL1、SL2に出力される。

[0050] 時点t3になると、ソースクロック信号SCKの論理レベルがハイレベルからローレベルに変化する。表示モードが低解像度モードの時には、アナログスイッチAS1およびAS2はオフ状態になっており、アナログスイッチAS3はオン状態になっている。従って、3列目のソースバスラインSL3に対応するラッチ回路LATからサンプリングパルスS3が出力される。ソースクロック信号SCKは、時点t3から時点t5までの期間中、論理レベルがローレベルの状態で維持される。このため、時点t3から時点t5までの期間中、サンプリングパルスS3の出力が維持される。また、上述のとおりアナログスイッチ35はオン状態になっているので、サンプリングパルスS3は4列目のソースバスラインSL4に対応して設けられたバッファ部33にも与えられる。従って、時点t3から時点t5までの期間中には、3列目および4列目のソースバスラインSL3、SL4に対応して設けられたバッファ部33から出力される信号T3、T4によって映像信号AVがサンプリングされる。そして、そのサンプリングされた映像信号AVが3列目および4列目のソースバスラインSL3、SL4に出力される。

[0051] 以上のように、1列目からn列目までのソースバスラインSL1～SLnにつき、2列ずつ順次に、表示制御回路200から送られる映像信号AVが印加される。

[0052] <3. レベルシフト回路の構成>

図5は、本実施形態におけるレベルシフト回路30の構成を示す回路図である。このレベルシフト回路30は、第1のレベルシフト部(第1の変換回路)301と、第2のレベルシフト部(第2の変換回路)302と、2個の入力信号端子IN、INBと、出力信号端子OUTと、インバータ回路INV1と、制御用端子MOとによって構成されている。第1のレベルシフト部301には、2個のPチャネルMOSトランジスタP10、P11と、2個の

NチャネルMOSTランジスタN10、N11と、駆動電圧Vdd、Vssの電源と、節点ST10、ST11、ST21～ST23とが含まれている。第2のレベルシフタ部302には、3個のPチャネルMOSTランジスタP12、P13、P14と、3個のNチャネルMOSTランジスタN12、N13、N14と、インバータ回路INV2と、駆動電圧Vdd、Vssの電源と、節点ST12、ST13、ST24～ST26とが含まれている。なお、第1のレベルシフタ部301においては、2個のPチャネルMOSTランジスタP10、P11と、2個のNチャネルMOSTランジスタN10、N11と、駆動電圧Vdd、Vssの電源と、節点ST10、ST11、ST21～ST23とによって第1の電圧レベル変換部が実現されている。また、第2のレベルシフタ部302においては、2個のPチャネルMOSTランジスタP12、P13と、2個のNチャネルMOSTランジスタN12、N13と、駆動電圧Vdd、Vssの電源と、節点ST12、ST13、ST24～ST26とによって第2の電圧レベル変換部が実現され、PチャネルMOSTランジスタP14とNチャネルMOSTランジスタN14とインバータ回路INV2とによって動作切替部とが実現されている。

[0053] 第1のレベルシフタ部301の構成について詳しく説明する。PチャネルMOSTランジスタP10のソース端子は駆動電圧Vddの電源ラインと接続され、ゲート端子は入力信号端子INとPチャネルMOSTランジスタP12のゲート端子とに接続され、ドレイン端子はNチャネルMOSTランジスタN10のドレイン端子、ゲート端子、およびNチャネルMOSTランジスタN11のゲート端子と接続されている。PチャネルMOSTランジスタP11のソース端子は駆動電圧Vddの電源ラインと接続され、ゲート端子は入力信号端子INBとPチャネルMOSTランジスタP13のゲート端子とに接続され、ドレイン端子はNチャネルMOSTランジスタN11のドレイン端子とインバータ回路INV1の入力端子とPチャネルMOSTランジスタP13のドレイン端子とNチャネルMOSTランジスタN13のドレイン端子とに接続されている。

[0054] NチャネルMOSTランジスタN10のソース端子は駆動電圧Vssの電源ラインと接続され、ゲート端子はNチャネルMOSTランジスタN11のゲート端子とPチャネルMOSTランジスタP10のドレイン端子とに接続され、ドレイン端子はPチャネルMOSTランジスタP10のドレイン端子とNチャネルMOSTランジスタN11のゲート端子とに接続されている。また、NチャネルMOSTランジスタN10のゲート端子とドレイン端子とは接

続されている。NチャネルMOSTランジスタN11のソース端子は駆動電圧Vssの電源ラインと接続され、ゲート端子はNチャネルMOSTランジスタN10のゲート端子、ドレイン端子およびPチャネルMOSTランジスタP10のドレイン端子と接続され、ドレイン端子はPチャネルMOSTランジスタP11のドレイン端子とインバータ回路INV1の入力端子とPチャネルMOSTランジスタP13のドレイン端子とNチャネルMOSTランジスタN13のドレイン端子とに接続されている。

[0055] 次に、第2のレベルシフト部302の構成について詳しく説明する。PチャネルMOSTランジスタP14のソース端子は駆動電圧Vddの電源ラインと接続され、ゲート端子は制御用端子MOとインバータ回路INV2の入力端子とに接続され、ドレイン端子はPチャネルMOSTランジスタP12のソース端子とPチャネルMOSTランジスタP13のソース端子とに接続されている。PチャネルMOSTランジスタP12のソース端子はPチャネルMOSTランジスタP14のドレイン端子とPチャネルMOSTランジスタP13のソース端子とに接続され、ゲート端子は入力信号端子INとPチャネルMOSTランジスタP10のゲート端子とに接続され、ドレイン端子はNチャネルMOSTランジスタN12のドレイン端子、ゲート端子、およびNチャネルMOSTランジスタN13のゲート端子と接続されている。PチャネルMOSTランジスタP13のソース端子はPチャネルMOSTランジスタP14のドレイン端子とPチャネルMOSTランジスタP12のソース端子とに接続され、ゲート端子は入力信号端子INBとPチャネルMOSTランジスタP11のゲート端子とに接続され、ドレイン端子はNチャネルMOSTランジスタN13のドレイン端子とインバータ回路INV1の入力端子とPチャネルMOSTランジスタP11のドレイン端子とNチャネルMOSTランジスタN11のドレイン端子とに接続されている。

[0056] NチャネルMOSTランジスタN12のソース端子はNチャネルMOSTランジスタN13のソース端子とNチャネルMOSTランジスタN14のドレイン端子と接続され、ゲート端子はPチャネルMOSTランジスタP12のドレイン端子とNチャネルMOSTランジスタN13のゲート端子とに接続され、ドレイン端子はPチャネルMOSTランジスタP12のドレイン端子とNチャネルMOSTランジスタN13のゲート端子とに接続されている。また、NチャネルMOSTランジスタN12のゲート端子とドレイン端子とは接続されている。NチャネルMOSTランジスタN13のソース端子はNチャネルMOSTランジスタN12の

ソース端子とNチャネルMOSトランジスタN14のドレイン端子と接続され、ゲート端子はNチャネルMOSトランジスタN12のゲート端子、ドレイン端子、およびPチャネルMOSトランジスタP12のドレイン端子と接続され、ドレイン端子はPチャネルMOSトランジスタP13のドレイン端子とインバータ回路INV1の入力端子とPチャネルMOSトランジスタP11のドレイン端子とNチャネルMOSトランジスタN11のドレイン端子とに接続されている。NチャネルMOSトランジスタN14のソース端子は駆動電圧V_{ss}の電源ラインと接続され、ゲート端子はインバータ回路INV2の出力端子と接続され、ドレイン端子はNチャネルMOSトランジスタN12のソース端子とNチャネルMOSトランジスタN13のソース端子とに接続されている。インバータ回路INV2の入力端子は制御用端子MOとPチャネルMOSトランジスタP14のゲート端子とに接続され、出力端子はNチャネルMOSトランジスタN14のゲート端子と接続されている。

[0057] <4. レベルシフト回路の動作>

上述のような構成において、入力信号端子INにハイレベルの入力信号が与えられている時には、入力信号端子INBにはローレベルの入力信号が与えられる。一方、入力信号端子INにローレベルの入力信号が与えられている時には、入力信号端子INBにはハイレベルの入力信号が与えられる。また、表示モードが高解像度モードの時には、制御用端子MOにはローレベルの制御用信号SMが与えられ、表示モードが低解像度モードの時には、制御用端子MOにはハイレベルの制御用信号SMが与えられる。

[0058] <4. 1 表示モードが高解像度モードの時の動作>

表示モードが高解像度モードの時のレベルシフト回路30の動作について説明する。まず、入力信号端子INにハイレベルの入力信号が与えられ、入力信号端子INBにローレベルの入力信号が与えられている時の動作について説明する。

[0059] 第1のレベルシフト部301に着目する。PチャネルMOSトランジスタP10のゲート端子にはハイレベルの入力信号が与えられるので、PチャネルMOSトランジスタP10のオン抵抗が大きくなる。節点ST10の電位はPチャネルMOSトランジスタP10のオン抵抗とNチャネルMOSトランジスタN10のオン抵抗との比に基づいて決まるので、この時、節点ST10の電位は低下する。これにより、NチャネルMOSトランジスタN11

のゲート端子に与えられる電圧が小さくなり、NチャネルMOSTランジスタN11を流れる電流が小さくなる。また、PチャネルMOSTランジスタP11のゲート端子にはローレベルの入力信号が与えられるので、PチャネルMOSTランジスタP11を流れる電流が大きくなる。これにより、PチャネルMOSTランジスタP11からインバータ回路INV1へと電流が流れ、インバータ回路INV1を構成するMOSTランジスタのゲート電極には電荷が蓄積される。

[0060] 第2のレベルシフタ部302に着目する。PチャネルMOSTランジスタP12のゲート端子にはハイレベルの入力信号が与えられるので、PチャネルMOSTランジスタP12のオン抵抗が大きくなる。節点ST12の電位はPチャネルMOSTランジスタP12のオン抵抗とNチャネルMOSTランジスタN12のオン抵抗との比に基づいて決まるので、この時、節点ST12の電位は低下する。これにより、NチャネルMOSTランジスタN13のゲート端子に与えられる電圧が小さくなり、NチャネルMOSTランジスタN13を流れる電流が小さくなる。また、PチャネルMOSTランジスタP13のゲート端子にはローレベルの入力信号が与えられるので、PチャネルMOSTランジスタP13を流れる電流が大きくなる。これにより、PチャネルMOSTランジスタP13からインバータ回路INV1へと電流が流れ、インバータ回路INV1を構成するMOSTランジスタのゲート電極には電荷が蓄積される。

[0061] 以上のようにしてインバータ回路INV1を構成するMOSTランジスタのゲート電極に電荷が蓄積され、インバータ回路INV1を構成するMOSTランジスタのゲートの電位がインバータ回路INV1の反転電位よりも高くなると、インバータ回路INV1から出力される信号の電位は駆動電圧V_{ss}の電位となる。このように、入力信号端子INにハイレベルの入力信号が与えられる時には、出力端子OUTから出力される信号はローレベルとなる。

[0062] 次に、入力信号端子INにローレベルの入力信号が与えられ、入力信号端子INBにハイレベルの入力信号が与えられている時の動作について説明する。

[0063] 第1のレベルシフタ部301に着目する。PチャネルMOSTランジスタP10のゲート端子にはローレベルの入力信号が与えられるので、PチャネルMOSTランジスタP10のオン抵抗が小さくなる。節点ST10の電位はPチャネルMOSTランジスタP10のオン

抵抗とNチャネルMOSTランジスタN10のオン抵抗との比に基づいて決まるので、この時、節点ST10の電位は上昇する。これにより、NチャネルMOSTランジスタN11のゲート端子に与えられる電圧が大きくなり、NチャネルMOSTランジスタN11を流れる電流が大きくなる。また、PチャネルMOSTランジスタP11のゲート端子にはハイレベルの入力信号が与えられるので、PチャネルMOSTランジスタP11を流れる電流が小さくなる。これにより、インバータ回路INV1を構成するMOSTランジスタのゲートからNチャネルMOSTランジスタN11へと電荷が放電される。

[0064] 第2のレベルシフタ部302に着目する。PチャネルMOSTランジスタP12のゲート端子にはローレベルの入力信号が与えられるので、PチャネルMOSTランジスタP12のオン抵抗が小さくなる。節点ST12の電位はPチャネルMOSTランジスタP12のオン抵抗とNチャネルMOSTランジスタN12のオン抵抗との比に基づいて決まるので、この時、節点ST12の電位は上昇する。これにより、NチャネルMOSTランジスタN13のゲート端子に与えられる電圧が大きくなり、NチャネルMOSTランジスタN13を流れる電流が大きくなる。また、PチャネルMOSTランジスタP13のゲート端子にはハイレベルの入力信号が与えられるので、PチャネルMOSTランジスタP13を流れる電流が小さくなる。これにより、インバータ回路INV1を構成するMOSTランジスタのゲートからNチャネルMOSTランジスタN13へと電荷が放電される。

[0065] 以上のようにしてインバータ回路INV1を構成するMOSTランジスタのゲートからNチャネルMOSTランジスタN11およびNチャネルMOSTランジスタN13へと電荷が放電され、インバータ回路INV1を構成するMOSTランジスタのゲートの電位がインバータ回路INV1の反転電位よりも低くなると、インバータ回路INV1から出力される信号の電位は駆動電圧Vddの電位となる。このように、入力信号端子INにローレベルの入力信号が与えられる時には、出力端子OUTから出力される信号はハイレベルとなる。

[0066] 以上のように、表示モードが高解像度モードの時には、第1のレベルシフタ部301内の第1の電圧レベル変換部と第2のレベルシフタ部302内の第2の電圧レベル変換部の双方が動作し、これら2つの電圧レベル変換部によって、外部から与えられる入力信号の電圧レベルの変換が施される。

[0067] <4. 2 表示モードが低解像度モードの時の動作>

次に、表示モードが低解像度モードの時のレベルシフト回路30の動作について説明する。まず、入力信号端子INにハイレベルの入力信号が与えられ、入力信号端子INBにローレベルの入力信号が与えられている時の動作について説明する。

[0068] 第1のレベルシフト部301については、表示モードが高解像度モードの時と同様の動作が行われる。すなわち、PチャネルMOSTランジスタP11からインバータ回路INV1へと電流が流れ、インバータ回路INV1を構成するMOSTランジスタのゲート電極に電荷が蓄積される。

[0069] 第2のレベルシフト部302に着目する。制御用端子MOにはハイレベルの制御用信号SMが与えられるので、PチャネルMOSTランジスタP14およびNチャネルMOSTランジスタN14はオフ状態になる。従って、入力信号端子INおよび入力信号端子INBから第2のレベルシフト部302に与えられた信号の電圧レベルは変換されない。このため、第2のレベルシフト部302の動作に基づいて、インバータ回路INV1を構成するMOSTランジスタの充電あるいは放電が行われることはない。

[0070] このように、第2のレベルシフト部302によっては、インバータ回路INV1を構成するMOSTランジスタの充電あるいは放電が行われることはない。一方、第1のレベルシフト部301によって、インバータ回路INV1を構成するMOSTランジスタのゲート電極に電荷が蓄積される。その結果、インバータ回路INV1を構成するMOSTランジスタのゲートの電位がインバータ回路INV1の反転電位よりも高くなると、インバータ回路INV1から出力される信号の電位は駆動電圧Vssの電位となる。このように、入力信号端子INにハイレベルの入力信号が与えられる時には、出力端子OUTから出力される信号はローレベルとなる。

[0071] 次に、入力信号端子INにローレベルの入力信号が与えられ、入力信号端子INBにハイレベルの入力信号が与えられている時の動作について説明する。

[0072] 第1のレベルシフト部301については、表示モードが高解像度モードの時と同様の動作が行われる。すなわち、インバータ回路INV1を構成するMOSTランジスタのゲートからNチャネルMOSTランジスタN11へと電荷が放電される。

[0073] 第2のレベルシフト部302に着目する。制御用端子MOにはハイレベルの制御用

信号SMが与えられるので、入力信号端子INにハイレベルの入力信号が与えられ入力信号端子INBにローレベルの入力信号が与えられている時と同様、インバータ回路INV1を構成するMOSTランジスタの充電あるいは放電が行われることはない。

[0074] このように、第2のレベルシフト部302によっては、インバータ回路INV1を構成するMOSTランジスタの充電あるいは放電が行われることはない。一方、第1のレベルシフト部301によって、インバータ回路INV1を構成するMOSTランジスタのゲートからNチャネルMOSTランジスタN11へと電荷が放電される。その結果、インバータ回路INV1を構成するMOSTランジスタのゲートの電位がインバータ回路INV1の反転電位よりも低くなると、インバータ回路INV1から出力される信号の電位は駆動電圧Vddの電位となる。このように、入力信号端子INにローレベルの入力信号が与えられる時には、出力端子OUTから出力される信号はハイレベルとなる。

[0075] 以上のように、表示モードが低解像度モードの時には、第2のレベルシフト部302内の第2の電圧レベル変換部の動作は停止し、第1のレベルシフト部301内の第1の電圧レベル変換部のみが動作する。そして、第1のレベルシフト部301内の第1の電圧レベル変換部のみによって、外部から与えられる入力信号の電圧レベルの変換が施される。

[0076] <5. 多結晶シリコン薄膜トランジスタの製造工程>

本実施形態においては、ソースドライバ300とゲートドライバ400と表示部500とが同一の基板上に形成され、ドライバモノリシック型と呼ばれる構成になっている。また、上述したPチャネルMOSTランジスタやNチャネルMOSTランジスタは多結晶シリコン薄膜トランジスタである。ここで、多結晶シリコン薄膜トランジスタの製造工程について説明する。図6は、多結晶シリコン薄膜トランジスタの製造工程を示すフローチャートである。図7および図8は、その製造工程を説明するための多結晶シリコン薄膜トランジスタの断面図である。

[0077] まず、図7(a)に示すようなガラス基板51上に、図7(b)に示すように、非晶質シリコン薄膜52を堆積させる(ステップS10)。その後、図7(c)に示すように、非晶質シリコン薄膜52にエキシマレーザを照射する(ステップS12)。これにより、非晶質シリコン薄膜52が多結晶シリコン薄膜53に変化する。次に、図7(d)に示すように、多結晶シ

リコン薄膜53を所望の形状にパターニングする(ステップS14)。さらに、図7(e)に示すように、多結晶シリコン薄膜53上に二酸化シリコンからなるゲート絶縁膜54を形成する(ステップS16)。その後、図7(f)に示すように、ゲート絶縁膜54上に、アルミニウム等によって、ゲート電極55を形成する(ステップS18)。

[0078] ゲート電極55の形成後、この薄膜トランジスタのソース領域およびドレイン領域となるべき部分にイオンドーピング法により不純物を注入する(ステップS20、S22)。本実施形態においては、不純物として、n型領域56には磷が注入され、p型領域57には硼素が注入される。n型領域に磷を注入する際には、図8(a)に示すように、p型領域57はレジスト58で覆われる。一方、p型領域57に硼素を注入する際には、図8(b)に示すように、n型領域56はレジスト58で覆われる。

[0079] このようにして不純物が注入された後、図8(c)に示すように、ゲート絶縁膜54およびゲート電極55上に、二酸化シリコンあるいは窒化シリコン等からなる層間絶縁膜59を堆積させる(ステップS24)。その後、図8(d)に示すように、コンタクトホール60を開孔する(ステップS26)。さらに、図8(e)に示すように、アルミニウム等の金属配線61を形成する(ステップS28)。以上のようにして、図9に示すような多結晶シリコン薄膜トランジスタが作製される。

[0080] なお、液晶表示装置を製造する場合には、上記工程後、更に、別の層間絶縁膜を介して、透過型液晶表示装置の場合には透明電極を、反射型液晶表示装置の場合には反射電極を、それぞれ形成する。

[0081] 上述した多結晶シリコン薄膜トランジスタの製造工程において、プロセス最高温度は600度である。従って、米国コーニング社の1737ガラス等の高耐熱性ガラスを絶縁性基板として採用することができる。このように多結晶シリコン薄膜トランジスタを600度以下で形成することにより、比較的安価なガラス基板を絶縁性基板として採用することができる。これにより、大画面の表示装置を従来よりも安価に製造することが可能になる。なお、図9に示す多結晶シリコン薄膜トランジスタは順スタガー構造であるが、逆スタガー構造等その他の構造であってもよい。

[0082] <6. 効果>

以上のように、本実施形態によると、レベルシフト回路30には、第1の電圧レベル

変換部を有する第1のレベルシフト部301と第2の電圧レベル変換部を有する第2のレベルシフト部302とが設けられている。第2のレベルシフト部302には、制御用端子MOに与えられる制御用信号SMの論理レベルに応じて第2の電圧レベル変換部の動作／非動作の切り替えを行う動作切替部が設けられている。このため、表示モードが高解像度モードの時のように高い駆動能力が要求される時には、第1の電圧レベル変換部と第2の電圧レベル変換部とを動作させ、表示モードが低解像度モードの時のように低い駆動能力で充分である時には、第1の電圧レベル変換部のみを動作させることができる。これにより、低い駆動能力で十分な時に消費される電力を低減することができる。

[0083] また、このようなレベルシフト回路30を備える表示装置において、能動素子として多結晶シリコン薄膜トランジスタを採用し、その多結晶シリコン薄膜トランジスタの製造工程のプロセス最高温度を600度とすることができる。このため、絶縁性基板に比較的安価なガラス基板を採用することができ、従来よりも安価に大画面の表示装置が提供される。

[0084] <7. 変形例>

<7.1 第1の変形例>

図10は、上記実施形態の第1の変形例に係るレベルシフト回路30の構成を示す回路図である。上記実施形態においては、第2の電圧レベル変換部内の貫通電流を遮断するためのスイッチと第2の電圧レベル変換部の動作／非動作の切り替えを行う動作切替部とは、同じスイッチ（図5のPチャネルMOSTランジスタP14およびNチャネルMOSTランジスタN14）によって構成されていた。これに対して、本変形例においては、貫通電流を遮断するためのスイッチと動作切替部とは、異なるスイッチによって構成されている。以下、本変形例に係るレベルシフト回路30の動作について、第2のレベルシフト部302に着目して説明する。なお、本変形例では、第2のレベルシフト部302において、2個のPチャネルMOSTランジスタP12、P13と、2個のNチャネルMOSTランジスタN12、N13と、駆動電圧Vdd、Vssの電源と、節点ST12、ST13、ST24～ST27とによって第2の電圧レベル変換部が実現されている。

[0085] まず、表示モードが高解像度モードの時の動作について説明する。表示モードが

高解像度モードの時には、制御用端子MOにはハイレベルの制御用信号SMが与えられる。これにより、NチャネルMOSTランジスタN15およびN16がオン状態、PチャネルMOSTランジスタP14およびP15がオフ状態になる。また、制御用端子MOとNチャネルMOSTランジスタN14のゲート端子とはインバータ回路INV2を介して接続されているので、NチャネルMOSTランジスタN14はオフ状態になる。その結果、PチャネルMOSTランジスタP12およびP13、NチャネルMOSTランジスタN12およびN13は、入力信号端子INおよびINBに与えられる入力信号に基づいて動作する。これにより、第2のレベルシフタ部302内の第2の電圧レベル変換部は動作状態となる。一方、第1のレベルシフタ部301内の第1の電圧レベル変換部については、上記実施形態と同様、動作状態となる。以上より、2つの電圧レベル変換部(第1の電圧レベル変換部と第2の電圧レベル変換部)によって入力信号の電圧レベルの変換が施されることとなり、駆動能力が高められる。

[0086] 次に、表示モードが低解像度モードの時の動作について説明する。表示モードが低解像度モードの時には、制御用端子MOにはローレベルの制御用信号SMが与えられる。これにより、NチャネルMOSTランジスタN15およびN16がオフ状態となる。このため、第2レベルシフタ部302の動作が入力信号の影響を受けることはない。また、PチャネルMOSTランジスタP14およびP15がオン状態になる。これにより、PチャネルMOSTランジスタP12およびP13はオフ状態になる。さらに、制御用端子MOとNチャネルMOSTランジスタN14のゲート端子とはインバータ回路INV2を介して接続されているので、NチャネルMOSTランジスタN14はオン状態になる。これにより、NチャネルMOSTランジスタN12およびN13はオフ状態になる。以上より、第2のレベルシフタ部302内の第2の電圧レベル変換部は非動作状態となる。一方、第1のレベルシフタ部301内の第1の電圧レベル変換部については、上記実施形態と同様、動作状態となる。以上より、1つの電圧レベル変換部(第1の電圧レベル変換部)のみによって入力信号の電圧レベルの変換が施されることとなり、消費電力が低減される。

[0087] 以上のように、本変形例によると、NチャネルMOSTランジスタN14、N15、N16およびPチャネルMOSTランジスタP14、P15のオン／オフ状態に応じて、第2の電圧

レベル変換部の動作／非動作の切り替えが行われている。すなわち、NチャンネルMOSトランジスタN14、N15、N16およびPチャンネルMOSトランジスタP14、P15が動作切替部として機能している。また、表示モードが低解像度モードの時には、PチャンネルMOSトランジスタP12およびP13はオフ状態となることによって、第2の電圧レベル変換部内の貫通電流が遮断されている。このように、第2の電圧レベル変換部の動作／非動作の切り替えを行う動作切替部と第2の電圧レベル変換部内の貫通電流を遮断するためのスイッチとを異なるスイッチによって構成することによっても本発明を実現することができる。

- [0088] また、本変形例によれば、表示モードが高解像度モードの時には、PチャンネルMOSトランジスタP12およびP13、NチャンネルMOSトランジスタN12およびN13は、入力信号端子INおよびINBに与えられる入力信号に基づいて動作する。すなわち、第2の電圧レベル変換部は電流駆動型の構成となっている。このため、入力信号の電圧レベルが低い場合であっても、当該入力信号の電圧レベルを第2の電圧レベル変換部で変換することができる。なお、第1のレベルシフト部301内の第1の電圧レベル変換部についても、電流駆動型の構成とすることができる。

< 7. 2 第2の変形例 >

図11は、上記実施形態の第2の変形例に係るレベルシフト回路30の構成を示す回路図である。このレベルシフト回路30は、図5に示した上記実施形態の構成要素に加えて、第3のレベルシフト部303と第2の制御用端子MO2とが設けられている。すなわち、本変形例においては、第1の変換回路として第1のレベルシフト部301が設けられ、第2の変換回路として第2のレベルシフト部302と第3のレベルシフト部303とが設けられている。

- [0089] 上述のような構成において、制御用端子MOにローレベルの制御用信号が与えられ、第2の制御用端子MO2にもローレベルの制御用信号が与えられると、全てのレベルシフト部301、302、303内の電圧レベル変換部が動作する。制御用端子MOにローレベルの制御用信号が与えられ、第2の制御用端子MO2にハイレベルの制御用信号が与えられると、第1のレベルシフト部301内の電圧レベル変換部と第2のレベルシフト部302内の電圧レベル変換部とが動作する。制御用端子MOにハイレ

ベルの制御用信号が与えられ、第2の制御用端子MO2にもハイレベルの制御用信号が与えられると、第1のレベルシフト部301内の電圧レベル変換部のみが動作する。

[0090] 以上のように、本変形例によると、レベルシフト回路30の動作を3つの異なる状態に切り替えることができる。例えば、「高速」、「中速」、「低速」というような3つの状態に応じてレベルシフト回路30の動作を切り替えることができる。これにより、必要に応じてレベルシフト回路30の動作を切り替えることで、無駄な電力の消費を効果良く低減することができる。

[0091] <8. その他>

レベルシフト回路30の構成には様々なものがあり、上記実施形態および各変形例で示した構成に限定されるものではない。上記実施形態および各変形例で示した以外の構成にも本発明を適用することができる。

[0092] 上記実施形態においては、レベルシフト回路30はソースクロック信号SCKの電圧レベルを変換するためにソースドライバ300の入力段に設けられているが、本発明はこれに限定されない。例えば、図2に示す構成において、ラッチ回路LATや波形整形回路32などの出力段にレベルシフト回路30を備える構成としても良い。

[0093] また、上記実施形態においては、レベルシフト回路が液晶表示装置のソースドライバ300に設けられた例を挙げて説明したが、本発明はこれに限定されず、液晶表示装置のゲートドライバ400内のレベルシフト回路にも適用することができる。

[0094] また、本発明は、液晶表示装置以外の表示装置の駆動回路等に設けられたレベルシフト回路にも適用することができ、さらには、表示装置以外の電圧レベルの変換が必要な機器におけるレベルシフト回路にも適用することができる。

[0095] さらに、上記実施形態においては、表示画像の解像度に応じてレベルシフト回路30内の電圧レベル変換部の動作／非動作が切り替えられる構成にしているが、本発明はこれに限定されない。例えば、携帯電話において、消費電力を低減するために待機状態の時には通常時よりもフレーム周波数が低くされることがある。このような携帯電話に本発明に係るレベルシフト回路を適用し、フレーム周波数に応じてレベルシフト回路内の電圧レベル変換部の動作／非動作が切り替えられる構成とすること

ができる。

請求の範囲

- [1] 与えられた入力信号の電圧レベルの変換を行うレベルシフト回路であって、
前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第1の電圧レベル変換部を有する第1の変換回路と、
前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第2の電圧レベル変換部と、与えられた制御用信号に基づいて当該第2の電圧レベル変換部の動作／非動作の切り替えを行う動作切替部とを有する1以上の第2の変換回路とを備えることを特徴とする、レベルシフト回路。
- [2] 前記第1の電圧レベル変換部および／または前記第2の電圧レベル変換部は電流駆動型であることを特徴とする、請求項1に記載のレベルシフト回路。
- [3] 前記第2の変換回路は、前記第2の電圧レベル変換部を流れる貫通電流を遮断するためのスイッチを備えていることを特徴とする、請求項1に記載のレベルシフト回路。
- [4] 表示装置であって、
与えられた入力信号の電圧レベルの変換を行うレベルシフト回路と、
表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応する複数の画素形成部を含み前記画像を表示する表示部と、
前記レベルシフト回路を含み、当該レベルシフト回路によって前記入力信号の電圧レベルの変換が行われた後の信号に基づいて前記映像信号を前記複数の映像信号線に供給する映像信号線駆動回路と、
前記複数の走査信号線を選択的に駆動する走査信号線駆動回路とを備え、
前記レベルシフト回路は、
前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第1の電圧レベル変換部を有する第1の変換回路と、
前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第2の電圧レベル変換部と、与えられた制御用信号に基づいて当該第2の電圧レベル変換部の

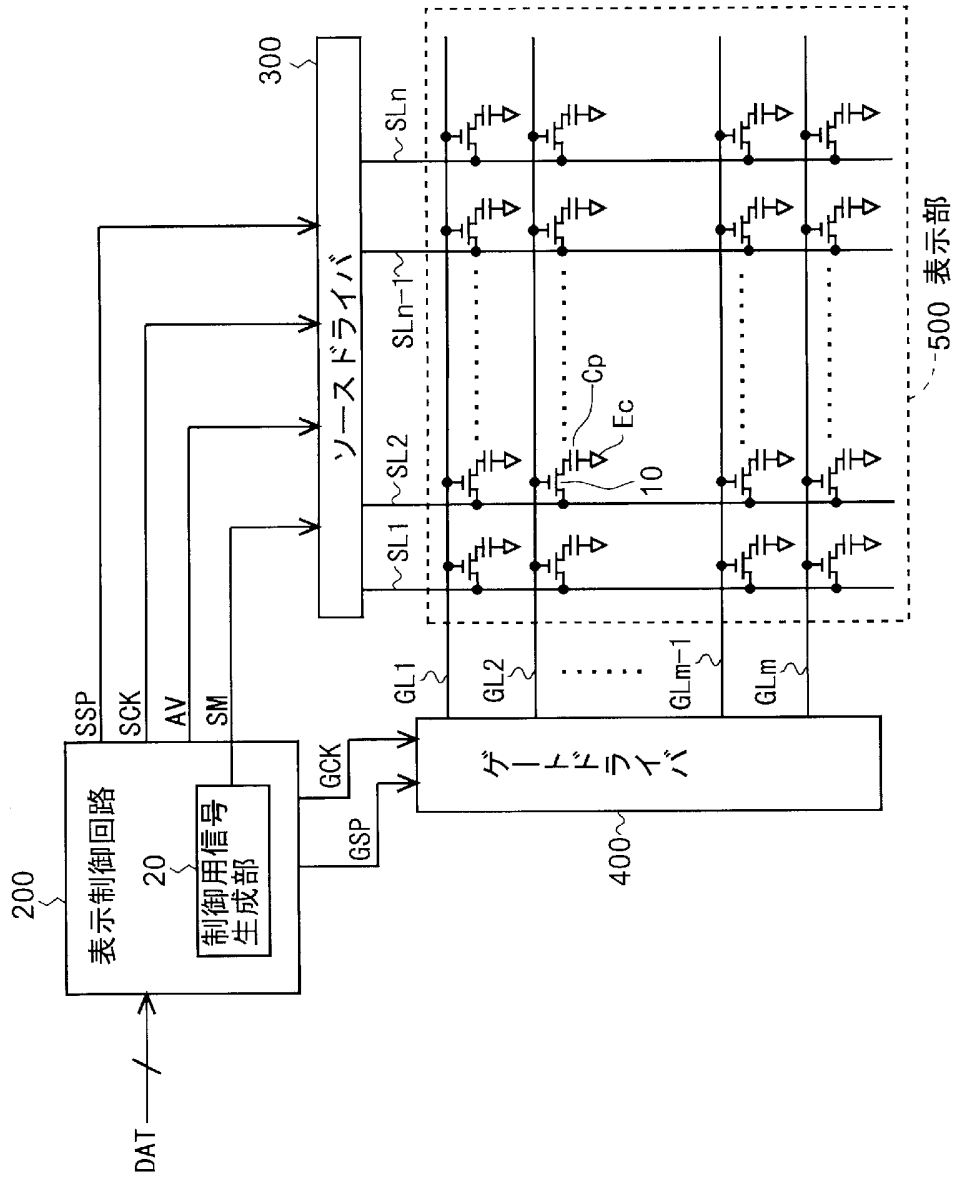
動作／非動作の切り替えを行う動作切替部とを有する1以上の第2の変換回路とを含むことを特徴とする、表示装置。

- [5] 表示装置であって、
与えられた入力信号の電圧レベルの変換を行うレベルシフト回路と、
表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応する複数の画素形成部を含み前記画像を表示する表示部と、
前記映像信号を前記複数の映像信号線に供給する映像信号線駆動回路と、
前記レベルシフト回路を含み、当該レベルシフト回路によって前記入力信号の電圧レベルの変換が行われた後の信号に基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路とを備え、
前記レベルシフト回路は、
前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第1の電圧レベル変換部を有する第1の変換回路と、
前記入力信号を受け取り当該入力信号の前記電圧レベルを変換する第2の電圧レベル変換部と、与えられた制御用信号に基づいて当該第2の電圧レベル変換部の動作／非動作の切り替えを行う動作切替部とを有する1以上の第2の変換回路とを含むことを特徴とする、表示装置。
- [6] 前記第1の電圧レベル変換部および／または前記第2の電圧レベル変換部は電流駆動型であることを特徴とする、請求項4または5に記載の表示装置。
- [7] 前記第2の変換回路は、前記第2の電圧レベル変換部を流れる貫通電流を遮断するためのスイッチを備えていることを特徴とする、請求項4または5に記載の表示装置。
- [8] 前記映像信号線駆動回路と前記走査信号線駆動回路との少なくとも一方が前記表示部と同一の基板上に形成されたドライバモノリシック型であることを特徴とする、請求項4または5に記載の表示装置。
- [9] 能動素子として多結晶シリコン薄膜トランジスタが含まれていることを特徴とする、請

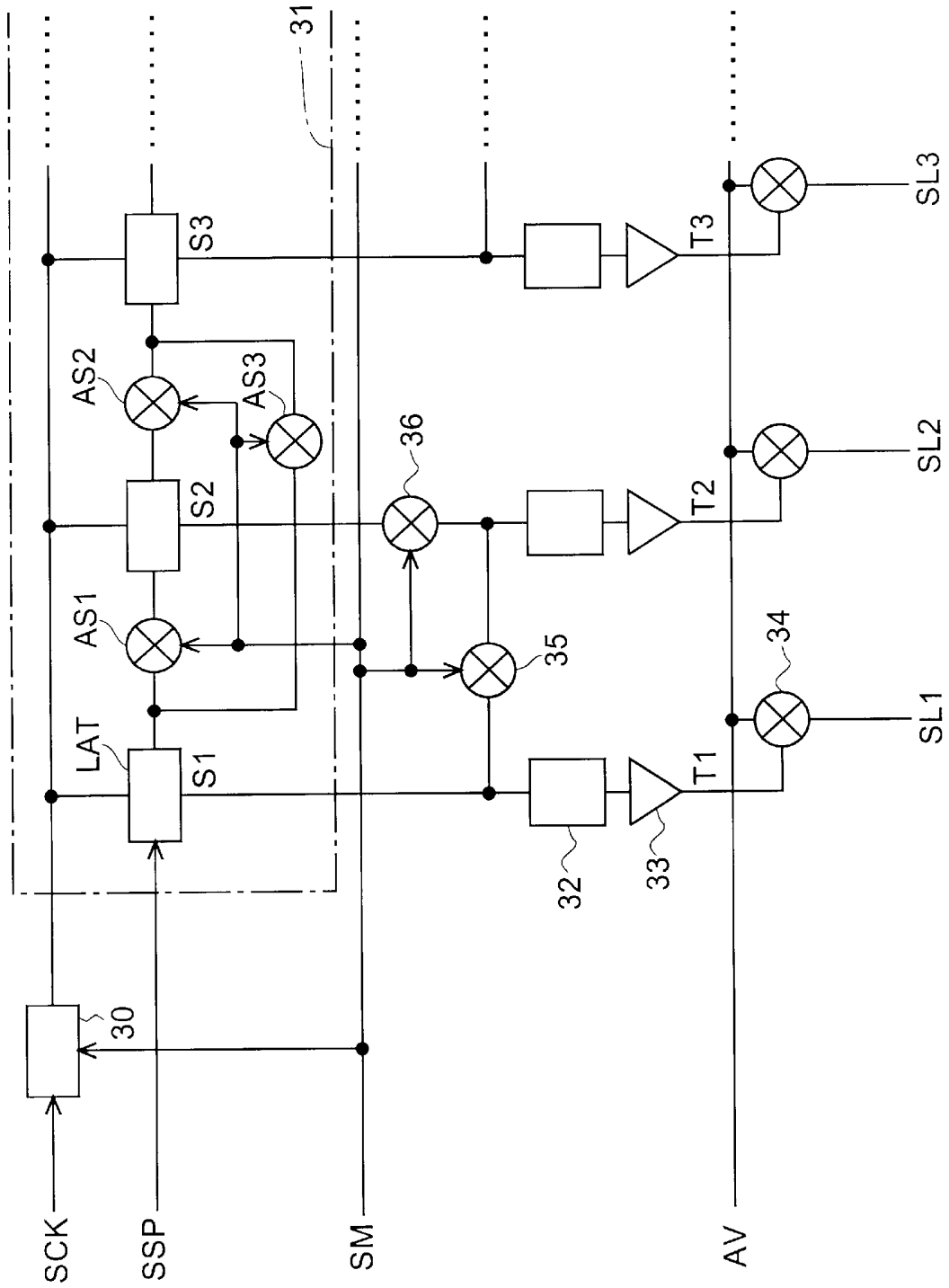
求項4または5に記載の表示装置。

- [10] 前記表示すべき画像の解像度に応じて前記制御用信号を生成する制御用信号生成部を更に備えることを特徴とする、請求項4または5に記載の表示装置。
- [11] 1画面分の前記画像を表示する周期を表わす周波数に応じて前記制御用信号を生成する制御用信号生成部を更に備えることを特徴とする、請求項4または5に記載の表示装置。

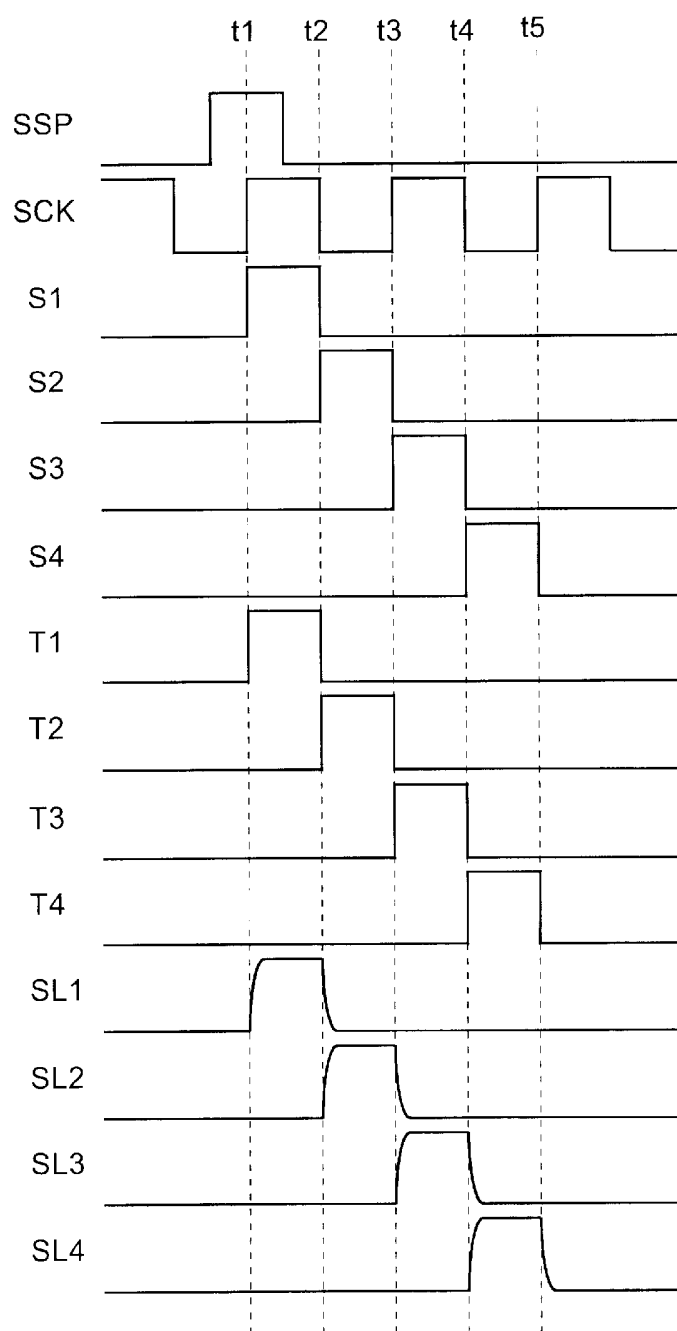
[図1]



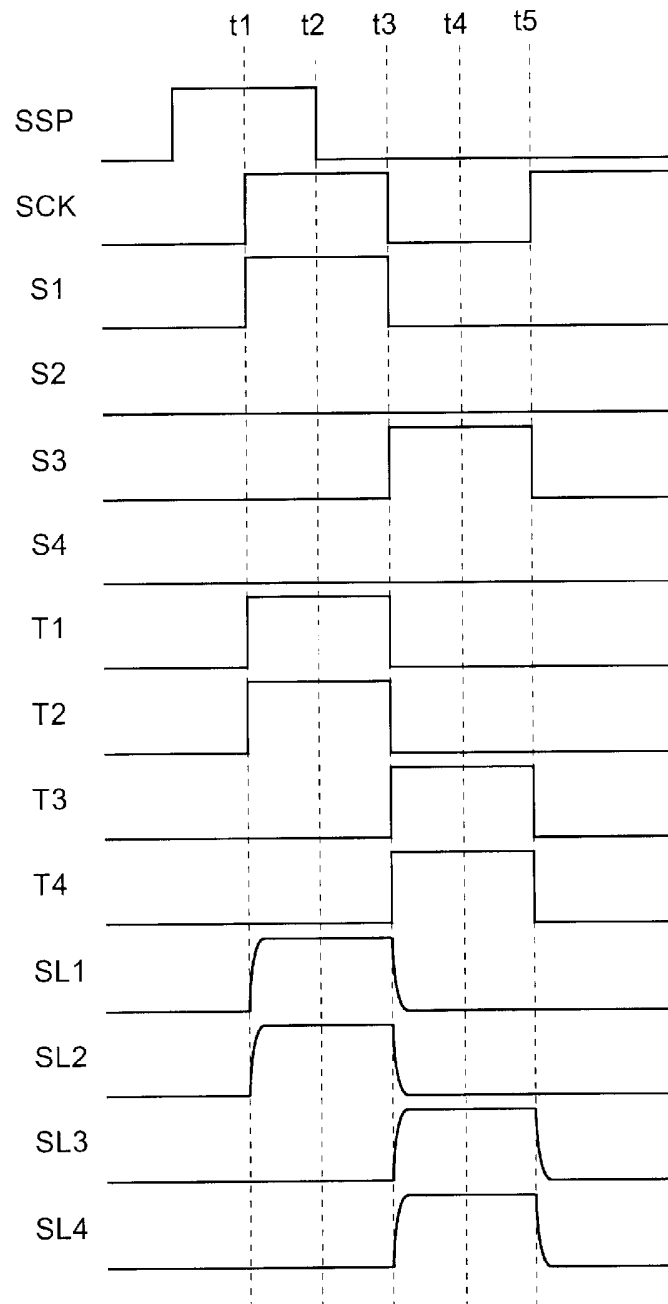
[図2]



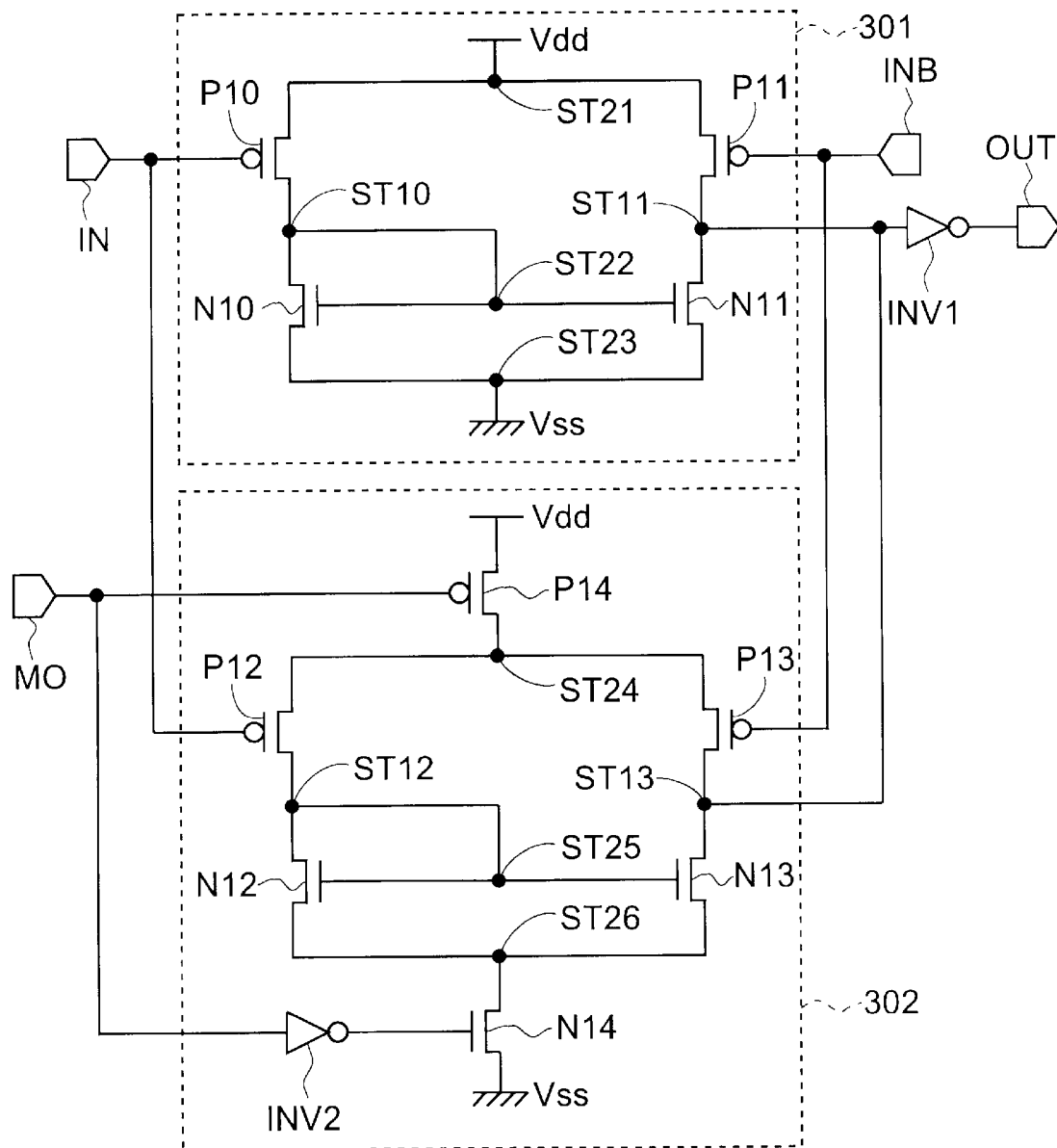
[図3]



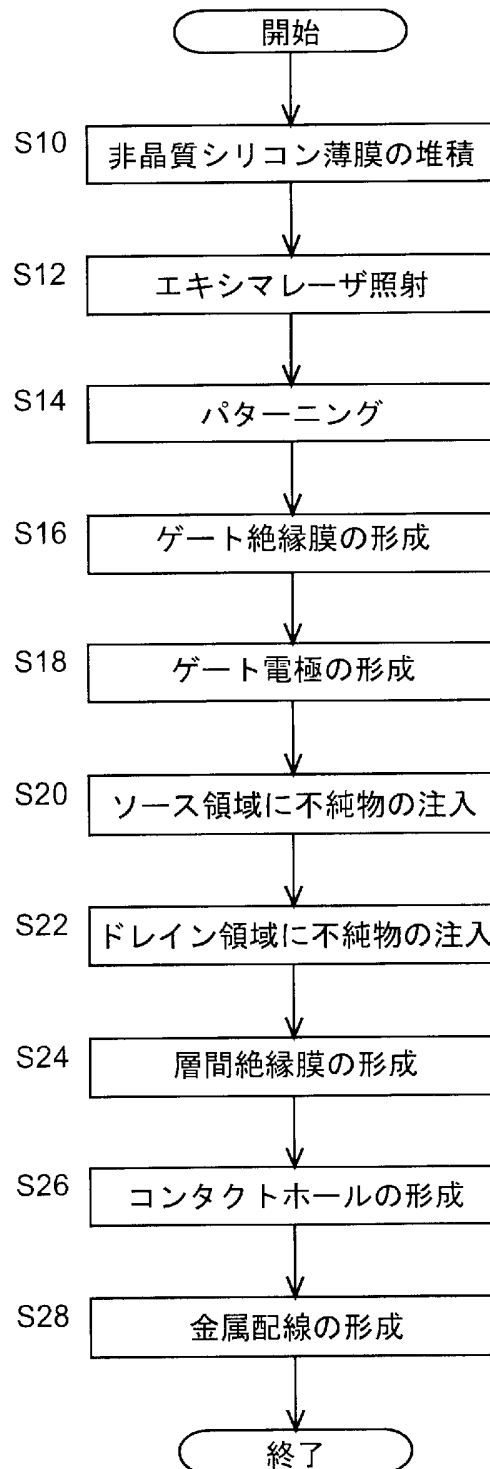
[図4]



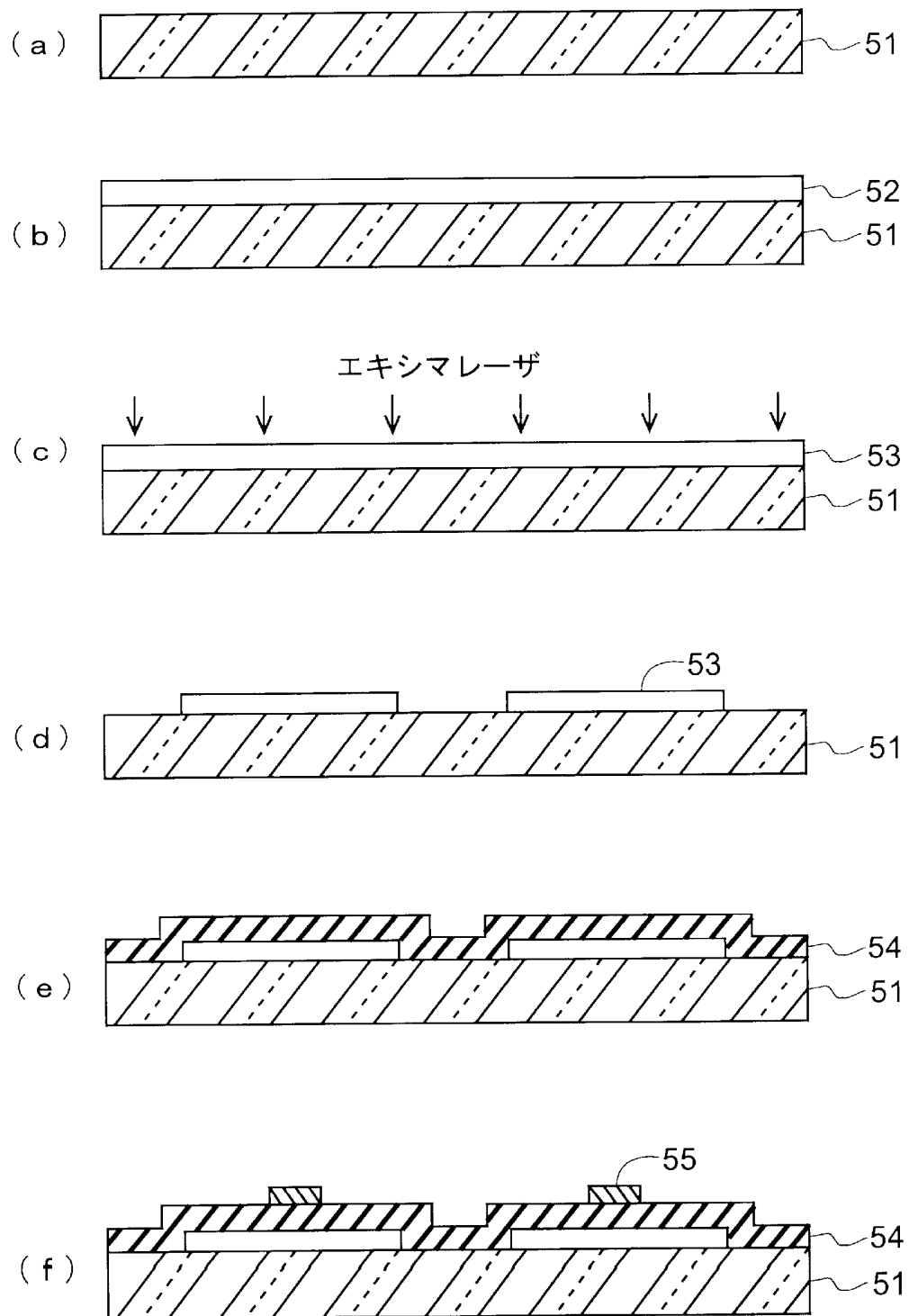
[図5]



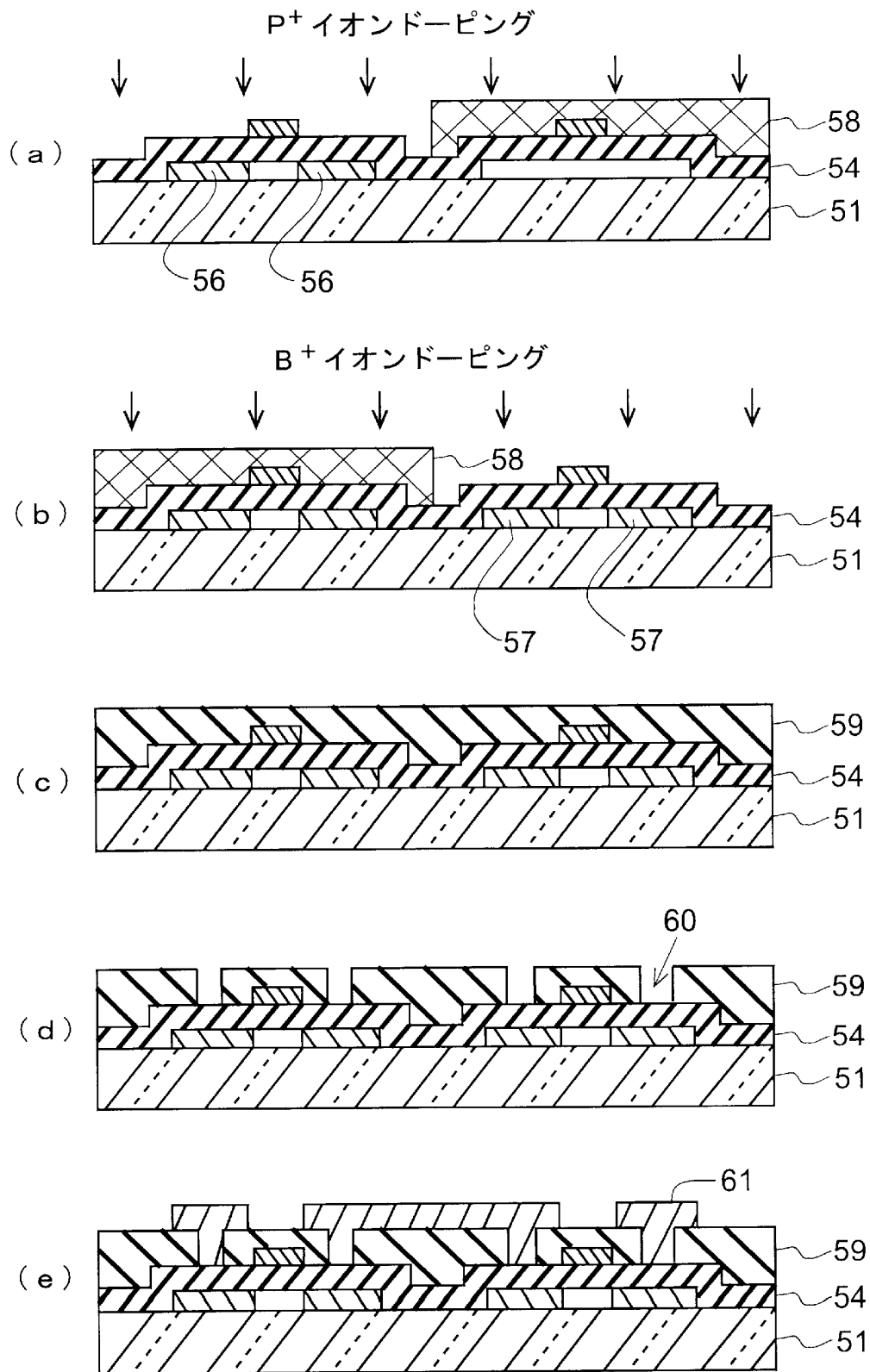
[図6]



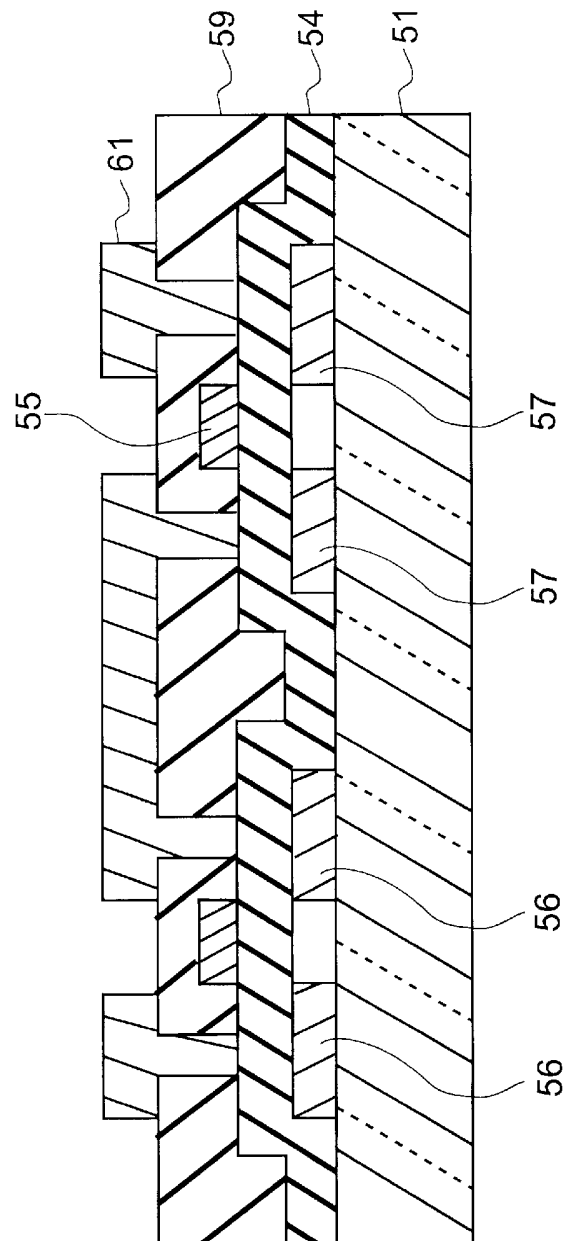
[図7]



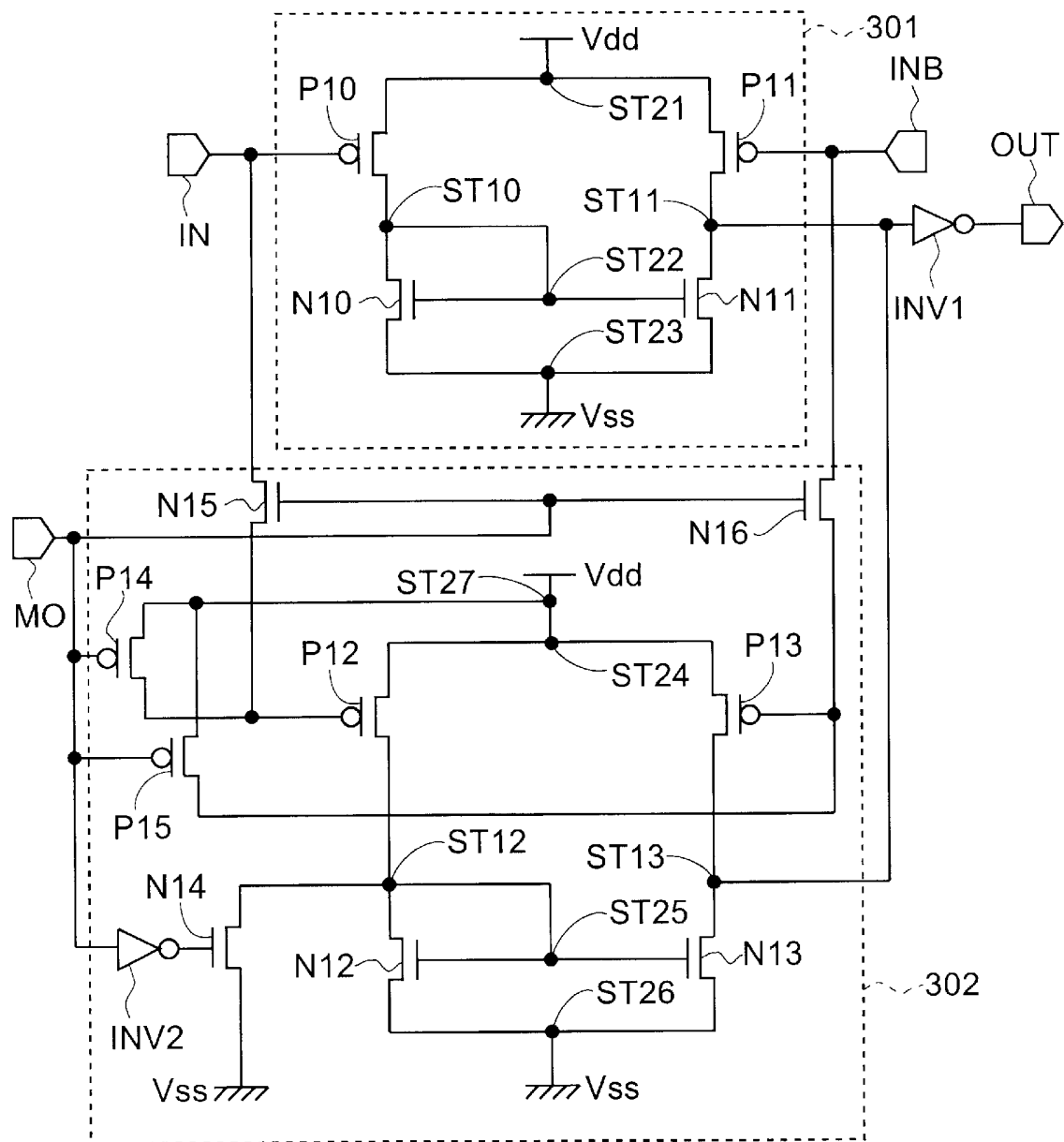
[図8]



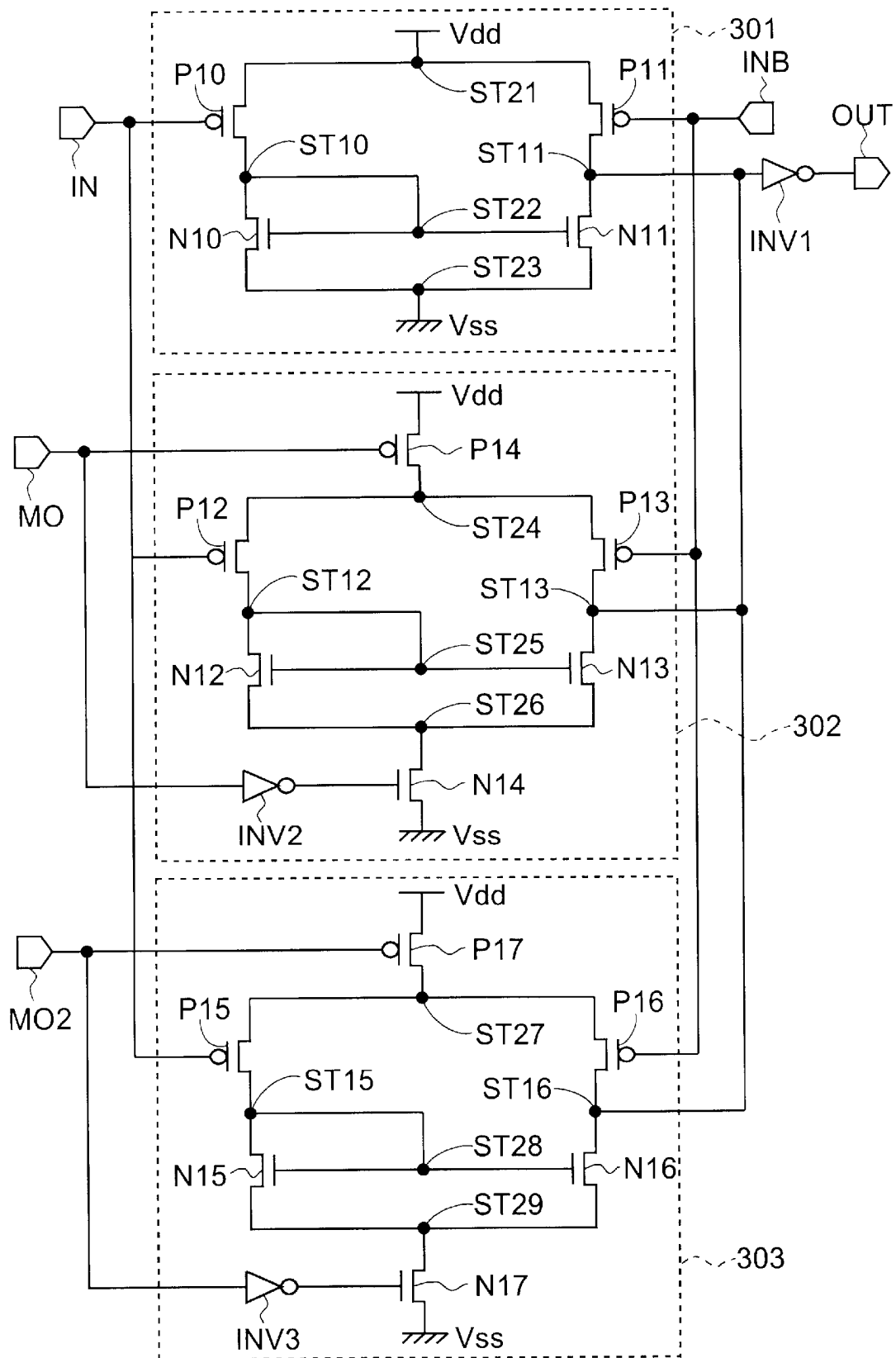
[図9]



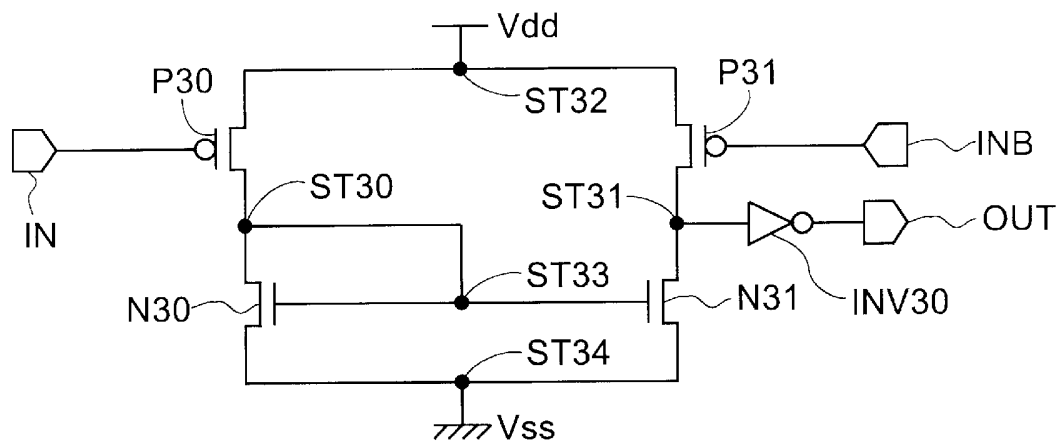
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/310148

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01), **G02F1/133**(2006.01), **G02F1/1345**(2006.01), **G09G3/20**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/133, G02F1/1345, G09G3/20, G09G3/36, H03F3/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 53-87656 A (Kabushiki Kaisha Suwa Seikosha), 02 August, 1978 (02.08.78), Full text; all drawings (Family: none)	1-2 3-11
Y	JP 2004-343396 A (Matsushita Electric Industrial Co., Ltd.), 02 December, 2004 (02.12.04), Full text; all drawings & US 2004/0227557 A1	3, 7
Y	JP 11-85113 A (NEC Corp.), 30 March, 1999 (30.03.99), Full text; all drawings & US 2001/0013851 A1	4-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 June, 2006 (06.06.06)

Date of mailing of the international search report
13 June, 2006 (13.06.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/36(2006.01), G02F1/133(2006.01), G02F1/1345(2006.01), G09G3/20(2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F 1/133, G02F 1/1345, G09G 3/20, G09G 3/36, H03F 3/45

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 5 3 - 8 7 6 5 6 A (株式会社諏訪精工舎) 1 9 7 8 . 0 8 . 0 2 , 全文全図 (ファミリーなし)	1-2 3-11
Y	J P 2 0 0 4 - 3 4 3 3 9 6 A (松下電器産業株式会社) 2 0 0 4 . 1 2 . 0 2 , 全文全図 & U S 2 0 0 4 / 0 2 2 7 5 5 7 A 1	3, 7
Y	J P 1 1 - 8 5 1 1 3 A (日本電気株式会社) 1 9 9 9 . 0 3 . 3 0 , 全文全図 & U S 2 0 0 1 / 0 0 1 3 8 5 1 A 1	4-11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 6 . 2 0 0 6

国際調査報告の発送日

1 3 . 0 6 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

濱本 禎広

2 G

9 5 0 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6