(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-86679
(P2006-86679A)
(43)公開日　平成18年3月30日(2006.3.30)

(51)Int.Cl.		F I		テーマコード（参考）
H03B 5/32	(2006.01)	H03B 5/32	E	5J079

審査請求 未請求　請求項の数 3　ＯＬ　（全 7 頁）

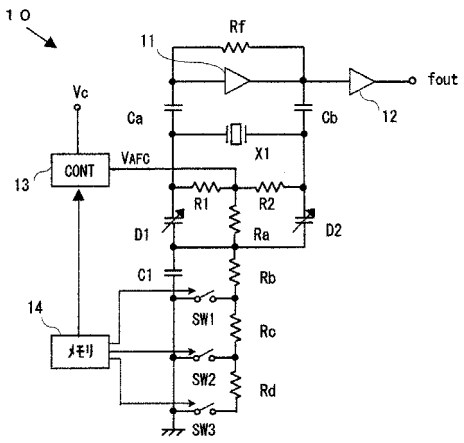
(21)出願番号　特願2004-267798 (P2004-267798)
(22)出願日　平成16年9月15日 (2004.9.15)

(71)出願人　000003104
エプソントヨコム株式会社
神奈川県川崎市幸区塚越三丁目４８４番地
(72)発明者　山本　壮洋
神奈川県高座郡寒川町小谷二丁目１番１号
東洋通信機株式会社
内

Ｆターム(参考)　5J079 AA04 BA11 BA35 DA14 FA15
FA21 FB03 FB39 FB47 FB48
GA09 KA08

(54)【発明の名称】電圧制御型圧電発振器

(57)【要約】
【課題】ＭＯＳ型可変容量素子のゲート酸化膜の膜厚に製造上のばらつきがあり、一定のゲート電圧に対する容量値が異なる。このため、容量変化の直線領域が一定のゲート電圧範囲内に収まることは困難であって、ＭＯＳ型可変容量素子によって容量の直線性、即ちＶＣＸＯの周波数制御の直線性がばらついてしまう。
【解決手段】ＶＣＸＯ１０のＭＯＳ型可変容量素子Ｄ1、Ｄ２のゲート端には電圧制御回路１３で外部制御電圧Ｖｃをゲインコントロールした出力VAFCを印加し、バックゲート端には前記電圧制御回路１３出力を分圧比が可変の抵抗分圧回路Ra～Rdで分圧した電圧を印加し、前記電圧制御回路１３のゲインの調整と、切換器ＳＷ１、ＳＷ２、ＳＷ３による抵抗分圧回路Ra、Rb、Rc、Rdにおける分圧比の切換えによって、ＭＯＳ型可変容量素子Ｄ1、Ｄ２に加わるゲート・バックゲート間電圧を制御する。
【選択図】図１



【特許請求の範囲】
【請求項１】
発振回路の容量成分を構成するＭＯＳ型可変容量素子のゲート端子に制御電圧を、バックゲート端子に抵抗分圧回路を介して前記制御電圧をそれぞれ印加するよう構成し、前記制御電圧を変化させることによって前記ＭＯＳ型可変容量素子の容量を変化させて発振回路の周波数を制御する電圧制御型圧電発振器であって、
外部から供給される電圧と出力電圧との関係が負特性となるようにゲインコントロールする電圧制御手段からの出力を前記制御電圧とするとともに、抵抗分圧回路として分圧比の変更が可能な可変抵抗分圧回路を用いたことを特徴とする電圧制御型圧電発振器。
【請求項２】
前記可変抵抗分圧回路の分圧比を設定するためのデータを記憶した記憶手段を備えていることを特徴とする請求項１に記載の電圧制御型圧電発振器。
【請求項３】
記憶手段には前記電圧制御手段のゲインを設定するためのデータが記憶されていることを特徴とする請求項１または請求項２に記載の電圧制御型圧電発振器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電圧制御型圧電発振器に関し、特にＭＯＳ容量型の電圧可変容量素子を用いた電圧制御型発振器に関する。
【背景技術】
【０００２】
従来、電圧制御型水晶発振器（以下、ＶＣＸＯという）に代表される電圧制御型圧電発振器は、発振回路の可変容量素子の制御入力端に加えられる電圧によって発振周波数が制御される発振器であって、ＰＬＬ回路やＡＦＣ回路、あるいは、ＦＭ変調器やスイープジェネレータ等に広く使用されている発振器である。
ＶＣＸＯの制御入力電圧と発振周波数の関係は、可変容量素子の制御電圧対容量特性及び可変容量素子の容量対発振周波数特性によって決まり、ＶＣＸＯの制御電圧対周波数特性の仕様としては、周波数の変化範囲、その変化範囲における特性カーブの直線性、制御入力電圧範囲等が与えられる。
【０００３】
図４（ａ）は、従来のＶＣＸＯの一例を示す回路構成図である。同図に示されるように、本例のＶＣＸＯ２０は、発振増幅用のインバータ１１と水晶振動子X1と固定容量C21、C22とＭＯＳ型可変容量素子D21、D22と抵抗Ｒｆ、R21、R22とからなる発振増幅部と、出力バッファとしてのインバータ１２とで構成される。
前記ＭＯＳ型可変容量素子D21、D22は、それぞれ固定容量C21、C22に直列に挿入されて発振回路の容量成分を構成し、外部から制御電圧Ｖｃを高抵抗素子の抵抗R21、R22を介してこの可変容量素子D21、D22に印加して発振回路の容量を変化させ、所定の発振周波数ｆoutを得るものである。
【特許文献１】特開２００２－０４３８４６号公報
【発明の開示】
【発明が解決しようとする課題】
【０００４】
前記ＭＯＳ型可変容量素子の一般的な制御電圧対容量特性は図４（ｂ）に示される特性を有しており、容量が直線的に変化するゲート電圧領域（図中、Ｖ1～Ｖ2の範囲）は極めて狭くなっている。そのため周波数を直線的に変化させる制御電圧が狭い範囲に限定されてしまい、制御電圧に対する周波数電圧感度が高くなってしまう。
その結果、制御電圧に重畳されているノイズ信号成分によって発生するＦＭ変調ノイズ成分を抑えることが困難になり、ＶＣＸＯの位相ノイズ特性が劣化してしまうという問題があった。

【０００５】
図５は、上記の問題に対応して構成された他のＶＣＸＯの回路構成例である。同図に示されるように、本例のＶＣＸＯ３０は、水晶振動子X1とインバータ１１と固定容量Ca、CbとＭＯＳ型可変容量素子D1、D2と抵抗Ｒｆで構成される発振増幅回路、制御電圧Ｖｃを制御する電圧制御部３１、電圧制御部３１の出力ＶAFCをＭＯＳ型可変容量素子D1、D2に印加する抵抗回路を構成する抵抗R1、R2、Ra、Rb及び出力バッファ部としてのインバータ１２で構成される。なお、C1は高周波成分の短絡用の固定容量である。
【０００６】
前記電圧制御部３１の出力ＶAFCは、高抵抗素子の抵抗R1、R2を介してＭＯＳ型可変容量素子D1、D2のそれぞれのゲート端子に接続され、ＭＯＳ型可変容量素子D1、D2のそれぞれのバックゲート端子には電圧制御部３１の出力回路に直列接続された抵抗Ra、Rbの接続中点が連結される。
上記回路接続において、外部制御電圧Ｖｃは電圧制御部３１においてゲインコントロールがなされて出力電圧ＶAFCとして出力され、同時に直列抵抗Ra、Rbを調整して出力ＶAFCの分圧比を所定の値に設定することによって、制御電圧Ｖｃが最大、最小のときにＭＯＳ型可変容量素子のゲート・バックゲート端子間電圧が図４（ｂ）の容量制御電圧特性の直線領域の両端の電圧Ｖ2、Ｖ1となるようにして、容量変化の直線領域のみを有効的に使うことが可能となる。
その結果、本ＶＣＸＯ３０では、周波数電圧感度は低く抑えつつ、且つ、周波数制御特性の直線性も良好なものにすることができる。
【０００７】
しかしながら、ＭＯＳ型可変容量素子には、ゲートの酸化膜の膜厚に製造上のばらつきがあり、図６のＭＯＳ型可変容量素子のゲート酸化膜厚と容量制御電圧特性の説明図に示されるように、一定のゲート電圧に対する容量値が異なる。このため、容量変化が直線を呈するゲート電圧範囲は一定でなく、ゲート酸化膜が標準膜厚であるとして設計した場合、ＭＯＳ型可変容量素子の個体差によって容量の直線性、即ちＶＣＸＯの周波数制御の直線性がばらついてしまうという問題があった。
本発明は、上記課題を解決するためになされたものであって、ＭＯＳ型容量素子の酸化膜厚のばらつきから生じる容量制御電圧特性の直線領域のばらつきを抑えることによって、優れた周波数対制御電圧特性をもつＶＣＸＯを提供することを目的とする。
【課題を解決するための手段】
【０００８】
上記課題を解決するため、請求項１の電圧制御型圧電発振器においては、発振回路の容量成分を構成するＭＯＳ型可変容量素子のゲート端子に制御電圧を、バックゲート端子に抵抗分圧回路を介して前記制御電圧をそれぞれ印加するよう構成し、前記制御電圧を変化させることによって前記ＭＯＳ型可変容量素子の容量を変化させて発振回路の周波数を制御する電圧制御型圧電発振器であって、外部から供給される電圧と出力電圧との関係が負特性となるようにゲインコントロールする電圧制御手段からの出力を前記制御電圧とするとともに、抵抗分圧回路として分圧比の変更が可能な可変抵抗分圧回路を用いたことを特徴とする。
【０００９】
請求項２においては、請求項１に記載の電圧制御型圧電発振器であって、前記可変抵抗分圧回路の分圧比を設定するためのデータを記憶した記憶手段を備えていることを特徴とする。
また、請求項３においては、請求項１または請求項２に記載の電圧制御型圧電発振器であって、記憶手段には前記電圧制御手段のゲインを設定するためのデータが記憶されていることを特徴とする。
【発明の効果】
【００１０】
本発明においては、ＶＣＸＯのＭＯＳ型可変容量素子のゲート端には電圧制御回路で外部

制御電圧をゲインコントロールした出力を印加し、バックゲート端には前記電圧制御回路出力を分圧比が可変の抵抗分圧回路で分圧した電圧を印加するように回路構成した。そして、前記電圧制御回路のゲインと抵抗分圧回路の分圧比を調整して、外部制御電圧最小のときにＭＯＳ型可変容量素子に加わるゲート・バックゲート間電圧が容量制御電圧特性の直線領域の最大値となるように、また、外部制御電圧最大のときにＭＯＳ型可変容量素子に加わるゲート・バックゲート間電圧が容量制御電圧特性の直線領域の最小値となるようにする。

【００１１】

前記の電圧制御回路のゲインと可変抵抗分圧回路の分圧比のデータは記憶回路に保存して、ＶＣＸＯの動作時に電圧制御回路と可変抵抗分圧回路に適用することによって、ゲート酸化膜厚のばらつきによるＭＯＳ型可変容量素子の容量の直線性、即ちＶＣＸＯの周波数制御の直線性がばらついた場合でも、容量制御電圧特性の直線領域を広く使うことが可能となる。

したがって、本発明によれば低位相ノイズ特性をもった周波数制御特性の優れたＶＣＸＯを提供する上で顕著な効果を期待できる。

【発明を実施するための最良の形態】

【００１２】

本発明を図面に示した実施の形態に基づいて説明する。図１は、本発明に係わる電圧制御型圧電発振器としての電圧制御型水晶発振器の実施の一形態例を示す回路構成図である。同図に示すように、本電圧制御型水晶発振器（以下、ＶＣＸＯという）１０は、抵抗Ｒｆとインバータ１１と固定容量Ca、Cbと水晶振動子X1とＭＯＳ型可変容量素子D1、D2と固定容量C1とからなる発振増幅回路、及び外部制御電圧Ｖｃを制御する電圧制御部１３、電圧制御部１３の出力ＶAFCを前記ＭＯＳ型可変容量素子D1、D2にそれぞれ印加するための抵抗回路網を構成する抵抗R1、R2、Ra、Rb、Rc、Rdと切換器SW1、SW2、SW3、出力バッファとしてのインバータ１２、及び制御データを記憶するメモリ１４で構成される。

なお、本実施例のＶＣＸＯ１０において、抵抗Ra、Rb、Rc、Rdと切換器SW1、SW2、SW3、電圧制御部１３及びメモリ１４を除く抵抗Ｒｆ、R1、R2とインバータ１１と固定容量Ca、Cbと水晶振動子X1とＭＯＳ型可変容量素子D1、D2と固定容量C1及びインバータ１２の機能動作は、図５のＶＣＸＯ３０の同一符号で示される構成部位と同じであるので、同一部分の詳細な説明は省略する。

【００１３】

図１において、前記ＭＯＳ型可変容量素子D1、D2のゲート端子には、後述のように外部制御電圧Ｖｃをゲインコントロールし、且つ、その外部制御電圧対出力電圧特性が負特性を有する電圧を出力する電圧制御部１３の出力電圧ＶAFCを高抵抗R1、R2を介して接続すると共に、切換器SW1～SW3を含む抵抗Ra～Rdからなる電圧ＶAFCの抵抗分圧回路の抵抗Ra、Rbの接続中点をそれぞれの可変容量素子D1、D2のバックゲート端子に接続する。

さらに、切換器SW1～SW3は、後述のようにメモリ１４に記憶されたデータに基づいて、そのうちのいずれか１つの切換器が選択されてＯＮとなり、抵抗RaとRb～Rdからなる分圧回路の分圧比を変化させる。

【００１４】

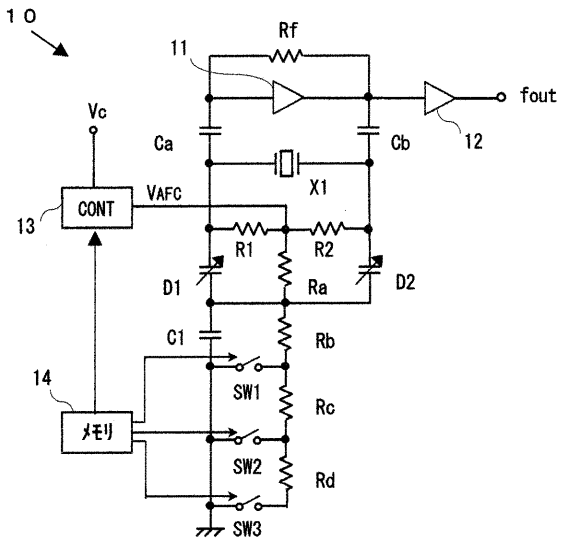
図２は、ＭＯＳ型可変容量素子のゲート酸化膜厚と容量制御電圧特性の関係を説明する図であり、図３は、図１のＶＣＸＯにおけるＭＯＳ型可変容量素子D1、D2の両電極端に印加される電圧の説明図である。ここで、ＭＯＳ型可変容量素子D1、D2は、両者の容量制御電圧特性が揃ったものが装着されているものとする。

図２に示されるように、ＭＯＳ型可変容量素子D1、D2のゲート酸化膜の厚みが製造工程のばらつきによって、標準仕上がりより薄く仕上がった場合はその容量の最大値と最小値はそれぞれＣmax1、Ｃminであり、標準仕上がりより厚く仕上がった場合はその容量の最大値と最小値はそれぞれＣmax2、Ｃminとなる。また、容量制御電圧特性の直線領域の最小及び最大のゲート・バックゲート間電圧ＶGBは、それぞれ薄く仕上がった場合はＶGB1、ＶGB2、厚く仕上がった場合はＶGB1'及びＶGB2'である。

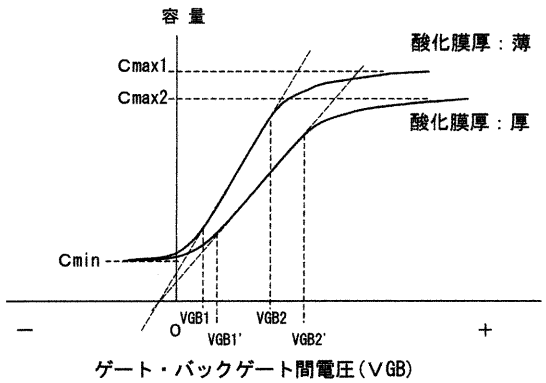
【００１５】
図１のＶＣＸＯにおいて、いま、使用されるＭＯＳ型可変容量素子D1、D2がその容量の最小値／最大値が標準膜厚の場合よりも小さい（図２中の膜厚が薄い場合であって、比はＣmin／Ｃmax1）素子である場合は、電圧制御部１３のゲインを調整するとともに、ＳＷ３のみをＯＮさせて分圧回路の抵抗Raと抵抗Rb～Rdの抵抗比を大きくしてＭＯＳ型可変容量素子D1、D2のゲート端子に印加する電圧ＶAFCに対するゲート・バックゲート間電圧ＶGBがＶGB1～ＶGB2の範囲内に収まるようにし、且つ、図３に示すように、Ｖｃが最小のときＶGB＝ＶGB2、Ｖｃが最大のときＶGB＝ＶGB1という関係が成立するように、抵抗Raと抵抗Rb～Rdによる抵抗分圧比を最適化する。
そして、この電圧制御部１３のゲインと切換器の動作データをメモリ１４に記憶する。
【００１６】
また、使用されるＭＯＳ型可変容量素子D1、D2がその容量の最小値／最大値が標準膜厚の場合よりも大きい（図２中の膜厚が厚い場合の特性で、比はＣmin／Ｃmax2）素子である場合は、電圧制御部１３のゲインを調整するとともに、ＳＷ１のみをＯＮさせて分圧回路の抵抗Raと抵抗Rb～Rdの抵抗比を小さく（即ち、RaとRbとする）してＭＯＳ型可変容量素子D1、D2のゲート端子に印加する電圧ＶAFCに対するゲート・バックゲート間電圧ＶGBがＶGB1'～ＶGB2'の範囲内に収まるようにし、且つ、図３に示すように、Ｖｃが最小のときＶGB＝ＶGB2'、Ｖｃが最大のときＶGB＝ＶGB1'という関係が成立するように、抵抗Raと抵抗Rbによる抵抗分圧比を最適化する。そして、この電圧制御部１３のゲインと切換器のデータをメモリ１４に記憶する。
【００１７】
さらに、同図に示していないが、使用されるＭＯＳ型可変容量素子D1、D2が標準膜厚の場合は、電圧制御部１３のゲインを調整するとともに、ＳＷ２のみをＯＮさせ、ＭＯＳ可変容量素子D1、D2の容量が直線的に変化する領域を有効に使えるように、前述と同様に抵抗Raと抵抗Rb、Rcによる分圧比を適切に設定し、電圧制御部１３のゲインと切換器のデータをメモリ１４に記憶する。
【００１８】
上記のようにＶＣＸＯを構成するにより、ＶＣＸＯに搭載されるＭＯＳ型可変容量素子D1、D2の最小容量／最大容量比に応じて前記メモリ１４に保存したゲインと切換器のデータを電圧制御部１３と切換器ＳＷ１、ＳＷ２、ＳＷ３の動作に適用することによって、ゲート酸化膜厚に大きなばらつきがあるＭＯＳ型可変容量素子に対しても、その容量制御電圧特性の直線領域を有効に使いながら、ＶＣＸＯの周波数電圧感度を低く抑えることができるので、優れた周波数制御電圧特性をもつＶＣＸＯを提供することが可能となる。
なお、上記の実施例ではメモリ１４に電圧制御部１３のゲインと切換器の動作データを保存したが、ゲインの値を固定値として、切換器の動作データのみを記憶するようにしてもよい。
【図面の簡単な説明】
【００１９】
【図１】本発明に係わる電圧制御型圧電発振器としての電圧制御型水晶発振器の実施の一形態例を示す回路構成図。
【図２】ＭＯＳ型可変容量素子のゲート酸化膜厚と容量制御電圧特性の関係を説明する図。
【図３】図１のＶＣＸＯにおけるＭＯＳ型可変容量素子の両電極端に印加される電圧の説明図。
【図４】（ａ）は、従来のＶＣＸＯの一例を示す回路構成図、（ｂ）は、ＭＯＳ型可変容量素子の一般的な容量制御電圧特性図。
【図５】他のＶＣＸＯの回路構成例。
【図６】ＭＯＳ型可変容量素子のゲート酸化膜厚と容量制御電圧特性の説明図。
【符号の説明】
【００２０】

１０・・電圧制御型水晶発振器（ＶＣＸＯ）、１１，１２・・インバータ、１３・・電圧制御部、１４・・メモリ、２０、３０・・電圧制御型水晶発振器（ＶＣＸＯ）３１・・電圧制御部、
Ca、Cb、C1、C21、C22・・固定容量、　D1、D2、D21、D22・・ＭＯＳ型可変容量素子、R1、R2、Ra、R21、R22、Rb、Rc、Rd、Ｒｆ・・抵抗、　SW1、SW2、SW3・・切換器、X1・・水晶振動子

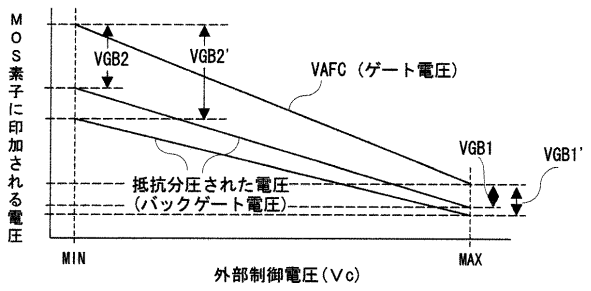
【図１】



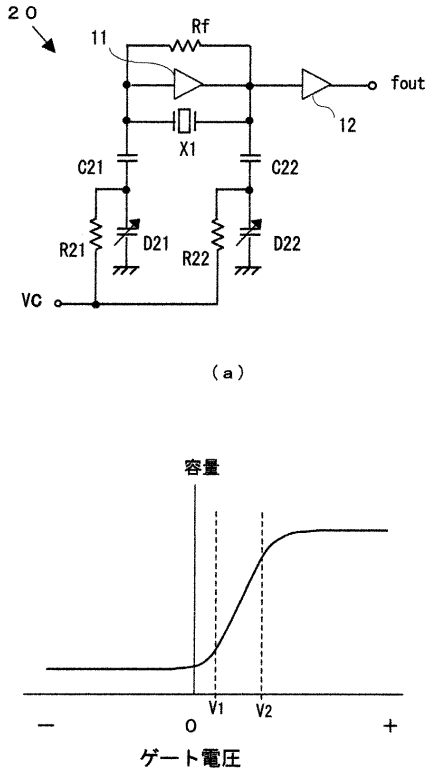
【図２】



【図３】



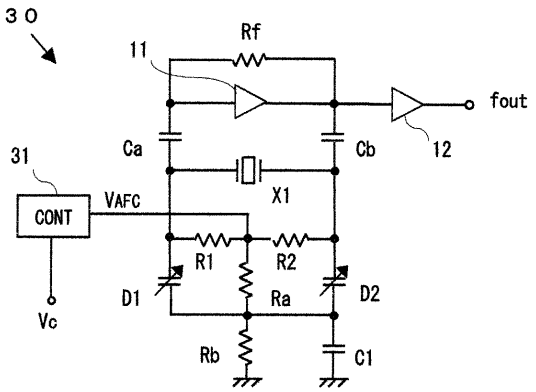
【図４】


20
11
Rf
fout
12
X1
C21
C22
R21
D21
R22
D22
Vc
容量
V1
V2
−
0
+
ゲート電圧

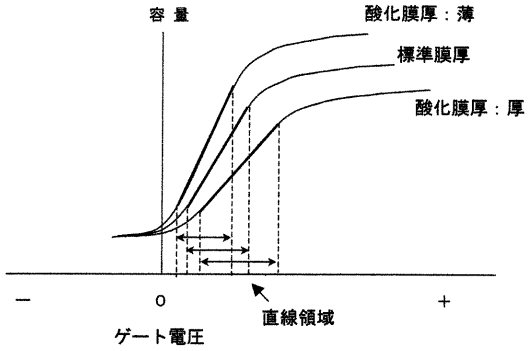
（ａ）

（ｂ）

【図５】


30
11
Rf
fout
12
Ca
Cb
31
CONT
VAFC
X1
R1
R2
D1
Ra
D2
Vc
Rb
C1

【図６】


容 量
酸化膜厚：薄
標準膜厚
酸化膜厚：厚
−
0
+
直線領域
ゲート電圧