

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2009年12月3日(03.12.2009)

PCT

(10) 国際公開番号  
WO 2009/145093 A1

- (51) 国際特許分類:  
C23C 14/34 (2006.01) H05H 1/46 (2006.01)  
H01L 21/285 (2006.01)
- (21) 国際出願番号: PCT/JP2009/059275
- (22) 国際出願日: 2009年5月20日(20.05.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2008-137089 2008年5月26日(26.05.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アルバック (ULVAC, INC.) [JP/JP]; 〒2538543 神奈川県茅ヶ崎市萩園2500番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 堀下 芳邦 (HORISHITA Yoshikuni) [JP/JP]; 〒2538543 神奈川県茅ヶ崎市萩園2500 株式会社アルバック内 Kanagawa (JP). 松原 忍 (MATSUBARA Shinobu) [JP/JP]; 〒2538543 神奈川県茅ヶ崎市萩園2500 株式会社アルバック内 Kanagawa (JP).
- (74) 代理人: 特許業務法人 青 義 (SEIGA Patent and Trademark Corporation); 〒

1410031 東京都品川区西五反田8-1-14 最勝ビル9階 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

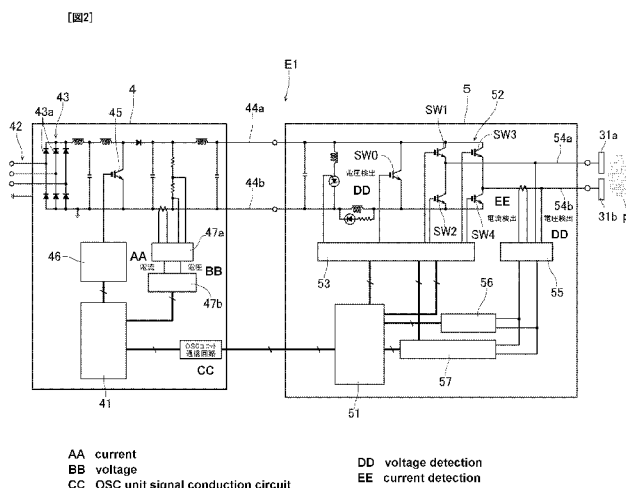
添付公開書類:

- 国際調査報告 (条約第21条(3))

[続葉有]

(54) Title: SPUTTERING METHOD

(54) 発明の名称: スパッタリング方法



(57) Abstract: When sputtering is carried out in which a number of targets are aligned, and a number of bipolar pulse power supplies apply power in the form of bipolar pulses to the aligned targets, susceptibility to the effects of switching noise is small, and power can be accurately applied to the targets by using a simple control. A sputtering method in which each target is sputtered by switching on and off each of switching elements (SW1) to (SW4) of a bridge circuit (52) connected to the positive and negative DC output terminals from the DC power supplies to supply power in the form of bipolar pulses to the targets forming a pair, wherein the switching elements are switched on and off in the short-circuited state of the switching element (SW0) for short-circuiting the output which is provided between the positive and negative DC outputs from the DC power supplies, and the switching timings of the switching elements for short-circuiting the output are mutually offset for each bridge circuit.

(57) 要約:

[続葉有]



WO 2009/145093 A1



---

複数枚のターゲットを並設し、この並設したターゲットに、複数台のバイポーラパルス電源を介してバイポーラパルス状に電力投入してスパッタリング法を実施する際に、簡単な制御でスイッチングノイズの影響を受け難くしてターゲットに精度よく投入電力できるようにする。対をなすターゲット毎に、直流電力供給源からの正負の直流出力端に接続したブリッジ回路52の各スイッチング素子SW1乃至SW4のオン、オフを切換えてバイポーラパルス状に電力供給し、各ターゲットをスパッタリングするスパッタリング方法において、前記直流電力供給源からの正負の直流出力間に設けた出力短絡用スイッチング素子SW0の短絡状態で前記スイッチング素子のオン、オフの切換えを行うと共に、出力短絡用スイッチング素子の切換えのタイミングをブリッジ回路毎に相互にずらす。

## 明 細 書

**発明の名称**：スパッタリング方法

**技術分野**

[0001] 本発明は、ガラス等の処理基板表面に所定の薄膜を形成するためのスパッタリング方法、より詳しくは、対をなすターゲット毎にバイポーラパルス状に電力供給して各ターゲットをスパッタリングするスパッタリング方法に関する。

**背景技術**

[0002] 従来、スパッタリング（以下、「スパッタ」という）法により、大面積の処理基板に対して効率よく薄膜形成するものとして、真空チャンバ内で処理基板に対向させて複数枚のターゲットを並設し、この並設したターゲットのうち、対をなすターゲット毎に割当てて複数台のバイポーラパルス電源を並列接続したスパッタ装置が知られている。そして、各バイポーラパルス電源を同期運転させつつ、各ターゲットに交互に極性をかえてバイポーラパルス状に電力投入（出力）し、各ターゲットをアノード電極、カソード電極に交互に切換え、アノード電極及びカソード電極間にグロー放電を生じさせてプラズマ雰囲気を形成し、各ターゲットをスパッタリングする（特許文献1）。

[0003] ここで、一般に、バイポーラパルス電源は、直流電力を供給する整流回路と、この整流回路の正負の出力端に接続され、4個のスイッチング素子からなるMOSFETブリッジ回路とから構成されており、制御手段によって各スイッチング素子を適宜作動させ、対をなすターゲットに所定の周波数でパルス電圧を印加する。これにより、ターゲット表面に蓄積する電荷が反対の位相電圧を印加したとき打ち消され、安定的な放電が得られるという利点がある。

特許文献1：特開2005-290550号公報

**発明の開示**

## 発明が解決しようとする課題

[0004] しなししながら、上記のものでは、各ターゲットへの出力切換時にスイッチングノイズが発生し、このスイッチングノイズは、並列接続したパイポラパルス電源の台数が増加するのに従いより顕著になる。大きなスイッチングノイズが発生すると、ターゲットへの投入電力波形が乱れ、その結果、ターゲットに精度よく投入電力できない虞がある。

[0005] そこで、本発明の課題は、上記点に鑑み、簡単な制御でスイッチングノイズの影響を受け難くしてターゲットに精度よく投入電力でき、ひいては良好な薄膜形成が可能となるスパッタリング方法を提供することにある。

## 課題を解決するための手段

[0006] 上記課題を解決するために、本発明のスパッタリング方法は、スパッタ室内で処理基板と対向させかつ所定の間隔を置いて並設した複数枚のターゲットのうち対をなすターゲット毎に、直流電力供給源からの正負の直流出力端に接続したブリッジ回路の各スイッチング素子のオン、オフを切換えてバイポラパルス状に電力供給し、各ターゲットをアノード電極、カソード電極に交互に切換え、アノード電極及びカソード電極間にグロー放電を生じさせてプラズマ雰囲気を形成し、各ターゲットをスパッタリングするスパッタリング方法において、前記直流電力供給源からの正負の直流出力間に設けた出力短絡用スイッチング素子の短絡状態で前記スイッチング素子のオン、オフの切換えを行うと共に、出力短絡用スイッチング素子の切換えタイミングをずらすことを特徴とする。

[0007] 本発明によれば、出力短絡用スイッチング素子を設けたことで、各ターゲットへの出力切換時に作動するスイッチング素子の数を減らすことができることと、出力短絡用スイッチング素子の切換えのタイミングをずらしたことが相俟って、同時に大きなスイッチングノイズが発生することが防止できる。その結果、並列接続するパイポラパルス電源の台数が増加しても、対をなす各ターゲットに精度よく投入電力でき、良好な薄膜形成が可能になる。

。

- [0008] また、上記構成を採用することで、スイッチング損失を1個の出力短絡用スイッチング素子のみで発生させることができ、その耐久性を向上できることに加え、出力短絡用スイッチング素子のオン、オフの切換えのタイミングのみを制御すれば良いため、その制御も容易である。
- [0009] また、前記各ターゲットへの電力投入を、前記ブリッジ回路の出力端と各ターゲットとの間を接続するブスバーを介して行うようにすれば、例えば導線を多数本撚り合わせてなる公知の交流電源ケーブルを用いる場合と比較してノイズの影響を受け難くできるため、より精度よく一對のターゲットに電力投入できる。
- [0010] 尚、前記一對のターゲット間の出力電流を検出し、この出力電流の絶対値が各ターゲットへの定常出力電流値を超えると、異常放電発生の前段現象として捕え、前記出力短絡用スイッチング素子によって各ターゲットへの出力を遮断して異常放電の消弧処理を行うようにすれば、出力中の2個のスイッチング素子を制御して異常放電の消弧処理を行う場合より応答性よくその制御ができ、この処理中でもブリッジ回路の各スイッチング素子にはスイッチング損失が殆ど発生しないため、一層耐久性を向上できる。

### 発明の効果

- [0011] 以上説明したように、本発明のスパッタリング方法では、簡単な制御でスイッチングノイズの影響を受け難くでき、ターゲットに精度よく投入電力できるという効果を奏する。

### 発明を実施するための最良の形態

- [0012] 図1を参照して、1は、本発明のスパッタリング方法を実施するスパッタリング装置である。スパッタリング装置1はインライン式のものであり、ロータリーポンプ、ターボ分子ポンプなどの真空排気手段（図示せず）を介して所定の真空度に保持できる真空チャンバ11を有し、スパッタ室11aを構成する。真空チャンバ11の上部には基板搬送手段2が設けられている。この基板搬送手段2は、公知の構造を有し、例えば、処理基板Sが装着されるキャリア21を有し、図示しない駆動手段を間欠駆動させて、後述するタ

ターゲットに対向した位置に処理基板Sを順次搬送する。真空チャンバ11の下側には、カソード電極Cが配置されている。

[0013] カソード電極Cは、処理基板Sに対向して配置された8枚のターゲット31a乃至31hを有する。各ターゲット31a乃至31hは、Al、Ti、Mo、インジウム及び錫の酸化物（ITO）やインジウム及び錫の合金など、処理基板S表面に形成しようとする薄膜の組成に応じて公知の方法で作製され、例えば略直方体（上面視において長方形）など同形状に形成されている。各ターゲット31a乃至31hは、スパッタリング中、ターゲット31a乃至31hを冷却するバックングプレート32に、インジウムやスズなどのボンディング材を介して接合され、未使用時のスパッタ面311が処理基板Sに平行な同一平面上に位置するように等間隔で並設されている。各ターゲット31a乃至31hは、各ターゲット31a乃至31hは相互に隣接する2個のターゲットが対をなし、対をなすターゲット毎に割当てて4個のバイポーラパルス電源E1乃至E4がそれぞれ接続されている。

[0014] バイポーラパルス電源E1乃至E4は、同一構造を有し、図2に示すように、直流電力の供給を可能とする直流電力供給部4と、各ターゲット31a、31b（31cと31d、31eと31f、31gと31h）への出力（電力供給）を制御する発振部5とから構成される。直流電力供給部4は、その作動を制御する第1のCPU回路41と、商用の交流電力（3相AC200V又は400V）が入力される入力部42と、入力された交流電力を整流して直流電力に変換する6個のダイオード43aからなる整流回路43とを有し、正負の直流電力ライン44a、44bを介して直流電力を発振部5に出力する。

[0015] また、直流電力供給部4には、直流電力ライン44a、44b間に設けたスイッチングトランジスタ45と、第1のCPU回路11に通信自在に接続され、スイッチングトランジスタ45のオン、オフを制御する出力発振用のドライバー回路46とが設けられている。直流電力ライン44a、44b間には、その電流、電圧を検出する検出回路47aが接続され、検出回路47

aで検出された電流、電圧は、AD変換回路47bを介して第1のCPU回路41に入力されるようになっている。

[0016] 他方、発振部5には、第1のCPU回路41に通信自在に接続された第2のCPU回路51と、正負の直流電カライン44a、44b間に接続された4個の第1乃至第4のスイッチングトランジスタSW1乃至SW4からなるブリッジ回路52と、第2のCPU回路51に通信自在に接続され、各スイッチングトランジスタSW1乃至SW4のオン、オフの切換えを制御する出力発振用のドライバー回路53とが設けられている。

[0017] そして、出力発振用のドライバー回路53によって、例えば第1及び第4のスイッチングトランジスタSW1、SW4と、第2及び第3のスイッチングトランジスタSW2、SW3とのオン、オフのタイミングが反転するように各スイッチングトランジスタSW1乃至SW4の切換えを制御すると、ブリッジ回路52からの出力ライン54a、54bを介して一対のターゲット31a、31bにバイポーラパルス状に電力供給できる。出力電圧の波形は、略方形波や略正弦波である。出力ライン54a、54bには、一対のターゲット31a、31bへの出力電流及び出力電圧を検出する検出回路55が接続され、この検出回路55で検出された出力電流及び出力電圧は、AD変換回路56を介して第2のCPU回路51に入力されるようになっている。

[0018] ここで、上記構成のバイポーラパルス電源E1乃至E4において、直流電力供給部4から直流電力を出力した状態で各スイッチングトランジスタSW1乃至SW4を同時に切換えたのでは、それらのスイッチング損失が多くなるばかりか、スイッチングノイズの影響を受けてターゲット31a乃至31hへの投入電力波形が乱れ、良好な薄膜形成が阻害される虞がある。

[0019] 本実施の形態では、直流電力供給部4からの正負の直流出力ライン44a、44b間に、出力発振用のドライバー回路43によってオン、オフの切換が制御される出力短絡用スイッチングトランジスタSW0を設け、出力短絡用スイッチトランジスタSW0の短絡状態（ターゲット31a、31bへの出力が遮断される状態）で、ブリッジ回路52の各スイッチングトランジスタ

タSW1乃至SW4の切換えを行うようにした。それに加えて、各バイポーラパルス電源E1乃至E4の第2のCPU回路51に通信自在に接続されたCPUからなる統括制御手段6を設け、この統括制御手段6によって、出力短絡用スイッチング素子SW0の切換えのタイミングを、各バイポーラパルス電源E1乃至E4、つまり、各ブリッジ回路52毎に相互にずらすこととした。

[0020] 即ち、図3に示すように、各バイポーラパルス電源E1乃至E4の出力短絡用スイッチングトランジスタSW0の短絡状態で、各バイポーラパルス電源E1乃至E4毎に、第1及び第4のスイッチングトランジスタSW1、SW4と、第2及び第3のスイッチングトランジスタSW2、SW3とのオン、オフのタイミングが反転すると共に、相互に隣合うターゲット41a乃至41hへの極性が反転するように各スイッチングトランジスタSW1乃至SW4を作動させた後、統括制御手段6からの出力でスイッチングトランジスタSW0の短絡を所定の時間解除し、対をなすターゲットのうち一方41a、41c、41e、41gにそれぞれ出力される。

[0021] 次いで、統括制御手段6からの出力で各バイポーラパルス電源E1乃至E4の出力短絡用スイッチングトランジスタSW0を同時または順次短絡し、各スイッチングトランジスタSW1乃至SW4を切換えた後に、統括制御手段6からの出力でスイッチングトランジスタSW0の短絡を同時または順次解除し、他方41b、41d、41f、41hにそれぞれ出力される。そして、上記制御を繰り返すことで、各ターゲット41a乃至41hに所定の周波数でバイポーラパルス状に電力供給されて同期運転される。なお、出力短絡用スイッチング素子の切換えタイミングをずらす場合、各バイポーラパルス電源E1乃至E4の各出力短絡用スイッチングトランジスタSW0のうち少なくとも1個の切換えタイミングがずれていればよく、この場合、他の各出力短絡用スイッチングトランジスタSW0は、同時または相互にずらしてもよい。また、例えば、各バイポーラパルス電源E1乃至E4の各出力短絡用スイッチングトランジスタSW0を複数組に分け、組となるものを同時に



切り換えるようにしてもよい。

[0022] これにより、出力短絡用スイッチングトランジスタ SW0 を設け、各ターゲット 31 a 乃至 31 h への出力切換時に作動するスイッチング素子の数を減らしたことで、出力短絡用スイッチングトランジスタ SW0 の切換えのタイミングをブリッジ回路 52 毎に相互にずらすことが相俟って、同時に大きなスイッチングノイズが発生することを防止できる。その結果、並列接続するバイポーラパルス電源 E1 乃至 E4 の台数が多いときでも、対をなす各ターゲット 31 a 乃至 31 h に精度よく投入電力でき、良好な薄膜形成が可能になる。

[0023] 尚、ノイズの影響を受けずに良好な電力供給を行うため、電力供給部 4 と分けた構成した発振部 5 を真空チャンバ 11 に近接させて設けると共に、ブリッジ回路 52 の出力端とターゲット 31 a 乃至 31 h との間を接続する出力ライン 54 a、54 b としてブスバーを用いることが望ましい。ブスバーとしては、導電率が高い材料、例えば、Cu、Au、Ag やアルミ合金製であり、発振部 5 とターゲット 31 a 乃至 31 h との間の間隔の誤差を吸収できるように伸縮自在に形成している。これにより、例えば導線を多数本撚り合わせてなる公知の交流電源ケーブルを用いる場合と比較してノイズの影響を受け難くできるため、より精度よく一对のターゲット 31 a 乃至 31 h に電力投入できる。

[0024] そして、基板搬送手段 2 によって処理基板 S がセットされたキャリア 21 を、並設したターゲット 31 a 乃至 31 h と対向した位置に搬送し、所定の圧力（例えば、 $10^{-5}$  Pa）下で、図示しないガス導入手段 5 を介してスパッタガス（や反応ガス）を導入し、ターゲット 31 a 乃至 31 h にバイポーラパルス電源 E1 乃至 E4 を介して電力投入し、各ターゲット 31 a 乃至 31 h をアノード電極、カソード電極に交互に切換え、アノード電極及びカソード電極間にグロー放電を生じさせてプラズマ雰囲気が形成され、各ターゲット 31 a 乃至 31 h がスパッタリングされて処理基板 S 表面に所定の薄膜が形成される。

- [0025] ところで、上記のようにグロー放電中では、何らかの原因によりアーク放電が発生する場合がある。アーク放電が発生すると、プラズマのインピーダンスが急激に小さくなるため、急激に電圧低下が起こり、それに伴って電流が増加する。このため、本実施の形態では、検出回路55で検出された出力電流及び出力電圧が入力されるアーク検出制御回路57を第2のCPU回路51に通信自在に設け（図1参照）、いずれか1台のバイポーラパルス電源E1乃至E4において出力電流が一定の範囲を超えて変化すると、アーク放電の前段現象（マイクロアーク）として捉え、そのバイポーラパルス電源E1乃至E4によって異常放電の消弧処理を行うことでアーク電流の大きなアーク放電の発生を抑制している。
- [0026] つまり、検出回路55で検出した出力電流が、定常出力電流値を超えたとき、アーク検出制御回路57によってアーク放電発生の前段現状として捕え、第2のCPU回路51及びアーク検出制御回路57を介して出力発振用のドライバー回路53によって出力短絡用スイッチングトランジスタSW0が短絡（オン）される。出力短絡用スイッチングトランジスタSW0が短絡（オン）されたとき、ブリッジ回路52の各スイッチングトランジスタSW1乃至SW4は、いずれか一方のターゲット31aまたは31b（31cまたは31d、31eまたは31f、31gまたは31h）への出力状態に保持されているが、スイッチングトランジスタSW0が短絡されることでターゲット31a乃至31hへの出力が遮断される（マイクロアーク処理）。
- [0027] 次いで、所定時間経過後（数 $\mu$ S～数百 $\mu$ S）に、出力短絡用のスイッチングトランジスタSW0の短絡を解除（オフ）し、各スイッチングトランジスタSW1乃至SW4の作動状態に応じていずれか一方のターゲットへの出力を再開する。このとき、アーク検出制御回路57によって出力電流が定常出力電流値を超えているかを判断し、定常出力電流値を未だ超えていれば、出力発振用ドライバー回路53によって出力短絡用スイッチングトランジスタSW0を再度短絡する。
- [0028] この一連のマイクロアーク処理を複数回繰り返しても出力電流が定常出力

電流値を超えた状態のままであるか、または、出力電流が予め設定された所定値を超えると、スプラッシュやパーティクルの発生を誘発するアーク放電が発生すると判断し、第1のCPU回路41からの制御によってスイッチングトランジスタ45をオンし、直流電力供給部4からの出力を停止する（ハードアーク処理）。この処理の間、ブリッジ回路22の各スイッチングトランジスタSW1乃至SW4にはスイッチング損失が殆ど発生しないため、その耐久性を一層向上できる。

### 図面の簡単な説明

[0029] [図1]本発明のスパッタリング法を実施するスパッタリング装置の構成を概略的に示す図。

[図2]図1に示すスパッタリング装置に用いるバイポーラパルス電源の構成を概略的に説明する図。

[図3]スイッチング素子の作動のタイミングを説明する図。

[図4]各バイポーラパルス電源でのマイクロアーク処理を説明する図。

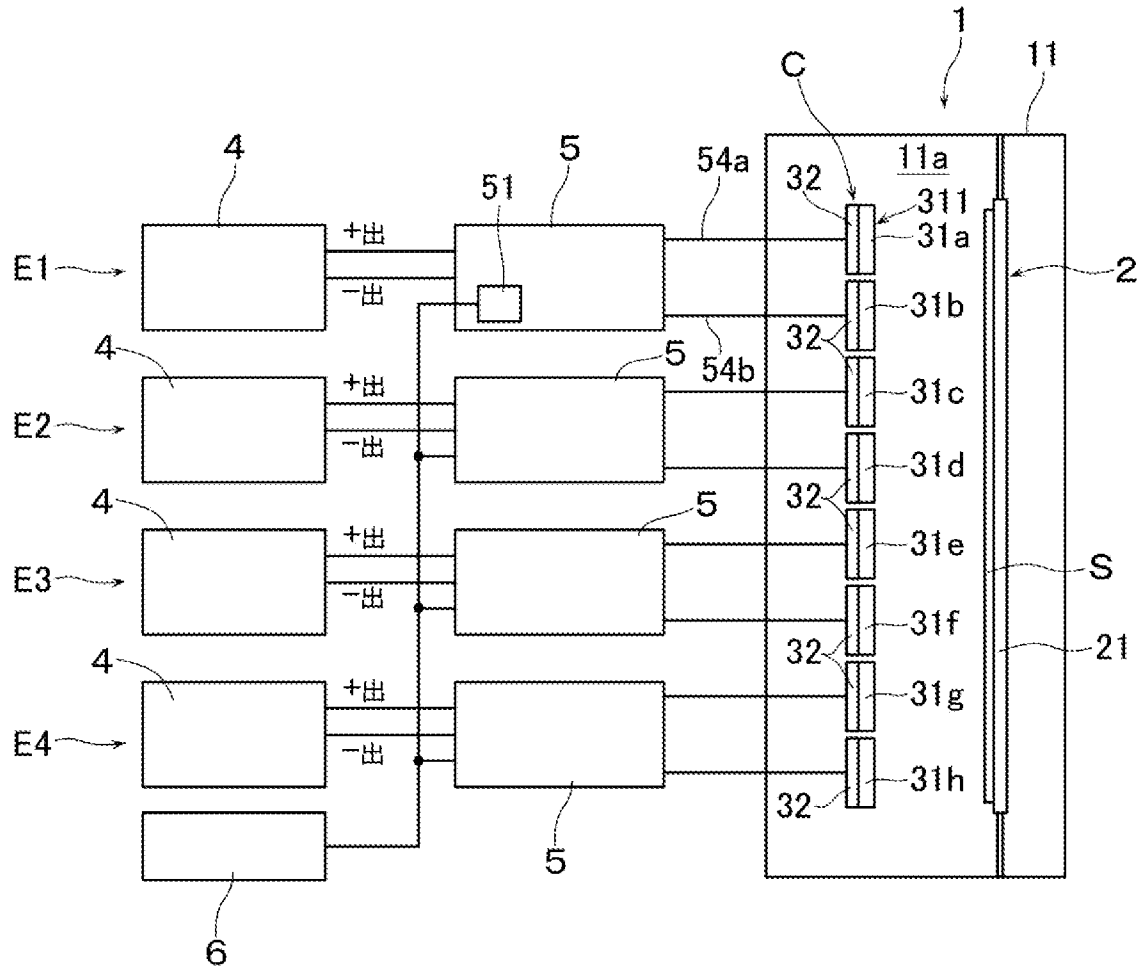
### 符号の説明

- [0030] 1 スパッタリング装置  
2 基板搬送手段  
31 a乃至31 h ターゲット  
4 電力供給部  
5 発振部  
52 ブリッジ回路  
54 a、54 b ブスバー  
6 統括制御手段  
E1乃至E4 バイポーラパルス電源  
S 処理基板  
SW0乃至SW4 スwitching素子

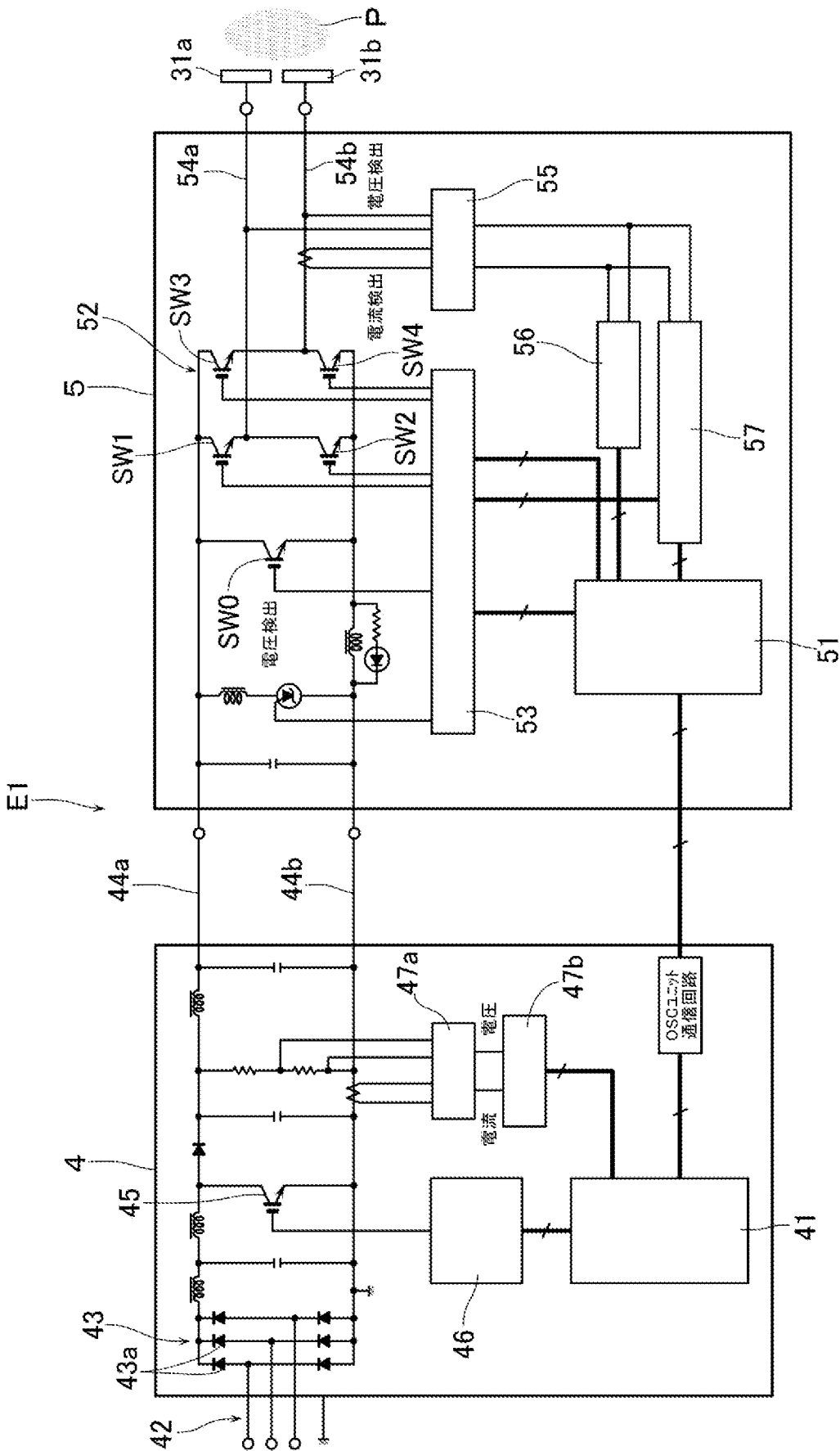
## 請求の範囲

- [請求項1]           スパッタ室内で処理基板と対向させかつ所定の間隔を置いて並設した複数枚のターゲットのうち対をなすターゲット毎に、直流電力供給源からの正負の直流出力端に接続したブリッジ回路の各スイッチング素子のオン、オフを切換えてバイポーラパルス状に電力供給し、各ターゲットをアノード電極、カソード電極に交互に切換え、アノード電極及びカソード電極間にグロー放電を生じさせてプラズマ雰囲気を形成し、各ターゲットをスパッタリングするスパッタリング方法において、
- 前記直流電力供給源からの正負の直流出力間に設けた出力短絡用スイッチング素子の短絡状態で前記スイッチング素子のオン、オフの切換えを行うと共に、出力短絡用スイッチング素子の切換えタイミングをずらすことを特徴とするスパッタリング方法。
- [請求項2]           前記各ターゲットへの電力投入を、前記ブリッジ回路の出力端と各ターゲットとの間を接続するブスバーを介して行うことを特徴とする請求項1記載のスパッタリング方法。
- [請求項3]           前記一对のターゲット間の出力電流を検出し、この出力電流の絶対値が各ターゲットへの定常出力電流値を超えると、異常放電発生の前段現象として捕え、前記出力短絡用スイッチング素子によって各ターゲットへの出力を遮断して異常放電の消弧処理を行うことを特徴とする請求項1または請求項2記載のスパッタリング方法。

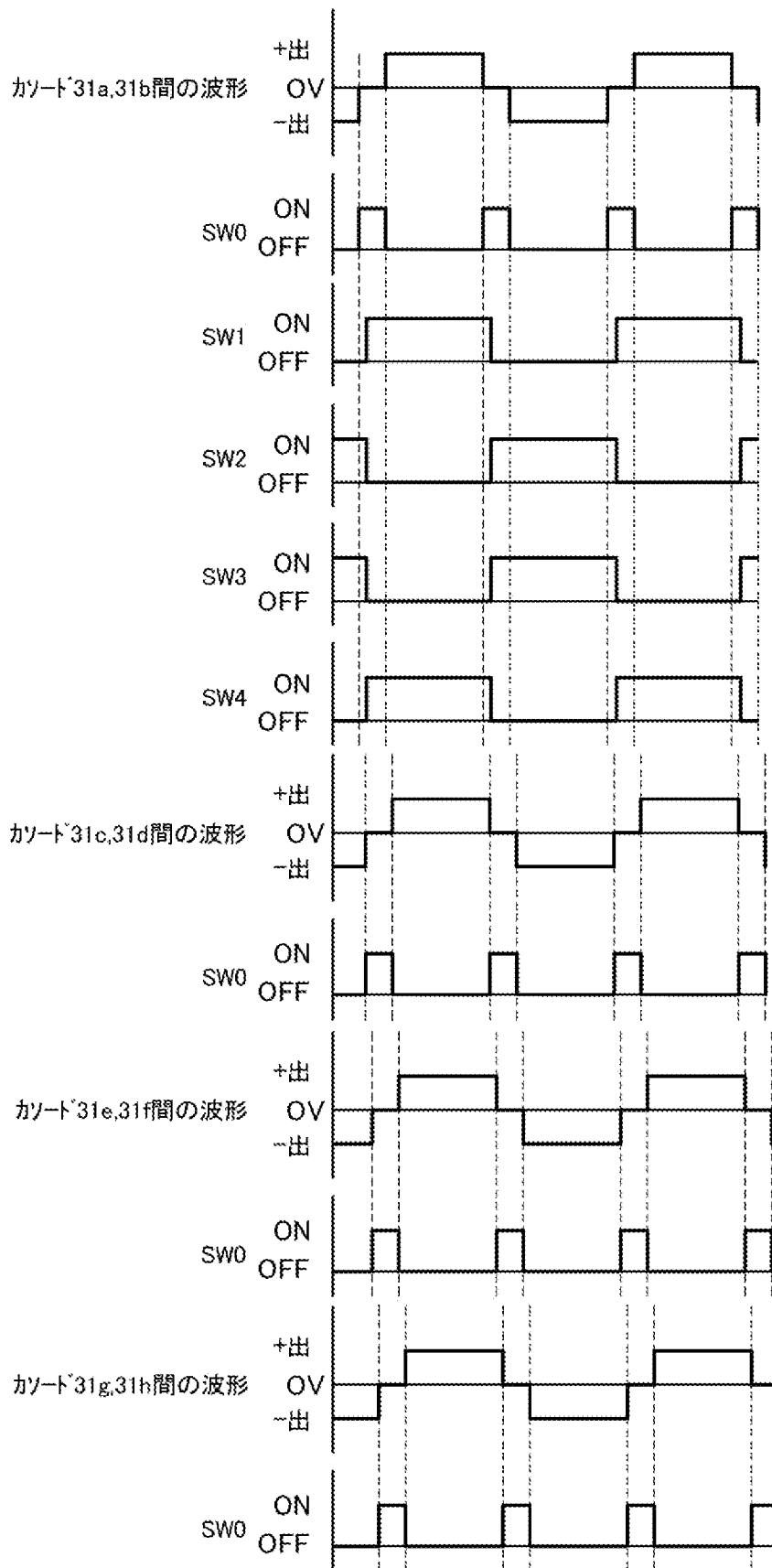
[図1]



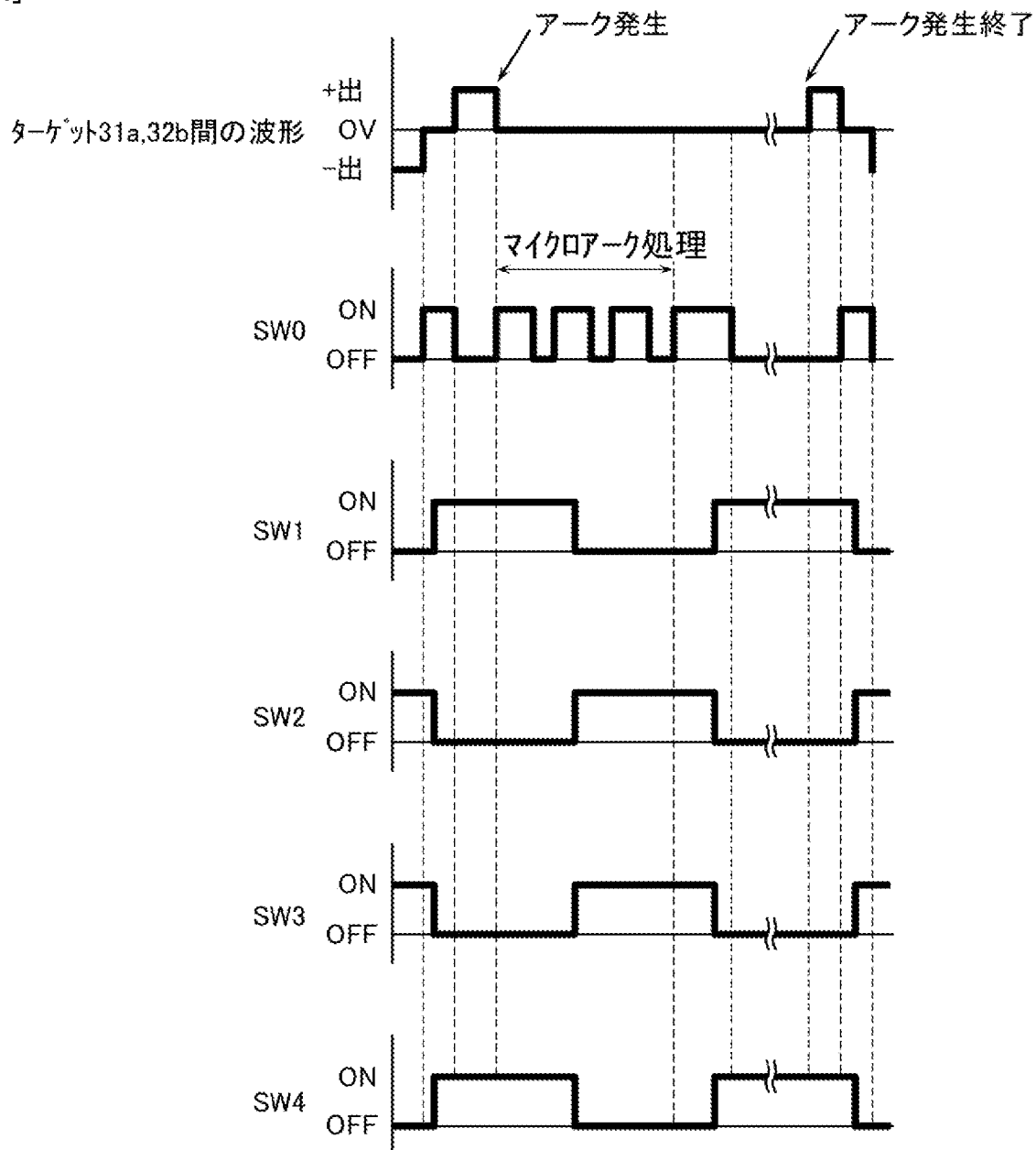
[図2]



[図3]



[図4]





**INTERNATIONAL SEARCH REPORT**

International application No. PCT/JP2009/059275
--

**A. CLASSIFICATION OF SUBJECT MATTER**  
 C23C14/34(2006.01)i, H01L21/285(2006.01)i, H05H1/46(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
 C23C14/00-14/58, H01L21/285, H05H1/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
 WPI

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-290550 A (Ulvac, Inc.), 20 October, 2005 (20.10.05), Full text & KR 10-2006-0043832 A & CN 1667155 A	1-3
A	JP 2007-186726 A (Ulvac, Inc.), 26 July, 2007 (26.07.07), Full text & WO 2007/080906 A1 & KR 10-2008-0078054 A & CN 101370958 A	1-3
A	JP 2006-249506 A (Independent Administrative Institution National Institute for Materials Science), 21 September, 2006 (21.09.06), Full text (Family: none)	1-3

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 August, 2009 (17.08.09)	Date of mailing of the international search report 01 September, 2009 (01.09.09)
---	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/059275

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-533687 A (Oerlikon Trading AG., Truebbach), 21 August, 2008 (21.08.08), Full text & JP 2008-533310 A & JP 2008-533311 A & JP 2008-533686 A & US 2007/0000772 A1 & US 2008/0143260 A1 & US 2008/0173536 A1 & US 2008/0193782 A1 & EP 1863947 A & EP 1864313 A & EP 1864314 A & EP 1869690 A & WO 2006/099759 A2 & WO 2006/099754 A1 & WO 2006/099754 A1 & WO 2006/099758 A2 & WO 2006/099760 A2 & CA 2601722 A & CA 2601729 A & KR 10-2007-0114402 A & KR 10-2007-0114832 A & KR 10-2008-0012260 A & CN 101151701 A & CN 101175867 A & CN 101263575 A	1-3
A	JP 09-172787 A (Kabushiki Kaisha Haiden Kenkyusho), 30 June, 1997 (30.06.97), Full text (Family: none)	1-3
A	JP 11-146659 A (Kabushiki Kaisha Haiden Kenkyusho), 28 May, 1999 (28.05.99), Full text (Family: none)	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. C23C14/34(2006.01)i, H01L21/285(2006.01)i, H05H1/46(2006.01)n

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. C23C14/00-14/58, H01L21/285, H05H1/46

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2009年  
 日本国実用新案登録公報 1996-2009年  
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)  
 WPI

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-290550 A (株式会社アルバック) 2005. 10. 20, 全文 & KR 10-2006-0043832 A & CN 1667155 A	1-3
A	JP 2007-186726 A (株式会社アルバック) 2007. 07. 26, 全文 & WO 2007/080906 A1 & KR 10-2008-0078054 A & CN 101370958 A	1-3
A	JP 2006-249506 A (独立行政法人物質・材料研究機構) 2006. 09. 21, 全文 (ファミリーなし)	1-3

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー                  「A」特に関連のある文献ではなく、一般的な技術水準を示すもの                  「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                  「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)                  「O」口頭による開示、使用、展示等に言及する文献                  「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献                  「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの                  「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                  「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの                  「&amp;」同一パテントファミリー文献</p>
--	---

国際調査を完了した日 17. 08. 2009	国際調査報告の発送日 01. 09. 2009
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 若土 雅之 電話番号 03-3581-1101 内線 3416

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-533687 A (エリコン・トレーディング・アクチェンゲゼル シャフト, トリュープバッハ) 2008.08.21, 全文 & JP 2008-533310 A & JP 2008-533311 A & JP 2008-533686 A & US 2007/0000772 A1 & US 2008/0143260 A1 & US 2008/0173536 A1 & US 2008/0193782 A1 & EP 1863947 A & EP 1864313 A & EP 1864314 A & EP 1869690 A & WO 2006/099759 A2 & WO 2006/099754 A1 & WO 2006/099754 A1 & WO 2006/099758 A2 & WO 2006/099760 A2 & CA 2601722 A & CA 2601729 A & KR 10-2007-0114402 A & KR 10-2007-0114832 A & KR 10-2008-0012260 A & CN 101151701 A & CN 101175867 A & CN 101263575 A	1-3
A	JP 09-172787 A (株式会社ハイデン研究所) 1997.06.30, 全文 (ファミリーなし)	1-3
A	JP 11-146659 A (株式会社ハイデン研究所) 1999.05.28, 全文 (ファミリーなし)	1-3