I437665

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I437665 B**

(45)公告日： 中華民國 103 (2014) 年 05 月 11 日

(21)申請案號：097126596 (22)申請日： 中華民國 97 (2008) 年 07 月 14 日

(51)Int. Cl.： ***H01L21/82 (2006.01)*** ***H01L21/768 (2006.01)***

(30)優先權：2007/07/25 日本 2007-193580

2008/05/26 日本 2008-137063

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)

日本

(72)發明人：津田信浩 NOBUHIRO TSUDA (JP)

(74)代理人：賴經臣

(56)參考文獻：

JP 2000-223575A US 2004/0007743A1

審查人員：王世賢

申請專利範圍項數：9 項 圖式數：24 共 0 頁

(54)名稱

半導體裝置

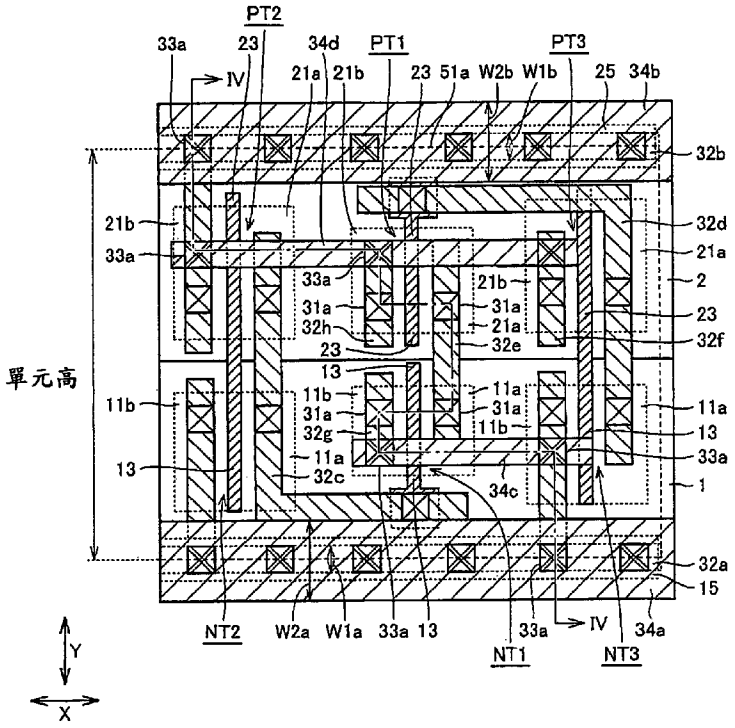
SEMICONDUCTOR DEVICE

(57)摘要

CMOS 反相器 NT1、PT1 被包含在標準單元 51a。電源線電氣連接到 CMOS 反相器 NT1、PT1，並且具有下層佈線 32a、32b 和上層佈線 34c、34d。下層佈線 32a、32b 沿著互相鄰接之標準單元 51a 之境界而在境界上延伸。上層佈線 34c、34d 在俯視圖中比下層佈線 32a、32b 位於標準單元 51a 之內側。CMOS 反相器 NT1、PT1 經由上層佈線 34c、34d 電氣連接到下層佈線 32a、32b。利用此種方式，獲得可以同時達成高速化和高積體化雙方之半導體裝置。

CMOS inverters are included in a standard cell. Power supply lines are electrically connected to CMOS inverters, and include lower layer interconnects and upper layer interconnect. Lower layer interconnects extend along a boundary of standard cells adjacent to each other and on the boundary. Upper layer interconnects are positioned more inside in standard cell than lower layer interconnects, as viewed from a plane. CMOS inverters are electrically connected through upper layer interconnects to lower layer interconnects. Thus, a semiconductor device is obtained that can achieve both higher speeds and higher integration.

圖 3



1・・・p 型井區域

2・・・n 型井區域

11a・・・汲極區域

11b・・・源極區域

13・・・閘電極層

15・・・p^+ 區域

21a・・・汲極區域

21b・・・源極區域

23・・・閘電極層

25・・・n^+ 區域

31a・・・接觸孔

32a~32h・・・佈線層

33a・・・通孔(通溝)

34a~34d・・・佈線層

51a・・・標準單元

NT1、NT2、NT3・・・nMOS 電晶體

PT1、PT2、PT3・・・pMOS 電晶體

W1a、W1b、W2a、W2b・・・線寬

公告本

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：97126596

※申請日：97/07/14　　※IPC 分類：H01L21/82 (2006.01)
H01L21/768 (2006.01)

一、發明名稱：（中文/英文）

半導體裝置 / SEMICONDUCTOR DEVICE

二、中文發明摘要：

CMOS 反相器 NT1、PT1 被包含在標準單元 51a。電源線電氣連接到 CMOS 反相器 NT1、PT1，並且具有下層佈線 32a、32b 和上層佈線 34c、34d。下層佈線 32a、32b 沿著互相鄰接之標準單元 51a 之境界而在境界上延伸。上層佈線 34c、34d 在俯視圖中比下層佈線 32a、32b 位於標準單元 51a 之內側。CMOS 反相器 NT1、PT1 經由上層佈線 34c、34d 電氣連接到下層佈線 32a、32b。利用此種方式，獲得可以同時達成高速化和高積體化雙方之半導體裝置。

三、英文發明摘要：

CMOS inverters are included in a standard cell. Power supply lines are electrically connected to CMOS inverters, and include lower layer interconnects and upper layer interconnect. Lower layer interconnects extend along a boundary of standard cells adjacent to each other and on the boundary. Upper layer interconnects are positioned more inside in standard cell than lower layer interconnects, as viewed from a plane. CMOS inverters are electrically connected through upper layer interconnects to lower layer interconnects. Thus, a semiconductor device is obtained that can achieve both higher speeds and higher integration.

四、指定代表圖：

(一)本案指定代表圖為：第（ 3 ）圖。

(二)本代表圖之元件符號簡單說明：

1	p型井區域
2	n型井區域
11a	汲極區域
11b	源極區域
13	閘電極層
15	p^+區域
21a	汲極區域
21b	源極區域
23	閘電極層
25	n^+區域
31a	接觸孔
32a~32h	佈線層
33a	通孔(通溝)
34a~34d	佈線層
51a	標準單元
NT1、NT2、NT3	nMOS電晶體
PT1、PT2、PT3	pMOS電晶體
W1a、W1b、W2a、W2b	線寬

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明有關於半導體裝置，特別有關於具有排列多個之標準單元之半導體裝置。

【先前技術】

近年來在SOC(System On Chip，晶片系統)由於電路之大規模化，一般進行使用有標準單元資料庫(standard cell library)之佈置設計。另外，隨著SOC之高功能化、高性能化，而要求標準單元資料庫高積體化、高速化。另外一方面，隨著高速化使消耗電流增加，因此由於IR－Drop(電流I在某一路徑流動時，當該路徑為電阻值R時，在路徑之兩端產生以IxR表示之電位差)等之電源雜訊引起之特性劣化會成為大問題。

在先前技術之構造，在標準單元資料庫之標準單元形成有作為功能元件之例如CMOS(Complementary Metal Oxide Semiconductor，互補式金氧半導體)反相器。在該構造中，在n型井區域之表面形成有p通道MOS電晶體(以下稱為pMOS電晶體)，在p型井區域之表面形成有n通道MOS電晶體(以下稱為nMOS電晶體)。在該等之pMOS電晶體和nMOS電晶體之各個連接有電源線(VDD佈線、GND佈線)。該等之電源線之各個接觸到基板，而將基板電位固定，並共同設在各個標準單元之功能元件。

因為隨著標準單元資料庫之高速化使標準單元之消耗電流

增大，所以在電源線流動之電流亦增加。另外，在各個標準單元共用之電源線流入有多個之標準單元之電流。因此，因為在電源線流動之電流值變大，所以需要考慮 IR－Drop 之影響。電源線之 IR－Drop 與電源線之電阻值相關，電阻值越小 IR－Drop 之影響變小。因此，先前技術所進行之對策是使電源線之線寬變大。

另外一方面，隨著標準單元資料庫之高積體化，有將汲極節點不同之 2 個之 CMOS 電晶體配置在 1 個之標準單元內。在此種情況，先前技術所進行之手法是配置 4 個之電晶體在俯視圖中排列在縱方向成為一列，用來達成標準單元之高積體化。在此種手法中，連接電晶體間之佈線，和用以連接電晶體和電源線之佈線變多，佈線佈置會有變為複雜之傾向。

另外，先前技術之配置有多個標準單元之佈置，例如被揭示在日本專利特開 2000－223575 號公報。在該公報揭示設有第 1 層電源線(3VDD1、3VSS1)和與其平行之第 3 層電源線(3VDD3、3VSS3)，和使信號線(3S2) 通過第 2 層，用來以第 3 層電源線補強第 1 層電源線而不會在第 2 層之配置產生限制。

但是，在上述方式之先前技術之標準單元構造，為能實現高積體而且高速之標準單元，要同時成為針對高速化之使電源線變粗之構造，和針對高積體化之將多個電晶體配置在縱方向之構造會有困難。其理由是由於使電源線變粗，所以要確保構成反相器之 pMOS 電晶體和 nMOS 電晶體之各個汲極之連接用佈

線，和使電源線連接到電晶體之佈線部份之間隔會有困難。

【發明內容】

本發明針對上述之問題，其目的是提供可以同時高速化和高積體化之半導體裝置。

本發明之實施形態之半導體裝置，具有被排列之多個之標準單元，其中具備有功能元件和電源線。功能元件被包含在標準單元。電源線電氣連接到功能元件，並且具有下層佈線和上層佈線。下層佈線具有沿著互相鄰接之標準單元境界，而在境界上延伸之部份。上層佈線在俯視圖中，具有位於比下層佈線更在標準單元內側之部份。功能元件經由上層佈線電氣連接到下層佈線。

依照本發明之實施形態之半導體裝置時，電源線分離成為下層佈線和上層佈線，當與電源線為單一層之情況比較時，因為可以增加電流路徑，所以可以達成高速化。另外，因為電源線之線寬不需要增加就可以使電流路徑增加，所以可以達成高積體化。

另外，因為下層佈線沿著標準單元之境界延伸，所以在鄰接之標準單元之間，可以共用下層佈線。利用此種方式，因為在鄰接之標準單元之各個不需要個別地形成下層佈線，所以可以達成高積體化。

另外，因為功能元件經由上層佈線連接到下層佈線，所以不需要使位於標準單元境界之下層佈線，朝向功能元件所在位置

之標準單元之中央部延伸。利用此種方式，因為在使下層佈線朝向標準單元之中央部延伸之部份，產生空的空間，所以在該空的空間可以配置其他之佈線等，可以達成高積體化。

利用此種方式，可以獲得同時高速化和高積體化雙方之半導體裝置。

本發明之上述和其他目的、特徵、觀點和優點，由所附圖式和關於本發明之以下詳細說明當可明白。

【實施方式】

以下根據圖式用來說明本發明之實施形態。

(實施形態 1)

參照圖 1，半導體裝置(例如半導體晶片)50 在其表面主要地具有：標準單元區域 51；I／O(Input／Output，輸入/輸出)單元區域 52，配置在該標準單元區域 51 之周圍；和襯墊(未圖示)，用在與外部之輸入輸出。

標準單元區域 51 具有被配置成矩陣狀(行列狀) 之多個之標準單元 51a。在使用有標準單元資料庫之 SOC，在該標準單元區域 51 內形成有 CPU(Central Processing Unit，中央處理單元)、RAM(Random Access Memory，隨機存取記憶器)、FIFO(First－In First－Out，先進先出)、SCSI(Small Computer System Interface，小電腦系統界面)、SOG(Sea Of Gate，標準閘電子組件)等。

參照圖 2，形成在標準單元 51a 內之功能元件之電路有例如

TriState(三態）用緩衝器之一部份電路，具有輸出段和驅動器部。輸出段係例如包含有由 pMOS 電晶體 PT1 與 nMOS 電晶體 NT1 構成之 CMOS 反相器所構成。驅動器部係例如包含有由 pMOS 電晶體 PT2 與 nMOS 電晶體 NT2 構成之 CMOS 反相器，和由 pMOS 電晶體 PT3 與 nMOS 電晶體 NT3 構成之 CMOS 反相器所構成。

由 pMOS 電晶體 PT2 和 nMOS 電晶體 NT2 構成之 CMOS 反相器之輸出，輸入到輸出段之 nMOS 電晶體 NT1。另外，由 pMOS 電晶體 PT3 和 nMOS 電晶體 NT3 構成之 CMOS 反相器之輸出，輸入到輸出段之 pMOS 電晶體 PT1。

在該電路當對驅動器部之 2 個 CMOS 反相器輸入“High”之情況時，從輸出段之 CMOS 反相器輸出“High”。另外，當對驅動器部之 2 個 CMOS 反相器輸入“Low”之情況時，從輸出段之 CMOS 反相器輸出“Low”。另外，當對由 pMOS 電晶體 PT3 和 nMOS 電晶體 NT3 構成之 CMOS 反相器輸入“Low”，而對由 pMOS 電晶體 PT2 和 nMOS 電晶體 NT2 構成之 CMOS 反相器輸入“High”之情況時，輸出段之 CMOS 反相器之輸出成為浮動狀態，成為所謂之“High impedance”（高阻抗）。

參照圖 3 和圖 4，在半導體基板之表面形成 p 型井區域 1，在該 p 型井區域 1 內之表面，選擇性地形成 n 型井區域 2。在該 p 型井區域 1 內之表面，形成 nMOS 電晶體 NT1、NT2、NT3。在 n 型井區域 2 內之表面，形成 pMOS 電晶體 PT1、PT2、PT3。

另外，沿著標準單元 51a 之縱方向(圖 3 中 Y 方向)之境界之

一方(圖 3 中之 Y 方向下側之境界),在 p 型井區域 1 內之表面,形成在橫方向(圖 3 中 X 方向) 延伸之 p^+區域 15。另外,沿著標準單元 51a 之縱方向(圖 3 中 Y 方向)之境界之另外一方(圖 3 中之 Y 方向上側之境界),在 n 型井區域 2 內之表面,形成在橫方向(圖 3 中 X 方向) 延伸之 n^+區域 25。

為能使多個之 MOS 電晶體之形成區域,p^+區域 15 和 n^+區域 25 之各個互相電氣隔離,在半導體基板之表面形成例如由 STI(Shallow Trench Isolation,淺溝槽隔離)構成之元件隔離區域 3。該 STI 由設在半導體基板之表面之溝,和充填在該溝內之絕緣性充填物構成。

nMOS 電晶體 NT1、NT2、NT3 之各個具有汲極區域 11a 和源極區域 11b、閘絕緣層 12,和閘電極層 13。汲極區域 11a 和源極區域 11b 由 n 型之雜質區域構成,在 p 型井區域 1 之表面形成互相之距離。閘電極層 13 經由閘絕緣層 12 形成在被汲極區域 11a 和源極區域 11b 包夾之區域上。

pMOS 電晶體 PT1、PT2、PT3 之各個具有汲極區域 21a 和源極區域 21b,閘絕緣層 22,和閘電極層 23。汲極區域 21a 和源極區域 21b 由 p 型之雜質區域構成,在 n 型井區域 2 之表面形成互相之距離。閘電極層 23 經由閘絕緣層 22 形成在被汲極區域 21a 和源極區域 21b 包夾之區域上。

nMOS 電晶體 NT2 之閘電極層 13 和 pMOS 電晶體 PT2 之閘電極層 23 由共同之導電層形成,互相電氣連接。另外,nMOS 電

晶體 NT3 之閘電極層 13 和 pMOS 電晶體 PT3 之閘電極層 23 由共同之導電層形成，互相電氣連接。

以覆蓋該等之各個 MOS 電晶體 NT1~NT3、PT1~PT3 之方式，形成在半導體基板表面上之疊層層間絕緣層 31A、31B。層間絕緣層 31A 例如由 TEOS(Tetra－Ethyl－Ortho－Silicate，四乙氧基矽烷)氧化膜形成，層間絕緣層 31B 例如由 SiOC、MSQ(Methyl Silses－Quioxane，甲基倍半氧矽烷)等形成。

在層間絕緣層 31B 形成有從其上面達到層間絕緣層 31A 之佈線用溝 31b，在層間絕緣層 31A 形成有從佈線用溝 31b 之底部到達半導體基板之接觸孔 31a。在上述之佈線用溝 31b 之各個內部形成埋入有例如由 CuAl 合金(Al 含有量為例如 0.1~1.0%程度)構成之佈線層 32a~32h 之各個。另外，在上述之接觸孔 31a 之各個之內部，形成埋入有例如由鎢(W) 構成之栓塞層。

另外，在接觸孔 31a 之側面和底面形成有障壁金屬層(未圖示)。該障壁金屬層位於上述栓塞層與層間絕緣層 31A 之間，和上述栓塞層與半導體基板之間。該障壁金屬層具有例如鈦(Ti)和氮化鈦(TiN)之疊層構造。

在佈線用溝 31b 之側面和底面亦形成有障壁金屬層(未圖示)。該障壁金屬層位於上述佈線層 32a~32h 與層間絕緣層 31B 之間，上述佈線層 32a~32h 與上述栓塞層之間，和上述佈線層 32a~32h 與層間絕緣層 31A 之間。該障壁金屬層例如由鉭(Ta)

構成。

在層間絕緣層 31A 與層間絕緣層 31B 之間形成有例如由 SiCN 構成之蝕刻阻擋層(未圖示)。

利用佈線層 32e 使 nMOS 電晶體 NT1 之汲極區域 11a 和 pMOS 電晶體 PT1 之汲極區域 21a 互相電氣連接。另外利用佈線層 32c 使 nMOS 電晶體 NT2 之汲極區域 11a 和 pMOS 電晶體 PT2 之汲極區域 21a 互相電氣連接，並且電氣連接到 nMOS 電晶體 NT1 之閘電極層 13。另外利用佈線層 32d 使 nMOS 電晶體 NT3 之汲極區域 11a 和 pMOS 電晶體 PT3 之汲極區域 21a 互相電氣連接，並且電氣連接到 pMOS 電晶體 PT1 之閘電極層 23。該等之佈線層 32c、32d 相當於將信號從驅動器部傳達到輸出段之信號線。

另外佈線層 32a 延伸成沿著標準單元 51a 之縱方向境界之一方(圖 3 中之 Y 方向下側之境界)，在該境界上橫方向(圖 3 中 X 方向)延伸。另外佈線層 32b 延伸成沿著標準單元 51a 之縱方向境界之另外一方(圖 3 中之 Y 方向上側之境界)，在該境界上橫方向(圖 3 中 X 方向)延伸。該等之沿著標準單元境界上延伸之佈線層 32a、32b 之各個，可以施加電源電位(VDD、GND)，而對應到電源線之下層佈線。

具體而言，在佈線層 32a 可以施加 GND 電位，在佈線層 32b 可以施加 VDD 電位。

佈線層 32a 電氣連接到 p^+ 區域 15，將 p 型井區域 1 之電位固定。另外佈線層 32a 從沿著縱方向(圖 3 中之 Y 方向)境界之

一方(圖 3 中之 Y 方向下側之境界)之直線延伸之部份而分支，具有在 nMOS 電晶體 NT2、NT3 之各個之源極區域 11b 上延伸之部份，在該部份電氣連接該等之源極區域 11b。

佈線層 32b 電氣連接到 n^+ 區域 25，將 n 型井區域 2 之電位固定。另外佈線層 32b 從沿著縱方向(圖 3 中之 Y 方向)境界之另外一方(圖 3 中之 Y 方向上側之境界)之直線延伸之部份而分支，具有在 pMOS 電晶體 PT2 之源極區域 21b 上延伸之部份，在該部份電氣連接該源極區域 21b。

另外在 nMOS 電晶體 NT1 之源極區域 11b，pMOS 電晶體 PT1 之源極區域 21b 和 pMOS 電晶體 PT3 之源極區域 21b 之各個，電氣連接有佈線層 32g、32h、32f 之各個。

另外佈線層 32a~32h 之各個與形成半導體基板之表面之雜質區域之連接，為經由形成在層間絕緣層 31A 之接觸孔 31a 內之栓塞層。

以覆蓋佈線層 32a~32h 之方式，在層間絕緣層 31B 上形成例如由 SiOC、MSQ 構成之層間絕緣層 33。在該層間絕緣層 33 之上面形成有佈線用溝 33b，和形成有從佈線用溝 33b 之底部到達下層之各個佈線層之通溝 33a。以埋入該通溝 33a 和佈線用溝 33b 內之方式，形成例如由 CuAl 合金(Al 含有量為例如 0.1~1.0%程度)構成之佈線層 34a~34d 之各個。

另外在通溝 33a 和佈線用溝 33b 之側面和底面形成有障壁金屬層(未圖示)。該障壁金屬層位於佈線層 34a~34d 之各個與

層間絕緣層 33 之間，通溝 33a 之各個與層間絕緣層 33 之間，和通溝 33a 之各個與下層之佈線層之間。該障壁金屬層具有例如鉭(Ta)和氮化鉭(TaN)之疊層構造。

另外在層間絕緣層 33 之下，形成有例如由 SiCN 構成之蝕刻阻擋層(未圖示)。

利用佈線層 34c 使 nMOS 電晶體 NT1 之源極區域 11b(佈線層 32g) 和 nMOS 電晶體 NT3 之源極區域 11b 互相電氣連接，並且電氣連接到可以施加 GND 電位之佈線層 32a。另外利用佈線層 34d 使 pMOS 電晶體 PT1 之源極區域 21b(佈線層 32h) 和 pMOS 電晶體 PT3 之源極區域 21b(佈線層 32f)及 pMOS 電晶體 PT2 之源極區域 21b 互相電氣連接，並且電氣連接到可以施加 VDD 電位之佈線層 32b。

佈線層 34c，在圖 3 所示之俯視圖中，當與電源線之下層佈線層 32a 比較，被配置在標準單元 51a 之內側(中央側)。另外佈線層 34d，在圖 3 所示之俯視圖中，當與電源線之下層佈線層 32b 比較，被配置在標準單元 51a 之內側(中央側) 。

另外佈線層 34a 延伸成沿著標準單元 51a 之縱方向(圖 3 中之 Y 方向)境界之一方(圖 3 中之 Y 方向下側之境界)，在該境界上橫方向(圖 3 中 X 方向)延伸。另外佈線層 34b 延伸成沿著標準單元 51a 之縱方向(圖 3 中之 Y 方向)境界之另外一方(圖 3 中之 Y 方向上側之境界)，在該境界上橫方向(圖 3 中 X 方向)延伸。佈線層 34a 連接到在其下層並行延伸之佈線層 32a，佈

線層 34b 連接到在其下層並行延伸之佈線層 32b。

另外佈線層 34a 具有比在其下層並行延伸之佈線層 32a 之線寬 W1a 為大之線寬 W2a。另外佈線層 34b 具有比在其下層並行延伸之佈線層 32b 之線寬 W1b 為大之線寬 W2b。

依照此種方式，該標準單元 51a 內之所有之佈線層 34a、34b、34c、34d 因為成為 VDD 和 GND 之任一方之電源電位，所以相當於電源線之上層佈線。

另外佈線層 34a~34d 之各個和佈線層 32a、32b、32e~32h 之各個之電氣連接，為經由埋入在佈線層 34a~34d 之各個之通溝 33a 內之部份。

依照上述之方式，nMOS 電晶體 NT1 之源極區域 11b 經由 GND 電位之電源線之上層佈線 34c 電氣連接到 GND 電位之電源線之下層佈線 32a。另外 pMOS 電晶體 PT1、PT3 之各個之源極區域 21b 經由 VDD 電位之電源線之上層佈線 34d 電氣連接到 VDD 電位之電源線之下層佈線 32b。

另外信號線 32c 被配置成在圖 3 所示之俯視圖中，位於電源線之上層佈線 34c 與佈線層 32g 之連接部(通孔 33a)，和沿著下層佈線 32a 之標準單元 51a 境界之直線延伸之部份之間。信號線 32d 被配置成在圖 3 所示之俯視圖中，位於電源線之上層佈線 34d 與佈線層 32h 之連接部(通孔 33a)，和沿著下層佈線 32b 之標準單元 51a 境界之直線延伸之部份之間。

依照本實施形態時，使 GND 電位之電源線分離成為下層佈線

32a 和上層佈線 34a，並且使 VDD 電位之電源線分離成為下層佈線 32b 和上層佈線 34b。因此，當與電源線為單一層之情況比較，因為電流路徑增加，所以可以達成高速化。另外，因為不需要使電源線之線寬變大就可以增加電流路徑，所以亦可以達成高積體化。

另外上層佈線 34a、34b 具有比下層佈線 32a、32b 之線寬 W1a、W1b 為大之線寬 W2a、W2b，所以可以減小電源線之電阻值。

另外下層佈線 32a、32b 具有比上層佈線 34a、34b 之線寬 W2a、W2b 為小之線寬 W1a、W1b，所以可以使該部份之佈線配置用之空的空間變大。因此，在與下層佈線相同之層配置其他之佈線(例如信號線 32c、32d)等變為容易，而可以提高其他之佈線之平面佈置之自由度。

另外下層佈線 32a、32b 之各個沿著標準單元 51a 之境界延伸。因此，在相鄰之標準單元 51a 間，可以共用下層佈線 32a、32b。利用此種方式，在相鄰之標準單元 51a 之各個不需要個別地形成下層佈線 32a、32b，所以可以達成高積體化。

另外上層佈線 34a、34b 之各個沿著標準單元 51a 之境界延伸。因此，與上述同樣地，在相鄰之標準單元 51a 之各個不需要個別地形成上層佈線 34a、34b，所以可以達成高積體化。

另外 nMOS 電晶體 NT1 之源極區域 11b 經由 GND 電位之電源線之上層佈線 34c 電氣連接到 GND 電位之電源線之下層佈線

32a。另外 pMOS 電晶體 PT1、PT3 之各個之源極區域 21b 經由 VDD 電位之電源線之上層佈線 34d 電氣連接到 VDD 電位之電源線之下層佈線 32b。因此，成為不需要使位於標準單元 51a 之境界之下層佈線 32a、32b 之各個，朝向電晶體所在位置之標準單元 51a 之中央部延伸。利用此種方式，因為在使下層佈線 32a、32b 之各個應朝向標準單元 51a 之中央部延伸之部份，產生空的空間，所以在該空的空間可以配置信號線 32c、32d 等之其他佈線，而可以達成高積體化。

依照此種方式，在空的空間配置信號線 32c、32d 之結果，所獲得之配置是信號線 32c 在圖 3 所示之俯視圖中，位於電源線之上層佈線 34c 與佈線層 32g 之連接部，和沿著下層佈線 32a 之標準單元 51a 境界之延伸部份之間。另外所獲得之配置是信號線 32d 在圖 3 所示之俯視圖中，位於電源線之上層佈線 34d 與佈線層 32h 之連接部，和沿著下層佈線 32b 之標準單元 51a 境界之延伸部份之間。

利用上述方式，可以獲得同時高速化和高積體化雙方之半導體裝置。

(實施形態 2)

參照圖 5 和圖 6，在本實施形態中，所說明之構造是在多個之標準單元 51a 之各個，形成由 nMOS 電晶體 NT1 和 pMOS 電晶體 PT1 構成之 CMOS 反相器。

在半導體基板之表面形成 p 型井區域 1，在該 p 型井區域 1

內之表面選擇性地形成 n 型井區域 2。在 p 型井區域 1 內之表面形成 nMOS 電晶體 NT1。在 n 型井區域 2 內之表面形成 pMOS 電晶體 PT1。

沿著標準單元 51a 之縱方向(圖 5 中之 Y 方向)境界之一方(圖 5 中之 Y 方向下側之境界)，在 p 型井區域 1 內之表面，形成在橫方向(圖 5 中 X 方向) 延伸之 p^+ 區域 15。另外沿著標準單元 51a 之縱方向(圖 5 中之 Y 方向)境界之另外一方(圖 5 中之 Y 方向上側之境界)，在 n 型井區域 2 內之表面，形成在橫方向(圖 5 中 X 方向) 延伸之 n^+ 區域 25。

為能使多個之 MOS 電晶體之形成區域，p^+ 區域 15 和 n^+ 區域 25 之各個互相電氣隔離，在半導體基板之表面形成例如由 STI 構成之元件隔離區域 3。該 STI 由設在半導體基板之表面之溝，和充填在該溝內之絕緣性之充填物構成。

nMOS 電晶體 NT1 具有汲極區域 11a 和源極區域 11b，閘絕緣層 12，和閘電極層 13。汲極區域 11a 和源極區域 11b 由 n 型之雜質區域構成，在 p 型井區域 1 之表面形成互相之距離。閘電極層 13 經由閘絕緣層 12 形成在被汲極區域 11a 和源極區域 11b 包夾之區域上。

pMOS 電晶體 PT1 具有汲極區域 21a 和源極區域 21b，閘絕緣層 22，和閘電極層 23。汲極區域 21a 和源極區域 21b 由 p 型之雜質區域構成，在 n 型井區域 2 之表面形成互相之距離。閘電極層 23 經由閘絕緣層 22 形成在被汲極區域 21a 和源極區域

21b 包夾之區域上。

nMOS 電晶體 NT2 之閘電極層 13 和 pMOS 電晶體 PT2 之閘電極層 23 由共同之導電層形成，互相電氣連接。

以覆蓋該等之各個 MOS 電晶體 NT1、PT1 之方式，形成在半導體基板表面上之疊層層間絕緣層 31A、31B。層間絕緣層 31A 例如由 TEOS 氧化膜形成，層間絕緣層 31B 例如由 SiOC、MSQ 等形成。在層間絕緣層 31B 形成有從其上面到達層間絕緣層 31A 之佈線用溝 31b，在層間絕緣層 31A 形成有從佈線用溝 31b 底部到達半導體基板之接觸孔 31a。在上述之佈線用溝 31b 之各個之內部形成埋入有例如由 CuAl 合金(Al 含有量為例如 0.1~1.0%程度)構成之佈線層 32a、32b、32e、32g、32h 之各個。另外，在上述之接觸孔 31a 之各個之內部，形成埋入有例如由鎢(W)構成之栓塞層。

另外，在接觸孔 31a 之側面和底面形成有障壁金屬層(未圖示)。該障壁金屬層位於上述栓塞層與層間絕緣層 31A 之間，和上述栓塞層與半導體基板之間。該障壁金屬層具有例如鈦(Ti)和氮化鈦(TiN)之疊層構造。

在佈線用溝 31b 之側面和底面亦形成有障壁金屬層(未圖示)。該障壁金屬層位於上述佈線層 32a、32b、32e、32g、32h 之各個與層間絕緣層 31B 之間，上述佈線層 32a、32b、32e、32g、32h 之各個與上述栓塞層之間，和上述佈線層 32a、32b、32e、32g、32h 之各個與層間絕緣層 31A 之間。該障壁金屬層

例如由鉭(Ta) 構成。

另外在層間絕緣層 31A 和層間絕緣層 31B 之間形成例如由 SiCN 構成之蝕刻阻擋層(未圖示)。

利用佈線層 32e 使 nMOS 電晶體 NT1 之汲極區域 11a 和 pMOS 電晶體 PT1 之汲極區域 21a 互相電氣連接。另外佈線層 32a 延伸成沿著標準單元 51a 之縱方向(圖 5 中之 Y 方向)境界之一方(圖 5 中之 Y 方向下側之境界)，在該境界上橫方向(圖 5 中 X 方向)延伸。另外佈線層 32b 延伸成沿著標準單元 51a 之縱方向(圖 5 中之 Y 方向)境界之另外一方(圖 5 中之 Y 方向上側之境界)，在該境界上橫方向(圖 5 中 X 方向)延伸。該佈線層 32b 電氣連接到其下層之 n^+ 區域 25，利用其將 n 型井區域 2 之電位固定。該等之沿著標準單元 51a 之境界線上延伸之佈線層 32a、32b 之各個，可以施加 VDD 和 GND 之任一方之電源電位，而對應到電源線之下層佈線。

具體而言，在佈線層 32a 可以施加 GND 電位，在佈線層 32b 可以施加 VDD 電位。

佈線層 32a 電氣連接到其下層之 p^+ 區域 15，利用其將 p 型井區域 1 之電位固定。另外佈線層 32a 從沿著縱方向(圖 5 中之 Y 方向)境界之一方(圖 5 中之 Y 方向下側之境界)之直線延伸之部份而分支，具有在未形成有 CMOS 反相器等之功能元件之標準單元 51a 上延伸之部份。

佈線層 32b 電氣連接到 n^+ 區域 25，利用其將 n 型井區域 2

之電位固定。另外佈線層 32b 從沿著縱方向(圖 5 中之 Y 方向)境界之另外一方(圖 5 中之 Y 方向上側之境界)之直線延伸之部份而分支，具有在未形成有 CMOS 反相器等之功能元件之標準單元 51a 上延伸之部份。

另外在 nMOS 電晶體 NT1 之源極區域 11b 和 pMOS 電晶體 PT1 之源極區域 21b 之各個，電氣連接有佈線層 32g、32h 之各個。

另外佈線層 32a、32b、32e、32g、32h 之各個和形成在半導體基板表面之雜質區域之連接，為經由形成在層間絕緣層 31A 之接觸孔 31a 內之栓塞層。

以覆蓋佈線層 32a、32b、32e、32g、32h 之方式，在層間絕緣層 31B 上形成例如由 SiOC、MSQ 構成之層間絕緣層 33。在該層間絕緣層 33 之上面形成有佈線用溝 33b，和形成有從佈線用溝 33b 之底部到達下層之各個佈線層之通溝 33a。以埋入該通溝 33a 和佈線用溝 33b 內之方式，形成例如由 CuAl 合金(Al 含有量為例如 0.1~1.0%程度)構成之佈線層 34c、34d 之各個。

另外在通溝 33a 和佈線用溝 33b 之側面和底面形成有障壁金屬層(未圖示)。該障壁金屬層位於佈線層 34c、34d 之各個與層間絕緣層 33 之間，通溝 33a 之各個與層間絕緣層 33 之間，和通溝 33a 之各個與下層之佈線層之間。該障壁金屬層具有例如鉭(Ta)和氮化鉭(TaN)之疊層構造。

另外在層間絕緣層 33 之下，形成有例如由 SiCN 構成之蝕刻

阻擋層(未圖示)。

利用佈線層 34c 使各個之標準單元 51a 之 nMOS 電晶體 NT1 之源極區域 11b(佈線層 32g)互相電氣連接。另外佈線層 34c 在未形成有 CMOS 反相器之標準單元 51a 內，形成與電源線之下層佈線 32a 之分支部電氣連接。

另外利用佈線層 34d 使各個之標準單元 51a 之 pMOS 電晶體 PT1 之源極區域 21b(佈線層 32h)互相電氣連接。另外佈線層 34d 在未形成有 CMOS 反相器之標準單元 51a 內，形成與電源線之下層佈線 32b 之分支部電氣連接。

佈線層 34c，在圖 5 所示之俯視圖中，當與電源線之下層佈線層 32a 比較，被配置在標準單元 51a 之內側(中央側)。另外佈線層 34d，在圖 5 所示之俯視圖中，當與電源線之下層佈線層 32b 比較，被配置在標準單元 51a 之內側(中央側)。

另外佈線層 34c、34d 之各個和佈線層 32a、32b、32g、32h 之各個之電氣連接，為經由埋入在佈線層 34c、34d 之各個之通溝 33a 內之部份。

依照上述之方式，nMOS 電晶體 NT1 之源極區域 11b 經由 GND 電位之電源線之上層佈線 34c 電氣連接到 GND 電位之電源線之下層佈線 32a。另外 pMOS 電晶體 PT1 之源極區域 21b 經由 VDD 電位之電源線之上層佈線 34d 電氣連接到 VDD 電位之電源線之下層佈線 32b。

依照本實施形態時，下層佈線 32a、32b 之各個沿著標準單

元 51a 之境界延伸。因此，在鄰接之標準單元 51a 間，可以共用下層佈線 32a、32b。利用此種方式，在鄰接之標準單元 51a 之各個，因為不需要個別地形成下層佈線 32a、32b，所以可以達成高積體化。

另外上層佈線 34a、34b 之各個沿著標準單元 51a 之境界延伸。因此，與上述同樣地，鄰接之標準單元 51a 之各個，因為不需要個別地形成上層佈線 34a、34b，所以可以達成高積體化。

另外 nMOS 電晶體 NT1 之源極區域 11b 經由 GND 電位之電源線之上層佈線 34c 電氣連接到 GND 電位之電源線之下層佈線 32a。另外 pMOS 電晶體 PT1 之源極區域 21b 經由 VDD 電位之電源線之上層佈線 34d 電氣連接到 VDD 電位之電源線之下層佈線 32b。因此，成為不需要使位於標準單元 51a 境界之下層佈線 32a、32b 之各個，朝向各電晶體所在位置之標準單元 51a 之中央部延伸。利用此種方式，因為在使下層佈線 32a、32b 之各個應朝向標準單元 51a 之中央部延伸之部份，產生空的空間，所以在該空的空間可以配置信號線 32c、32d 等之其他之佈線，而可以達成高積體化。

利用上述方式，可以獲得同時高速化和高積體化雙方之半導體裝置。

另外，在實施形態 2 中，亦可以在圖 5 中之未形成有功能元件(例如 CMOS 反相器)之標準單元 51a，配置如圖 7 所示之熔

線(fuse)40。由配置有此種熔線 40 之多個之標準單元 51a 構成之列，亦可以更存在於半導體裝置內。該熔線 40 例如亦可以配置在電源線之下層佈線 32a、32b 之分支部份之路徑之途中。

除此之外之圖 7 之構造因為與上述之圖 5 和圖 6 之構造大致相同，所以對相同之元件附加相同之元件符號，不再重複其說明。

在圖 5 中，所說明之構造是在未形成有功能元件之標準單元 51a，使電源線之上層佈線 34c 電氣連接到下層佈線 32a，並且使電源線之上層佈線 34d 電氣連接到下層佈線 32b。但是，在實施形態 2 中，亦可以如圖 8 所示，在未形成有功能元件之標準單元 51a 內，使電源線之上層佈線 34c 不電氣連接到下層佈線 32a，並且以電源線之上層佈線 34d 不電氣連接到下層佈線 32b 之方式，使由多個之標準單元 51a 構成之列更存在於半導體裝置內。

除此之外之圖 8 之構造因為與上述之圖 5 和圖 6 之構造大致相同，所以對相同之元件附加相同之元件符號，不再重複其說明。

如實施形態 2 之圖 5 所示，使在未形成有功能元件之標準單元 51a，電源線之上層佈線 34c 電氣連接到下層佈線 32a，並且電源線之上層佈線 34d 電氣連接到下層佈線 32b 之形態成為 A 形態。另外如圖 8 所示，使在未形成有功能元件之標準單元

51a，電源線之上層佈線 34c 不電氣連接到下層佈線 32a，並且電源線之上層佈線34d不電氣連接到下層佈線32b之形態成為B形態。

在半導體裝置之設計階段只要交替該等之A形態和B形態，可以設計成能夠使用具有A形態之多個之標準單元51a列作為可高速動作之單元列，和可以設計成能夠使用具有B形態之多個之標準單元51a列作為可低消耗電力動作之單元列。

在具有A形態之多個之標準單元51a列，因為從多個層利用電源線供給動作電流，所以可以高速動作。另外在具有B形態之多個之標準單元51a列，電位關係成為下層佈線32a＜上層佈線 34c＜上層佈線 34d＜下層佈線 32b。利用此種方式，供給與nMOS電晶體NT1或pMOS電晶體PT1之基板電位和源極電位不同之電位電壓，利用基板效應使電晶體之臨限值(Vth) 變大，可以用來使包含標準單元51a之電路之等待電流減小，成為可以以低消耗電力動作。

該等之A形態和B形態，因為單元之大小非常相似，所以可以簡單地交替，可以簡單地交替能夠高速動作之單元列和能夠低消耗電力動作之單元列。

另外如圖7所示，使在未形成有功能元件之標準單元51a配置熔線40之形態成為C形態。經由具有該C形態，在製品之測試步驟依照熔線之有無切斷，可以交替上述方式之高速動作和低消耗電力動作。隨著半導體處理之微細化，製品之晶圓處

理完成後之特性變動之問題變大。但是，在測試步驟經由以高速動作或低消耗電力動作為導向選擇標準單元 51a，可以使特性變動變小。例如，可考慮之情況是使電晶體之臨限電壓 Vth 朝向變低方向偏移，使動作速度遠大於目標速度，同時可以使消耗電力大於目標之消耗電力。在此種情況時，切斷熔線 40，利用具有 B 形態之多個之標準單元 51a 列之電位關係，經由減小基板效應所產生之消耗電力，可以將消耗電力抑制在目標之消耗電力內。

(實施形態 3)

本實施形態經由變化實施形態 2 之構造用來實現圖 2 所示之電路構造。

參照圖 9 和圖 10，在本實施形態之構造中，例如在具有反相器之 3 個並排之標準單元 51a 中，中央之標準單元 51a 內之 nMOS 電晶體 NT1 和 pMOS 電晶體 PT1 對應到圖 2 之輸出段之 CMOS 反相器。

另外，由中央之標準單元 51a 之圖中右側之標準單元 51a 之 nMOS 電晶體 NT2 與 pMOS 電晶體 PT2 構成之 CMOS 反相器，和由圖中左側之標準單元 51a 之 nMOS 電晶體 NT3 與 pMOS 電晶體 PT3 構成之 CMOS 反相器對應到圖 2 之驅動器。

由中央之標準單元 51a 內之 nMOS 電晶體 NT1 之閘電極層 13 和 pMOS 電晶體 PT1 之閘電極層 23 被電氣隔離。在右側之標準單元 51a 之佈線層 $32e_1$ 電氣連接到中央之標準單元 51a 之閘電

極層 13，而對應到實施形態 1 中之信號線 32c。該佈線層 $32e_1$ 電氣連接 nMOS 電晶體 NT2 之汲極區域 11a 和 pMOS 電晶體 PT2 之汲極區域 21a。

另外左側之標準單元 51a 之佈線層 $32e_2$ 電氣連接到中央之標準單元 51a 之閘電極層 23，對應到實施形態 1 中之信號線 32d。該佈線層 $32e_2$ 電氣連接 nMOS 電晶體 NT3 之汲極區域 11a 和 pMOS 電晶體 PT3 之汲極區域 21a。

電源線之上層佈線 34c 具有比在其下層並行延伸之下層佈線 32a 之線寬 W1a 為大之線寬 W2a，上層佈線 34d 具有比在其下層並行延伸之下層佈線 32b 之線寬 W1b 為大之線寬 W2b。利用此種方式，上層佈線 34c 在圖 9 所示之俯視圖中，當與下層佈線層 32a 比較，具有位於標準單元 51a 內側之部份。上層佈線 34c 之位於較下層佈線 32a 為內側之部份，在佈線層 32g 平面地重複，並且經由通孔 33a 電氣連接到佈線層 32g。

另外，電源線之上層佈線 34d 在圖 9 所示之俯視圖中，當與下層佈線層 32b 比較，具有位於標準單元 51a 之內側之部份。上層佈線 34d 之位於較下層佈線 32b 更內側之部份，在佈線層 32h 平面地重複，並且經由通孔 33a 電氣連接到佈線層 32h。

電源線之下層佈線 32a、32b 之各個沿著標準單元 51a 之境界線直線地延伸，未具有從該境界部朝向標準單元 51a 之內側延伸之分支部份。

依照上述之方式，nMOS 電晶體 NT1 之源極區域 11b，經由

GND 電位之電源線之上層佈線 34c，電氣連接到 GND 電位之電源線之下層佈線 32a。另外 pMOS 電晶體 PT1 之源極區域 21b，經由 VDD 電位之電源線之上層佈線 34d，電氣連接到 VDD 電位之電源線之下層佈線 32b。

另外信號層 $32e_1$ 在圖 9 所示之俯視圖中，被配置成位於電源線之上層佈線 34c 與佈線層 32g 之連接部(通孔 33a) 和下層佈線 32a 之間。信號線 $32e_2$ 在圖 9 所示之俯視圖中，被配置成位於電源線之上層佈線 34d 與佈線層 32h 之連接部(通孔 33a) 和下層佈線 32b 之間。

另外，本實施形態之上述以外之構造，因為與圖 5 和圖 6 所示之實施形態 2 之構造大致相同，所以對相同之元件附加相同之元件符號，不再重複其說明。

依照本實施形態時，使 GND 電位之電源線分離成為下層佈線 32a 和上層佈線 34c，並且使 VDD 電位之電源線分離成為下層佈線 32b 和上層佈線 34d。因此，當與電源線為單一層之情況比較，因為電流路徑增加，所以可以達成高速化。另外，因為不需要使電源線之線寬變大就可以增加電流路徑，所以亦可以達成高積體化。

另外上層佈線 34c、34d 具有比下層佈線 32a、32b 之線寬 W1a、W1b 為大之線寬 W2a、W2b，所以可以減小電源線之電阻值。

另外下層佈線 32a、32b 具有比上層佈線 34c、34d 之線寬

W2a、W2b 為小之線寬 W1a、W1b，所以可以使該部份之佈線配置用之空的空間變大。因此，在與下層佈線 32a、32b 相同之層配置其他之佈線(例如信號線 $32e_1$、$32e_2$)等變為容易，而可以提高其他之佈線之平面佈置之自由度。

另外下層佈線 32a、32b 之各個沿著標準單元 51a 之境界延伸。因此，在相鄰之標準單元 51a 之間，可以共用下層佈線 32a、32b。利用此種方式，在鄰接之標準單元 51a 之各個不需要個別地形成下層佈線 32a、32b，所以可以達成高積體化。

另外上層佈線 34c、34d 之各個沿著標準單元 51a 之境界延伸，因此，與上述同樣地，在鄰接之標準單元 51a 之各個不需要個別地形成上層佈線 34c、34d，所以可以達成高積體化。

另外 nMOS 電晶體 NT1~NT3 之各個之源極區域 11b，經由 GND 電位之電源線之上層佈線 34c 電氣連接到 GND 電位之電源線之下層佈線 32a。另外 pMOS 電晶體 PT1~PT3 之各個之源極區域 21b，經由 VDD 電位之電源線之上層佈線 34d 電氣連接到 VDD 電位之電源線之下層佈線 32b。因此，成為不需要使位於標準單元 51a 之境界之下層佈線 32a、32b 之各個，朝向各電晶體所在位置之標準單元 51a 之中央部延伸。利用此種方式，因為在使下層佈線 32a、32b 之各個應朝向標準單元 51a 之中央部延伸之部份，產生空的空間，所以在該空的空間可以配置信號線 $32e_1$、$32e_2$ 等之其他之佈線，而可以達成高積體化。

依照此種方式，在空的空間配置信號線 $32e_1$、$32e_2$ 之結果，

所獲得之配置是信號線 $32e_1$ 在圖 9 所示之俯視圖中，位於電源線之上層佈線 34c 與佈線層 32g 之連接部，和下層佈線 32a 之間。另外所獲得之配置是信號線 $32e_2$ 在圖 9 所示之俯視圖中，位於電源線之上層佈線 34d 與佈線層 32h 之連接部，和下層佈線 32b 之間。

利用上述方式，可以獲得同時高速化和高積體化雙方之半導體裝置。

另外在上述之實施形態 1~3 中是說明作為功能元件之具有 CMOS 反相器之元件，但是本發明並不只限於該種，亦可以適用在 CMOS 之 NAND 或 NOR 電路，或其以外之其他之功能元件。

(實施形態 4)

參照圖 11 和圖 12，本實施形態之電路具有 2 輸入之 NAND 閘 NA1、NA2，緩衝器 BU1、BU2、BU3 和反相器 IN。

2 輸入之 NAND 閘 NA1 具有圖 12 所示之連接之 pMOS 電晶體 PT11、PT12 和 nMOS 電晶體 NT11、NT12。在 pMOS 電晶體 PT11 和 nMOS 電晶體 NT11 之各個閘極電氣連接有端子 A，在 pMOS 電晶體 PT12 和 nMOS 電晶體 NT12 之各個閘極電氣連接有端子 B。

緩衝器 BU1 之構成包含有由 pMOS 電晶體 PT13 與 nMOS 電晶體 NT13 構成之 CMOS 反相器，和由 pMOS 電晶體 PT14 與 nMOS 電晶體 NT14 構成之 CMOS 反相器。該緩衝器 BU1 構建成被輸入有 NAND 閘 NA1 之輸出。

緩衝器 BU2 之構成包含有由 pMOS 電晶體 PT15 與 nMOS 電晶體 NT15 構成之 CMOS 反相器，和由 pMOS 電晶體 PT16 與 nMOS 電晶體 NT16 構成之 CMOS 反相器。該緩衝器 BU2 構建成被輸入有緩衝器 BU1 之輸出。

緩衝器 BU3 之構成包含有由 pMOS 電晶體 PT17 與 nMOS 電晶體 NT17 構成之 CMOS 反相器，和由 pMOS 電晶體 PT18 與 nMOS 電晶體 NT18 構成之 CMOS 反相器。在 pMOS 電晶體 PT17 和 nMOS 電晶體 NT17 之各個閘極電氣連接有端子 C。

2 輸入之 NAND 閘 NA2 具有如圖 12 所示之連接之 pMOS 電晶體 PT19、PT20 和 nMOS 電晶體 NT19、NT20。在 pMOS 電晶體 PT19 和 nMOS 電晶體 NT19 之各個之閘極電氣連接有緩衝器 BU2 之輸出。在 pMOS 電晶體 PT20 和 nMOS 電晶體 NT20 之各個閘極電氣連接有緩衝器 BU3 之輸出。

反相器 IN 之構成包含有由 pMOS 電晶體 PT21 和 nMOS 電晶體 NT21 構成之 CMOS 反相器。在 pMOS 電晶體 PT21 和 nMOS 電晶體 NT21 之各個閘極電氣連接有 NAND 閘 NA2 之輸出。另外反相器 IN 之輸出電氣連接到端子 Y。

其次，說明構成圖 11 和圖 12 所示之電路之半導體裝置之平面佈置構造。

圖 13 表示形成在半導體基板之擴散區域與元件隔離區域，和形成在半導體基板上之閘電極層等之多晶矽層。圖 14 主要地表示上述之多晶矽層和其上之第 1 層之金屬層。另外圖 15

表示上述之第1層之金屬層和其上之第2層之金屬層和第3層之金屬層。

參照圖13，在半導體基板SUB之表面具有NAND閘之形成區域NA1、NA2，緩衝器之形成區域BU1、BU2、BU3，反相器之形成區域IN和非電路構成區域(non-circuit region)NON。該等之形成區域之各個為標準單元。

緩衝器之形成區域BU3，非電路構成區域NON，和反相器之形成區域IN被配置成以該順序排列在圖中之X方向。另外NAND閘之形成區域NA1、緩衝器之形成區域BU1、緩衝器之形成區域BU2和NAND閘之形成區域NA2被配置成以該順序排列在圖中之X方向。

在NAND閘之形成區域NA1形成有上述之pMOS電晶體PT11、PT12和nMOS電晶體NT11、NT12。在緩衝器之形成區域BU1形成有上述之pMOS電晶體PT13、PT14和nMOS電晶體NT13、NT14。在緩衝器之形成區域BU2形成有上述之pMOS電晶體PT15、PT16和nMOS電晶體NT15、NT16。在NAND閘之形成區域NA2形成有上述之pMOS電晶體PT19、PT20和nMOS電晶體NT19、NT20。

在緩衝器之形成區域BU3形成有上述之pMOS電晶體PT17、PT18和nMOS電晶體NT17、NT18。在反相器之形成區域IN形成有上述之pMOS電晶體PT21和nMOS電晶體NT21。

以沿著緩衝器之形成區域BU3，非電路構成區域NON和反相

器之形成區域 IN 之圖中 Y 方向上側之境界，在圖中 X 方向延伸之方式，在半導體基板 SUB 內之表面形成 P^+ 區域 PR1。另外以沿著 NAND 閘之形成區域 NA1，緩衝器之形成區域 BU1、BU2 和 NAND 閘之形成區域 NA2 之圖中 Y 方向下側之境界，在圖中之 X 方向延伸之方式，在半導體基板 SUB 內之表面形成 P^+ 區域 PR2。

另外在緩衝器之形成區域 BU3、非電路構成區域 NON 和反相器之形成區域 IN 之圖中 Y 方向下側之境界，亦即沿著 NAND 閘之形成區域 NA1，緩衝器之形成區域 BU1、BU2 和 NAND 閘之形成區域 NA2 之圖中 Y 方向上側之境界，形成 n^+ 區域 NR。該 n^+ 區域 NR 亦是以沿著該境界在圖中 X 方向延伸之方式，形成在半導體基板 SUB 內之表面。

參照圖 14，在 MOS 電晶體上經由層間絕緣層(未圖示) 形成被圖案製作之第 1 層之金屬層。該第 1 層之金屬層具有 GND 電位之電源線之下層佈線 GNDL1、GNDL2，VDD 電位之電源線之下層佈線 VDDL，和其他之信號線 SL1。

下層佈線 GNDL1 沿著緩衝器之形成區域 BU3，非電路構成區域 NON 和反相器之形成區域 IN 之圖中 Y 方向上側之境界，在圖中 X 方向延伸。該下層佈線 GNDL1 經由多個之接觸孔 CH，電氣連接到下層之 p^+ 區域 PR1。

下層佈線 GNDL2 沿著 NAND 閘之形成區域 NA1，緩衝器之形成區域 BU1、BU2 和 NAND 閘之形成區域 NA2 之圖中 Y 方向下側

之境界，在圖中 X 方向延伸。該下層佈線 GNDL2 經由多個之接觸孔 CH，電氣連接到下層之 p^+ 區域 PR2。

下層佈線 VDDL 在緩衝器之形成區域 BU3，非電路構成區域 NON 和反相器之形成區域 IN 之圖中 Y 方向下側之境界，亦即沿著 NAND 閘之形成區域 NA1，緩衝器之形成區域 BU1、BU2 和 NAND 閘之形成區域 NA2 之圖中 Y 方向上側之境界，在圖中 X 方向延伸。下層佈線 VDDL 經由多個之接觸孔 CH，電氣連接到下層之 n^+ 區域 NR。

參照圖 15，在第 1 層之金屬層上經由層間絕緣層(未圖示)形成被圖案製作之第 2 層之金屬層。該第 2 層之金屬層具有 GND 電位之電源線之上層佈線 GNDU1、GNDU2，VDD 電位之電源線之上層佈線 VDDU 和其他之信號線 SL2。

上層佈線 GNDU1 沿著緩衝器之形成區域 BU3，非電路構成區域 NON 和反相器之形成區域 IN 之圖中 Y 方向上側之境界，在圖中 X 方向延伸。該上層佈線 GNDU1 經由多個之通孔 VH1，電氣連接到下層之下層佈線 GNDL1。另外上層佈線 GNDU1 具有比下層佈線 GNDL1 之線寬 $W1a_1$ 為大之線寬 $W2a_1$。

上層佈線 GNDU2 沿著 NAND 閘之形成區域 NA1，緩衝器之形成區域 BU1、BU2 和 NAND 閘之形成區域 NA2 之圖中 Y 方向下側之境界，在圖中 X 方向延伸。該上層佈線 GNDU2 經由多個之通孔 VH1，電氣連接到下層之下層佈線 GNDL2。另外上層佈線 GNDU2 具有比下層佈線 GNDL2 之線寬 $W1a_2$ 為大之線寬 $W2a_2$。

上層佈線 VDDU 在緩衝器之形成區域 BU3，非電路構成區域 NON 和反相器之形成區域 IN 之圖中 Y 方向下側之境界，亦即沿著 NAND 閘之形成區域 NA1，緩衝器之形成區域 BU1、BU2 和 NAND 閘之形成區域 NA2 之圖中 Y 方向上側之境界，在圖中 X 方向延伸。該上層佈線 VDDU 經由多個之通孔 VH1，電氣連接到下層之下層佈線 VDDL。另外上層佈線 VDDU 具有比下層佈線 VDDL 之線寬 W1b 為大之線寬 W2b。

在該第 2 層之金屬層上經由層間絕緣層(未圖示) 形成被圖案製作之第 3 層之金屬層。該第 3 層之金屬層具有補強 GND 電位之電源線之電位之補強佈線 GNDS，補強 VDD 電位之電源線之電位之補強佈線 VDDS，和其他之信號線 SL3。

補強佈線 GNDS 和補強佈線 VDDS 之各個在俯視圖中，在上層佈線 GNDU1、GNDU2、VDDU 之正交方向(亦即圖中 Y 方向) 延伸。補強佈線 GNDS 在俯視圖中，與上層佈線 GNDU1、GNDU2 之各個交叉，在 1 個之交點經由多個(例如 4 個)之通孔 VH2，電氣連接到上層佈線 GNDU1、GNDU2 之各個。另外補強佈線 VDDS 在俯視圖中，與上層佈線 VDDU 交叉，在 1 個之交點經由多個(例如 4 個)之通孔 VH2，電氣連接到上層佈線 VDDU。

另外各層之信號線 SL1、SL2、SL3 電氣連接 MOS 電晶體之各個，而成為圖 11 和圖 12 所示之電路構造。另外在圖 13 中，斜線所示之部位是形成在半導體基板上之閘電極層等之多晶矽層，以圖點花樣表示之部位是形成在半導體基板上之擴散區

域。該等之多晶矽層或擴散區域電氣連接 MOS 電晶體之各個，而成為圖 11 和圖 12 所示之電路構造。

另外，連接圖 15 所示之下層佈線 GNDL1 和上層佈線 GNDU1 之多個通孔 VH1 之配置間距 P_V，成為與圖 13 所示之電晶體之配置間距 P_T 成相同之間距。另外，連接下層佈線 GNDL2 與上層佈線 GNDU2 之多個通孔 VH1 之配置間距 P_V，和連接下層佈線 VDDL 與上層佈線 VDDU 之多個通孔 VH1 之配置間距 P_V，亦成為與圖 13 所示之電晶體之配置間距 P_T 成相同之間距。利用此種方式，可以減小電源線之電阻值，並且可以強化下層佈線和上層佈線之電位。

參照圖 16，配置成使多根之補強佈線 GNDS、VDDS 和多根之上層佈線 GNDU、VDDU 在俯視圖中，構成格子。

多根之補強佈線 GNDS 之各個，經由通孔 VH2 電氣連接到多根之上層佈線 GNDU(包含 GNDU1、GNDU2)。另外多根之補強佈線 VDDS 之各個，經由通孔 VH2 電氣連接到多根之上層佈線 VDDU。

依照本實施形態時，使 GND 電位之電源線分離成為下層佈線 GNDL1、GNDL2 和上層佈線 GNDU1、GNDU2，並且使 VDD 電位之電源線分離成為下層佈線 VDDL 和上層佈線 VDDU。因此，當與電源線為單一層之情況比較時，因為增加電流路徑，所以可以達成高速化。另外，因為不需要使電源線之線寬變大就可以增加電流路徑，所以可以達成高積體化。

另外上層佈線 GNDU1、GNDU2、VDDU 之線寬 $W2a_1$、$W2a_2$、W2b 之各個，因為大於下層佈線 GNDL1、GNDL2、VDDL 之線寬 $W1a_1$、$W1a_2$、W1b，所以可以減小電源線之電阻值。

另外，下層佈線 GNDL1、GNDL2、VDDL 之線寬 $W1a_1$、$W1a_2$、W1b 之各個，因為小於上層佈線 GNDU1、GNDU2、VDDU 之線寬 $W2a_1$、$W2a_2$、W2b，所以就該部份佈線之配置用之空的空間變大。因此在與下層佈線 GNDL1、GNDL2、VDDL 相同之層配置其他之佈線等變為容易，可以提高其他之佈線之平面佈置之自由度。

另外，下層佈線 GNDL1、GNDL2、VDDL 和上層佈線 GNDU1、GNDU2、VDDU 分別沿著標準單元之境界而延伸。因此，在鄰接之標準單元之各個，可以共用該等之電源線。利用此種方式，因為不需要在每一標準單元個別地形成該等之電源線，所以可以達成高積體化。

另外，第 1 層之金屬層之信號線 SL1 被使用作為標準單元內佈線。第 2 層之金屬層之信號線 SL2 沿著圖中 X 方向而延伸，以被下層佈線 GNDL1、GNDL2、VDDL 之電源系之佈線包夾之方式，被使用作為連接被配置之標準單元間之佈線。另外，第 3 層之金屬層之信號線 SL3 沿著圖中 Y 方向而延伸，以跨越下層佈線 GNDL1、GNDL2、VDDL 之電源系之佈線之方式，被使用作為連接標準單元間之佈線。利用此種方式，使 P&R(Place and Route：自動佈線配置）之佈線設計變為容易。

利用此種方式，可以獲得同時高速化和高積體化雙方之半導

體裝置。

(實施形態 5)

在本實施形態中，說明具有高速單元和高積體單元之半導體裝置。

參照圖 17，SOC 晶片 SOC 例如具有高積體優先之邏輯區域 HIL，高性能優先之邏輯區域 HRL，和邏輯以外之區域 AR。在高積體優先之邏輯區域 HIL 以適於高速動作之高速單元所形成。另外在高性能優先之邏輯區域 HRL 以適於高積體之高積體單元所形成。

圖 18 表示形成在半導體基板之擴散區域與元件隔離區域，和形成在半導體基板上之閘電極層等之多晶矽層。圖 19 主要地表示上述之多晶矽層和其上之第 1 層之金屬層。另外，圖 20 主要地表示上述之第 1 層之金屬層和其上之第 2 層之金屬層。

參照圖 18，高速單元和高積體單元雙方均由 pMOS 電晶體 PT 和 nMOS 電晶體 NT 構成之 CMOS 反相器所形成。

在高速單元和高積體單元之任一方，pMOS 電晶體 PT 具有 1 對之 p 型源極／汲極區域 SD，閘絕緣膜(未圖示)，和閘電極層 GE。該 1 對之 p 型源極／汲極區域 SD 之各個形成在半導體基板 SUB 之表面。閘電極層 GE 經由閘絕緣膜形成在被 1 對之 p 型源極／汲極區域 SD 包夾之半導體基板 SUB 之表面上。

在高速單元和高積體單元之任一方，nMOS 電晶體 NT 具有 1

對之 n 型源極／汲極區域 SD，閘絕緣膜(未圖示)，和閘電極層 GE。該 1 對之 n 型源極／汲極區域 SD 之各個形成在半導體基板 SUB 之表面。閘電極層 GE 經由閘絕緣膜形成在被 1 對之 n 型源極／汲極區域 SD 包夾之半導體基板 SUB 之表面上。

在高速單元和高積體單元之任一方，pMOS 電晶體 PT 之閘電極層 GE 和 nMOS 電晶體 NT 之閘電極層 GE 形成一體，而互相電氣連接。

在高速單元和高積體單元之任一方，沿著標準單元區域之圖中 Y 方向上側之境界，以在圖中 X 方向延伸之方式，在半導體基板 SUB 內之表面形成 n^+ 區域 NIR。另外，沿著標準單元區域之圖中 Y 方向下側之境界，以在圖中 X 方向延伸之方式，在半導體基板 SUB 內之表面形成 p^+ 區域 PIR。

在此處之高速單元之 CMOS 反相器之平面佈置和高積體單元之 CMOS 反相器之平面佈置成為相同。另外，高速單元之 n^+ 區域 NIR 和 p^+ 區域 PIR 之各個之平面佈置與高積體單元之 n^+ 區域 NIR 和 p^+ 區域 PIR 之各個之平面佈置相同。

參照圖 19，在 MOS 電晶體 PT、NT 上經由層間絕緣膜(未圖示)，形成被圖案製作之第 1 層之金屬層。該第 1 層之金屬層具有 GND 電位之電源線之下層佈線 GND、GNDL，VDD 電位之電源線之下層佈線 VDD、VDDL，和其他之信號線 SLL1、SLL2。

下層佈線 GNDL 在高速單元沿著標準單元區域之圖中 Y 方向下側之境界，而在圖中 X 方向延伸。該下層佈線 GNDL 經由多

個之接觸孔 CH 電氣連接到下層之 p^+區域 PIR。另外下層佈線 GNDL 經由多個之接觸孔 CH 電氣連接到 nMOS 電晶體 NT 之源極／汲極區域 SD 之一方。

下層佈線 VDDL 在高速單元沿著標準單元區域之圖中 Y 方向上側之境界，而在圖中 X 方向延伸。該下層佈線 VDDL 經由多個之接觸孔 CH 電氣連接到下層之 n^+區域 NIR。另外下層佈線 VDDL 經由多個之接觸孔 CH 電氣連接到 pMOS 電晶體 PT 之源極／汲極區域 SD 之一方。

信號線 SLL1 經由接觸孔 CH 電氣連接到 nMOS 電晶體 NT 之源極／汲極區域 SD 之另外一方和 pMOS 電晶體 PT 之源極／汲極區域 SD 之另外一方之各個。信號線 SLL2 經由接觸孔 CH 電氣連接到閘電極層 GE。

在此處高速單元之下層佈線 GNDL 與下層佈線 VDDL 之各個之平面佈置，和高積體單元之下層佈線 GND 與下層佈線 VDD 之各個之平面佈置相同。另外，高速單元之信號線 SLL1 與信號線 SLL2 之平面佈置，和高積體單元之信號線 SLL1 與信號線 SLL2 之平面佈置相同。

參照圖 20，在第 1 層之金屬層上，經由層間絕緣層(未圖示)，形成被圖案製作之第 2 層之金屬層。該第 2 層之金屬層具有 GND 電位之電源線之上層佈線 GNDU，VDD 電位之電源線之上層佈線 VDDU，和其他之信號線 SLU1~SLU4。

上層佈線 GNDU 沿著高速單元之標準單元區域之圖中 Y 方向

下側之境界，在圖中 X 方向延伸。該上層佈線 GNDU 經由多個之通孔 VH1 電氣連接到下層之下層佈線 GNDL。另外上層佈線 GNDU 具有比下層佈線 GNDL 之線寬 W1a 為大之線寬 W2a。

上層佈線 VDDU 沿著高速單元之標準單元區域之圖中 Y 方向上側之境界，在圖中 X 方向延伸。該上層佈線 VDDU 經由多個之通孔 VH1 電氣連接到下層之下層佈線 VDDL。另外上層佈線 VDDU 具有比下層佈線 VDDL 之線寬 W1b 為大之線寬 W2b。

另外信號線 SLU3、SLU4 之各個形成在高速單元之標準單元內。該等之信號線 SLU3、SLU4 之各個在圖中 X 方向(亦即在俯視圖中，在與上層佈線 GNDU、VDDU 之延伸方向之相同方向)延伸，橫斷高速單元之標準單元區域之境界。信號線 SLU3 經由通孔 VH1 電氣連接到信號線 SLL1。另外，信號線 SLU4 經由通孔 VH1 電氣連接到信號線 SLL2。

另外，在高積體單元之標準單元內，信號線 SLU1、SLU2 之各個在圖中 Y 方向(亦即在俯視圖中，與下層佈線 GND、VDD 之延伸方向正交之方向)延伸。信號線 SLU1 經由通孔 VH1 電氣連接到信號線 SLL1。另外，信號線 SLU2 經由通孔 VH1 電氣連接到信號線 SLL2。

另外信號線 SLU1、SLU2 之各個亦在圖中 Y 方向延伸，橫斷高積體單元之標準單元區域之境界。

其次說明關於高積體優先之邏輯區域 HIL 和高性能優先之邏輯區域 HRL 之各個之多個標準單元。

圖 21 表示第 1 層之金屬層。圖 22 表示第 1 層之金屬層和其上之第 2 層之金屬層。圖 23 表示第 1 層與第 2 層之金屬層、其上之第 3 層之金屬層和更其上之第 4 金屬層。

參照圖 21，即使在多個之標準單元之情況，亦與單一之標準單元之情況同樣地，第 1 層之金屬層和其以下之層之各個之平面佈置構造，在高速單元和高積體單元均為相同。

參照圖 22 和圖 23，即使在多個之標準單元之情況，亦與單一之標準單元之情況同樣地，第 2 層之金屬層和其上之層(例如第 3 和第 4 金屬層)之各個之平面佈置構造，在高速單元和高積體單元成為不同。

在高速單元，由第 2 層之金屬層構成之上層佈線 GNDU、VDDU，以比下層佈線 GNDL、VDDL 之線寬為小之線寬，形成沿著標準單元之境界延伸。另外由第 2 層之金屬層構成之信號線 SLU 在與下層佈線 GNDL、VDDL 之延伸方向相同之方向延伸。

另外一方面，在高積體單元，未設有由第 2 層之金屬層構成之上層佈線 GNDU、VDDU。另外由第 2 層之金屬層構成之信號線 SLU 在與下層佈線 GNDL、VDDL 之延伸方向正交之方向延伸。

在高速單元，如圖 22 所示，設有由第 2 層之金屬層構成之上層佈線 GNDU、VDDU。因此，不能使由第 2 層之金屬層構成之信號線 SLU 延伸成跨越圖中 Y 方向上側之標準單元和下側之標準單元之境界。因此，在高速單元，如圖 23 所示，當不使用第 3 層之金屬層和第 4 層之金屬層時，就不能使在圖中 Y 方

向鄰接之標準單元內之元件彼此間，和在圖中 X 方向鄰接之標準單元內之元件彼此間，產生電氣連接。

亦即，經由將第 3 層之金屬層構成之信號線 SL3 配置成跨越圖中 Y 方向之上下之標準單元間之境界，可以使在圖中 Y 方向鄰接之標準單元內之元件彼此間產生電氣連接。另外，經由將第 4 層之金屬層構成之信號線 SL4 配置成跨越圖中 X 方向之左右之標準單元間之境界，可以使在圖中 X 方向鄰接之標準單元內之元件彼此間產生電氣連接。

另外一方面，在高積體單元，如圖 22 所示，未設有由第 2 層之金屬層構成之上層佈線 GNDU、VDDU。因此，可以使由第 2 層之金屬層構成之信號線 SLU 延伸成跨越圖中 Y 方向上下鄰接之標準單元間之境界。因此，在高積體單元，如圖 23 所示，即使不使用第 4 層之金屬層，經由使用第 2 層之金屬層和第 3 層之金屬層，亦可以使在圖中 Y 方向鄰接之標準單元內之元件彼此間，和在圖中 X 方向鄰接之標準單元內之元件彼此間，產生電氣連接。

亦即，經由將由第 2 層之金屬層構成之信號線 SLU 配置成跨越圖中 Y 方向之上下之標準單元間之境界，可以使在圖中 Y 方向鄰接之標準單元內之元件彼此間，產生電氣連接。另外，經由將由第 3 層之金屬層構成之信號線 SL3 配置成跨越圖中 X 方向之左右之標準單元間之境界，可以使在圖中 X 方向鄰接之標準單元內之元件彼此間，產生電氣連接。

依照本實施形態時，在高速單元之標準單元內，使 GND 電位之電源線分離成為下層佈線 GNDL 和上層佈線 GNDU，並且使 VDD 電位之電源線分離成為下層佈線 VDDL 和上層佈線 VDDU。因此，當與電源線為單一層之情況比較時，因為增加電流路徑，所以可以達成高速化。另外，因為不需要使電源線之線寬變大就可以增加電流路徑，所以可以達成高積體化。

另外，上層佈線 GNDU、VDDU 之線寬 W2a、W2b 之各個，因為大於下層佈線 GNDL、VDDL 之線寬 W1a、W1b，所以可以減小電源線之電阻值。

另外，下層佈線 GNDL、VDDL 之線寬 W1a、W1b 之各個，因為小於上層佈線 GNDU、VDDU 之線寬 W2a、W2b，所以就該部份佈線之配置用之空的空間變大。因此在與下層佈線相同層配置其他之佈線等變為容易，可以提高其他之佈線之平面佈置之自由度。

另外，下層佈線 GNDL、VDDL 和上層佈線 GNDU、VDDU 之各個分別沿著標準單元之境界而延伸。因此，在鄰接之標準單元之各個，可以共用該等之電源線。利用此種方式，因為不需要在每一標準單元個別地形成該等之電源線，所以可以達成高積體化。

利用以上方式，可以獲得同時高速化和高積體化雙方之半導體裝置。

另外，依照本實施形態時，第 1 層之金屬層和其下層之平面

佈置在高速單元和高積體單元共同化。因此，平面佈置之設計變為容易。該設計之 P&R(Place and Route：自動佈線配置）流程如下。

首先，使第 1 層之金屬層和其下層之平面佈置成為高速單元和高積體單元之共同佈置，登錄在標準單元資料庫。另外一方面，準備登錄有使用在高速單元之端子存取之通孔和使用在高積體單元之端子存取之通孔之技術檔案。

在 P&R 流程，從登錄在標準單元資料庫之共同之佈置，追加 P&R 技術檔案之登錄資料，藉以用來設計高速單元和高積體單元。

用此種方式，因為使第 1 層之金屬層和其下層之平面佈置成為在高速單元和高積體單元共同化，所以不需要準備就高速單元和高積體單元之單元構造不同之多個之資料庫，使設計變為容易。

另外，只要變更第 2 層之金屬層和其上層之圖案，就在高積體優先之邏輯區域 HIL 形成高速單元，並且在高性能優先之邏輯區域 HRL 形成高積體單元。利用此種方式，因為在高速單元和高積體單元可以使第 2 層之金屬層和其下層之平面圖案成為相同，所以可以使能夠同時高速化和高積體化雙方之半導體裝置之圖案設計變為容易。

另外在本實施形態中，在高積體優先之邏輯區域 HIL 形成高速單元，並且在高性能優先之邏輯區域 HRL 形成高積體單元。

在該高速單元，電源線(VDD 佈線、GND 佈線) 分配給下層佈線 GNDL、VDDL 和上層佈線 GNDU、VDDU。因此，當與電源線為單一層之情況比較時，因為增加電流路徑，所以可以達成高速化。

另外在高積體單元，因為電源線(VDD 佈線、GND 佈線)成為單一層，所以可以達成疊層方向之高積體化。另外，因為電源線(VDD 佈線、GND 佈線) 由單一層形成，所以由第 2 層之金屬層構成之信號線可以比高速單元自由地配置。例如如圖 20 所示，可以使由第 2 層之金屬層構成之信號線，橫斷對下層佈線 GND、VDD 在俯視圖中之正交方向延伸之標準單元之境界。利用此種方式，可以使由第 2 層之金屬層構成之信號線之平面佈置之自由度變高。

(實施形態 6)

參照圖 24，本實施形態之構造，當與圖 21~圖 23 所示之實施形態 5 之構造比較時，其不同之點是具有高積體單元之平面佈置對高速單元之平面佈置相對旋轉 90°之構造。

利用此種方式，由第 3 層之金屬層構成之信號線 SL3 之延伸方向，可以在高速單元和高積體單元雙方成為相同方向。

另外，本實施形態之上述以外之構造，因為與圖 21~圖 23 所示之實施形態 5 之構造大致相同，所以對相同之元件附加相同之元件符號，其說明不再重複。

依照本實施形態時，由第 3 層之金屬層構成之信號線 SL3 之延伸方向，因為可以在高速單元和高積體單元成為相同方向，

所以佈線設計變為容易。利用此種方式，可以達成積體度之提高和自動佈線之收斂時間之縮短等。

另外，在上述之實施形態 1~6 中，成對之互相鄰接之標準單元內之功能元件和佈線之平面佈置構造，亦可以對該等之標準單元之境界線具有線對稱之構造。特別是在多種之標準單元間，設在標準單元境界之地線佈線和電源佈線，在單元境界成為線對稱構造。利用此種方式，利用存在於單元境界上下之標準單元可以使地線佈線和電源佈線共同化，在佈置之縮小或 P&R(Place and Route：自動佈線配置）使單元配置設計變為容易。

另外在上述之實施形態 4~6 中，所說明之功能元件是具有 CMOS 反相器、NAND 等之元件，但是本發明並不只限於該者，亦可以適用在 CMOS 之 NAND 或 NOR 電路，正反器電路、三態緩衝電路、和其以外之其他之功能元件。

本發明特別有利於適用在具有排列多個之標準單元之半導體裝置。

此處所揭示之實施形態之所有部份只作舉例用，不被視為用來作為限制者。本發明之範圍不是以上述之說明而是以申請專利範圍表示，包含與申請專利範圍同等之意義和範圍內之所有之變更。

【圖式簡單說明】

圖 1 是俯視圖，用來概略地表示本發明之實施形態 1 之半導

體裝置之構造。

圖 2 是電路圖，用來表示形成在圖 1 所示之 1 個之標準單元 51a 內之功能元件之電路構造之一實例。

圖 3 是俯視圖，用來概略地表示形成有圖 2 所示之電路之 1 個之標準單元之構造。

圖 4 是沿著圖 3 之 IV－IV 線之概略剖視圖。

圖 5 是俯視圖，用來概略地表示本發明之實施形態 2 之半導體裝置之排列有多個之標準單元之樣子。

圖 6 是沿著圖 5 之 VI－VI 線之概略剖視圖。

圖 7 是俯視圖，用來概略地表示在圖 5 之構造中在未形成有功能元件之標準單元，形成有熔線之構造。

圖 8 是俯視圖，用來概略地表示在圖 5 之構造中，在未形成有功能元件之標準單元，電源線之上層佈線和下層佈線未連接之構造。

圖 9 是俯視圖，用來概略地表示本發明之實施形態 3 之半導體裝置之排列有多個之標準單元之樣子。

圖 10 是沿著圖 9 之 X－X 線之概略剖視圖。

圖 11 是電路圖，用來表示本發明之實施形態 4 之半導體裝置之電路構造。

圖 12 是電路圖，用來以電晶體位準表示圖 11 所示之電路圖。

圖 13 是概略俯視圖，用來表示構成圖 11 和圖 12 所示之電路之半導體裝置之平面佈置構造，圖中表示形成在半導體基板

之擴散區域與元件隔離區域，和形成在半導體基板上之閘電極層等之多晶矽層。

圖 14 是概略俯視圖，用來表示構成圖 11 和圖 12 所示之電路之半導體裝置之平面佈置構造，圖中主要地表示多晶矽層和其上之第 1 層之金屬層。

圖 15 是概略俯視圖，用來表示構成圖 11 和圖 12 所示之電路之半導體裝置之平面佈置構造，圖中表示第 1 層之金屬層和其上之第 2 層之金屬層和第 3 層之金屬層。

圖 16 是概略俯視圖，用來表示圖 15 所示之補強佈線 GNDS 和補強佈線 VDDS 之配置之樣子。

圖 17 是俯視圖，用來概略地表示作為本發明之實施形態 5 之半導體裝置之 SOC 晶片之構造。

圖 18 是概略俯視圖，用來表示形成在高積體優先之邏輯區域 HIL 之高速單元，和形成在高性能優先之邏輯區域 HRL 之高積體單元之平面佈置構造，圖中表示形成在半導體基板之擴散區域與元件隔離區域，和形成在半導體基板上之閘電極層等之多晶矽層。

圖 19 是概略俯視圖，用來表示形成在高積體優先之邏輯區域 HIL 之高速單元，和形成在高性能優先之邏輯區域 HRL 之高積體單元之平面佈置構造，圖中主要地表示多晶矽層和其上之第 1 層之金屬層。

圖 20 是概略俯視圖，用來表示形成在高積體優先之邏輯區

域 HIL 之高速單元，和形成在高性能優先之邏輯區域 HRL 之高積體單元之平面佈置構造，圖中表示第 1 層之金屬層和其上之第 2 層之金屬層。

圖 21 是概略俯視圖，用來表示在高積體優先之邏輯區域 HIL 以高速單元形成多個之標準單元，並且在高性能優先之邏輯區域 HRL 以高積體單元形成多個之標準單元之情況時之平面佈置構造，圖中表示第 1 層之金屬層。

圖 22 是概略俯視圖，從下層起依序地表示在高積體優先之邏輯區域 HIL 以高速單元形成多個之標準單元，並且在高性能優先之邏輯區域 HRL 以高積體單元形成多個之標準單元之情況時之平面佈置構造，圖中表示第 1 層之金屬層和其上之第 2 層之金屬層。

圖 23 是概略俯視圖，從下層起依序地表示在高積體優先之邏輯區域 HIL 以高速單元形成多個之標準單元，並且在高性能優先之邏輯區域 HRL 以高積體單元形成多個之標準單元之情況時之平面佈置構造，圖中表示第 1 層與第 2 層之金屬層、其上之第 3 層之金屬層、和更在其上之第 4 金屬層。

圖 24 是俯視圖，用來概略地表示具有作為本發明之實施形態 6 之半導體裝置之高速單元和高積體單元雙方之裝置之構造。

【主要元件符號說明】

1　　p 型井區域

2	n 型井區域
3	元件隔離區域
11a	汲極區域
11b	源極區域
12	閘絕緣層
13	閘電極層
15	p^+區域
21a	汲極區域
21b	源極區域
22	閘絕緣層
23	閘電極層
25	n^+區域
31A	層間絕緣層
31a	接觸孔
31B	層間絕緣層
31b	佈線用溝
32a~32h	佈線層
$32e_1$、$32e_2$	信號線
33	層間絕緣層
33a	通孔(通溝)
33b	佈線用溝
34a~34d	佈線層

40	熔線
50	半導體裝置
51	標準單元區域
51a	標準單元
52	I／O 單元區域
A、B、C、Y	端子
AR	邏輯以外之區域
BU1、BU2、BU3	緩衝器形成區域
CH	接觸孔
GE	閘電極層
GND	電位
GNDL、GNDL1、GNDL2	下層佈線
GNDS	補強佈線
GNDU、GNDU1、GNDU2	上層佈線
HIL	高積體優先邏輯區域
HRL	高性能優先邏輯區域
IN	反相器
NA1、NA2	NAND 閘形成區域
NIR、NR	n^+區域
NON	非電路構成區域
NT、NT1~NT3、NT11~NT21	nMOS 電晶體
PIR、PR1、PR2	p^+區域

P_T	配置間距
PT、PT1~PT3、PT11~PT21	pMOS 電晶體
Pv	配置間距
SD	源極／汲極區域
SL1~SL4、SLL1~SLL4	信號線
SLU1~SLU4	信號線
SOC	晶片系統
SUB	半導體基板
VDD	電位
VDDL	下層佈線
VDDS	補強佈線
VDDU	上層佈線
VH1、VH2	通孔
W1a、$W1a_1$、$W1a_2$、W1b、W2a、$W2a_1$、$W2a_2$、W2b	線寬

103年3月3日 P.53-55
MAR - 3 2014
替換本

七、申請專利範圍：

1.一種半導體裝置，具有被排列之多個標準單元(standard cell)；如此之半導體裝置，其具備有：

功能元件，被包含在上述標準單元；及

電源線，電氣連接到上述功能元件，並且具有下層佈線和上層佈線；

而上述下層佈線具有沿著互相鄰接之上述標準單元之境界，而在上述境界上延伸之部份；

上述上層佈線在俯視圖中，具有位於比上述下層佈線在上述標準單元內側之部份；

上述功能元件經由上述上層佈線電氣連接到上述下層佈線；

更具備有電氣連接到上述功能元件之信號線；

而上述信號線在俯視圖中，被配置成位於上述功能元件與上述上層佈線之連接部，和在上述下層佈線之上述境界上延伸之部份之間。

2.如申請專利範圍第1項之半導體裝置，其中，

在配置有上述功能元件之上述標準單元內，使上述上層佈線和上述下層佈線連接。

3.如申請專利範圍第1項之半導體裝置，其中，

在未包含上述功能元件之上述標準單元內，使上述上層佈線和上述下層佈線連接。

4.如申請專利範圍第3項之半導體裝置，其中，

更具備有:熔線，被配置在未包含上述功能元件之上述標準單元內，而且電氣連接到上述下層佈線。

5. 如申請專利範圍第1至3項中任一項之半導體裝置，其中，

上述上層佈線具有沿著上述標準單元境界，而在上述境界上延伸之部份；和

在上述上層佈線之上述境界上延伸部份之線寬，大於在上述下層佈線之上述境界上延伸部份之線寬。

6. 一種半導體裝置，具有被排列之多個標準單元；如此之半導體裝置，其具備有：

功能元件，被包含在上述標準單元；及

第1電源線，電氣連接到上述功能元件，並且具有下層佈線和上層佈線；

而上述下層佈線和上述上層佈線之各個互相電氣連接，而且具有沿著互相鄰接之上述標準單元之境界，而在上述境界上延伸之部份；

上述上層佈線在俯視圖中，具有比上述下層佈線為粗之線寬；

上述多個之標準單元包含第1標準單元和第2標準單元；

上述第1標準單元包含有：

上述第1電源線，具有上述下層佈線和上述上層佈線；及

第1信號線，在與上述上層佈線相同之層上延伸，而且在俯視圖中在與上述下層佈線和上述上層佈線相同之方向延伸；

上述第 2 標準單元包含有：

第 2 電源線，只由在與上述下層佈線相同之層上延伸之佈線層構成；及

第 2 信號線，在與上述上層佈線相同之層上延伸，而且在俯視圖中在與上述佈線層正交之方向延伸。

7. 如申請專利範圍第 6 項之半導體裝置，其中，

上述下層佈線和上述上層佈線利用多個之第 1 通孔電氣連接；和

上述多個之第 1 通孔，以與構成上述功能元件之電晶體之配置間距相同之間距而配置。

8. 如申請專利範圍第 6 或 7 項之半導體裝置，其中，

上述第 1 電源線具有形成在上述上層佈線之上層之補強佈線；和

上述補強佈線在俯視圖中，在與上述上層佈線正交之方向延伸。

9. 如申請專利範圍第 8 項之半導體裝置，其中，

更具備有：形成在上述上層佈線和上述補強佈線之間之層間絕緣層；和

上述層間絕緣層，在俯視圖中之上述上層佈線和上述補強佈線之交叉之 1 個交叉部，具有用來使上述上層佈線和上述補強佈線電氣連接之多個第 2 通孔。

八、圖式：

圖 1

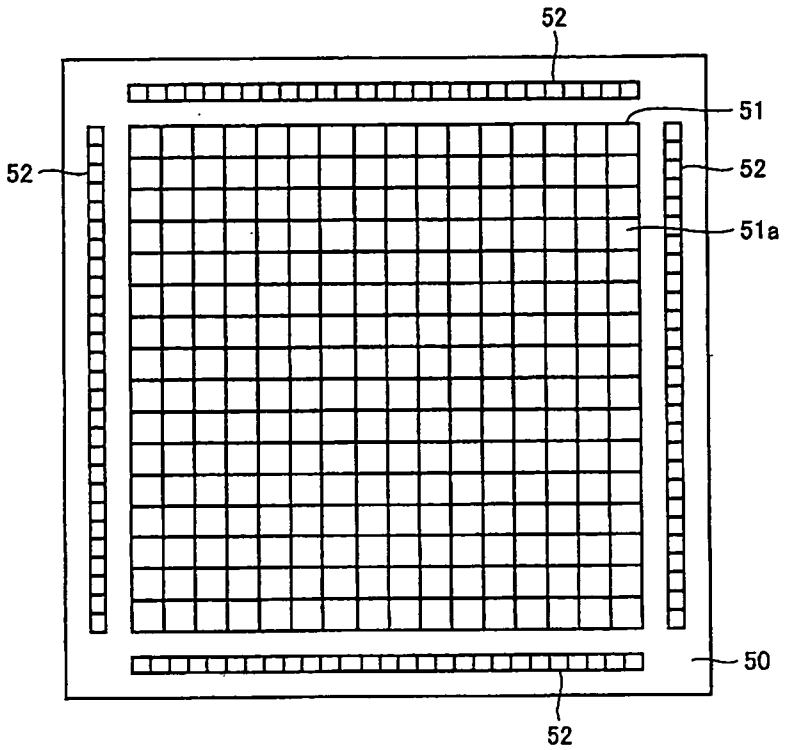


圖 2

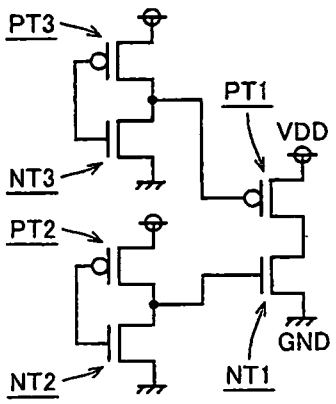
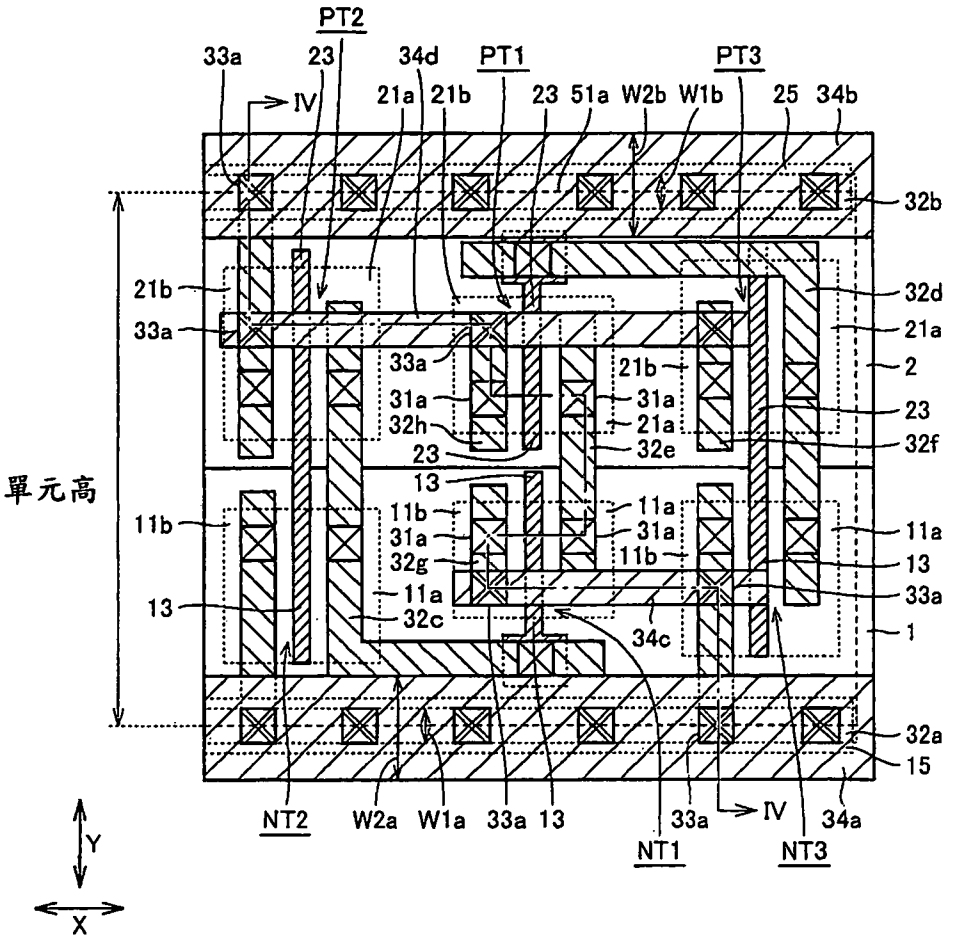


圖 3


PT2
33a
23
34d
PT1
PT3
IV
21a
21b
23
51a
W2b
W1b
25
34b
32b
21b
32d
33a
21a
33a
21b
2
31a
31a
23
32h
21a
32f
23
32e
13
單元高
11b
11b
11a
31a
31a
11a
32g
11b
13
13
11a
33a
32c
34c
1
32a
15
NT2
W2a
W1a
33a
13
NT1
33a
IV
34a
NT3
Y
X

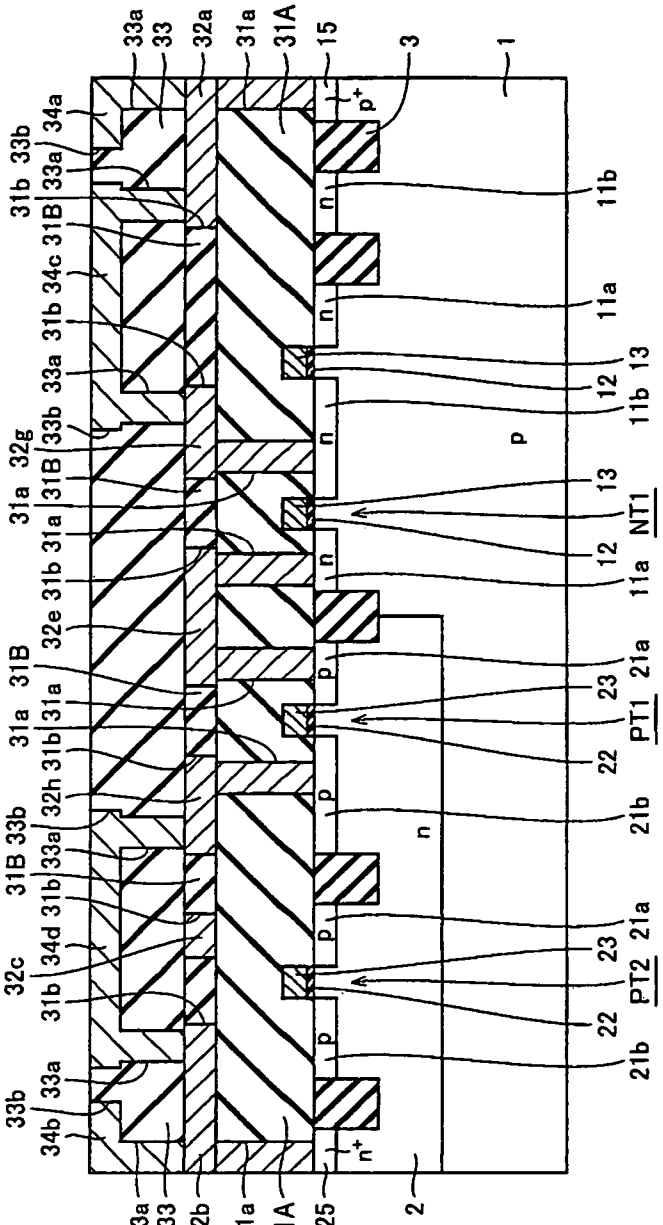
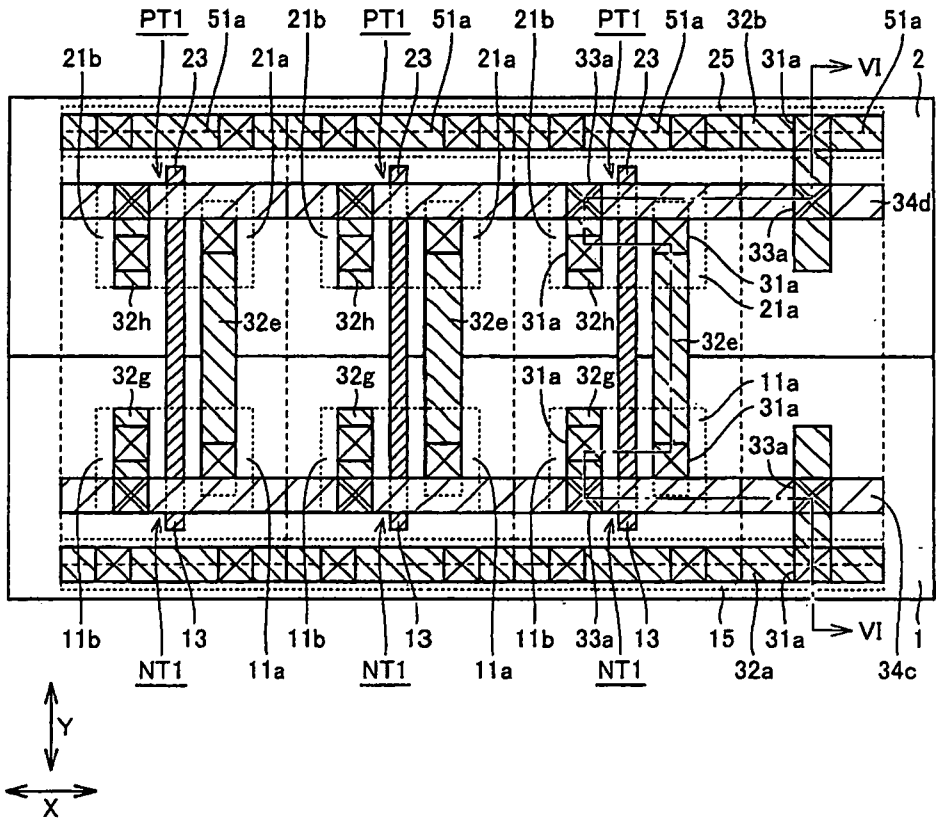

33a
33
32a
31a
31A
15
3
1
34a
33b
33a
31b
31B
34c
11b
11a
12
13
32g
NT1
32e
21a
PT1
23
22
32h
21b
34d
32c
PT2
25
2
32b

圖 4

圖 5


PT1
51a
21b
23
21a
33a
25
31a
VI
2
32b
34d
32h
32e
31a
33a
21a
32g
11a
11b
13
NT1
15
32a
34c
1
Y
X

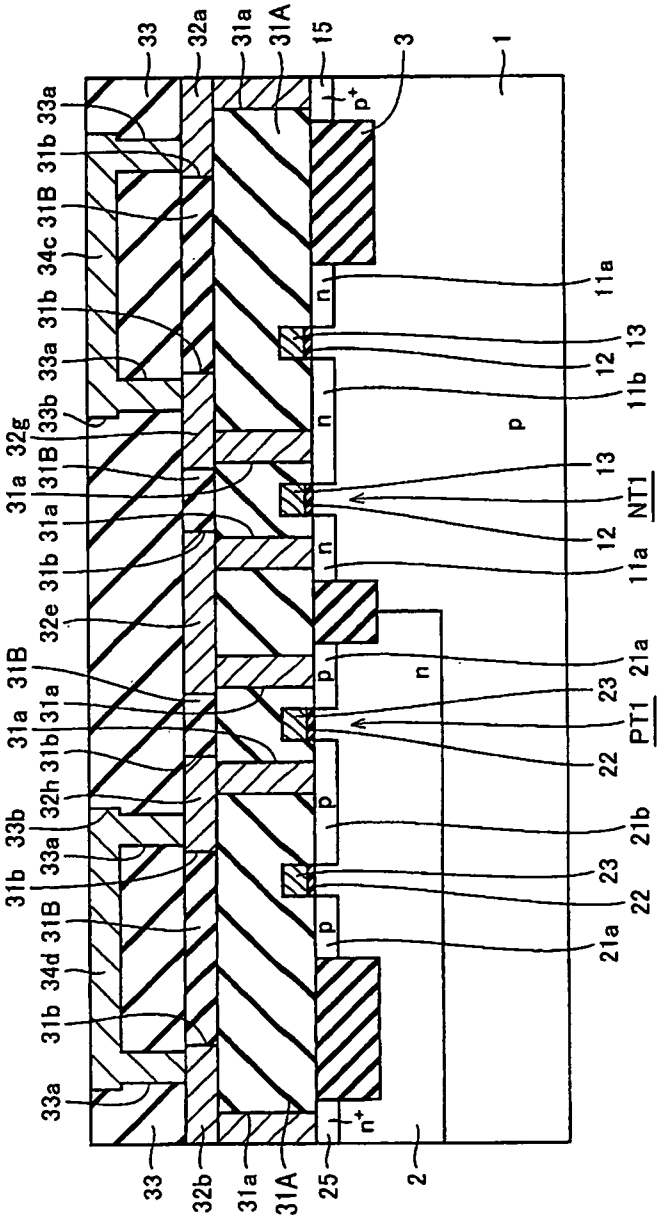

33
32a
31a
31A
15
3
1
33a
31b
31B
34c
31b
33a
33b
31B
31a
31a
31b
32e
31B
31a
31b
32h
33b
33a
31b
31B
34d
31b
33a
32g
p+
n
p
n+
11a
12
13
11b
NT1
21a
PT1
23
22
21b
21a
25
2
32b

圖 6

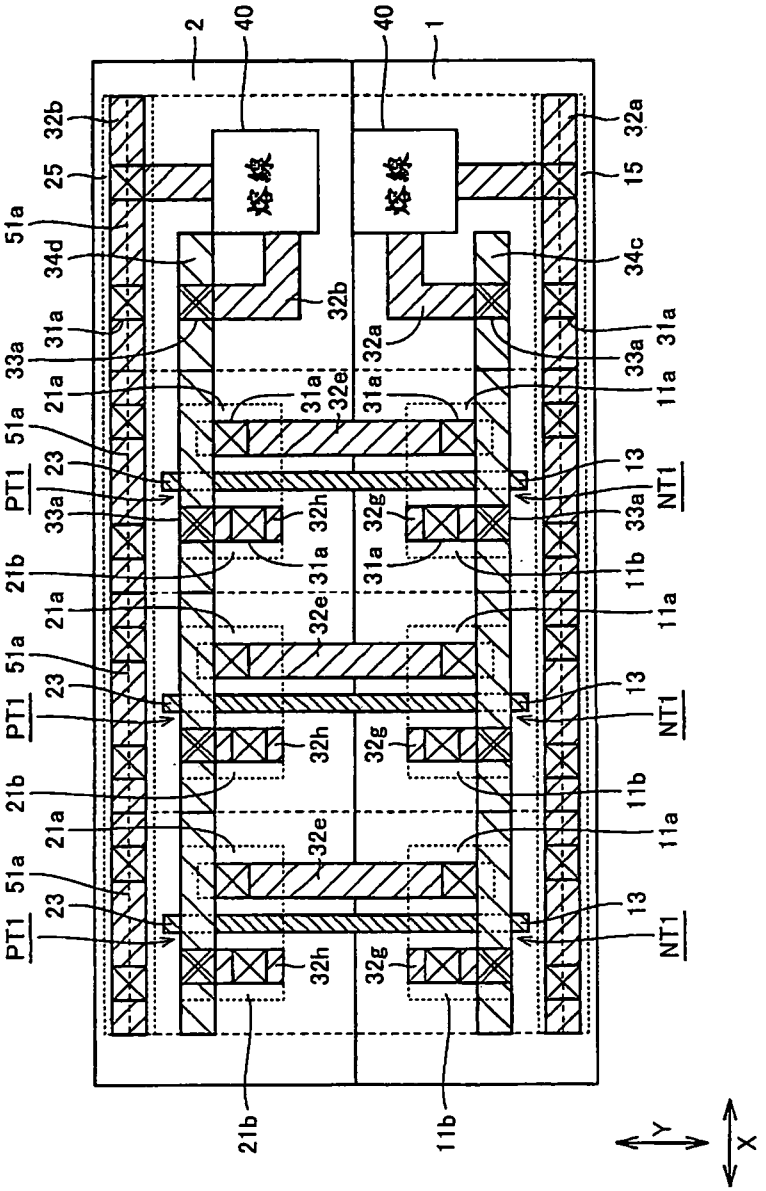

2
40
40
1
熔線
熔線
32b
32a
25
15
51a
34d
34c
31a
33a
21a
11a
PT1
23
13
NT1
21b
11b
32h
32g
32e
Y
X

圖 7

圖 8

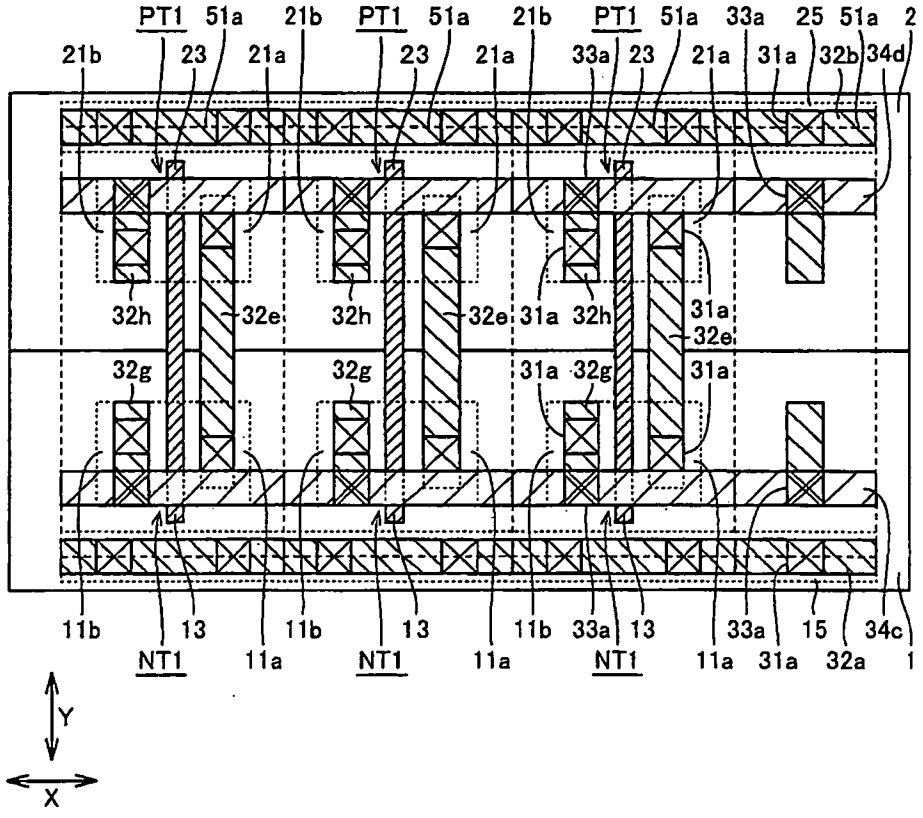

PT1
51a
21b
23
21a
33a
25
31a
32b
34d
2
32h
32e
31a
32g
11b
13
NT1
11a
33a
15
34c
1
Y
X

圖 9

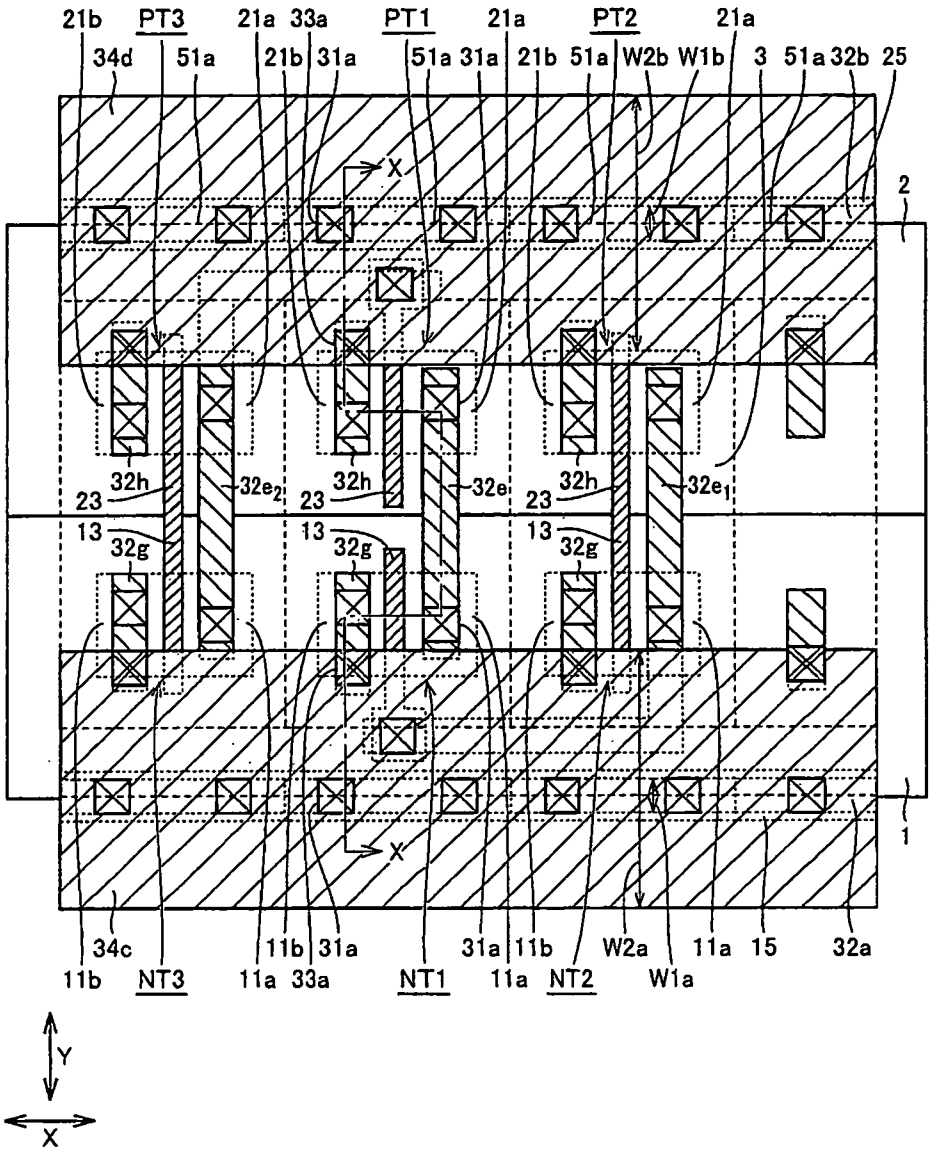

21b PT3 21a 33a PT1 21a PT2 21a
34d 51a 21b 31a 51a 31a 21b 51a W2b W1b 3 51a 32b 25
2
X
32h 32h 32h
23 23 23
13 13 13
32g 32g 32g
32e2 32e 32e1
X
1
34c 11b 31a 31a 11b W2a 11a 15 32a
11b NT3 11a 33a NT1 11a NT2 W1a
Y
X

圖 10

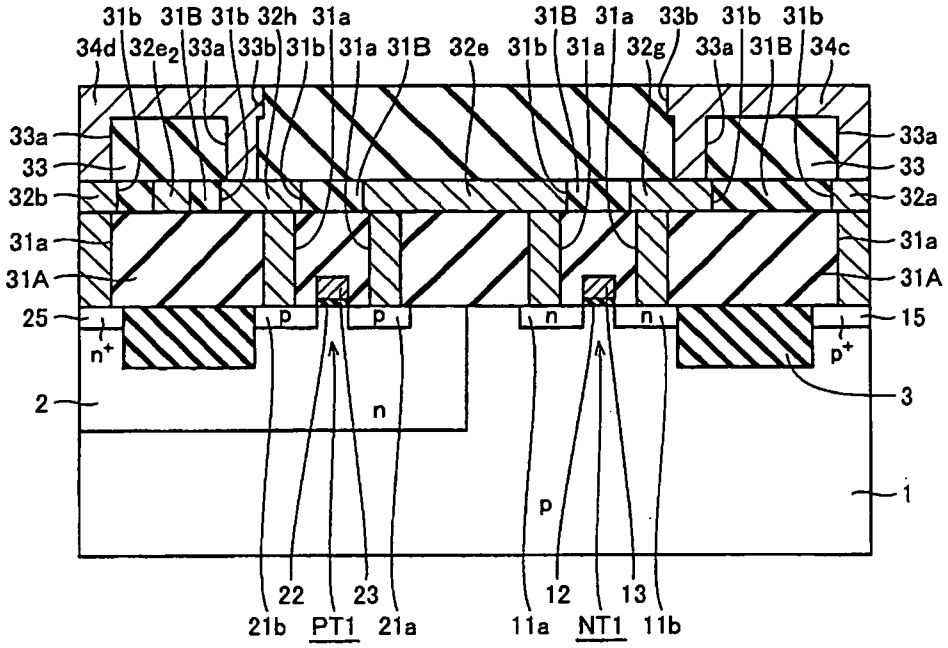
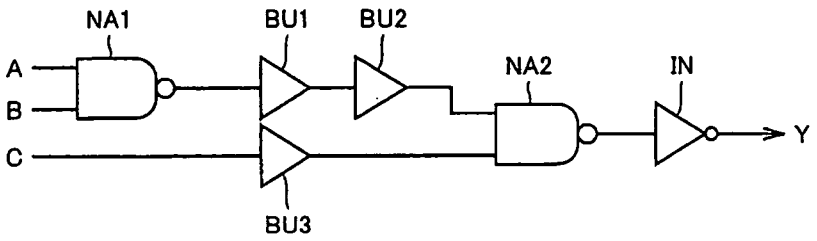

31b 31B 31b 32h 31a
34d 32e2 33a 33b 31b 31a 31B 32e 31b 31a 32g 33a 31B 34c
31B 31a 33b 31b 31b
33a
33
32b
31a
31A
25
n+
p
p
n
n
p+
2
n
3
1
p
22 23
21b PT1 21a
12 13
11a NT1 11b

圖 11


NA1
BU1
BU2
NA2
IN
A
B
C
Y
BU3

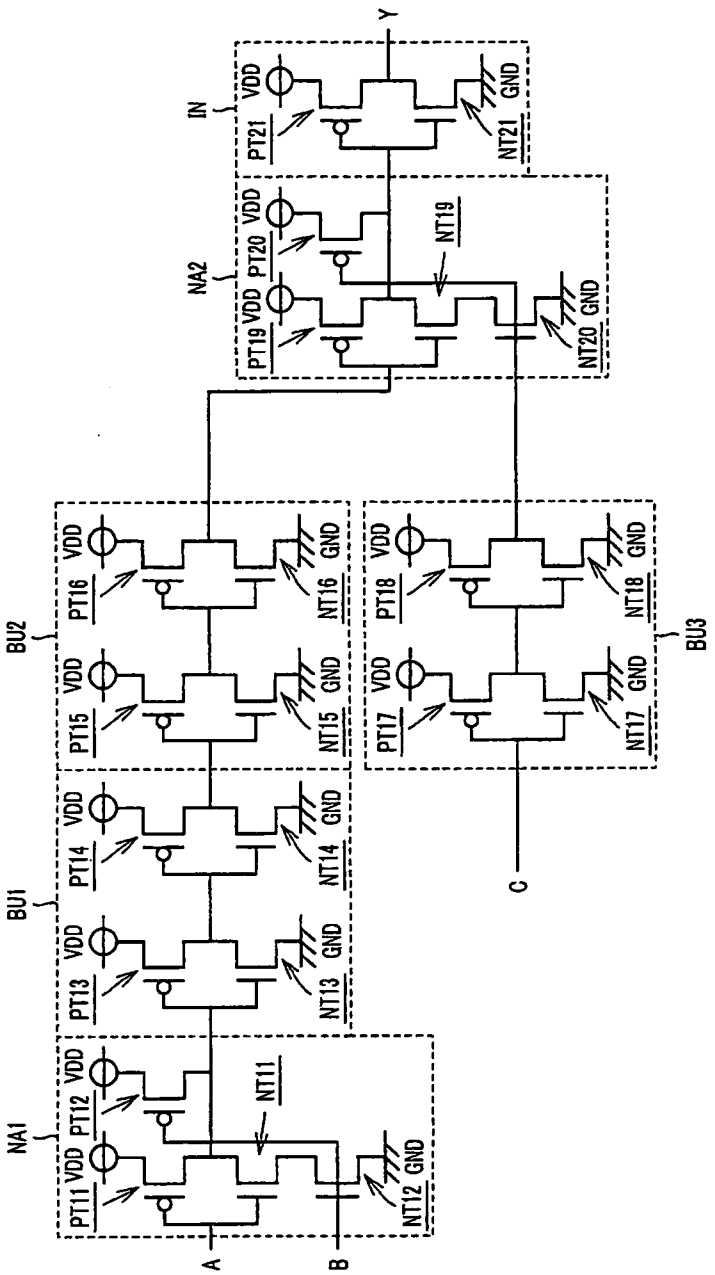

Y
IN
NA2
BU2
BU3
BU1
NA1
A
B
C
VDD
GND
PT11
PT12
PT13
PT14
PT15
PT16
PT17
PT18
PT19
PT20
PT21
NT11
NT12
NT13
NT14
NT15
NT16
NT17
NT18
NT19
NT20
NT21

圖 12

圖 13

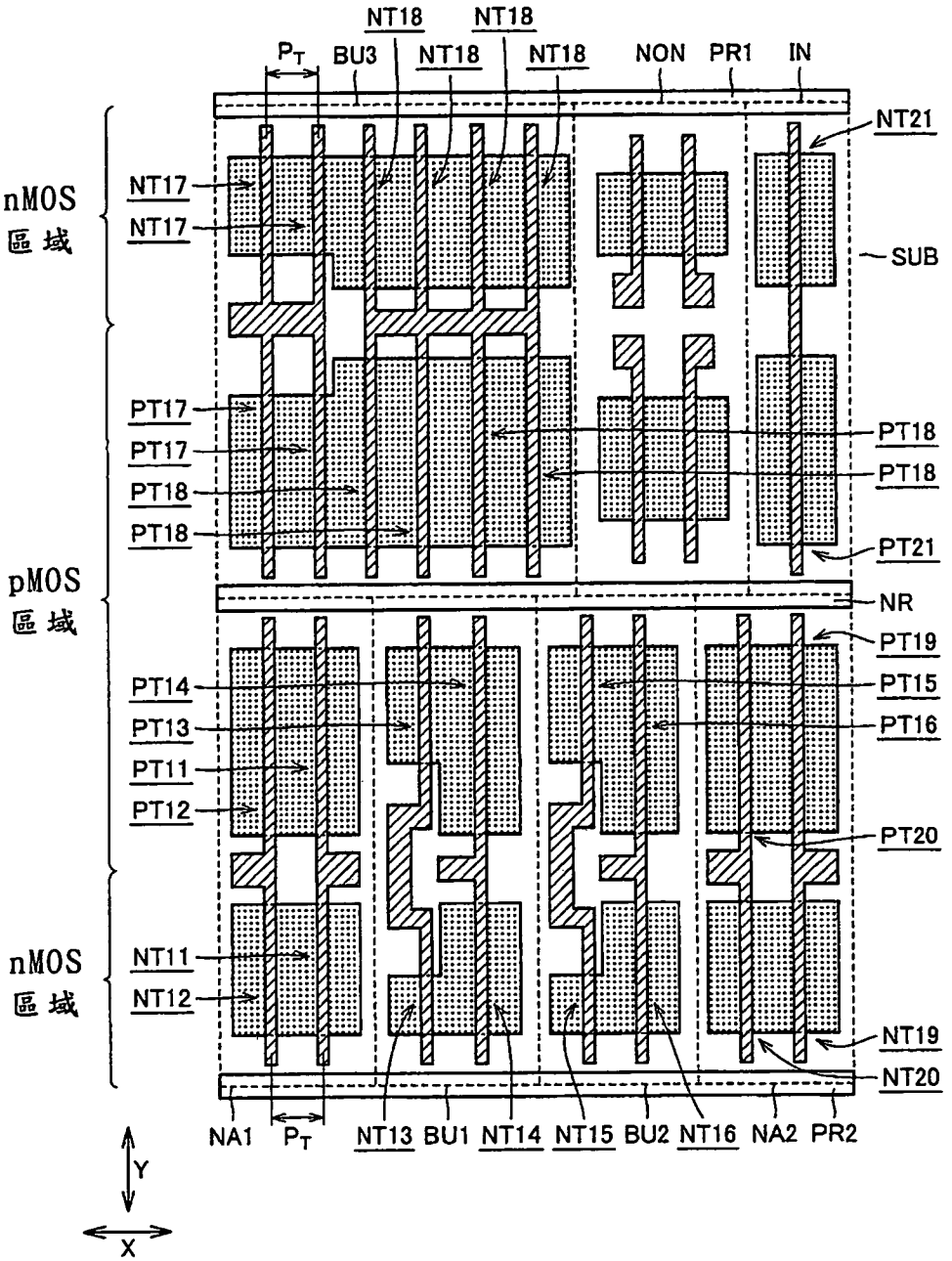

NT18
NT18
P_T
BU3
NT18
NT18
NON
PR1
IN
NT21
nMOS
區域
NT17
NT17
SUB
PT17
PT17
PT18
PT18
PT18
PT18
PT21
pMOS
區域
NR
PT19
PT14
PT15
PT13
PT16
PT11
PT12
PT20
nMOS
區域
NT11
NT12
NT19
NT20
NA1
P_T
NT13
BU1
NT14
NT15
BU2
NT16
NA2
PR2
Y
X

圖 14

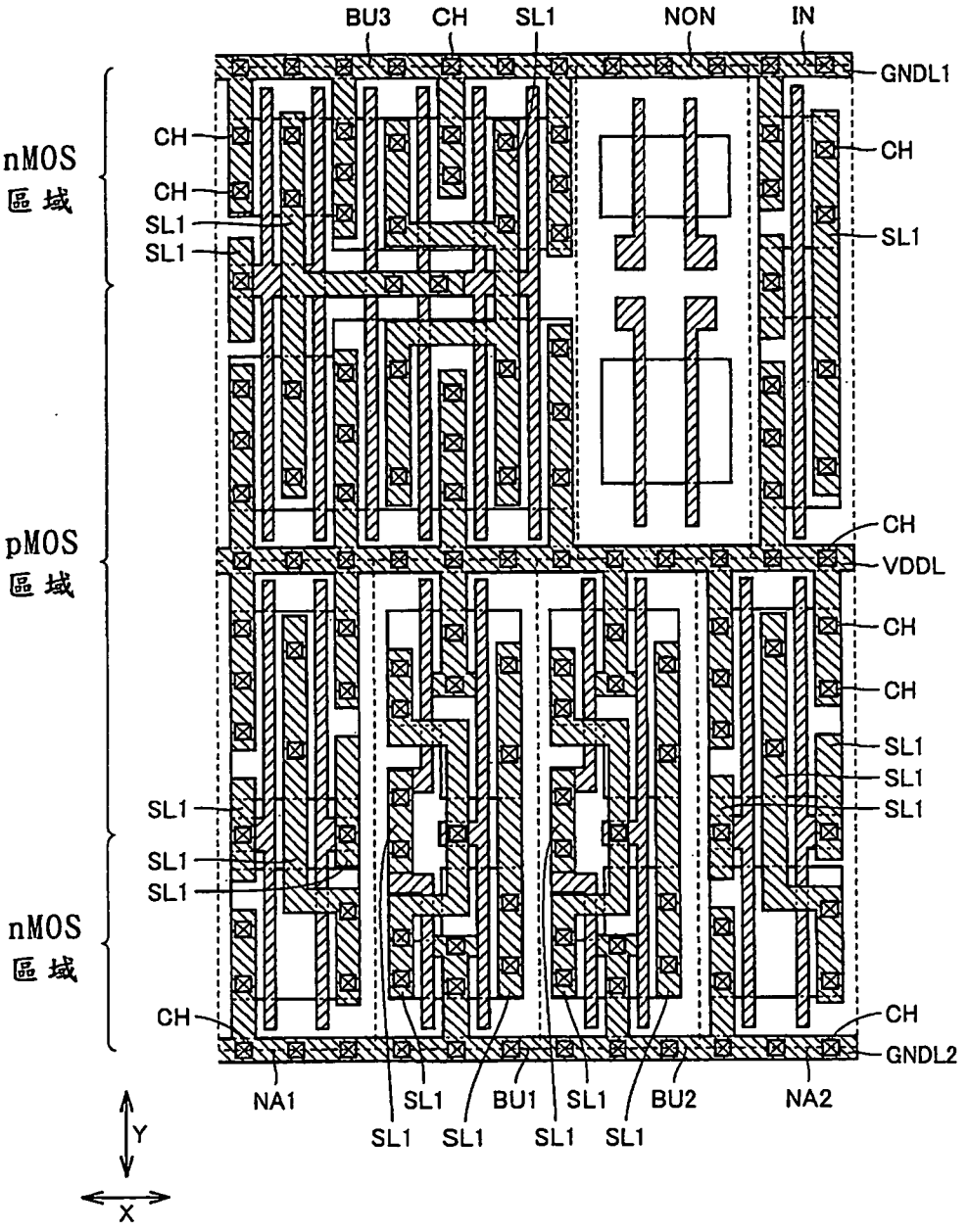

BU3
CH
SL1
NON
IN
GNDL1
nMOS
區域
CH
CH
SL1
SL1
CH
SL1
pMOS
區域
CH
VDDL
CH
CH
SL1
SL1
SL1
SL1
SL1
SL1
nMOS
區域
CH
CH
GNDL2
NA1
SL1
BU1
SL1
BU2
NA2
SL1
SL1
SL1
SL1
Y
X

圖 15

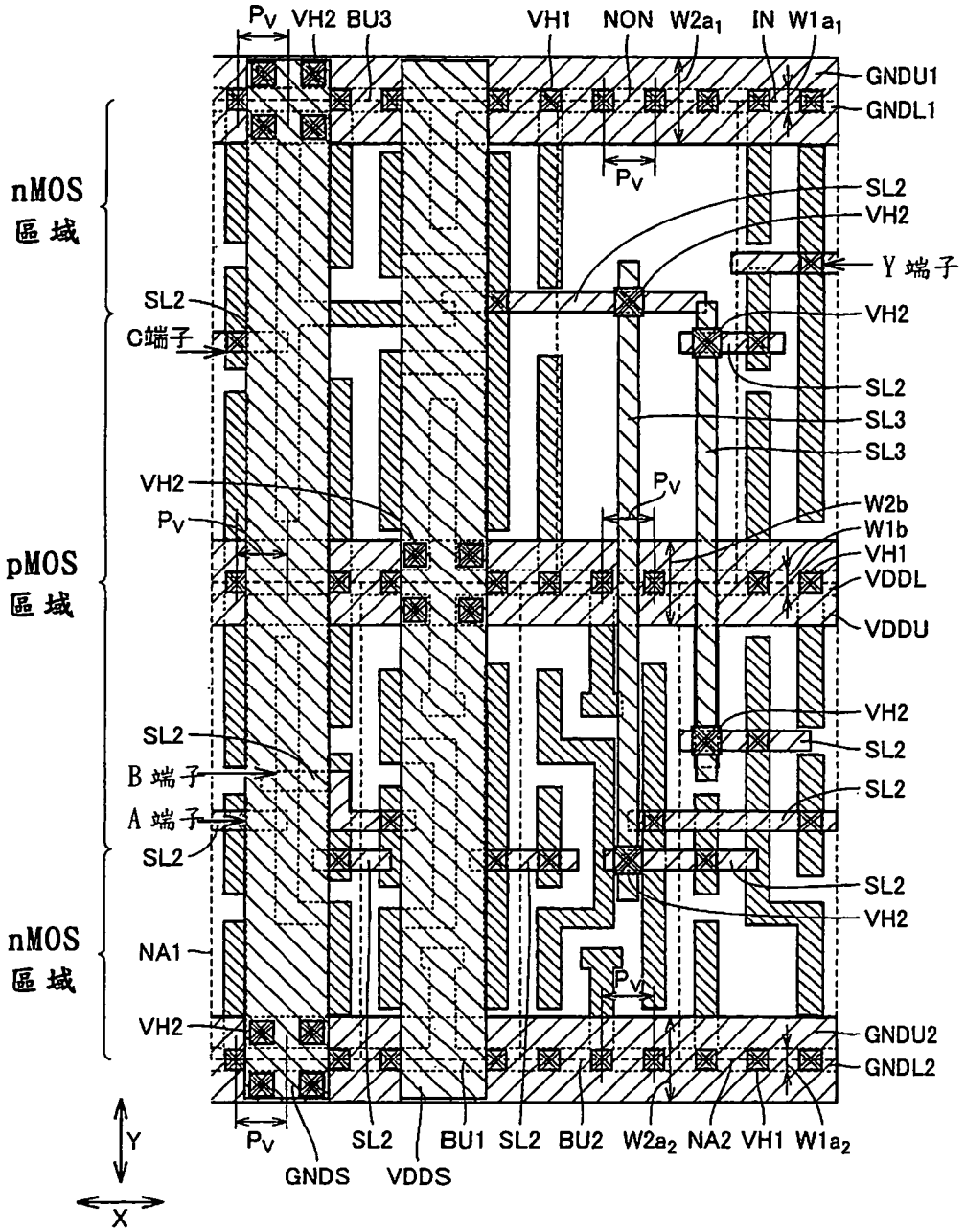

PV VH2 BU3
VH1 NON W2a1 IN W1a1
GNDU1
GNDL1
nMOS 區域
SL2
VH2
Y 端子
SL2
C端子
VH2
SL2
SL3
SL3
VH2
PV
PV
W2b
W1b
VH1
pMOS 區域
VDDL
VDDU
VH2
SL2
SL2
B 端子
A 端子
SL2
SL2
VH2
nMOS 區域
NA1
PV
VH2
GNDU2
GNDL2
Y
X
PV
SL2
BU1 SL2 BU2 W2a2 NA2 VH1 W1a2
GNDS
VDDS

圖 16

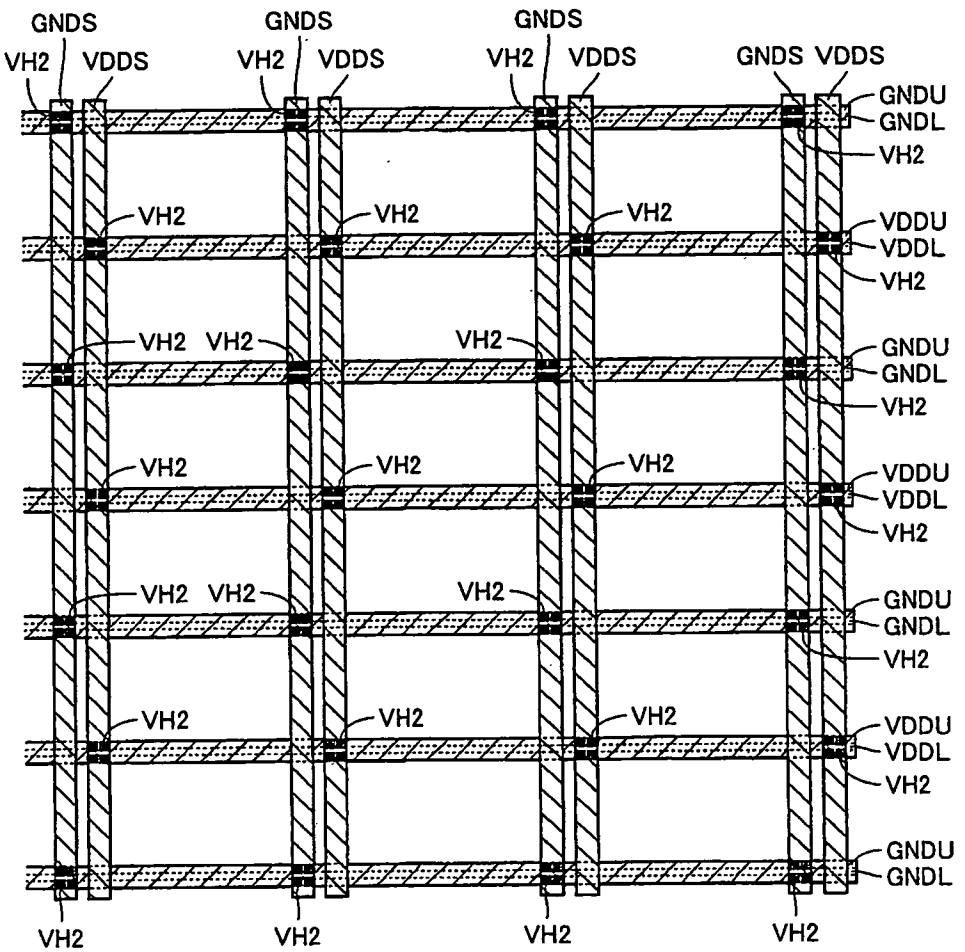


圖 17

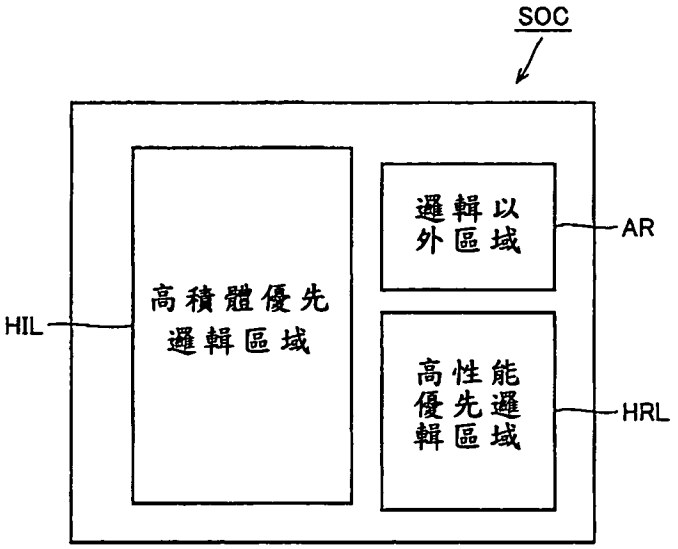


圖 18

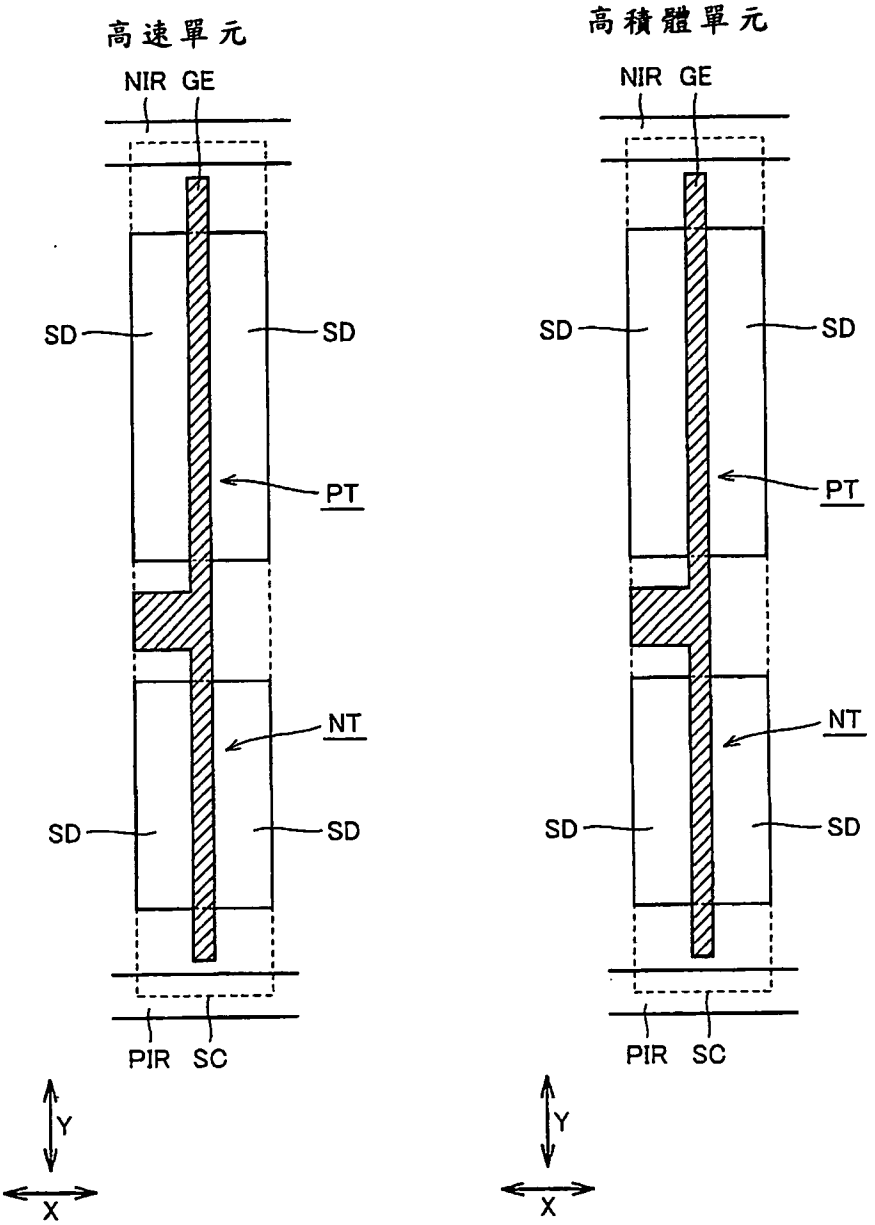

高速單元
NIR GE
SD
SD
PT
NT
SD
SD
PIR SC
Y
X
高積體單元
NIR GE
SD
SD
PT
NT
SD
SD
PIR SC
Y
X

圖 19

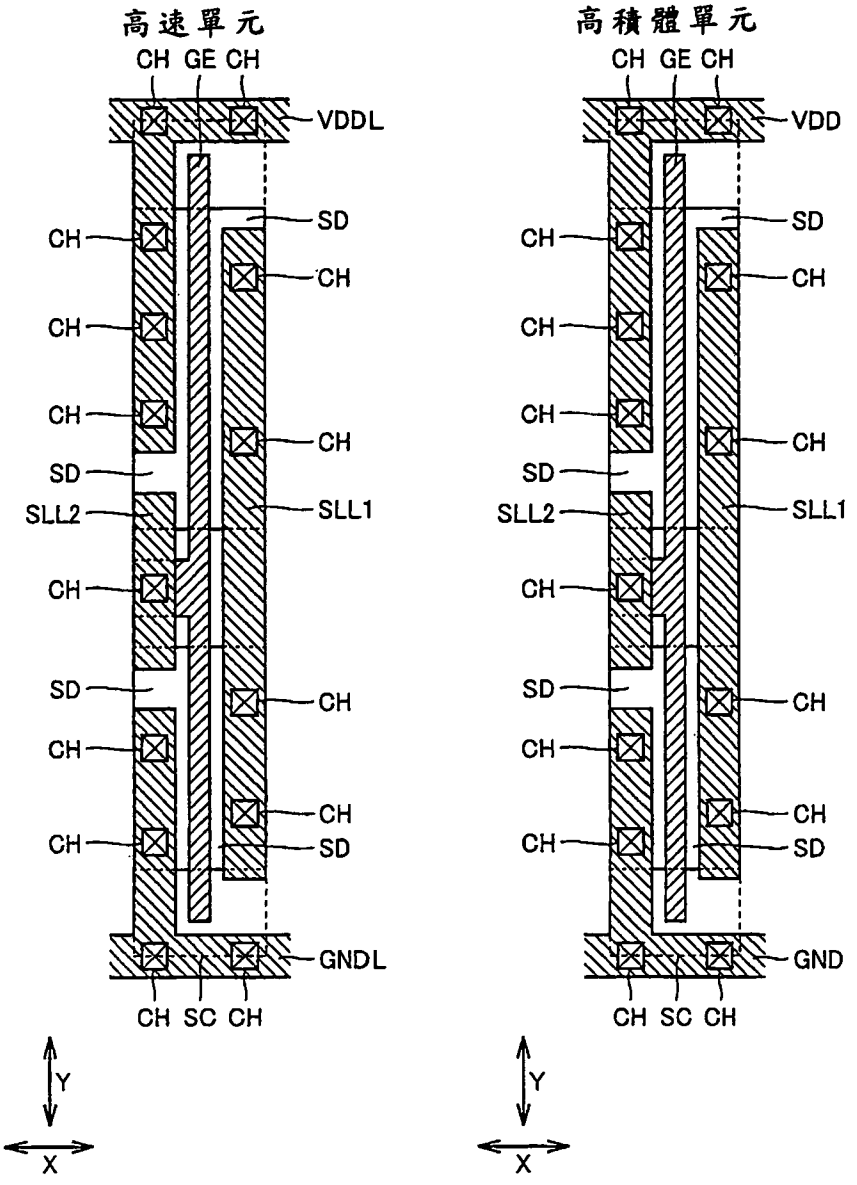
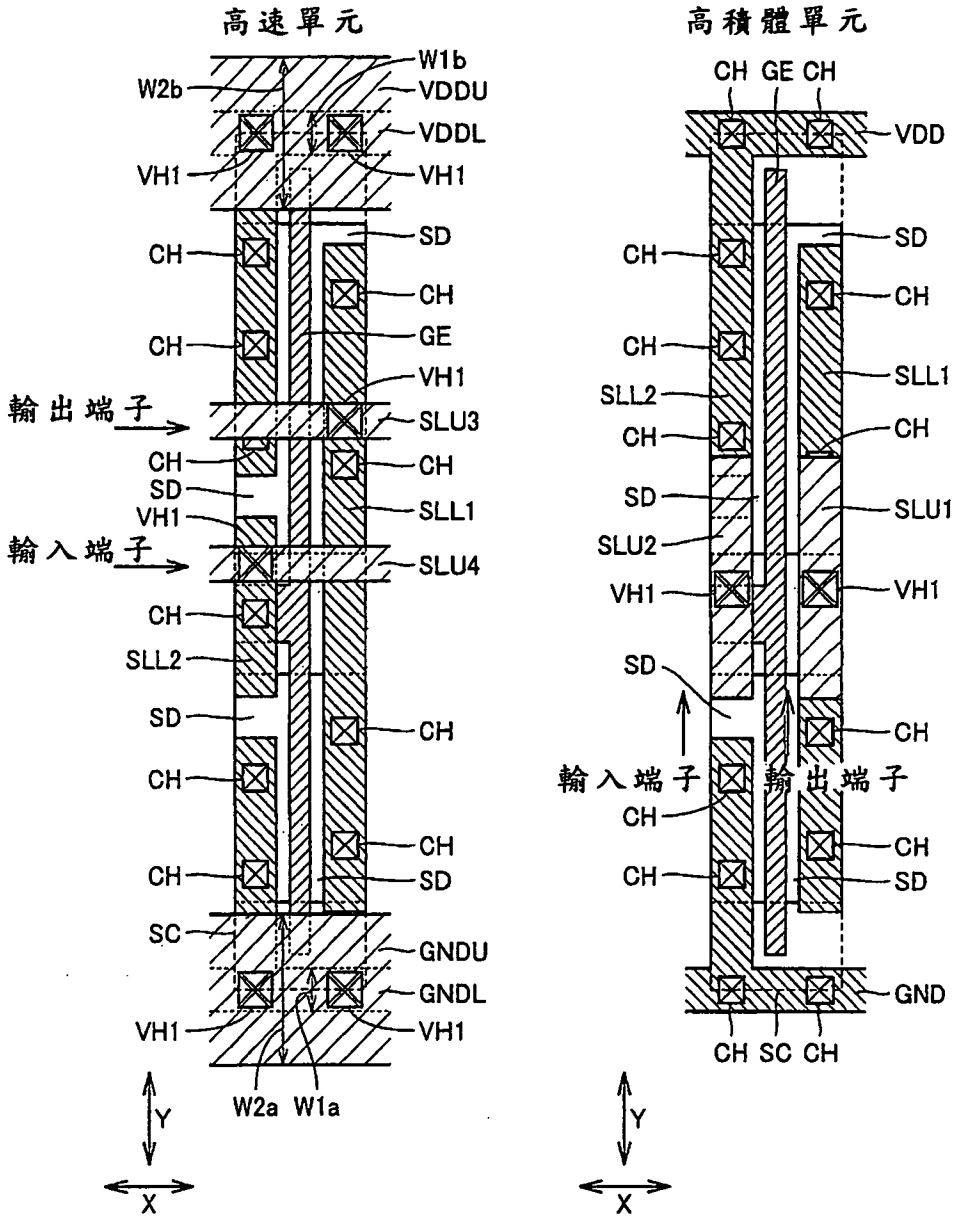

高速單元
CH GE CH
VDDL
SD
CH
CH
CH
CH
CH
SD
SLL2
SLL1
CH
SD
CH
CH
CH
CH
CH
SD
GNDL
CH SC CH
Y
X
高積體單元
CH GE CH
VDD
SD
CH
CH
CH
CH
CH
SD
SLL2
SLL1
CH
SD
CH
CH
CH
CH
CH
SD
GND
CH SC CH
Y
X

圖 20


高速單元
W1b
W2b
VDDU
VDDL
VH1
VH1
SD
CH
CH
CH
GE
VH1
輸出端子
SLU3
CH
CH
SD
VH1
SLL1
輸入端子
SLU4
CH
SLL2
SD
CH
CH
CH
CH
SD
SC
GNDU
GNDL
VH1
VH1
W2a W1a
Y
X
高積體單元
CH GE CH
VDD
CH
SD
CH
CH
SLL1
SLL2
CH
CH
SD
SLU1
SLU2
VH1
VH1
SD
CH
輸入端子
輸出端子
CH
CH
CH
SD
GND
CH SC CH
Y
X

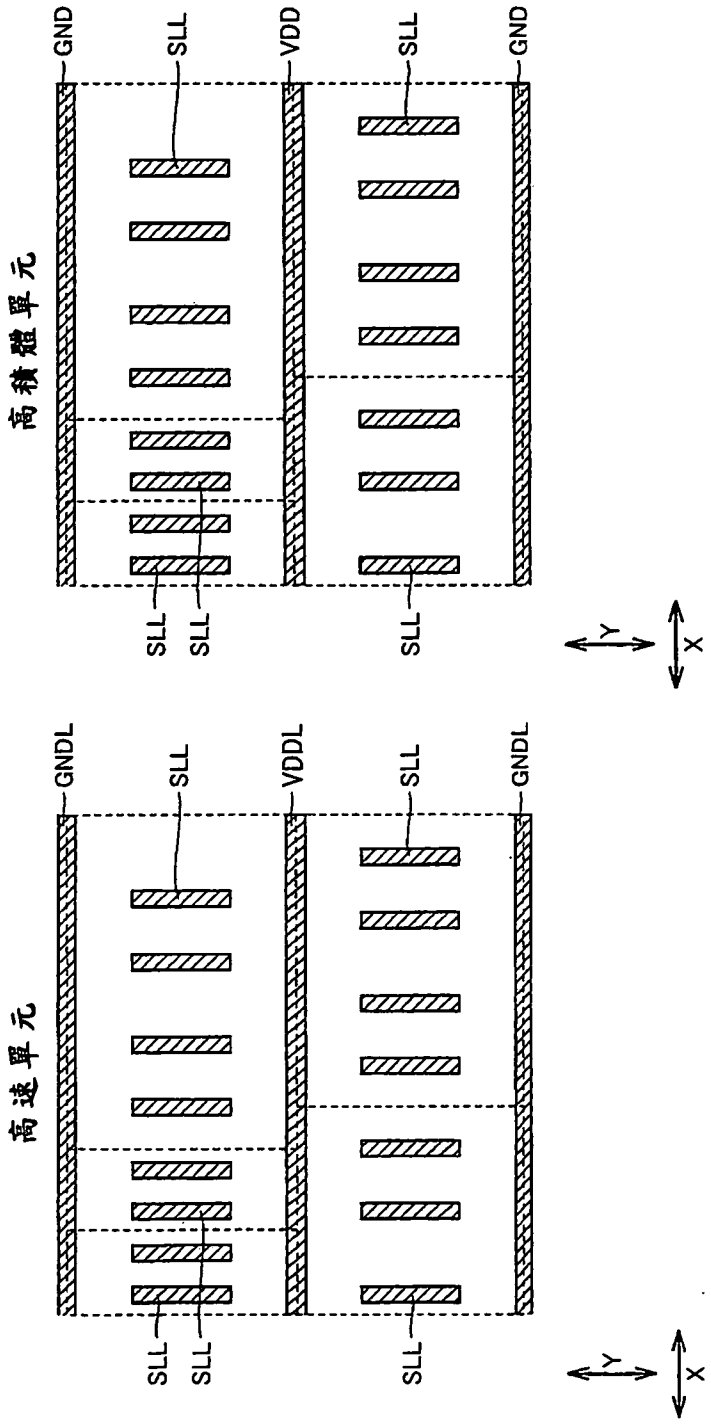

高積體單元
GND
SLL
VDD
SLL
GND
SLL
SLL
SLL
Y
X
高速單元
GNDL
SLL
VDDL
SLL
GNDL
SLL
SLL
SLL
Y
X

圖 21

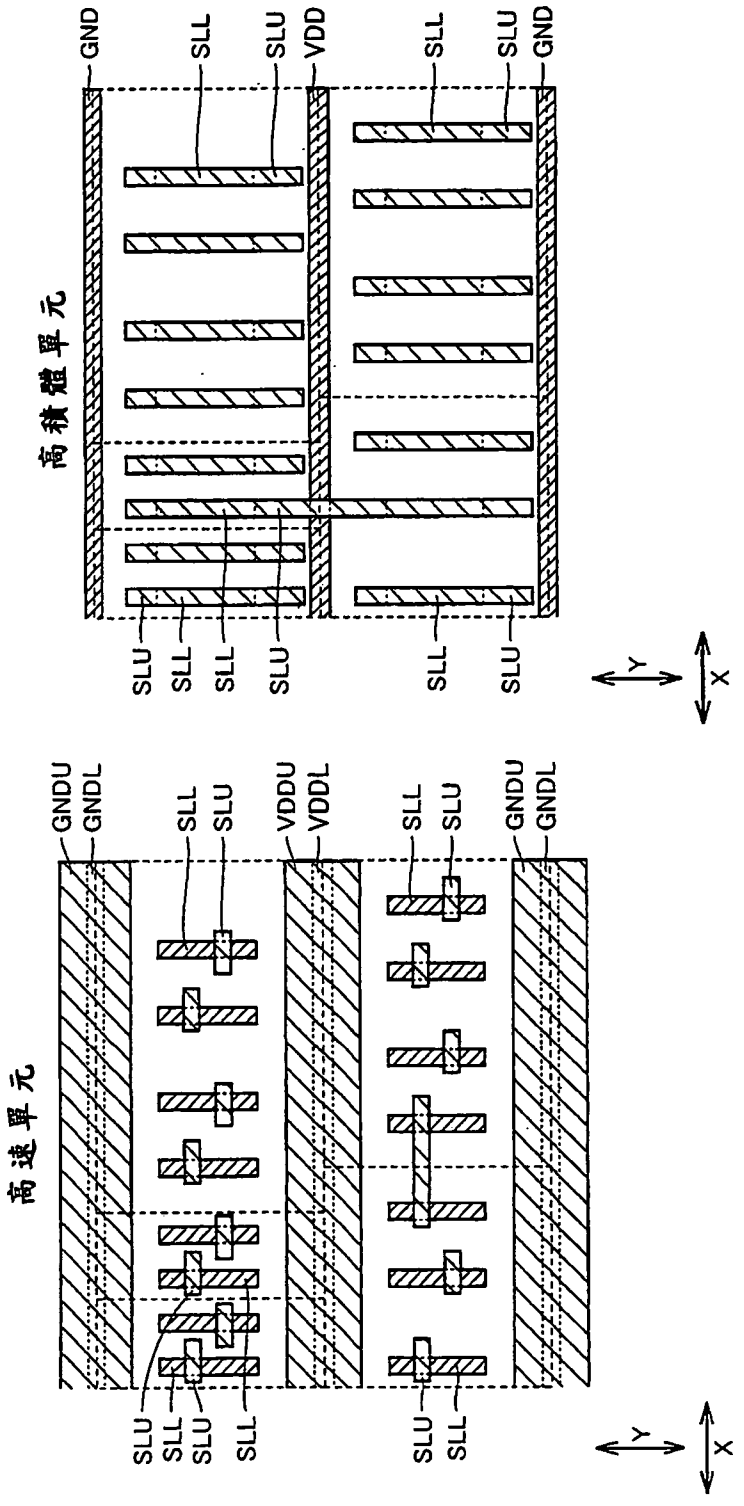

高積體單元
GND
SLL
SLU
VDD
SLL
SLU
GND
SLU
SLL
SLL
SLU
SLL
SLU
Y
X
高速單元
GNDU
GNDL
SLL
SLU
VDDU
VDDL
SLL
SLU
GNDU
GNDL
SLU
SLL
SLU
SLL
SLU
SLL
Y
X

圖 22

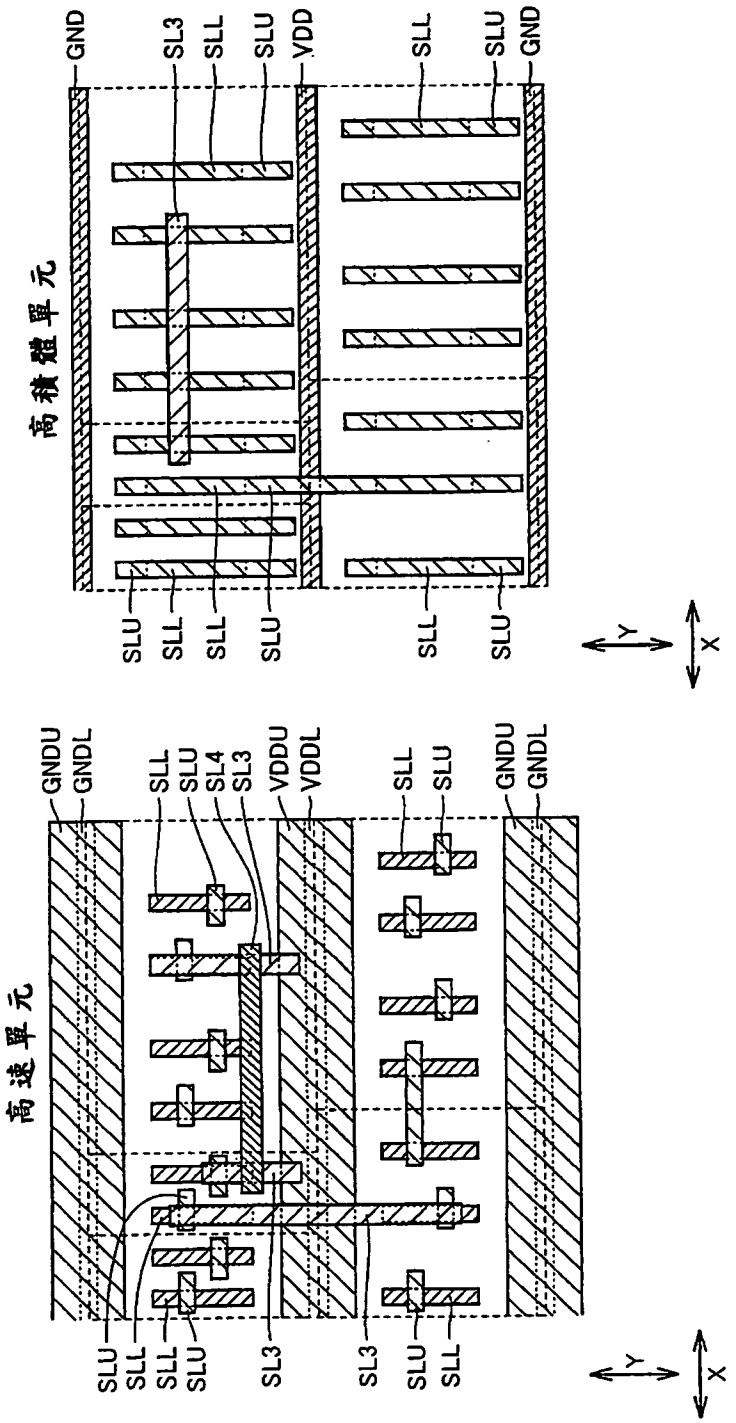

高積體單元
GND
SL3
SLL
SLU
VDD
SLL
SLU
GND
SLU
SLL
SLL
SLU
SLL
SLU
Y
X
高速單元
GNDU
GNDL
SLL
SLU
SL4
SL3
VDDU
VDDL
SLL
SLU
GNDU
GNDL
SLU
SLL
SLL
SLU
SL3
SL3
SLU
SLL
Y
X

圖 23

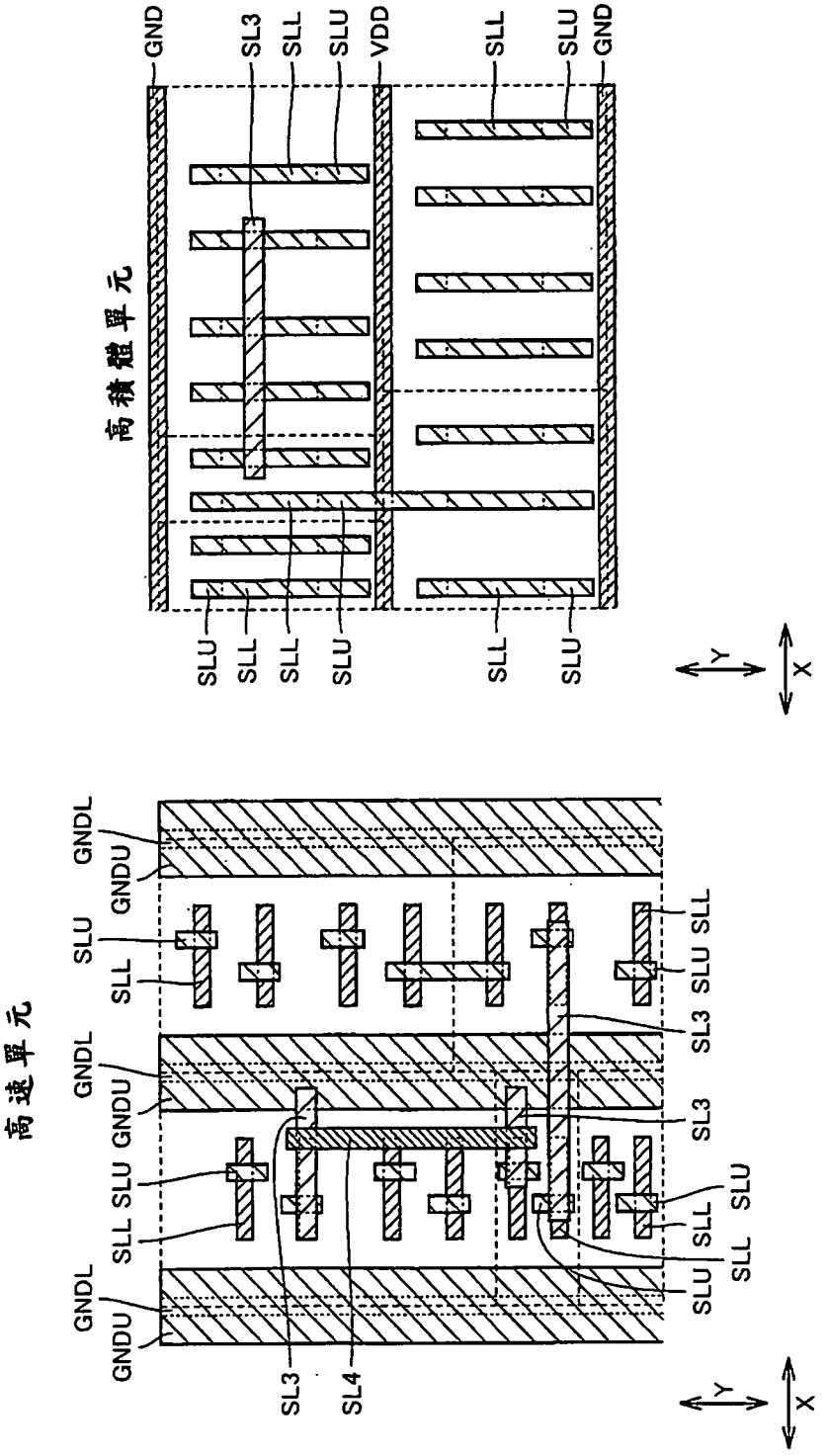


圖 24