

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-94947
(P2009-94947A)

(43) 公開日 平成21年4月30日(2009.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/202 (2006.01)	HO4N 5/202	5C021
HO4N 1/407 (2006.01)	HO4N 1/40 101E	5C077

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号	特願2007-265570 (P2007-265570)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成19年10月11日(2007.10.11)	(71) 出願人	506227884 三洋半導体株式会社 群馬県邑楽郡大泉町坂田一丁目1番1号
		(74) 代理人	100075258 弁理士 吉田 研二
		(74) 代理人	100096976 弁理士 石田 純
		(72) 発明者	大森 伸彦 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
		Fターム(参考)	5C021 PA72 PA80 PA89 XA34 5C077 LL18 LL19 PP15 PQ23

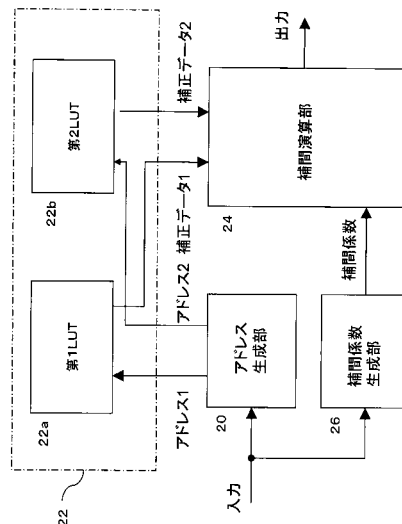
(54) 【発明の名称】 補正演算回路

(57) 【要約】

【課題】 ルックアップテーブルの面積を減少する。

【解決手段】 所定の上位ビットに該当する所定間隔おきの入力データに対応する補正データを記憶するルックアップテーブルとして、入力データに対応する補正データを交互に記憶する複数の1ポートの分割ルックアップテーブル22a, 22bを設ける。アドレス生成部は、入力データから、対応する複数の分割ルックアップテーブル22a, 22bについてのアドレスを生成する。補間演算部26、2つのルックアップテーブルから読み出された読み出しデータについて、入力データの低位ビットを利用して補間演算を行う。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

所定の上位ビットに該当する所定間隔おきの入力データに対応する補正データを記憶するルックアップテーブルであって、入力データに対応する補正データを交互に記憶する複数の 1 ポートの分割ルックアップテーブル有するルックアップテーブルと、

入力データから、対応する複数の分割ルックアップテーブルについてのアドレスを生成するアドレス生成部と、

生成されたアドレスにより複数の分割ルックアップテーブルから読み出された読み出しデータについて、入力データの下位ビットを利用して補間演算を行う補間演算部と、

を有することを特徴とする補正演算回路。

10

【請求項 2】

請求項 1 に記載の補正演算回路において、

前記ルックアップテーブルは、奇数番目の補正データを記憶する第 1 ルックアップテーブルと、偶数番目の補正データを記憶する第 2 ルックアップテーブルとの 2 つの分割ルックアップテーブルを含み、

前記アドレス生成部は、前記下位ビットの大きさに応じて、第 1 ルックアップテーブルと、第 2 ルックアップテーブルの読み出しアドレスを同一とするか、異なるものとするかを変更することを特徴とする補正演算回路。

【請求項 3】

請求項 1 または 2 に記載の補正演算回路において、

前記入力データは、映像データであり、補間演算部においてガンマ補正後の映像データを得ることを特徴とする補正演算回路。

20

【発明の詳細な説明】**【技術分野】****【0001】**

所定の上位ビットに該当する所定間隔おきの入力データに対応する補正データを記憶するルックアップテーブルを利用して、補正後のデータをえる補正回路に関する。

【背景技術】**【0002】**

従来より、映像信号について、表示する場合には、ガンマ曲線に基づいたガンマ補正が行われる。そして、このガンマ曲線を利用する補正には、ルックアップテーブルが利用されている。ルックアップテーブルを利用する場合、入力データに対応する全ての補正データを記憶すると容量が非常に大きくなってしまふ。そこで、ルックアップテーブルには、所定間隔毎の入力データについての補正データを記憶する。このため、入力に対する補正データが保存されている場合には、そのデータを読み出して出力すればよいが、保存されていない場合にはしておき、補間演算を行い、ガンマ補正後の映像データを得ている。

30

【0003】

従って、ルックアップテーブルからは、1 つの入力データに対し、隣接する 2 つの補正データを出力する必要がある。そこで、1 つの入力データに対し、2 つのアドレスを生成、隣接する補正データを出力している。例えば、入力データが 8 ビットであって、上位 5 ビットの入力データに対応する補正データがルックアップテーブルに格納されている。この場合、入力データの上位 5 ビットに対応するアドレス 1 と、上位 5 ビットの値 + 1 に対応するアドレス 2 の 2 つのアドレスを発生し、この 2 つのアドレスの補正データをルックアップテーブルから出力する。

40

【0004】

従って、ルックアップテーブルとして、2 つのアドレスを同時に指定して、2 つの出力データを得る 2 ポートのメモリが利用されている。

【0005】

【特許文献 1】特開 2005 - 323137 号公報

【発明の開示】

50

【発明が解決しようとする課題】**【0006】**

しかし、2ポートのメモリは、同時アクセスのためにそのための回路が必要となり、ルックアップテーブルの面積が大きくなってしまいう問題があった。

【課題を解決するための手段】**【0007】**

本発明は、所定の上位ビットに該当する所定間隔おきの入力データに対応する補正データを記憶するルックアップテーブルであって、入力データに対応する補正データを交互に記憶する複数の1ポートの分割ルックアップテーブル有するルックアップテーブルと、入力データから、対応する複数の分割ルックアップテーブルについてのアドレスを生成するアドレス生成部と、生成されたアドレスにより複数の分割ルックアップテーブルから読み出された読み出しデータについて、入力データの下位ビットを利用して補間演算を行う補間演算部と、を有することを特徴とする。

10

【0008】

また、前記ルックアップテーブルは、奇数番目の補正データを記憶する第1ルックアップテーブルと、偶数番目の補正データを記憶する第2ルックアップテーブルとの2つの分割ルックアップテーブルを含み、前記アドレス生成部は、前記下位ビットの大きさに応じて、第1ルックアップテーブルと、第2ルックアップテーブルの読み出しアドレスを同一とするか、異なるものとするかを変更することが好適である。

20

【0009】

また、前記入力データは、映像データであり、補間演算部においてガンマ補正後の映像データを得ることが好適である。

【発明の効果】**【0010】**

以上のように、本発明のよれば、1ポートのルックアップテーブルを用いたため、全体として面積を小さく効率的な補正演算回路を得ることができる。

【発明を実施するための最良の形態】**【0011】**

以下、本発明の実施形態について、図面に基づいて説明する。

【0012】

30

図1は、システムの全体構成を示す図である。テレビ放送をアンテナで受信され、受信波はチューナ10において受信処理され、アナログの映像信号が得られる。アナログの映像信号は、A/D変換器12によりデジタルの映像データに変換され、デジタル映像変換回路14に供給される。このデジタル映像変換回路14では、表示パネルに供給するためのデータに変換する処理の他、コントラスト、ブライトネス、色バランス、等の各種の処理を行う。

【0013】

そして、デジタル映像変換回路14の出力は、ガンマ補正回路16に供給される。ガンマ補正回路16では、表示パネルにおける表示が見る者に正しい階調として認識されるように、供給される映像データについてガンマ補正を行う。ガンマ補正回路16の出力は表示パネル18に供給され、ここで表示される。

40

【0014】

図2には、ガンマ補正回路16の構成が示されている。デジタル映像変換回路14の出力である映像データ(入力データ)は、アドレス生成部20に供給される。アドレス生成部20は、入力データに基づき、2つのアドレスデータ(アドレス1,アドレス2)を発生する。そして、このアドレス1,アドレス2がルックアップテーブル22に供給される。ルックアップテーブル22は、分割ルックアップテーブルとして、第1LUT22aと、第2LUT22bを有しており、アドレス1は第1LUT22aに、アドレス2は第2LUT22bに供給される。そして、第1および第2LUT22a,22bからの出力である2つの補正データは補間演算部24に供給される。

50

【 0 0 1 5 】

また、入力データは、補間係数生成部 2 6 にも供給される。この補間係数生成部 2 6 は、入力データの下位ビットの値から補間係数を発生しこれをガンマ補正回路 1 6 に供給する。補間演算部 2 4 は、ルックアップテーブル 2 2 から供給される 2 つの補正データと、補間係数生成部 2 6 から供給される補間係数に基づいて補間演算を行い、補間後のデータを出力する。

【 0 0 1 6 】

図 3 に、ルックアップテーブル 2 2 に記憶される補正データを示す。入力データが 8 ビットデータであったとして、上位 5 ビットデータに対応する補正データがルックアップテーブル 2 2 に記憶される。この例では、入力データの 0, 4, 8, 12, … 252 に対応する 64 の補正データ $r_1, r_2, r_3, \dots, r_{63}$ がルックアップテーブル 2 2 に記憶される。ここで、図に示した 0, 8, … という入力に対応する r_0, r_2, \dots という偶数番目の補正データが第 1 LUT 2 2 a に記憶され、図に示した 4, 12, … という入力に対応する r_1, r_3, \dots という奇数番目の補正データが第 2 LUT 2 2 a に記憶される。すなわち、第 1 LUT 2 2 a のアドレス 0, 1, 2, …、31 には、 $r_0, r_2, r_4, \dots, r_{62}$ が記憶され、第 2 LUT 2 2 a のアドレス 0, 1, 2, …、31 には、 $r_1, r_3, r_5, \dots, r_{63}$ が記憶される。

10

【 0 0 1 7 】

ここで、補間演算の場合には、入力データを挟む 2 つのデータに対応する 2 つの補正データが必要になる。このため、アドレス生成部 2 0 は、入力データに対し、次のようにしてアドレス 1, 2 を発生する。

20

【 0 0 1 8 】

(i) 入力データの $bit[2]$ が 0 の時は、アドレス 1 = 入力の上位 5 bit、アドレス 2 = 入力の上位 5 bit とする。

【 0 0 1 9 】

(i i) 入力データの $bit[2]$ が 1 の時は、アドレス 2 = 入力の上位 5 bit、アドレス 1 = 入力の上位 5 bit + 1 とする。

【 0 0 2 0 】

このようなアドレスを発生することによって、例えば入力データが「11」であれば、入力は「00001011」である。従って、 $bit[2] = 0$ であり、アドレス 1 = 1 (補正データ 1 = r_2)、アドレス 2 = 1 (補正データ 2 = r_3) となる。また、「14」であれば、入力は「00001110」である。従って、 $bit[2] = 1$ であり、アドレス 1 = 2 (補正データ 1 = r_4)、アドレス 2 = 1 (補正データ 2 = r_3) となる。

30

【 0 0 2 1 】

このように、第 1 および第 2 LUT 2 2 a, 2 2 b のアドレスについては、上位ビットで特定するが、下位ビットの値によって、両アドレスを同一とするか、1 つずらすかを制御して 2 つの読み出しアドレスを発生する。

【 0 0 2 2 】

また、補間係数生成部 2 6 は、下位 3 ビットの値に応じた補間係数を発生する。例えば、下位 3 ビットの値を「111」で割り算した値でもよいが、2 次曲線で近似してもよい。そして、補間演算部 2 4 は、2 つの補正データの差を補間係数生成部 2 6 からの補間係数で分配して、補間後のデータを得て出力する。

40

【 0 0 2 3 】

本実施形態によれば、2 つの 1 ポート LUT 2 2 a, 2 2 b を用いている。1 ポートのメモリは、ポートが 1 つであり、効率的な配線などが可能であり、これを 2 つも受ける方が 2 ポートメモリを用いるよりかえって面積を小さくできる。また、広く用いられる汎用のものであり、効率的設計がなされてものが多くあり、安価である。

【 0 0 2 4 】

そして、アドレス生成部 2 0 において、上述のようなアドレス発生を行うだけで、2 つ

50

の L U T 2 2 a , 2 2 b に効率よくアクセスすることが可能となる。

【 0 0 2 5 】

さらに、1ポート L U T 2 2 を3以上設けることも好適である。図4には、4つの1ポート L U T (第1～第4 L U T) 2 2 a ~ 2 2 d を設ける例が示されている。この例では、アドレス生成部 2 0 において、1つの入力データに応じて第1～第4 L U T 2 2 a ~ 2 2 d のアドレスを発生する。そして、これによって、1つの入力データに近接する4つのガンマ変換後の補正データが第1～第4 L U T 2 2 a ~ 2 2 d の出力に得られる。1つの入力に対し、2つのデータに基づく補間では基本的に直線補間となるが、4つのデータがあれば、2次の補間が可能になる。すなわち、例えば、入力データが8ビットで、この入力データの4ビットごとに補正データが入力されている場合であれば、図5に示すように、入力データの4ビット毎に補正データが第1～第4 L U T 2 2 a ~ 2 2 d に記憶されている。すなわち、下記表1に示すように、上位4ビットで決定されるアドレス0～15には、それぞれ対応する補正データが表1に示すように、記憶されている。

10

【 0 0 2 6 】

【表1】

アドレス	第1 LUT	第2 LUT	第3 LUT	第4 LUT
0	r0	r1	r2	r3
1	r4	r5	r6	r7
2	r8	r9	r10	r11
:	:	:	:	:
15	r60	r61	r62	r63

20

この表1に従い、アドレス生成回路 2 0 は、次のようなアドレスを発生する。

・ 入力の $bit[3:2]$ (LSBが0ビットとして、3ビット-2ビットを意味する) が0の時

第1 L U T 2 2 a のアドレス = 入力の上位4 bit

第2 L U T 2 2 b のアドレス = 入力の上位4 bit

第3 L U T 2 2 c のアドレス = 入力の上位4 bit

第4 L U T 2 2 d のアドレス = 入力の上位4 bit

30

・ 入力の $bit[3:2]$ が1の時

第1 L U T 2 2 a のアドレス = 入力の上位4 bit + 1

第2 L U T 2 2 b のアドレス = 入力の上位4 bit

第3 L U T 2 2 c のアドレス = 入力の上位4 bit

第4 L U T 2 2 d のアドレス = 入力の上位4 bit

・ 入力の $bit[3:2]$ が2の時

第1 L U T 2 2 a のアドレス = 入力の上位4 bit + 1

第2 L U T 2 2 b のアドレス = 入力の上位4 bit + 1

第3 L U T 2 2 c のアドレス = 入力の上位4 bit

第4 L U T 2 2 d のアドレス = 入力の上位4 bit

40

・ 入力の $bit[3:2]$ が3の時

第1 L U T 2 2 a のアドレス = 入力の上位4 bit + 1

第2 L U T 2 2 b のアドレス = 入力の上位4 bit + 1

第3 L U T 2 2 c のアドレス = 入力の上位4 bit + 1

第4 L U T 2 2 d のアドレス = 入力の上位4 bit

【 0 0 2 7 】

このようなアドレス発生によって、入力データに対応する4つの補正データが4つの第1～第4 L U T 2 2 a ~ 2 2 d から発生され、これがガンマ補正演算部 2 4 に供給される

50

。従って、ガンマ補正演算部 2 4 において、4 つの補正データを用いた補間演算を行うことができる。なお、8 ビットの入力データに該当する 1 つの補正データがある場合には、その該当データのみ出力するようにしてもよい。さらに、入力データに隣接する前後 2 つのデータに該当する 4 つの補正データから補間を行うことが好ましいが、必ずしも前後が同数でなくてもよい。

【 0 0 2 8 】

このように、上位 4 ビットの値が同じでも、下位 4 ビット [3 - 2] ビットの値に応じて読み出しアドレスを変更することで、常に入力データを中心とした 4 つの補正データを得ることができ、これを利用して補間演算が可能になる。

【 図面の簡単な説明 】

【 0 0 2 9 】

- 【 図 1 】 システムの全体構成を示す図である。
- 【 図 2 】 ガンマ補正回路の構成を示す図である。
- 【 図 3 】 ルックアップテーブルの内容を示す図である。
- 【 図 4 】 他のガンマ補正回路の構成例を示す図である。
- 【 図 5 】 ルックアップテーブルの内容を示す図である。

【 符号の説明 】

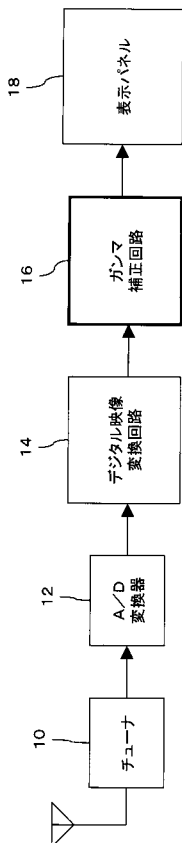
【 0 0 3 0 】

1 0 チューナ、 1 2 A / D 変換器、 1 4 デジタル映像変換回路、 1 6 ガンマ補正回路、 1 8 表示パネル、 2 0 アドレス生成部、 2 2 ルックアップテーブル、 2 4 補間演算部、 2 6 補間係数生成部。

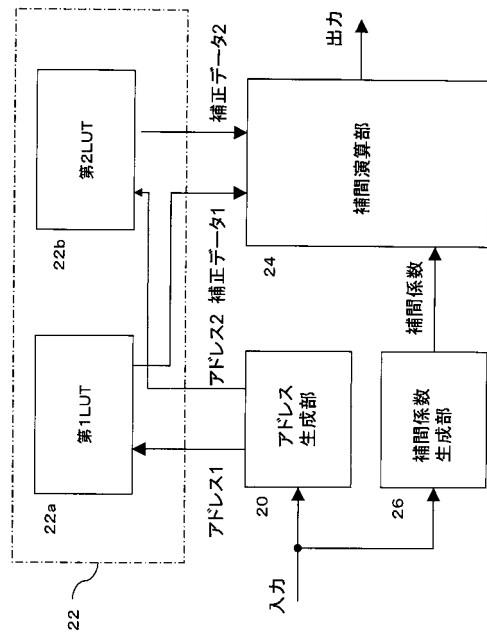
10

20

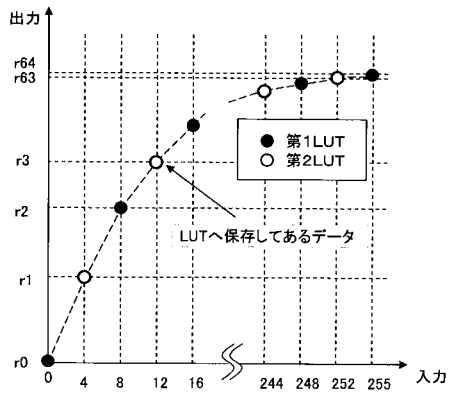
【 図 1 】



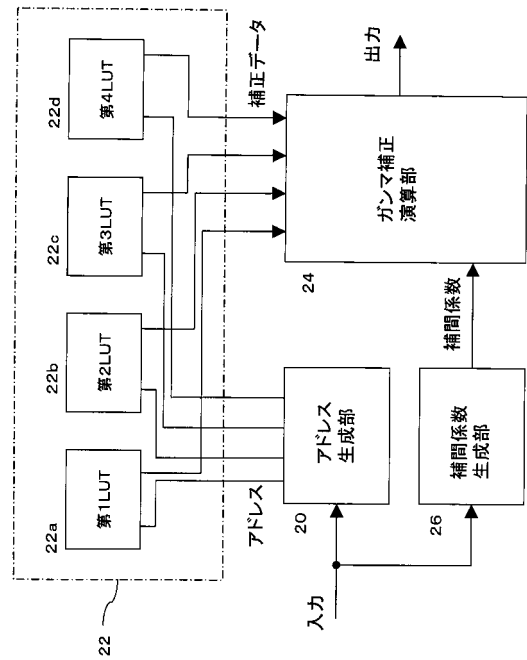
【 図 2 】



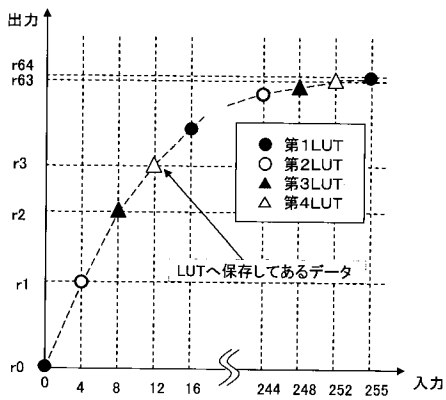
【 図 3 】



【 図 4 】



【 図 5 】



【手続補正書】

【提出日】平成20年9月25日(2008.9.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

また、入力データは、補間係数生成部26にも供給される。この補間係数生成部26は、入力データの下位ビットの値から補間係数を発生しこれを補間演算部24に供給する。補間演算部24は、ルックアップテーブル22から供給される2つの補正データと、補間係数生成部26から供給される補間係数に基づいて補間演算を行い、補間後のデータを出力する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

図3に、ルックアップテーブル22に記憶される補正データを示す。入力データが8ビットデータであったとして、上位5ビットデータに対応する補正データがルックアップテーブル22に記憶される。この例では、入力データの0, 4, 8, 12, ... 252に対応する64の補正データ $r_1, r_2, r_3, \dots, r_{63}$ がルックアップテーブル22に記憶される。ここで、図に示した0, 8, ...という入力に対応する r_0, r_2, \dots という偶数番目の補正データが第1LUT22aに記憶され、図に示した4, 12, ...という入力に対応する r_1, r_3, \dots という奇数番目の補正データが第2LUT22bに記憶される。すなわち、第1LUT22aのアドレス0, 1, 2, ...、31には、 $r_0, r_2, r_4, \dots, r_{62}$ が記憶され、第2LUT22bのアドレス0, 1, 2, ...、31には、 $r_1, r_3, r_5, \dots, r_{63}$ が記憶される。

【手続補正3】

【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正の内容】

【図4】

