

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-9935

(P2020-9935A)

(43) 公開日 令和2年1月16日(2020.1.16)

(51) Int.Cl.		F I			テーマコード (参考)
H O 1 L 21/316 (2006.01)		H O 1 L 21/316		X	4 K O 3 O
H O 1 L 21/205 (2006.01)		H O 1 L 21/205			5 F O 3 2
H O 1 L 21/31 (2006.01)		H O 1 L 21/31		C	5 F O 4 5
H O 1 L 21/76 (2006.01)		H O 1 L 21/76		L	5 F O 5 8
C 2 3 C 16/42 (2006.01)		C 2 3 C 16/42			
審査請求 未請求 請求項の数 6 O L (全 11 頁)					

(21) 出願番号 特願2018-130423 (P2018-130423)
 (22) 出願日 平成30年7月10日 (2018.7.10)

(71) 出願人 301071413
 株式会社 セルバック
 京都府京都市伏見区醍醐古道町17-2
 (74) 代理人 100095407
 弁理士 木村 満
 (74) 代理人 100132883
 弁理士 森川 泰司
 (74) 代理人 100174388
 弁理士 龍竹 史朗
 (74) 代理人 100165489
 弁理士 榊原 靖
 (72) 発明者 和田 和夫
 京都府京都市伏見区醍醐古道町17-2
 株式会社セルバック内

最終頁に続く

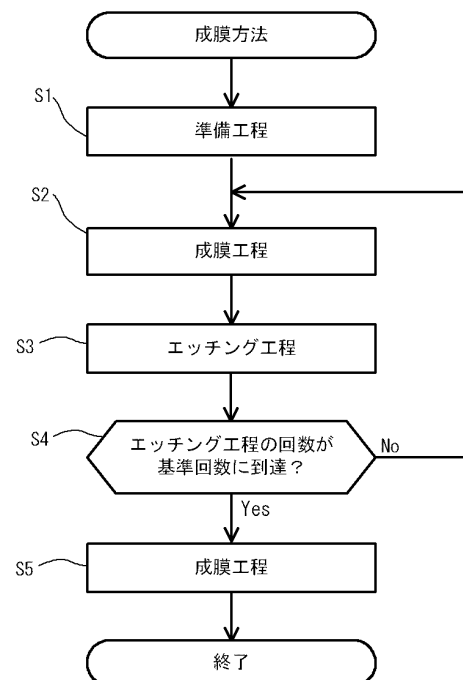
(54) 【発明の名称】 成膜方法、成膜装置および半導体装置

(57) 【要約】

【課題】 製造工程数を削減できる成膜方法、成膜装置および半導体装置を提供する。

【解決手段】 成膜方法は、一面に凹部または段差部が形成された基板を準備する準備工程と、基板に高周波電圧を印加しながら前記基板上に絶縁膜を形成する成膜工程と、基板に高周波電圧を印加しながら前記絶縁膜をエッチングするエッチング工程と、を含む。成膜工程とエッチング工程とは、交互に複数回繰り返され、1回のエッチング工程におけるエッチング量は、1回の成膜工程における成膜量の6.9%超且つ20.6%未満である。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

一面に凹部または段差部が形成された基板を準備する準備工程と、
前記基板に高周波電圧を印加しながら前記基板上に絶縁膜を形成する成膜工程と、
前記基板に高周波電圧を印加しながら前記絶縁膜をエッチングするエッチング工程と、
を含み、
前記成膜工程と前記エッチング工程とは、交互に複数回繰り返され、
1 回の前記エッチング工程におけるエッチング量は、1 回の前記成膜工程における成膜量の 6.9 % 超且つ 20.6 % 未満である、
成膜方法。

10

【請求項 2】

1 回の前記エッチング工程におけるエッチング量は、1 回の前記成膜工程における成膜量の 12 % 以上 15 % 以下である、
請求項 1 に記載の成膜方法。

【請求項 3】

チャンバと、
前記チャンバ内に配置され絶縁膜を成膜する対象となる基板を支持するステージと、
前記チャンバ内へ前記絶縁膜の基となる原料ガスを導入する原料ガス供給部と、
前記チャンバ内へエッチャントガスを供給するエッチャントガス供給部と、
前記チャンバ内に供給される前記原料ガスまたは前記エッチャントガスに高周波の電磁場を印加することにより前記チャンバ内にプラズマを発生させる高周波印加部と、
前記ステージに支持された前記基板に高周波のバイアスを印加するバイアス印加部と、
前記高周波印加部が前記チャンバ内にプラズマを発生させ且つ前記バイアス印加部が前記基板に高周波バイアスを印加している状態を維持しつつ、前記原料ガス供給部により前記原料ガスを前記チャンバ内へ供給する第 1 状態と、前記エッチャントガス供給部により前記エッチャントガスを前記チャンバ内へ供給する第 2 状態と、が交互に切り替わるように前記高周波印加部、前記バイアス印加部、前記原料ガス供給部および前記エッチャントガス供給部を制御する制御部と、を備える、
成膜装置。

20

【請求項 4】

一面に凹部を有する基板と、
前記凹部の内側および前記一面を覆う絶縁膜と、を備え、
前記凹部は、前記凹部の開口端部にテーパ部を有し、
前記テーパ部の前記基板の厚さ方向における長さは、前記凹部の前記基板の厚さ方向における深さの 16 % 以下である、
半導体装置。

30

【請求項 5】

前記絶縁膜の平均表面粗さは、20 nm 以下である、
請求項 4 に記載の半導体装置。

【請求項 6】

前記凹部のアスペクト比は、10 以下である、
請求項 4 または 5 に記載の半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、成膜方法、成膜装置および半導体装置に関する。

【背景技術】

【0002】

シリコン基板の表面に溝を形成する工程と、プラズマ CVD (Chemical Vapor Deposition) 法を用いて溝内にシリコン絶縁膜を形成する工程と、を含む絶縁膜埋め込み方法が

50

提案されている（例えば特許文献 1 参照）。この絶縁膜埋め込み方法では、シリコン絶縁膜を形成する工程において、デポジット処理とスパッタエッチング処理とを同時に行う。そして、シリコン絶縁膜を形成する工程の後、シリコン基板の上面に対して C M P（Chemical and Mechanical Polishing）を施すことにより、シリコン基板の上面を平坦化する。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007-59648 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献 1 に記載された絶縁膜埋め込み方法では、シリコン絶縁膜を形成する工程後におけるシリコン基板の上面の表面粗さが一般的な半導体装置へ適用する場合に必要とされる表面粗さに比べて大きい。従って、この絶縁膜埋め込み方法により作製されたシリコン基板の半導体装置への適用を考慮した場合、シリコン基板の上面に対して C M P を行うことが必須となり、その分、製造工程数が増加する。

【0005】

本発明は、上記事由に鑑みてなされたものであり、製造工程数を削減できる成膜方法、成膜装置および半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明に係る成膜方法は、
一面に凹部または段差部が形成された基板を準備する準備工程と、
前記基板に高周波電圧を印加しながら前記基板上に絶縁膜を形成する成膜工程と、
前記基板に高周波電圧を印加しながら前記絶縁膜をエッチングするエッチング工程と、
を含み、
前記成膜工程と前記エッチング工程とは、交互に複数回繰り返され、
1 回の前記エッチング工程におけるエッチング量は、1 回の前記成膜工程における成膜量の 6.9% 超且つ 20.6% 未満である。

【0007】

他の観点から見た本発明に係る成膜装置は、
チャンバと、
前記チャンバ内に配置され絶縁膜を成膜する対象となる基板を支持するステージと、
前記チャンバ内へ前記絶縁膜の基となる原料ガスを導入する原料ガス供給部と、
前記チャンバ内へエッチャントガスを供給するエッチャントガス供給部と、
前記チャンバ内に供給される前記原料ガスまたは前記エッチャントガスに高周波の電磁場を印加することにより前記チャンバ内にプラズマを発生させる高周波印加部と、
前記ステージに支持された前記基板に高周波のバイアスを印加するバイアス印加部と、
前記高周波印加部が前記チャンバ内にプラズマを発生させ且つ前記バイアス印加部が前記基板に高周波バイアスを印加している状態を維持しつつ、前記原料ガス供給部により前記原料ガスを前記チャンバ内へ供給する第 1 状態と、前記エッチャントガス供給部により前記エッチャントガスを前記チャンバ内へ供給する第 2 状態と、が交互に切り替わるように前記高周波印加部、前記バイアス印加部、前記原料ガス供給部および前記エッチャントガス供給部を制御する制御部と、を備える。

【0008】

他の観点から見た本発明に係る半導体装置は、
一面に凹部を有する基板と、
前記凹部の内側および前記一面を覆う絶縁膜と、を備え、
前記凹部は、前記凹部の開口端部にテーパ部を有し、

10

20

30

40

50

前記テーパ部の前記基板の厚さ方向における長さは、前記凹部の前記基板の厚さ方向における深さの16%以下である。

【発明の効果】

【0009】

本発明によれば、成膜工程後における絶縁膜の表面粗さを一般的な半導体装置へ適用する場合に必要とされる表面粗さとしつつ、CMPを不要とすることができるので、CMP工程を削減することによる製造工程数の削減を図ることができる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施の形態に係る成膜装置の概略構成図である。

10

【図2】実施の形態に係る成膜方法を示すフローチャートである。

【図3】(A)は実施の形態に係る基板の一部を示す断面図であり、(B)は実施の形態に係る半導体装置の一部を示す断面図である。

【図4】(A)は比較例に係る半導体装置の一部の断面のSEM写真であり、(B)は他の比較例に係る半導体装置の一部の断面のSEM写真であり、(C)は実施の形態の一実施例に係る半導体装置の一部の断面のSEM写真である。

【図5】実施の形態の一実施例に係る半導体装置の絶縁膜の表面のAFM画像である。

【発明を実施するための形態】

【0011】

以下、本発明の一実施の形態について図面を参照して詳細に説明する。本実施の形態に係る成膜装置は、いわゆる誘導結合プラズマ型CVD装置である。この成膜装置は、図1に示すように、チャンバ101と、ステージ109と、高周波印加部102と、バイアス印加部106と、原料ガス供給部121、122、123と、エッチャントガス供給部111と、を備える。また、成膜装置は、高周波印加部102、バイアス印加部106、原料ガス供給部121、122、123およびエッチャントガス供給部111を制御する制御部200を備える。以下、適宜図1におけるZ軸方向を上下方向として説明する。この成膜装置は、チャンバ101内に配置された基板Wの上面側に酸化窒化絶縁膜(SiON膜)を成膜する。

20

【0012】

ステージ109は、チャンバ101内に配置され、絶縁膜を成膜する対象となる基板Wを支持する。ステージ109は、Al、SUS、Cu等の金属で形成されている。

30

【0013】

原料ガス供給部121、122、123は、チャンバ101内へ絶縁膜の基となる原料ガスを導入する。原料ガス供給部121は、シラン(SiH₄)ガスを貯留するガス貯留部121aと、ガス貯留部121aからチャンバ101内へSiH₄ガスを供給するための供給管121bと、を有する。また、原料ガス供給部121は、供給管121bを流れるSiH₄ガスの流量を調節するための流量調節バルブ121cを有する。原料ガス供給部122は、酸素(O₂)ガスを貯留するガス貯留部122aと、ガス貯留部122aからチャンバ101内へO₂ガスを供給するための供給管122bと、を有する。また、原料ガス供給部122は、供給管122bを流れるO₂ガスの流量を調節するための流量調節バルブ122cを有する。原料ガス供給部123は、窒素(N₂)ガスを貯留するガス貯留部123aと、ガス貯留部123aからチャンバ101内へN₂ガスを供給するための供給管123bと、を有する。また、原料ガス供給部123は、供給管123bを流れるN₂ガスの流量を調節するための流量調節バルブ123cを有する。エッチャントガス供給部111は、エッチャントガスであるテトラフルオロメタン(CF₄)をチャンバ101内へ供給する。エッチャントガス供給部111は、CF₄ガスを貯留するガス貯留部111aと、ガス貯留部111aからチャンバ101内へCF₄ガスを供給するための供給管111bと、を有する。また、エッチャントガス供給部111は、供給管111bを流れるCF₄ガスの流量を調節するための流量調節バルブ111cを有する。

40

【0014】

50

また、チャンバ101には、その内部に連通する排気管182を介して真空ポンプ181が取り付けられている。真空ポンプ181が動作することにより、チャンバ101内の気体が排気管182を通じて排気され、チャンバ101内が減圧状態となる。更に、チャンバ101の上部には、誘電体窓141が取り付けられている。

【0015】

高周波印加部102は、高周波電力を発生する高周波発生源102aと、整合器102bと、チャンバ101の外側においてチャンバ101の誘電体窓141に対向して配置されたコイル102cと、を有する。コイル102cの形状は、チャンバ101内に強度の均一な磁場を形成することができる形状が好ましく、例えば本願の出願人が先に開示した特開2005-228738号公報に記載された形状を採用することができる。高周波印加部102は、コイル102cのコイル面に平行な方向において強度が均一な高周波磁場を発生させることができる。高周波印加部102は、チャンバ101内に供給された原料ガスまたはエッチャントガスに高周波数（例えば周波数13.56MHz）の電磁場を印加することによりチャンバ101内にプラズマPLMを発生させる。

【0016】

バイアス印加部106は、ステージ109に支持された基板Wに高周波のバイアスを印加する。バイアス印加部106は、ステージ109に対して0Vと-2000Vの負電圧との間で振動する高周波電圧（例えば周波数13.56MHzの高周波電圧）を印加する。バイアス印加部106は、高周波発生源106aと整合器106bとを有する。

【0017】

制御部200は、高周波印加部102がチャンバ101内にプラズマを発生させ、バイアス印加部106が基板Wに高周波バイアスを印加している状態を維持するように高周波印加部102およびバイアス印加部106を制御する。制御部200は、原料ガス供給部121、122、123によりSiH₄ガス、O₂ガス、N₂ガスをチャンバ101内へ供給する第1状態と、エッチャントガス供給部111によりCF₄ガスをチャンバ101内へ供給する第2状態と、が交互に切り替わるように原料ガス供給部121、122、123およびエッチャントガス供給部111を制御する。

【0018】

次に、本実施の形態に係る成膜装置を用いて絶縁膜を成膜するための成膜方法について図2および図3を参照しながら説明する。まず、図2に示すように、一面に凹部または段差部が形成された基板を準備する準備工程を行う（ステップS1）。準備工程では、例えば図3（A）に示すような凹部TRが形成された基板Wを準備する。ここで、凹部TRのアスペクト比D1/W1は、10以下である。

【0019】

図2に戻って、次に、成膜装置が、基板Wに高周波電圧を印加しながら基板W上に絶縁膜であるSiONを形成する成膜工程を行う（ステップS2）。成膜工程において使用する原料ガスは、SiH₄ガス、O₂ガス、N₂ガスである。また、成膜工程においてチャンバ101へ供給するSiH₄ガス、O₂ガス、N₂ガスの流量比は、1：2：20となるように設定されている。また、成膜工程における基板Wの温度は、40℃以下であることが好ましい。続いて、成膜装置が、基板Wに高周波電圧を印加しながら絶縁膜であるSiON膜をエッチングするエッチング工程を行う（ステップS3）。エッチング工程において使用するエッチャントガスは、CF₄ガスである。また、エッチング工程では、O₂ガスも使用する。また、エッチング工程において、チャンバ101へ供給するCF₄ガス、O₂ガスの流量比は、100：7となるように設定されている。

【0020】

ここで、1回のエッチング工程における絶縁膜のエッチング量は、1回の成膜工程における絶縁膜の成膜量の20%以下になるように設定されている。なお、1回のエッチング工程におけるエッチング量は、1回の成膜工程における成膜量の6.9%以上であることが好ましく、12%以上15%以下であることがより好ましい。また、エッチング工程におけるバイアス印加部106の出力電力は、成膜工程におけるバイアス印加部106の出

10

20

30

40

50

力電力よりも小さくてもよい。

【0021】

その後、成膜装置が、基板Wに対して行ったエッチング工程の回数が、予め設定された基準回数に到達したか否かを判定する（ステップS4）。ここでは、制御部200が、1つの基板Wに対して行われたエッチング工程の回数をカウントし、そのカウント値と予め設定された基準回数を示す値とを比較する。基準回数は、成膜する絶縁膜の厚さ、凹部TRの深さ等に応じて適宜設定することができるが、例えば3回に設定される。成膜装置は、基板Wに対して行ったエッチング工程の回数が基準回数に到達していないと判定すると（ステップS4：No）、再びステップS2の処理を実行する。このようにして、成膜装置は、エッチング工程の回数が基準回数に到達するまで、成膜工程とエッチング工程とを交互に複数回繰り返す。一方、成膜装置は、基板Wに対して行ったエッチング工程の回数が基準回数に到達したと判定すると（ステップS4：Yes）、成膜工程を行い（ステップS5）、一連の成膜処理が終了する。

【0022】

成膜装置が、前述の成膜処理を行うことにより、図3（B）に示すような、一面に凹部TRを有する基板Wと、凹部TRの内側および基板Wの一面を覆う絶縁膜ILと、を備える半導体装置が生成される。この半導体装置は、凹部TRに絶縁膜ILが埋め込まれた構造を有する。そして、凹部TRが、その開口端部にテーパ部TPを有しており、テーパ部TPの基板Wの厚さ方向における長さD2が、凹部TRの基板Wの厚さ方向における深さD1の16%以下になっている。また、絶縁膜ILの平均表面粗さは、1nm以下である。また、テーパ部TPの基板Wの厚さ方向に直交する方向における長さW2は、長さD2の2倍以下の長さである。

【0023】

ここで、本実施の形態に係る成膜方法により作製された半導体装置について、比較例に係る成膜方法を用いて作製された半導体装置と比較しながら説明する。図4（A）および（B）は、比較例に係る成膜方法を用いて作製された半導体装置の一部の断面のSEM写真であり、図4（C）は、本実施の形態の一実施例に係る成膜方法を用いて作製された半導体装置の一部の断面のSEM写真である。各比較例および実施例に係る成膜方法の成膜工程における条件は、下記表1に示す通りである。

【0024】

【表1】

圧力[Pa]	ガス流量[SCCM]			RF電力 (ICP) [W]	RF電力 (バイアス) [W]
	SiH ₄	O ₂	N ₂		
1.00	10	20	200	100	1500

【0025】

ここで、圧力は、チャンバ101内に圧力であり、RF電力（ICP）が、高周波印加部102の出力電力であり、RF電力（バイアス）が、バイアス印加部106の出力電力である。また、「SiH₄」がチャンバ101内へ供給されるSiH₄ガスの流量を示し、「O₂」がチャンバ101内へ供給されるO₂ガスの流量を示し、「N₂」がチャンバ101内へ供給されるN₂ガスの流量を示す。これにより、SiONの成膜レートは、8nm/minになった。また、各比較例および実施例に係る成膜方法の1回の成膜工程における成膜時間は、20minとした。更に、SiON膜の成膜時における基板Wの温度は、40℃以下となるように設定した。

【0026】

また、各比較例および実施例に係る成膜方法のエッチング工程における条件は、下記表

2に示す通りである。

【0027】

【表2】

圧力[Pa]	ガス流量[SCCM]		RF電力 (ICP) [W]	RF電力 (バイアス) [W]
	CF ₄	O ₂		
1.00	200	14	100	500

10

【0028】

ここで、「圧力」、「RF電力（ICP）」および「RF電力（バイアス）」は、表1の場合と同様である。また、「CF₄」がチャンバ101内へ供給されるCF₄ガスの流量を示す。これにより、SiONのエッチングレートは、11nm/minになった。また、図4（A）に対応する比較例に係る成膜方法では、1回のエッチング工程におけるエッチング時間は、1minとした。即ち、1回のエッチング工程におけるエッチング量を、1回の成膜工程における成膜量の6.9%となるように設定した。また、図4（B）に対応する比較例に係る成膜方法では、1回のエッチング工程におけるエッチング時間は、3minとした。即ち、1回のエッチング工程におけるエッチング量を、1回の成膜工程における成膜量の20.6%となるように設定した。一方、実施例に係る成膜方法では、1回のエッチング工程におけるエッチング時間は、2minとした。即ち、1回のエッチング工程におけるエッチング量を、1回の成膜工程における成膜量の13.8%となるように設定した。

20

【0029】

実施例に係る半導体装置の絶縁膜ILの表面の状態を原子間力顕微鏡（AFM：Atomic Force Microscopy）により計測して得られるAFM画像を図5に示す。図5に示すAFM画像から、実施例に係る半導体装置の絶縁膜ILの表面平均粗さは、0.84nm、即ち、1nm以下であることが判った。

【0030】

30

また、図4（A）に示す比較例に係る半導体装置では、凹部TRの底から絶縁膜ILの表面までの厚さが、770nmであり、凹部TRの外周部から絶縁膜ILの表面までの厚さが500nmであった。そして、テーパ部TPの基板Wの厚さ方向の長さが150nmであった。即ち、テーパ部TPの基板Wの厚さ方向における長さは、凹部TRの基板Wの厚さ方向における深さの56%であった。また、図4（B）に示す比較例に係る半導体装置では、凹部TRの底から絶縁膜ILの表面までの厚さが、700nmであり、凹部TRの外周部から絶縁膜ILの表面までの厚さが500nmであった。そして、テーパ部TPの基板Wの厚さ方向の長さが85nmであった。即ち、テーパ部TPの基板Wの厚さ方向における長さは、凹部TRの基板Wの厚さ方向における深さの43%であった。これに対して、実施例に係る半導体装置では、図4（C）に示すように、凹部TRの底から絶縁膜ILの表面までの厚さが、750nmであり、凹部TRの外周部から絶縁膜ILの表面までの厚さが500nmであった。そして、テーパ部TPの基板Wの厚さ方向の長さが40nmであった。即ち、テーパ部TPの基板Wの厚さ方向における長さは、凹部TRの基板Wの厚さ方向における深さの16%であった。従って、1回のエッチング工程におけるエッチング量を、1回の成膜工程における成膜量の13.8%となるように設定することにより、テーパ部TPの大きさが最も小さくなることが判った。

40

【0031】

以上説明したように、本実施の形態に係る成膜方法では、成膜工程後における絶縁膜の表面粗さを一般的な半導体装置へ適用する場合に必要な表面粗さとしつつ、CMPを不要とすることができるので、CMP工程を削減することによる製造工程数の削減を図

50

ることができる。また、本実施の形態に係る成膜方法では、1回のエッチング工程におけるエッチング量が、1回の成膜工程における成膜量の6.9%超且つ20.6%未満、詳細には12%以上15%以下である。これにより、この成膜方法を用いて作製された前述の半導体装置の絶縁膜ILの表面平均粗さを20nm以下にしつつ、テーパ部TPの基板Wの厚さ方向における長さが、凹部TRの基板Wの厚さ方向における深さの16%以下にすることができる。従って、基板Wへの絶縁膜ILの成膜前後における凹部TRの形状変化が低減されるので、凹部TRの形状変化に起因した半導体装置の設計特性からのずれを低減できる。

【0032】

以上、本発明の実施の形態について説明したが、本発明は前述の実施の形態の構成に限定されるものではない。例えば基板W上にSiN膜、AlN膜等の他の種類の膜を成膜するものであってもよい。

【0033】

以上、本発明の各実施の形態および変形例（なお書きに記載したものを含む。以下、同様。）について説明したが、本発明はこれらに限定されるものではない。本発明は、実施の形態及び変形例が適宜組み合わされたもの、それに適宜変更が加えられたものを含む。

【産業上の利用可能性】

【0034】

本発明は、MEMS（Micro Electron Mechanical System）、MOS-FET（Metal-Oxide-Semiconductor Field-Effect-Transistor）等の電子デバイスの製造に好適である。

【符号の説明】

【0035】

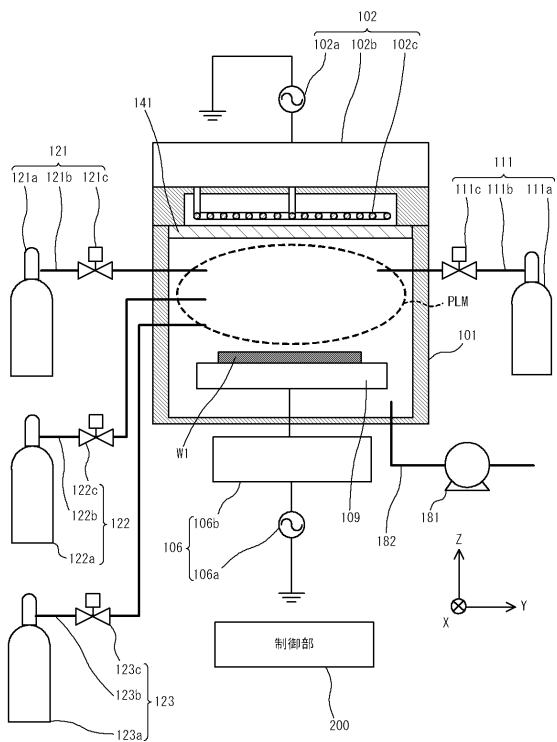
101：チャンバ、102：高周波印加部、102a, 106a：高周波発生源、102b, 106b：整合器、102c：コイル、106：バイアス印加部、108：真空ポンプ、109：ステージ、110：絶縁部材、111：エッチャントガス供給部、111a, 121a, 122a, 123a：ガス貯留部、111b, 121b, 122b, 123b：供給管、111c, 121c, 122c, 123c：流量調節バルブ、121, 122, 123：原料ガス供給部、141：誘電体窓、181：真空ポンプ、182：排気管、200：制御部、IL：絶縁膜、PLM：プラズマ、TP：テーパ部、TR：凹部、W：基板

10

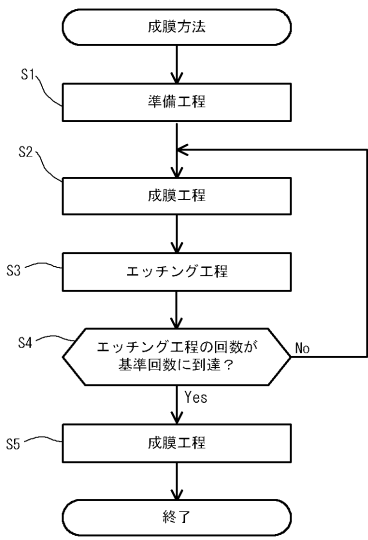
20

30

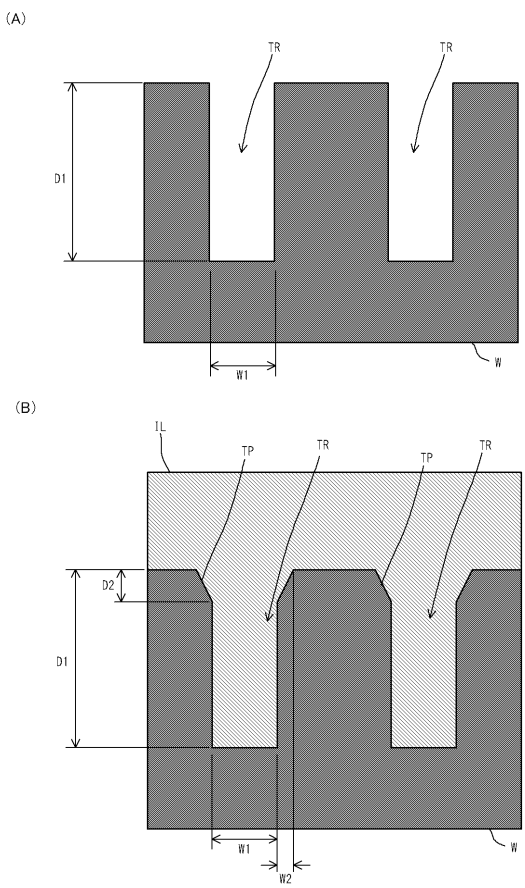
【図 1】



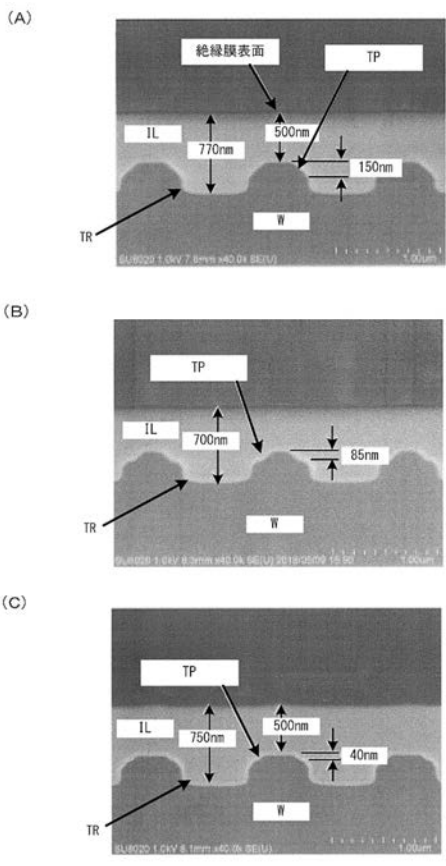
【図 2】



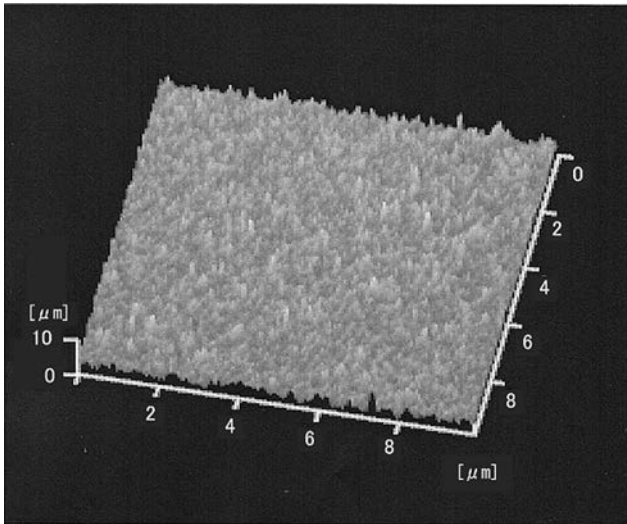
【図 3】



【図 4】



【図 5】



フロントページの続き

Fターム(参考) 4K030 AA06 AA14 AA18 BA29 BA35 DA08 FA04 HA01 KA20 LA02
LA15
5F032 AA35 AA36 AA54 AA69 DA04 DA23 DA78
5F045 AA08 AB34 AC01 AC02 AC11 AC15 AD04 AE15 BB02 DP02
EE13 EE19 EH11 EH20
5F058 BA20 BC11 BF07 BF23 BF24 BF29 BF30 BF37 BJ06