

本

310430

申請日期	83 年 4 月 15 日
案 號	83103361
類 別	G11C 11/407 Int. Cl ⁶

A4
C4

310430

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	可預先增壓之升壓電路裝置及半導體記憶裝置
	英 文	Boosting circuit device capable of pre-pumping and semiconductor memory device
二、發明 創作人	姓 名	(1) 前田敏夫
	國 籍	(1) 日本
	住、居所	(1) 日本國東京都小平市小川西町四一七一—二—三〇一
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本 (2) 日立裝置工程股份有限公司 日立デバイスエンジニアリング株式会社
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國千葉縣茂原市早野三六八—番地
	代 表 人 姓 名	(1) 金井務 (2) 梨本柳三

裝

訂

線

經濟部中央標準局員工消費合作社印製

310430

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 日本 1993年 4月 26日 05-121955 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

本發明係關於半導體記憶裝置，且更特別而言，係關於一種可用於例如 S D R A M (同步動態隨機存取記憶) 和 V R A M (影像隨機存取記憶) 之技術，該 S D R A M 和 V R A M 具有一以升壓驅動經由一輸出電路執行的連續讀取功能。

使用由一升電壓所產生之字線選擇訊號之 D R A M (動態隨機存取記憶) 為已知的，其中升電壓由升壓電路產生。具有升壓電路之 D R A M 乃揭示於例如 J P - A - 3 - 2 1 4 6 6 9 公開案，1991年9月19日。

發明概要

爲了在一相當小的佔據區域下以一增加的速度連續的以位元讀取資料功能操作一 S D R A M 或一 V R A M，發明人認爲驅動資料輸出電路之輸出部份(包括在推挽連接中之兩個 N 通道 M O S F E T) 之驅動部份需要以一升電壓操作以對輸出部份饋以高於電源電壓之驅動訊號，以避免由於連接在電源電壓側之 M O S F E T 臨界電壓而導致輸出訊號之位準降低。

此時，發明人發現當執行充電泵操作之多數 M O S F E T 以一靴帶式電壓驅動，以進行切換操作，以增進充電激勵電路之操作效率，該充電激勵電路構成產生升電壓之升壓電路裝置且當第一串列輸出資料之一傳送時，供應至資料輸出電路之輸出部份之升電壓不足，以致產

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

生在存取上之延遲和一不足的輸出電壓。為了解決此一問題，考慮使用一連續產生振盪脈衝訊號以產生一升電壓，但是，此種方式會引起電流耗損之增加。

特別的，除非一半導體記憶裝置可以約3伏特之相當低的電壓操作，在資料輸出電路之位準界限非常小，且資料輸出電路以升電壓驅動時，否則無法獲得一充足的輸出位準。如果激勵操作由在升壓電路裝置中之二極體連接之M O S F E T所執行時，由於由M O S F E T之臨界電壓所引起之位準損失，於此無法獲得一所需之升電壓。因此，在升壓電路裝置中所使用之激勵電路需要使用一靴帶式電路以控制M O S F E T之切換操作以執行激勵操作。藉由使用此靴帶式電路，在第一激勵操作循環時，無任何升電壓是可用的，且因此，於此並未執行任何實質的升壓操作。

本發明之一目的乃在提供一種升壓電路裝置以執行一預激勵操作。

本發明之另一目的乃在提供一半導體記憶裝置，其可降低電源耗損，提供一增進的輸出操作速度，並避免對輸出位準的破壞。

本發明之另一目的乃在提供一簡單結構之半導體記憶裝置，其可降低電源耗損，提供一增進的輸出操作速度，並避免對輸出位準的破壞。

本發明之上述和其他目的以及新穎的特點在詳細了解說明書之說明及伴隨之附圖後將更為清楚。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

依照本發明之一觀點，一種升壓電路裝置，包含激勵電路機構，其可在第一電壓以第一電源操作並回應一控制時鐘訊號用以在第二電壓供應一第二電源，該第二電源之第二電壓升壓高於第一電源之第一電壓；

一單擊脈衝產生器，其回應一初始輸入訊號以產生一單一脈衝；和

一控制電路，其回應該單一脈衝和用以產生該控制時鐘訊號之輸入時鐘訊號，其中該初始輸入訊號與該輸入時鐘訊號同步產生，且該控制時鐘訊號包含相關於該單一脈衝之預激勵脈衝和多數相關於該輸入時鐘訊號且跟隨該預激勵脈衝之時鐘脈衝。

依照本發明之另一觀點，一資料輸出電路包含兩 N 通道 M O S F E T，在一推挽連接中，安排以連續的輸出讀取資料，和一升壓電路裝置，其用以產生一升電壓以供應至資料輸出電路，且包括兩切換 M O S F E T。升壓電路裝置之切換操作和一輸入脈衝訊號同步的控制至 M O S F E T 以在一激勵電路中執行激勵操作，其中由於靴帶式操作，饋至 M O S F E T 之閘極之控制訊號乃受到升壓。在激勵電路中之預激勵操作在資料讀取操作之前執行。

由於激勵電路之預激勵操作可產生一所需的升電壓，當實際讀取操作啓始時，資料輸出電路可有利的以一已定升電壓操作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

附圖簡述

圖 1 為依照本發明之一實施例之 D R A M 之主要部份之概略圖；

圖 2 A , 2 B 為本發明之一實施例所應用之資料輸出電路之主要部份之圖；

圖 3 為依照本發明之一實施例之升壓電路裝置之基本操作之時間圖；

圖 4 為依照本發明之一實施例中，激勵電路和一升壓電路裝置一起使用之圖；

圖 5 為依照本發明之一實施例之升壓電路裝置之方塊圖；

圖 6 為圖 5 之升壓電路裝置之操作之時間圖；

圖 7 為圖 5 之實施例之一特殊例子之電路圖；

圖 8 為依照本發明之一實施例之升壓電路裝置之電路圖；

圖 9 為依照本發明之一實施例之升壓電路裝置之電路圖；

圖 1 0 為依照本發明之一實施例之 D R A M 之概略圖；和

圖 1 1 為依照本發明之一實施例之 S D R A M 之主要部份之概略說明圖。

較佳實施例之詳細說明

圖 1 為依照本發明之一實施例之 D R A M 之主要部份

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

之概略圖。圖 1 顯示之相關電路元件乃以已知的半導體積體電路製造技術與其他 D R A M 之電路元件一起形成在例如單晶矽之單一半導體基底上。

此實施例具有兩個升壓電路裝置 V C H G 1 和 V C H G 2。升壓電路裝置 V C H G 1 用以驅動記憶陣列 M B 1 和 M B 2 之字線。至此，升壓電路裝置 V C H G 1 產生一個升電壓 V C H 以饋至相關記憶陣列之字線驅動器 W D 1 和 W D 2。另一升壓電路裝置 V C H G 2 產生一升電壓 V C H 以饋至資料輸出電路 D O C 1 - D O C 8。

升壓電路裝置 V C H G 1 和 V C H G 2 產生相同的升電壓 V C H 且共用一相當大的平穩電容 C 以增加整合之程度。電容 C 具有數百 p F 至數個 n F 之相當大的電容。例如，當 D R A M 具有 1 6 M 位元之儲存容量時，電容 C 為 9 6 0 p F。由於電容 C 在半導體基底上佔據相當大的區域，上述的共用結構可有效的降低晶片區域。

本案他們之 D R A M 具有 8 個資料輸出電路，因此它們以 8 位元為單位經由輸入 / 輸出終端（熔接墊）執行資料讀取操作，（雖然並非特別受限於此）。

每個資料輸出電路 D O C 1 - D O C 8 之主要部份具有一電路結構如圖 2 A 所示。每個資料輸出電路之輸出部份 O U T 包括安排成推挽連接之輸出 N 通道 M O S F E T Q 3 和 Q 4。當資料輸出時，M O S F E T Q 3 和 Q 4 之切換操作受控制成一互補方式以提供低和高位準輸出訊號至相關的輸入 / 輸出終端 I / O。當 D R A M 在一等待

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(6)

狀態或一寫狀態時，資料輸出部份 O U T 之輸出 M O S F E T Q 3 和 Q 4 同時關閉以提供一高阻抗狀態。

當在電源供應電壓 V C C 側之輸出 M O S F E T Q 3 受啓動以回應饋至 M O S F E T Q 3 之閘極之高位準驅動電壓以提供例如電源供應電壓之高位準訊號時，輸出部份 O U T 之輸出位準會由輸出 M O S F E T Q 3 之有效臨界電壓而降低。當電源供應電壓 V C C 爲一如 3 . 3 伏特之相當低的電壓時，所需之訊號振幅將是無效的。

在此實施例中，驅動高位準側輸出 M O S F E T Q 3 之驅動器部份 D R V 包括一個 C M O S 反向器，該 C M O S 反向器包括兩個 P 和 N 通道 M O S F E T Q 1 和 Q 2 ，並使用例如升壓電壓 V C H (V C H > V C C) 之操作電壓。該 C M O S 反向器使驅動部份 D R V 之輸出電壓 D O H 之高位準成爲位準比電源供應電壓 V C C 高之升壓電壓 V C H 。靴帶式電壓 V C H 高於輸出 M O S F E T Q 3 之有效臨界電壓 V_{th} 或高於電源供應電壓 V C C 。因此，當驅動部份 D R V 之輸出電壓 D O H 在高位準而 V C H 在讀取操作時，上述之位準損失將不會產生，且相當於電源供應電壓 V C C 之輸出電壓可由 M O S F E T Q 3 之源極側獲得。

從記憶陣列 M B 經由一主要放大器（未顯示）而讀出之讀取訊號 D 0 具有如電源供應電壓 V C C 之高位準或是

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

如電路接地電壓之低位準。因此，爲了以訊號 D 0 之高位準分別關和開驅動部份 D R V 之 C M O S 反向器之 P 和 N 通道 M O S F E T Q 1 和 Q 2，換言之，爲了以互補方式操作 C M O S 反向器，在驅動器部份 D R V 之輸入側提供一位準移位部份 L V S。

位準移位部份 L V S 包括兩個 N O R 閘電路 G 1 和 G 2 以操作一升壓電壓 V C H。兩個 N O R 閘電路 G 1 和 G 2 之每一輸入端和一輸出端乃橫向的互相耦合以形成一閃鎖。

如圖 2 B 所示，N O R 閘電路 G 1 和 G 2 包含兩個串聯連接之 P 通道 M O S F E T Q 2 1，Q 2 3 和 Q 2 0，Q 2 2，和兩個並聯連接 N 通道 M O S F E T Q 2 6，Q 2 7，和 Q 2 4，Q 2 5。在 N O R 閘電路 G 1 中，在兩個 P 通道 M O S F E T 和兩個 N 通道 M O S F E T 間，P 通道 M O S F E T Q 2 1 和 N 通道 M O S F E T Q 2 6 之閘極連接在一起以形成一輸入終端以從 N O R 閘電路 G 2 中接收一輸出訊號 D O B 2，而另一個 P 通道 M O S F E T Q 2 3 和另一個 N 通道 M O S F E T Q 2 7 之閘極連接在一起以形成另一個輸入終端以從一反向器電路 N 1 中接收一輸出訊號 D O B 1。界於 P 通道 M O S F E T Q 2 3 和另一 N 通道 M O S F E T Q 2 7 間之接面連接至 N O R 閘電路 G 1 之輸出終端，而由此輸出終端送出位準移位部份之輸出訊號 D 0。

如上所述，一讀取訊號 D 0 經由一 C M O S 反向器電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

路 N 1 輸入至 NOR 閘電路 G 1 之另一輸入終端，其中該讀取訊號 D 0 由電源供應電壓 V C C 所操作，其與 NOR 閘電路 G 1 和 G 2 不同。訊號 D 0 亦直接的輸入至 NOR 閘電路 G 2 之另一輸入終端。

如上所述，輸入至 NOR 閘電路 G 1 和 G 2 之另一輸入端之訊號 D O B 1，D 0 具有一搖擺於如電源供應電壓 V C C 之高位準和如電路接地電壓之低位準之振幅間。當訊號 D 0 在低位準時，反向器電路 N 1 之輸出訊號 D O B 1 位於高位準，且 NOR 閘電路 G 1 之輸出訊號 D 0 位於低位準。由於 NOR 閘電路 G 2 之兩輸入端分別供應以在低位準之訊號 D 0 和由 NOR 閘電路 G 1 而未在低位準之訊號 D 0，串聯連接之 P 通道 MOSFET Q 2 2 和 Q 2 0 一起開啓，因此，由 NOR 閘電路 G 2 而來的輸出訊號 D O B 2 會是如升壓電壓 V C H 之高位準。

當反向器電路 N 1 之輸出訊號 D O B 1 在如 V C C 之高位準且應用至 NOR 閘電路 G 1 之 P 通道 MOSFET Q 2 3 之閘極時，由於電壓 V C H - V C C 應用於 MOSFET Q 2 3 之閘極和源極間，MOSFET Q 2 3 傾向於啓動。但是，由於閘極接收到相當於升壓電壓 V C H 之高位準輸出訊號 D O B 2 之 P 通道 MOSFET Q 2 1 關閉，在 NOR 閘電路 G 1 中之 P 通道 MOSFET Q 2 1，Q 2 3 之電流路徑乃切斷。

當讀取訊號 D 0 由低位準變為高位準時，反向器電路 N 1 之輸出訊號 D O B 1 變為低位準，且 NOR 閘電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

G 2 之輸出訊號 D O B 2 由高位準變為低位準。結果，由於 N O R 閘電路 G 1 在其兩輸入終端接收由反向器電路 N 1 而來的低位準輸出訊號 D O B 1 和由 N O R 閘電路 G 2 而來的低位準輸出訊號 D O B 2，(其會啓動兩個串聯連接 P 通道 M O S F E T Q 2 1, Q 2 3)，N O R 閘電路 G 1 之輸出訊號 D 0' 會位於如 V C H 之高位準。

當讀取訊號 D 0 在如 V C C 之高位準且應用至 N O R 閘電路 G 2 之 P 通道 M O S F E T Q 2 2 之閘極時，由於電壓 V C H - V C C 應用於 M O S F E T Q 2 2 之閘極和源極間，M O S F E T Q 2 2 傾向於啓動。但是，由於閘極接收到相當於升壓電壓 V C H 之高位準輸出訊號 D 0' 之 P 通道 M O S F E T Q 2 0 關閉，在 N O R 閘電路 G 2 中之 P 通道 M O S F E T Q 2 0, Q 2 2 之電流路徑乃切斷。

上述的閉鎖電路位準移位一個在接地電壓之低位準和電源供應電壓之高位準間擺動之讀取訊號 D 0 至一輸出訊號，該輸出訊號由 N O R 閘電路 G 1 之輸出端而來，該 N O R 閘電路 G 1 之輸出終端在升壓電壓 V C H 之高位準和電路接地電壓之低位準間擺動。

構成驅動部份 D R V 之 P 和 N 通道 M O S F E T Q 1 和 Q 2 在其閘極分別提供具有相當於升壓電壓位準 V C H 和接地電壓位準之高和低電壓之輸出訊號 D 0'。因此，M O S F E T Q 1 和 Q 2 執行一互補切換操作以供應具有電路接地位準之低電壓位準和升壓電壓之高電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

位準之驅動訊號 D O H 至輸出 M O S F E T Q 3 之閘極。

在圖 1 中，升壓電路裝置 V C H G 2 受供應以輸入時鐘訊號或外部時鐘脈衝訊號 C L O C K，指令訊號 C O M M A N D，和一輸出致能訊號 D O E。當裝置 V C H 2 接收到表示讀取模態之指令訊號和一輸出致能訊號 D O E 時，其使用時鐘脈衝訊號以控制升壓操作。圖 1 中 D R A M 包括以時鐘脈衝訊號 C L O C K 和指令訊號 C O M M A N D 操作之升壓電路裝置之理乃是此實施例之 D R A M 為所謂的同步動態 R A M (S D R A M)。S D R A M 之一例為由日立公司所製造的 " H M 2 1 6 8 0 0 / H M 5 2 4 1 6 0 5 系列 " R A M。

雖然沒有特別的限制，用於字線驅動之升壓電路裝置 V C H G 1 具有一位準感應器 8 0 以感應升壓電壓之位準。因此，當感應器 8 0 感應到升壓電壓之下降時，升壓電路裝置以由內建於感應器 8 0 之振盪電路（未顯示）所形成之脈衝訊號執行升壓操作。升壓操作亦可由一字線選擇時間訊號執行。因此，在字線選擇之前所執行的升壓操作可防止由於在字線選擇之字線中電流消耗而引起字線電壓位準之降低。

圖 3 為依照本發明之一實施例之升壓電路裝置之基本操作之時間圖。在圖 3 中，當升壓電路裝置接收到和外部時鐘訊號 C L O C K 同步之指令訊號 C O M M A N D 以操作儲存裝置在讀取模態時，至升壓電路裝置之輸入訊號由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

0 伏特變化至電源供應電壓 V C C ，且與外部時鐘訊號同步。因此，升壓電路裝置在資料輸出操作之前執行一預激勵操作。

圖 4 為可於依照本發明之一實施例之升壓電路裝置中使用之激勵電路圖。

在此實施例中，饋至 M O S F E T Q 3 1 和 Q 3 4 之閘極之控制脈衝電壓（其執行一激勵操作）由其相連電容 C 3 2 和 C 3 4 所升壓，因此，即使一個相當低的電源供應電壓 V C C 亦可獲得充份的升壓電壓。在此例中，基於時鐘訊號 C L O C K 所產生之輸入脈衝訊號 I N （圖 3）經由一反向器 N 3 1 饋至電容 C 3 2 之一電極。電源供應電壓 V C C 經由在一二極體連接中之 M O S F E T Q 3 2 饋至電容 C 3 2 之另一電極。由電容 C 3 2 之另一電極所獲得之升壓電升乃使用以控制至 M O S F E T Q 3 1 之閘電壓之切換操作，該 M O S F E T Q 3 1 執行充電激勵操作。

輸入脈衝訊號 I N 亦經由反向器 N 3 2 和 N 3 4 饋至電容 C 3 3 之一電極。在二極體連接中的 M O S F E T Q 3 3 提供在電容 C 3 3 之另一電極和電源供應電壓 V C C 間。由電容 C 3 3 之另一電極所獲得之升壓電壓乃使用以控制至 M O S F E T Q 3 4 之閘電壓之切換操作，該 M O S F E T Q 3 4 執行充電激勵操作。

輸入脈衝訊號 I N 亦經由反向器 N 3 2 和 N 3 3 饋至充電激勵電容 C 3 1 之一電極。電容 C 3 1 之另一電極經

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(12)

由切換 MOSFET Q 3 1 而以電源供應電壓 V C C 充電。一升壓電壓經由 MOSFET Q 3 4 輸出以對平坦電容 C 充電(圖 1)。

圖 4 之激勵電路之操作如下所述。當輸入脈衝訊號 I N 在低位準時，反向器 N 3 1 之輸出訊號在高位準。此時，反向器 N 3 4 之輸出訊號在低位準，因此電容 C 3 3 經由在二極體連接中之 MOSFET Q 3 3 而預充電。雖然，反向器 N 3 3 之輸出訊號亦在低位準，MOSFET Q 3 4 和 Q 3 1 亦實質的關閉。因此，電容 C 3 1 並未充電。嚴格的說，由於節點 c 藉由在二極體連接中之 MOSFET Q 3 3 而位在 $V C C - V_{t h}$ ，電容 C 3 1 之節點 a 經由 MOSFET Q 3 4 而充電至 $V C C - 2 V_{t h}$ 。但是，當電源供應電壓 V C C 位於如 3.3 伏特之低電壓時，電容 C 3 1 之充電電壓為比 1 伏特更低之低電壓。

因此，雖然輸入訊號 I N 由低位準變為高位準，由電容 C 3 1 所獲得之升壓電壓 V C H 並未到達一已定電壓。此意為即使當反向器 N 3 4 之高位準升高在電容 C 3 3 之節點 c 之電壓以啟動 MOSFET Q 3 4 時，於此仍不會執行任何充電激勵操作。

輸入訊號 I N 至高位準之變化將反向器 N 3 1 之輸出訊號改變至低位準藉以經由在二極體連接中之 MOSFET Q 3 2 對電容 C 3 2 充電。由於電容 C 3 2 已如所需的充電，當輸入脈衝訊號 I N 回到低位準

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

時，M O S F E T Q 3 1 藉由電容 C 3 2 之升壓操作而啓動，因此 M O S F E T Q 3 1 乃充電至電源供應電壓 V C C 。亦即，預激勵操作乃執行以使在輸入訊號 I N 之第一脈衝上升 P R E P 時，以高位準電壓對電容 C 3 2 充電，而在輸入訊號之第一脈衝下降時，藉由一低位準電壓的電容 C 3 1 充電。

在圖 3 之時間圖中，預激勵操作企圖對激勵電路之電容 C 3 2 和 C 3 1 充電如上所述。由於預激勵，實際與時鐘訊號 C L O C K 同步讀取之資料 D 0 - D 3 以一預激勵操作輸出（該預激勵操作與資料輸出同步的執行），由於資料輸出電路之操作所引起在升壓電壓 V C H 之減少受到補償，亦即，每次資料輸出電路操作時，平坦電容即受充電。結果，升壓電壓 V C H 可保持在所需高電壓位準。

當資料以 8 位元為單位讀取時，如上所述，八資料輸出電路 D O C 1 - D O C 8 同時的操作。因此，一相當大的驅動電流受到消耗以降低升壓電壓 V C H 。因此，與讀取操作同步之激勵操作使資料 D 0 - D 3 以串聯方式從輸入／輸出終端 I / O 以相同的電壓位準和相同的輸出電流輸出。

圖 5 為依照本發明之一實施例之升壓電路裝置之方塊圖。在此實施例中，升壓電路裝置包括多數（例如 4 個）激勵電路（例如 4 a ~ 4 d ），一控制電路 4 0 ，和一單擊脈衝產生器 4 2 。四個激勵電路之輸出一起連接至平坦電容 C 。單擊脈衝產生器 4 2 產生一單一脈衝以回應一指

（請先閱讀背面之注意事項再
本頁）

裝

訂

線

五、發明說明 (14)

令訊號 C O M M A N D 用以設定和外部時鐘同步接收的讀取模態。控制電路 4 0 包括一閘電路 4 1 1 和一頻率劃分器 / 相移位電路 4 1 2 , 其將描述於後。

圖 6 為圖 5 之升壓電路裝置之操作說明之時間圖。控制電路 4 0 之頻率劃分器 / 相移位電路 4 1 2 藉由經由閘電路 4 1 1 所接收之控制脈衝訊號 I N 0 之兩頻率而劃分, 且將頻率劃分訊號轉換成四個相位脈衝訊號, 該相位脈衝訊號互相以半週期的劃分脈衝訊號之相位差相區別。換言之, 頻率劃分輸入脈衝訊號在相位上循序的相差 $\pi / 2$ 。

當導入外部時鐘訊號 C L O C K 上升端之一指令訊號 C O M M A N D 企圖設定為一讀取模態時, 單擊脈衝產生器 4 2 回應此指令訊號 (先前輸入訊號) 以產生一脈衝 P R E P 以執行預激勵操作。脈衝 P R E P 如同一基本控制脈衝訊號 I N 0 的經由閘電路 4 1 1 之 N O R 閘 (N O G) 而饋至頻率劃分器 / 相移位電路 4 1 2 。為了回應訊號 I N 0 由低位準變為高位準, 至第一激勵電路 4 a 之輸入訊號 I N 1 由高位準變為低位準, 且至第二激勵電路 4 b 之輸入訊號 I N 2 由低位準變為高位準。為了回應訊號 I N 1 由高位準變為低位準, 至第三激勵電路 4 c 之輸入訊號 I N 3 由高位準變為低位準, 且至第四激勵電路 4 d 之輸入訊號 I N 4 由低位準變為高位準。

當讀取資料 D 0 - D 3 確實與外部時鐘訊號 C L O C K 同步的以串聯方式輸出時, 第一激勵電路 4 a

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

輸出一升壓電壓與輸入訊號 I N 0 之上升段同步，而激勵電路 4 c 則輸出一升壓電壓與輸入訊號 I N 0 之下降段同步。由於時間之激勵期間加倍且頻率劃分訊號在相位上循序的移位 $\pi / 2$ 以執行激勵操作，如上所述，對於資料 D 0 之激勵操作乃由第一和第三激勵電路 4 a 和 4 c 執行二次。相似的，資料 D 1 之激勵操作亦由第二和第四激勵電路 4 b 和 4 d 執行兩次。對於資料 D 2 之激勵操作乃由第一和第三激勵電路 4 a 和 4 c 執行二次。相似的，資料 D 3 之激勵操作亦由第二和第四激勵電路 4 b 和 4 d 執行兩次。

此種精巧的激勵操作會進一步的抑制升壓電壓 V C H 之降低以提供進一步穩定的升壓電壓。如此可提供進一步穩定的輸出位準和穩定的輸出電流。

圖 7 為圖 5 之實施例之控制電路 4 0 之特殊電路圖。一單擊脈衝產生器 4 2 受供應一讀取指令訊號 C O M M A N D ，同時一閘電路 4 1 1 輸入一時鐘訊號 C L O C K 和一輸出致能訊號 D O E 。

首先，單擊脈衝產生器 4 2 產生一單一脈衝 P R E P 以回應和外部或載入時鐘訊號 C L O C K 同步接收之讀取指令訊號 C O M M A N D 。脈衝 P R E P 於後經由一閘電路 4 1 1 之 N O R 閘 N O G 和頻率劃分器 / 相移位電路 4 1 2 而饋至第一至第四激勵電路 4 a - 4 d 以執行預激勵操作如圖 6 所示。

在預激勵操作後，N A N D 閘電路 N A G 由資料輸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

致能訊號 D O E 所開啓。資料輸出致能訊號 D O E 之產生時間依照已定模態 (所謂的 “ 等數時間 (Satency) ”) 而控制，以在資料輸出有效時能經由 N A N D 閘電路 N A G 而導入輸入時鐘訊號，因此，第一至第四激勵電路 4 a - 4 d 循序的操作且與資料輸出同步，以對在升壓電壓中資料輸出之消耗而降低之電壓作補償。N A N D 閘 N A G 之輸出當成一個控制脈衝訊號 I N 0 經由反向器 N 4 1，N O R 閘 N O G，和反向器 4 2 輸入至頻率劃分器 / 相移位電路 4 1 2。在圖 3 所顯示之操作中，“等數時間”設定為 3。

當 D R A M 之電源供應啓動時，一設定脈衝 S E T 應用至 M O S F E T Q 6 0 藉以設定頻率劃分器 / 相移位電路 4 1 2 之每一節點在其初始電壓值。電路 4 1 2 包括 C M O S 反向器 I N V 1 以接收一輸入訊號 I N 0，一 C M O S 反向器 I N 2 以接收反向器 I N V 1 之輸出，和二個正反器。正反器之一包括一時鐘反向器 I N V 3，一 C M O S 反向器 I N 4 以接收時鐘反向器 I N V 3 之輸出，和一時鐘反向器 I N V 5 用以將 C M O S 反向器 I N 4 之輸出訊號饋回至其輸入端。而另一正反器包括一時鐘反向器 I N V 6，一 C M O S 反向器 I N 7 以接收時鐘反向器 I N V 6 之輸出，和一時鐘反向器 I N V 8 用以將 C M O S 反向器 I N 7 之輸出訊號饋回至其輸入端。時鐘反向器 I N V 6 之輸出訊號饋至 C M O S 反向器 I N V 7 和時鐘反向器 I N V 3 以形成一個二進位計數器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

(一 頻 率 劃 分 器) 。

當 頻 率 劃 分 器 / 相 移 位 電 路 4 1 2 在 一 非 操 作 狀 態 ， 時 鐘 反 向 器 I N V 3 和 I N V 8 處 於 關 閉 狀 態 。 設 定 脈 衝 啓 動 M O S F E T Q 6 0 一 段 已 定 的 時 間 段 以 設 定 節 點 b 於 低 位 準 。 由 於 反 向 器 I N V 5 和 I N V 6 位 於 啓 動 狀 態 ， 節 點 a 和 c 位 於 高 位 準 ， 而 節 點 b 位 於 低 位 準 。

由 閘 電 路 4 1 1 所 接 收 之 脈 衝 訊 號 I N 0 經 由 兩 個 反 向 器 I N V 1 和 I N V 2 選 擇 性 的 操 作 時 鐘 反 向 器 I N V 3 ， I N V 5 ， I N V 6 ， 和 I N V 8 。 當 輸 入 訊 號 I N 0 之 位 準 由 “ 低 ” 變 為 “ 高 ” 時 ， 反 向 器 I N V 3 啓 動 ， 而 反 向 器 I N V 5 和 I N V 6 關 閉 。 因 此 ， 節 點 a 由 “ 高 ” 變 為 “ 低 ” 位 準 ， 而 節 點 b 逆 向 的 由 “ 低 ” 變 為 “ 高 ” 位 準 。 (節 點 c 和 d 仍 持 留 不 變) 。 當 輸 入 訊 號 I N 0 之 位 準 由 “ 高 ” 變 為 “ 低 ” 位 準 時 ， 反 向 器 I N V 5 和 I N V 6 啓 動 ； 而 反 向 器 I N V 3 和 I N V 8 關 閉 。 因 此 ， 節 點 c 由 “ 高 ” 變 為 “ 低 ” 位 準 ， 而 節 點 d 逆 向 的 由 “ 低 ” 變 為 “ 高 ” 位 準 。 (節 點 a 和 b 保 持 不 變) 。 因 此 ， 藉 由 重 複 類 似 的 操 作 ， 在 相 關 的 節 點 a 至 c 上 可 獲 得 四 個 不 同 相 位 移 位 時 鐘 訊 號 ， 其 循 序 的 在 相 位 上 移 位 $\pi / 2$ 且 具 有 為 輸 入 訊 號 I N 0 兩 倍 之 週 期 。 第 一 至 第 四 激 勵 電 路 4 a ~ 4 d 具 有 如 圖 4 所 示 相 同 之 結 構 。

圖 8 為 本 發 明 之 另 一 實 施 例 之 升 壓 電 路 裝 置 之 電 路 圖 。 在 此 實 施 例 中 ， 輸 出 邏 輯 位 準 偵 測 電 路 7 0 輸 出 一 訊 號 以 控 制 N A N D 閘 電 路 G 7 1 - G 7 4 ， 且 輸 出 由 頻 率 劃

(請 先 閱 讀 背 面 之 注 意 事 項 再 填 寫 本 頁)

裝

訂

線

五、發明說明 (18)

分器 / 相移位電路 4 1 2 所產生之四個脈衝訊號。

輸出邏輯位準偵測電路 7 0 偵測多數同時輸出資料之邏輯位準 (例如在圖 1 所顯示之結構為 8 個資料) , 以根據偵測結果, 控制 N A N D 閘電路 G 7 1 - G 7 4 。

當電路 7 0 偵測到所有同時輸出 8 個資料之第一位元資料 (D 0) 皆為低位準時, 閘電路 G 7 1 和 G 7 3 由於電路 7 0 而封閉, 因此, 至第一改變激勵電路 4 a 之輸入訊號 I N 1 和至第三改變激勵電路 4 c 之輸入訊號 I N 3 (圖 6) 保持不變, 且激勵對於第一位元而言並無作用。然而, 當電路 7 0 偵測到所有同時輸出 8 個資料之第二位元資料 (D 1) 皆為低位準時, 閘電路 G 7 2 和 G 7 4 由於電路 7 0 而封閉, 因此, 至第二改變激勵電路 4 b 之輸入訊號 I N 2 和至第四改變激勵電路 4 d 之輸入訊號 I N 4 (圖 6) 保持不變, 且激勵對於第二位元而言並無作用。以此方式, 在充電激勵電路 4 a ~ 4 d 之電源消耗可以減少。

圖 9 為依照本發明之另一實施例之升壓電路裝置之電路圖。在此實施例中, 圖 1 之兩個升壓電路裝置 V C H G 1 和 V C H G 2 由一單一公用電路取代之。

因此, 在閘電路 4 1 1 中, 用以致動激勵電路 4 a ~ 4 d 之訊號乃饋至 N O R 閘電路 N O G , 該訊號具有一啓動電源開關之時間和供應升壓電壓 V C H 以供字線選擇之時間, 該 N O R 閘電路 N O G 用以供應輸入訊號至反向器 N 4 2 以產生輸入脈衝訊號 I N 0 以作用上述之預激勵。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

V C H 位準感應器 8 0 可感應升壓電壓 V C H 之電壓位準，且可產生第一和第二感應訊號 C L 1 和 C L 2，第一感應訊號 C L 1 表示升壓電壓 V C H 低於第一電壓位準，第二感應訊號 C L 2 表示升壓電壓 V C H 低於第二電壓位準，但卻不低於第一電壓位準。當電源開關啓動時，由於電壓 V C H 為接地電壓位準，N A N D 閘電路 G 8 3 由第一感應訊號 C L 1 開啓以經由 N A N D 閘電路 G 8 3，反向器電路 N 4 4 和 N O R 閘電路 G 8 4 而導入外部時鐘脈衝 (C L O C K)，直到電壓 V C H 升壓至第一電壓位準 (例如 4 伏特)。當電壓 V C H 超過第一電壓位準時，N A N D 閘電路 G 8 2 由第二感應訊號 C L 2 開啓以從內部振盪時鐘源 8 1 經由 N A N D 閘電路 G 8 2，反向器電路 N 4 3 和 N O R 閘電路 G 8 4 導入具有相當長週期之時鐘脈衝，直到電壓 V C H 升壓至第二電壓位準 (例如 4 . 5 V)。

再者，產生一時間以供應升壓電壓 V C H 做字線之選擇之單擊脈衝 R E N 乃經由 N O R 閘電路 G 8 4 而導入。

藉由此結構，當有需要時，除了資料輸出操作之情形外，藉由將上述訊號經由閘電路 G 8 4 供應至在閘電路 4 1 1 中之 N O R 閘電路 N O G，激勵即可作用，因此，升壓電壓保持在一實質恆定的位準。由於升壓電路裝置之共同使用，圖 9 之實施例可有效的簡化控制電路和激勵電路之電路結構。

圖 1 0 顯示依照本發明之一實施例之 D R A M 之結構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

圖。圖 1 0 中顯示之相關電路使用已知的半導體積體技術形成在單晶矽之單一半導體基底上。圖 1 0 顯示在半導體晶片上相關電路塊之實際幾何佈局之一例。而整體相關之說明中，所謂的“M O S F E T”於此為絕緣閘場效電晶體 (I G F E T)。

爲了避免由於記憶容量之增加而導致控制訊號和記憶陣列驅動訊號之配線導體長度之增加以及晶片尺寸之增加而引起 R A M 之操作速度之降低，記憶陣列之佈局 (包括 R A M 和在記憶陣列中選擇位址之週邊電路等) 之構成如下所述。

在圖 1 0 中，包括垂直和水平中央條狀部份之橫形區域乃提供在晶片上。週期電路主要置放在橫形區域上。記憶陣列藉由橫形區域安置在晶片之四個分割區域。亦即，橫形區域乃提供在晶片之垂直和水平中央條形部份，因此，記憶陣列乃提供在由橫形區域所分割之晶片之四個區域中。在無任何特別限制之情形下，四個記憶陣列之有一記憶陣列具有約 4 M 位元之儲存容量，因此整體具有約 1 6 M 位元之大記憶容量。

每個記憶陣列包括 4 個記憶塊，其中字線延伸在水平方向且補償位元線對 (資料或數位線) 延伸在垂直方向。一記憶塊具有約 1 M 位元之記憶容量。在每一記憶陣列中之四個記憶塊之一具有字線驅動器 (未顯示)，其安排在記憶塊之側面並面對垂直中央條部份。

一行解碼器和一控制器提供在橫形區域之左邊中央部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

份，而一列解碼器和用於字線升壓之第一升壓電路裝置 V C H G 1 提供在橫形區域之右邊中央部份。

一輸入／輸出緩衝器和一輸入／輸出銷 I / O 位於橫形區域之上中央部份。用於對資料輸出緩衝升壓之第二升壓電路裝置 V C H G 2 位於輸入／輸出緩衝器之下。

輸入緩衝器，相關位址銷，和時鐘銷提供在橫形區域之下中央部份。在未做特別限制之情形下，產生其他控制訊號 R A S B，C A S B，W E B 和 C S B 之單元安排在橫向區域之中央部份鄰近控制器。

圖 1 1 為一電腦系統之主要部份之結構圖，其中使用依照本發明之一實施例之 S D R A M (同步 D R A M)。電腦系統包括一匯流排，一中央處理單元 C P U，一週邊電路控制器，當成主要記憶之 S D R A M，其控制器，當成備份記憶之 S R A M，一備份配類，其控制單元，儲存一程式之 R O M，一顯示系統等。

週邊電路控制器連接至一外部儲存單元，一鍵盤 K B 等。顯示系統包括一 V R A M (影像 R A M) 等，且連接至一顯示當成一輸出裝置以顯示儲存在 V R A M 中之資訊。一電源供應器供應電源至電腦系統之內部電路。C P U 產生訊號以控制相關記憶之操作時間。雖然，本發明之 S D R A M 當成主要記憶使用之例業已說明，如果顯示系統之 V R A M 為多埠型式，本發明亦可應用至顯示系統之 V R A M 之串聯存取部份。

當 S D R A M 安裝在上述實施例之電腦系統之資訊處

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

理系統中時，由於 S D R A M 之增加的整合程度，擴大的容量，增加的操作速度和 / 或減少電源消耗，於此可增進該電腦系統之效能並減少其尺寸。S D R A M 除了使用當成主要記憶外，其亦可使用以當成檔案記憶以有效的藉由其大記憶容量以取代硬碟記憶。

由上述實施例所提供之優點如下所述：

(1) 資料輸出電路包括兩個推挽連接之 N 通道輸出 M O S F E T ，其連續的輸出讀取資料。升壓電路裝置包括兩個切換 M O S F E T ， M O S F E T 之切換操作由一輸入到 M O S F E T 之輸入脈衝訊號所同步控制以執行激勵操作，和一激勵電路，其中饋至至少一個 M O S F E T 之閘極之控制訊號由一靴帶式操作所升壓。因此，預激勵操作在讀取操作之前執行以對激勵電路適當的形成升壓電壓，因此，所需供應至資料輸出電路之升壓電壓可藉由和實際讀取操作同步之激勵操作而獲得 (參見圖 4) 。

(2) 升壓電路裝置乃應用於一記憶，該記憶具有將表示操作模態之指令訊號同步的導入一外部輸入時鐘脈衝訊號之功能，和串聯的輸出表示由記憶陣列中以位元為單元所讀取之資料之讀取訊號以在穩定方式下以高速串聯的輸出資料之功能。

(3) 具有多數並聯連接之輸出終端之激勵電路將輸入脈衝訊號以頻率劃分為多數相位互相不同之脈衝訊號藉以在一資料輸出上執行兩次激勵操作以便穩定升壓電壓 (參見圖 7) 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

(4) 連接至激勵電路之輸出端之平滑電容和升壓電路裝置共用一輸出端，其形成一字線選擇電壓以降低晶片區域 (參見圖 1) 。

(5) 當感應到低位準訊號之輸出以降低電源耗損時，輸出資料之邏輯位準被感應到，並停止輸入時鐘脈衝之傳送至激勵電路 (參見圖 8) 。

(6) 升壓電路裝置應用至使用約 3 伏特之低操作電源供應電壓之記憶可用以形成一穩定的升壓電壓，藉以有效的提供一滿足的輸出位準和一滿足的輸出電流。

(7) 當一單一升壓電路裝置具有雙功能，亦即產生一升壓電壓以供應至字線驅動器和產生一升壓電壓以供應至資料輸出電路，其可降低晶片區域 (參見圖 9) 。

雖然本發明已以較佳實施例特別的說明，但是本發明並不限於此實施例。於此當然有許多變化和修飾之可能，而其仍未能悖離本發明之精神。例如，在圖 2 A 中，任何的電路皆可使用為位準移位部份，如果該電路可將 V C C 位準轉換為 V C H 位準，而非必定是如上所述具有一對 N O R 閘之閃鎖形式之位準移位部份。驅動電路部份具有一閘功能以依照輸出致能訊號關閉輸出 M O S F E T Q 3，而非必要是 C M O S 反向器。

D R A M 具有用於一字線以串聯方式輸出資料之功能。再者，在此例中，激勵操作之執行可避免每次資料和時鐘訊號同步的輸出時，升壓電壓之降低。

本發明可廣泛的應用至半導體儲存裝置，該半導體儲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

存裝置包括依照由升壓電路裝置所產生之驅動訊號用以傳送一輸出訊號之輸出電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

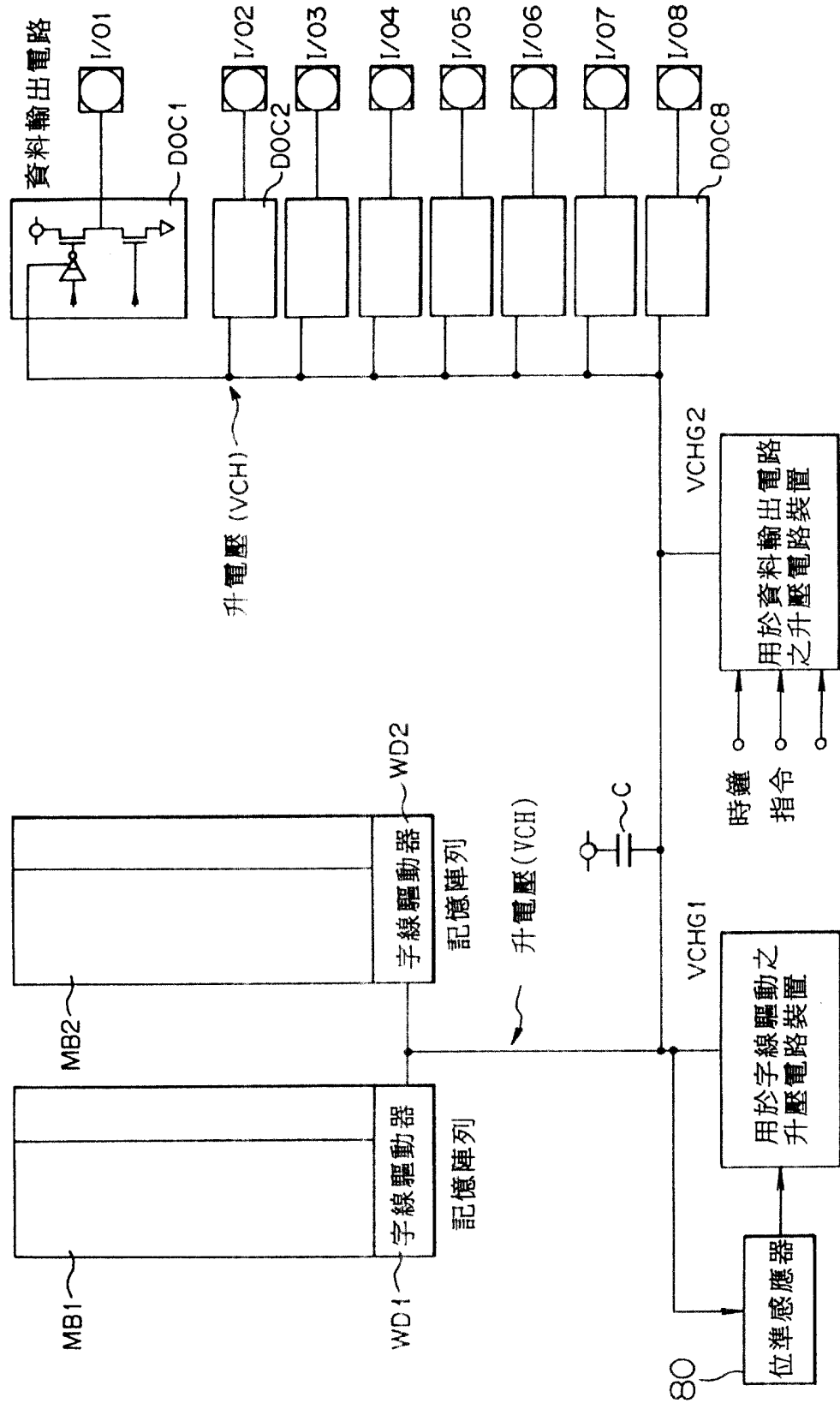
四、中文發明摘要(發明之名稱：)

可預先增壓之升壓電路裝置及半導體記憶裝置

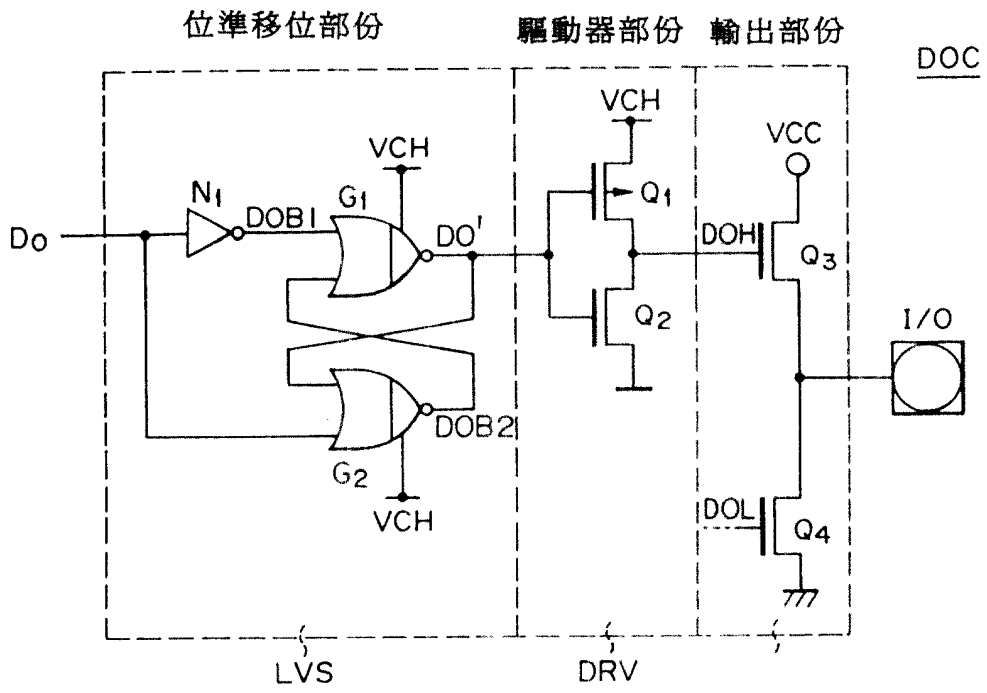
一種動態隨機存取記憶，其中資料回應於讀取指令訊號以連續的讀出，乃提供一升壓電路裝置。升壓電路裝置，包含激勵電路機構，其可在第一電壓以第一電源操作並回應一控制時鐘訊號用以在第二電壓上供應第一第二電壓。一該第二電源之第二電壓升壓高於第一電壓之第一電壓。一單擊脈衝產生器用以產生一單一脈衝，而一預激勵脈衝訊號於此產生以包括在控制時鐘訊號中。因此，控制時鐘訊號包含一預激勵脈衝和多數跟隨預激勵脈衝之預激勵脈衝而升壓高於第一電壓之第一電壓。

英文發明摘要(發明之名稱：)

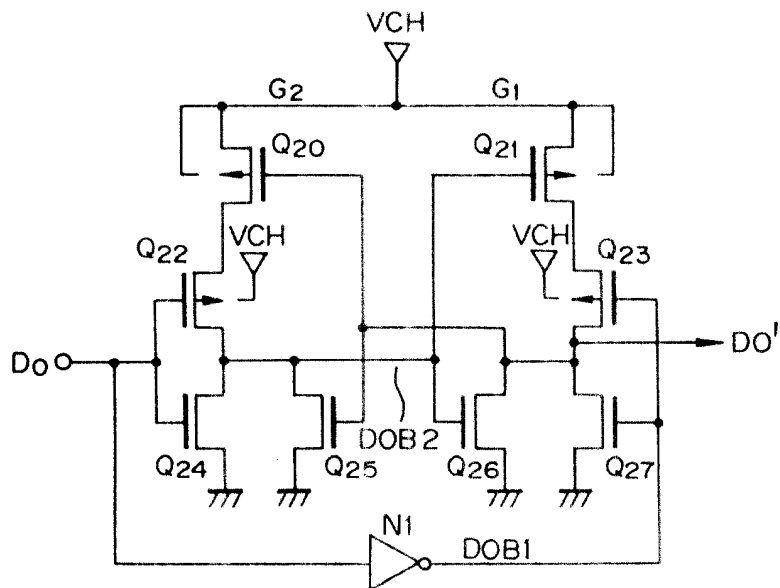
第一圖



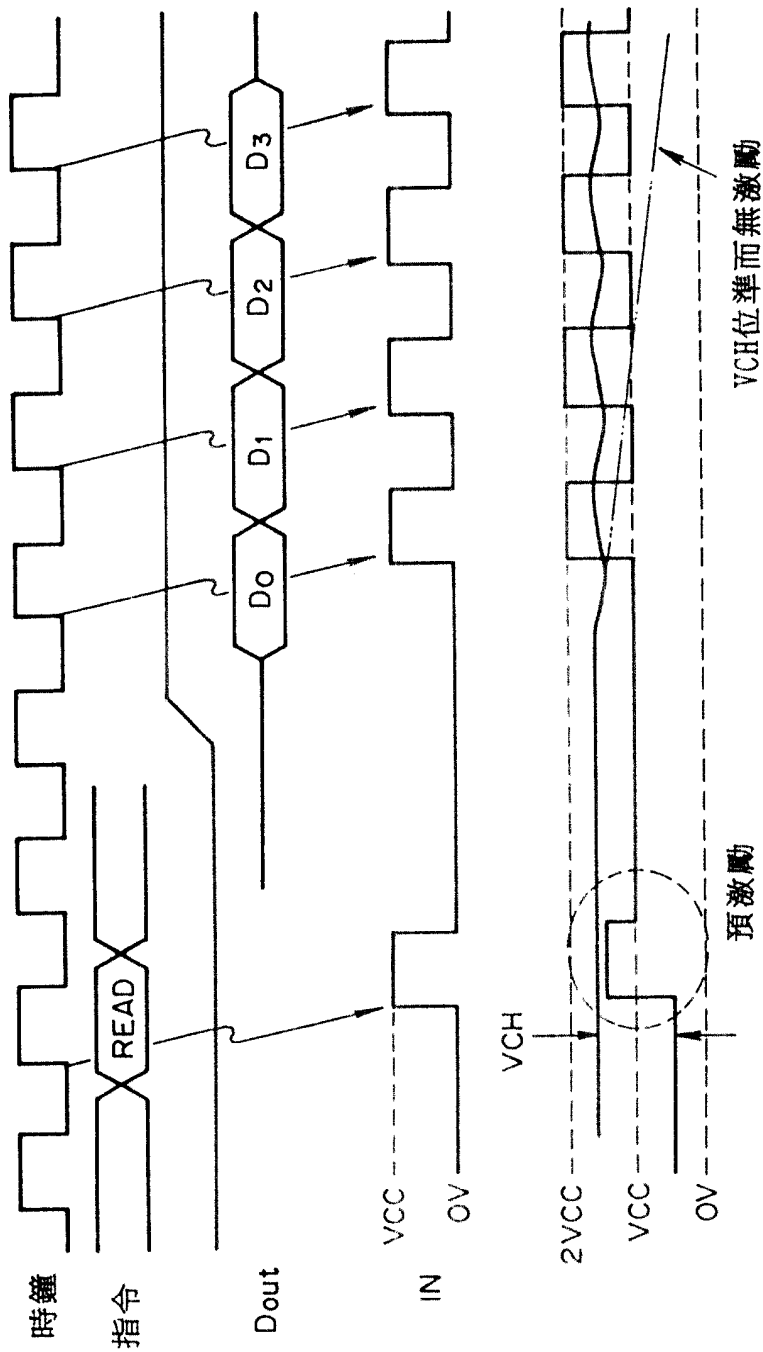
第2A圖



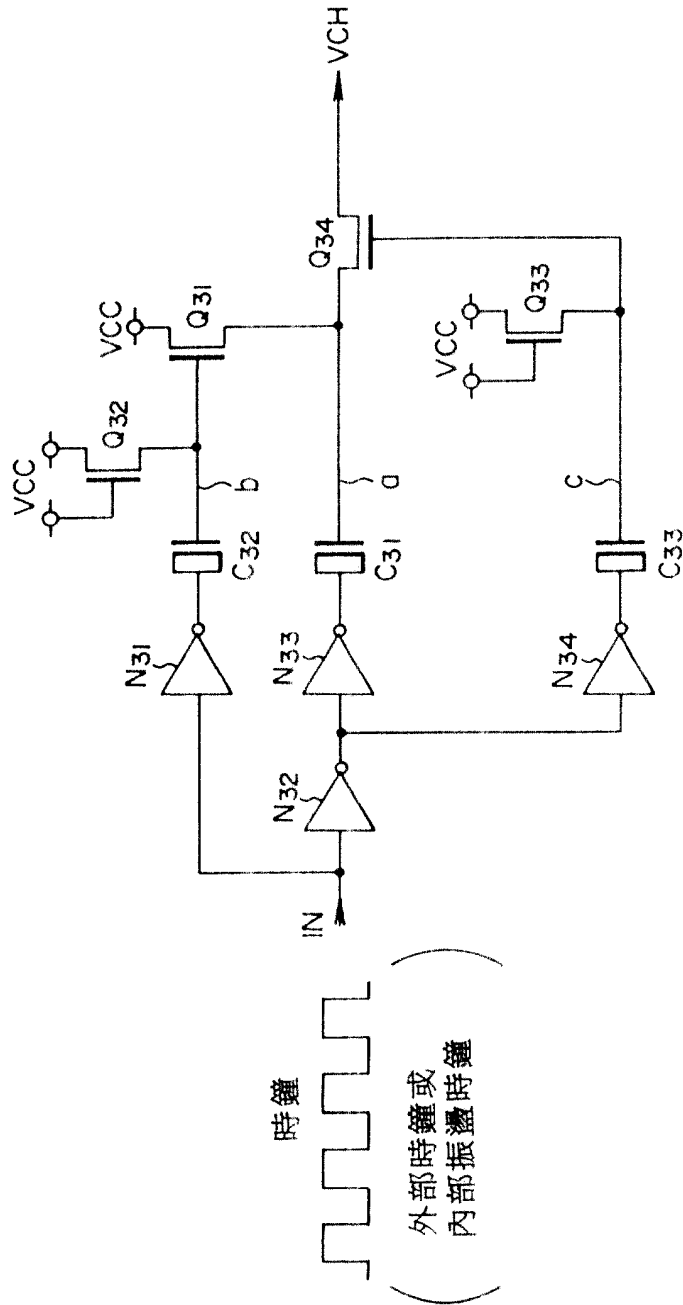
第2B圖



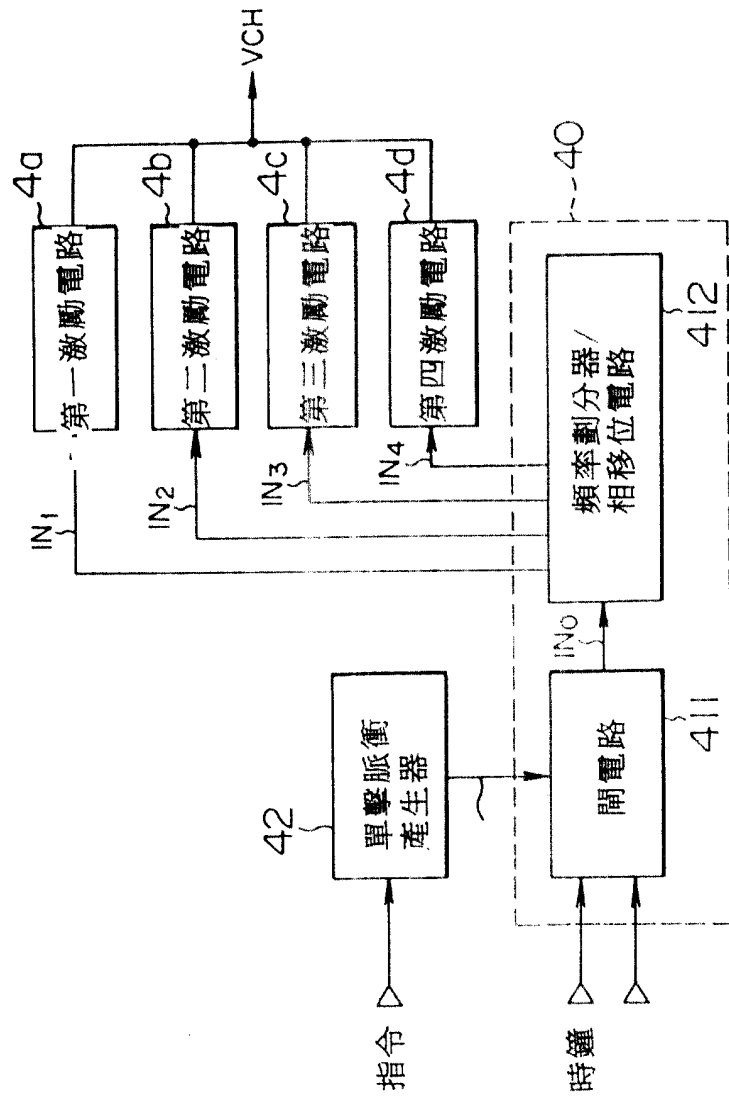
第 3 圖



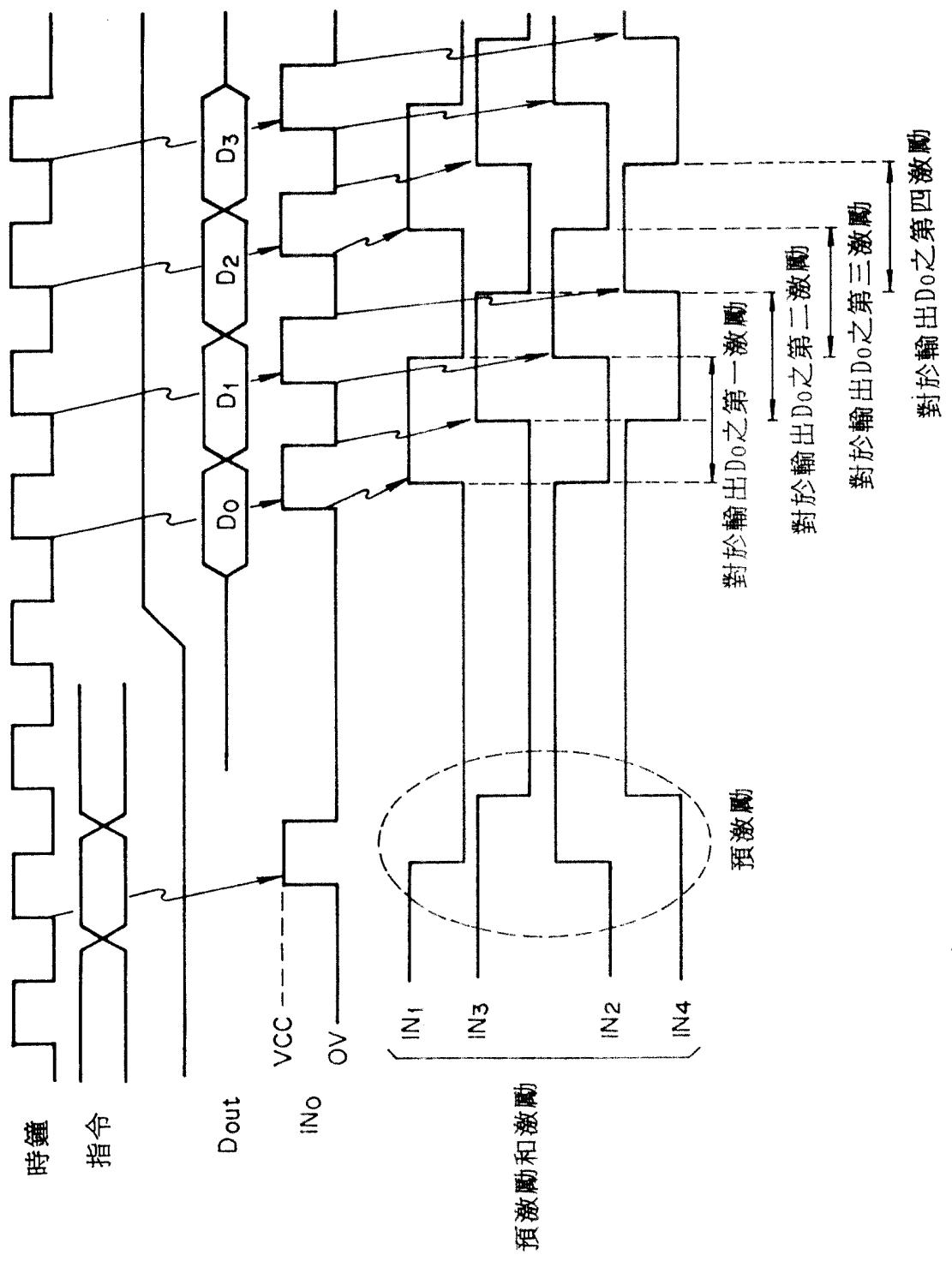
第 4 圖



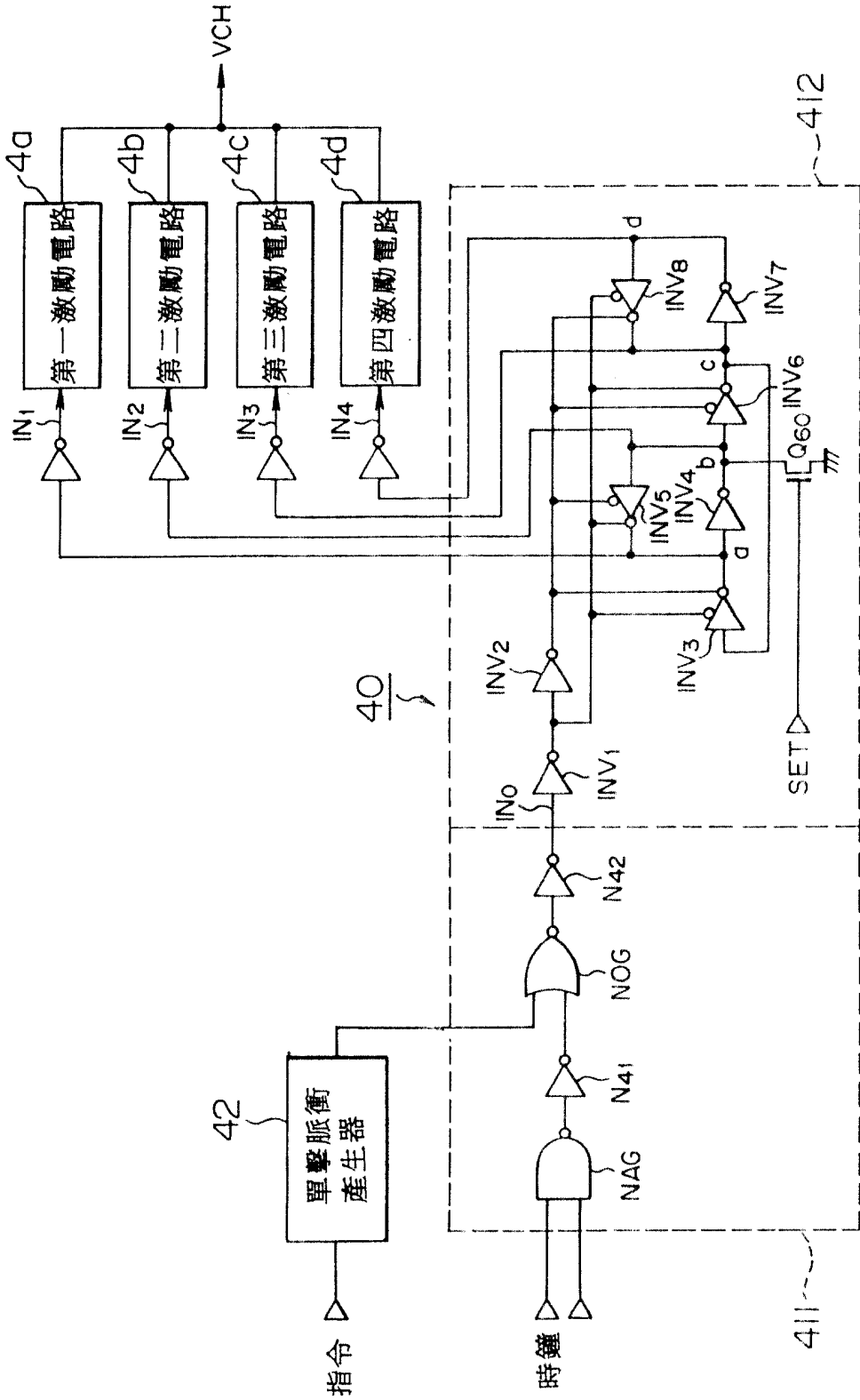
第 5 圖



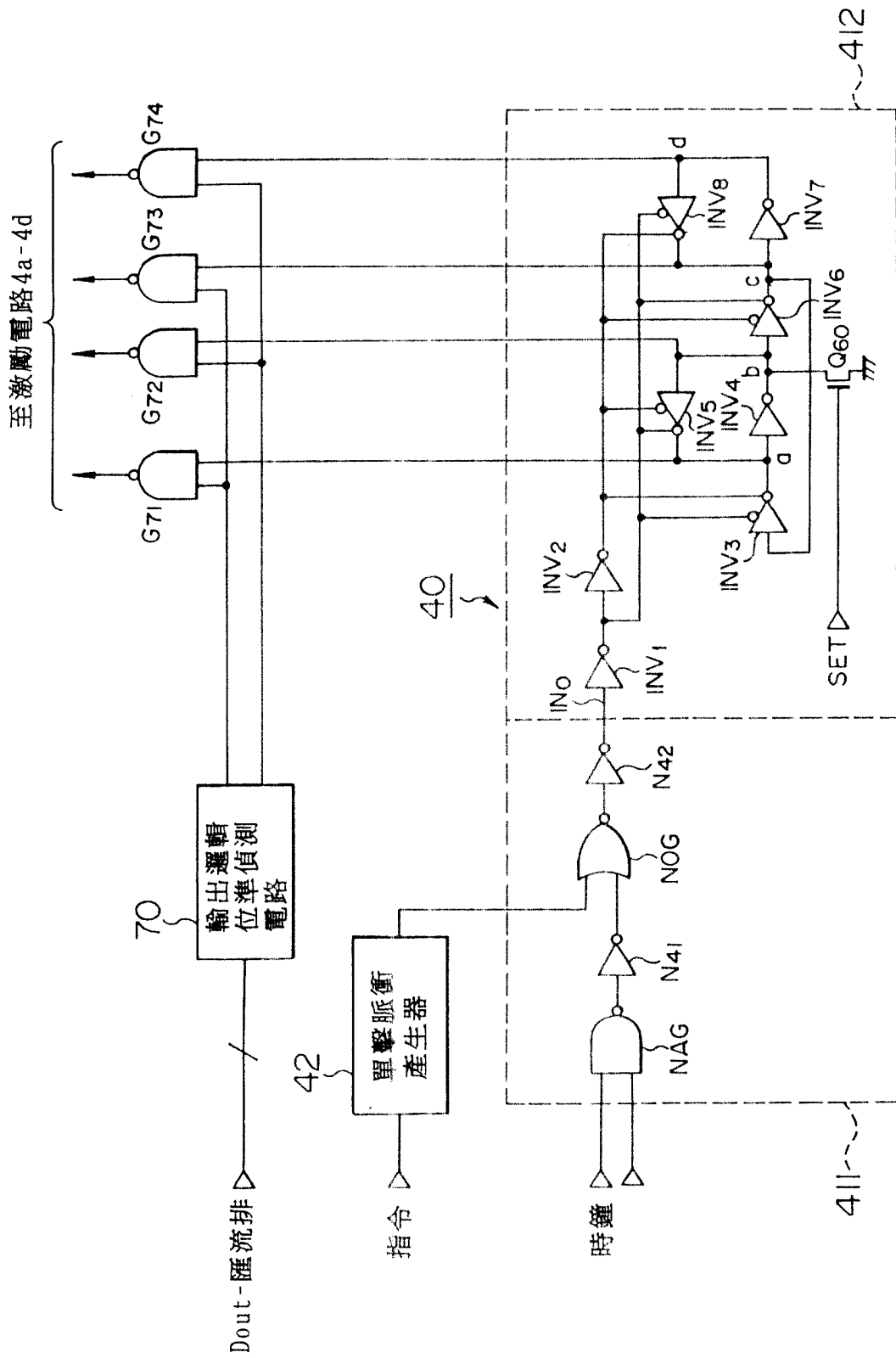
第 6 圖



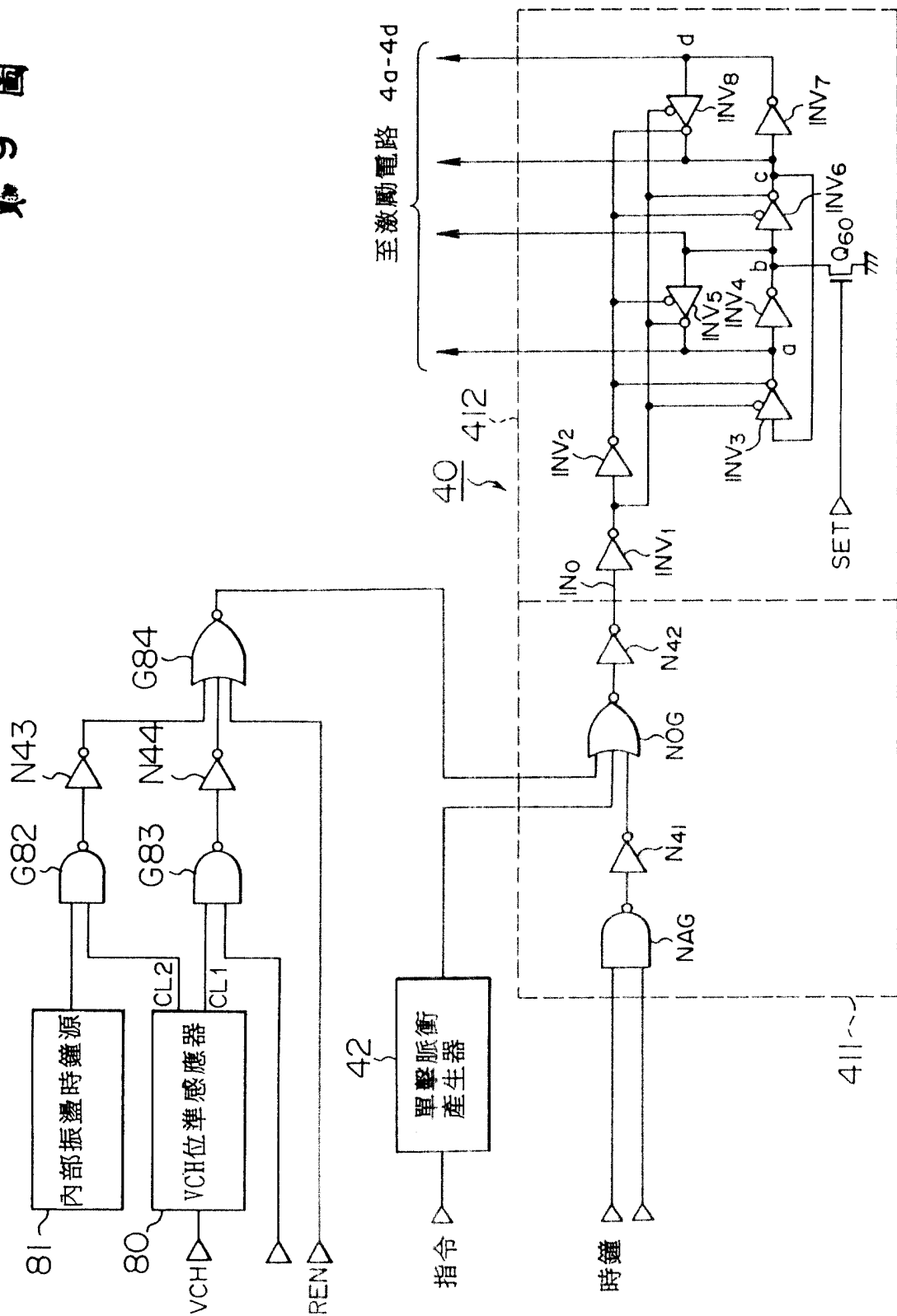
第 7 圖



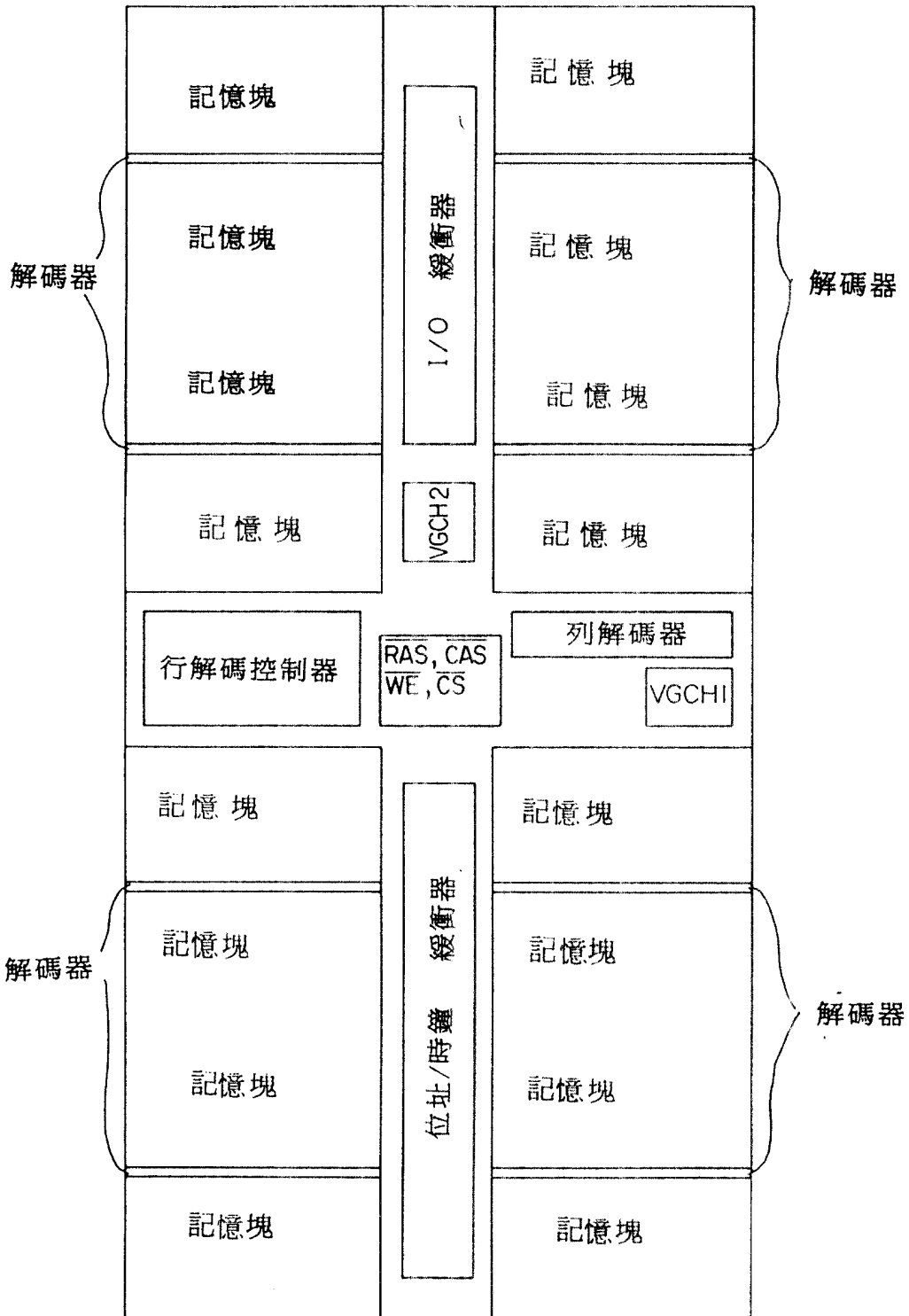
第 8 圖



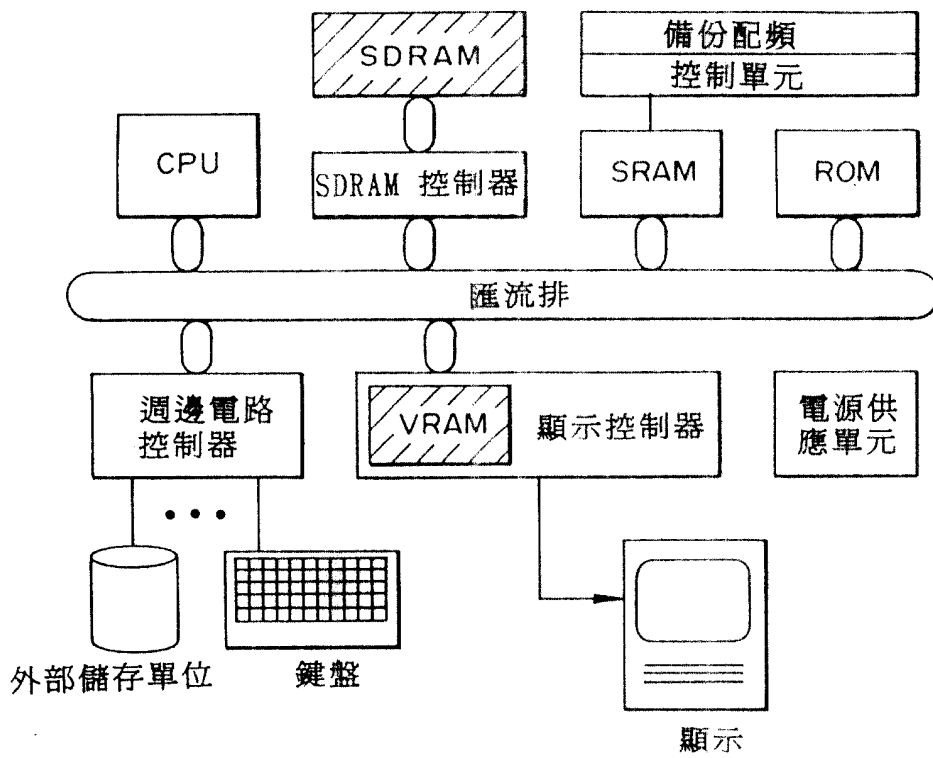
第 9 圖



第 10 圖



第 11 圖



六、申請專利範圍

第 83103361 號 專利 申請 案

中文 申請 專利 範圍 修正 本

修正
補充
84年7月22日

民國 84 年 7 月 修正

1. 一種升壓電路裝置，包含

激勵電路機構，其可在第一電壓以第一電源操作並回應一控制時鐘訊號用以在第二電壓上供應一第二電源，該第二電源之第二電壓升壓高於第一電源之第一電壓；

一單擊脈衝產生器，其回應一初始輸入訊號以產生一單一脈衝；和

一控制電路，其回應該單一脈衝和用以產生該控制時鐘訊號之輸入時鐘訊號，該初始輸入訊號與該輸入時鐘訊號同步產生，且該控制時鐘訊號包含相關於該單一脈衝之預激勵脈衝和多數相關於該輸入時鐘訊號且跟隨該預激勵脈衝之時鐘脈衝。

2. 如申請專利範圍第 1 項所述之升壓電路裝置，其中：

該激勵電路機構包括多數激勵電路，其輸出連接在一起；和

該控制電路包括一開電路用以接收由外部供應至此之輸入時鐘訊號和由該單擊脈衝產生器而來的單一脈衝以產生一基本控制時鐘訊號，和一頻率劃分/相位移位電路用以頻率劃分該基本控制時鐘訊號為多數頻率劃分控制時鐘訊號並互相相位移位該頻率劃分控制時鐘訊號，該相位移

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

六、申請專利範圍

位，該頻率劃分控制時鐘訊號構成該控制時鐘訊號，每個該控制時鐘訊號饋至不同的激勵電路。

3. 一種升壓電路裝置用以供應在一升壓電壓之電源至一資料輸出電路以輸出一邏輯輸出訊號，包含：

激勵電路機構，其可與第一電源在第一電壓下操作，且回應一控制時鐘訊號用以產生在第二電壓下之第二電源，該第二電源之第二電壓高於第一電源之第一電壓；

一單擊脈衝產生器，其回應先前輸入脈衝用以產生一單一脈衝；

一控制電路，其回應該單一脈衝和一輸入時鐘訊號用以產生該控制時鐘訊號，該先前輸入訊號與該輸入時鐘訊號同步的產生，該控制時鐘訊號包含一相關於該單一脈衝之預激勵脈衝和相關於該輸入時鐘訊號和隨後之預激勵脈衝之多數時鐘訊號；和

一位準偵測電路用以偵測邏輯輸出訊號之偵測邏輯位準；和

一閘電路提供在該控制電路和激勵電路機構之間，該位準偵測電路之輸出被供應至閘電路以選擇性的傳送該控制時鐘訊號至該激勵電路機構，在該位準偵測電路之輸出之控制下。

4. 一種動態 R A M，其中資料乃回應一讀取指令訊號以連續的讀出，包含：

多數之記憶陣列，每個皆包括一字線驅動器；

多數之序列資料輸出電路用以輸出邏輯輸出訊號至 I

(請先閱讀背面之注意事項再填)

本頁)

裝

訂

線

六、申請專利範圍

／ O 整；和

一升壓電路裝置用以供應在一升壓電壓之電源至少至資料輸出電路，該升壓電路裝置包括：

一激勵電路機構，其可與第一電源在第一電壓下操作，且回應一控制時鐘訊號用以產生在第二電壓下之第二電源，該第二電源之第二電壓高於第一電源之第一電壓；

一單擊脈衝產生器，其回應先前輸入脈衝用以產生一單一脈衝；

一控制電路，其回應該單一脈衝和一輸入時鐘訊號用以產生該控制時鐘訊號，該先前輸入訊號回應該讀取指令訊號而產生以與該輸入時鐘訊號同步的產生，該控制時鐘訊號包含一相關於該單一脈衝之預激勵脈衝和相關於該輸入時鐘訊號和隨後之預激勵脈衝之多數時鐘訊號，因此，該第二電源之第二電壓藉由在連續讀出資料之前之預激勵脈衝而升壓高於第一電源之第一電壓，該序列資料輸出電路被以該經提升之電壓與該電力搭配運作且被相對應於該輸入時鐘信號之與該多數個時鐘脈波相對應之部份；和

一平滑電容用以從該升壓電路裝置中使該第二電源之第二電壓平滑。

5. 如申請專利範圍第4項所述之動態RAM，進一步包含一位準感應器用以偵測該第二電源之第二電壓之位準，其中該升壓電路裝置用以供應在一升壓電壓上之電源至該資料輸出電路和至該字線驅動器，當該第二電源之第二電壓之位準降至一已定位準之下時，該位準感應器可產

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

六、申請專利範圍

生一感應訊號以應用至升壓電路裝置之控制電路用以控制該激勵電路機構。

(請先閱讀背面之注意事項再
本頁)

裝

訂

線