

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7150461号  
(P7150461)

(45)発行日 令和4年10月11日(2022.10.11)

(24)登録日 令和4年9月30日(2022.9.30)

|                         |                 |
|-------------------------|-----------------|
| (51)国際特許分類              | F I             |
| H 0 1 L 25/07 (2006.01) | H 0 1 L 25/04 C |
| H 0 1 L 25/18 (2006.01) | H 0 1 L 23/48 H |
| H 0 1 L 23/48 (2006.01) |                 |

請求項の数 17 (全25頁)

|          |                                  |          |                                              |
|----------|----------------------------------|----------|----------------------------------------------|
| (21)出願番号 | 特願2018-82981(P2018-82981)        | (73)特許権者 | 000116024<br>ローム株式会社<br>京都府京都市右京区西院溝崎町2 1 番地 |
| (22)出願日  | 平成30年4月24日(2018.4.24)            | (74)代理人  | 100086380<br>弁理士 吉田 稔                        |
| (65)公開番号 | 特開2019-192751(P2019-192751<br>A) | (74)代理人  | 100135389<br>弁理士 臼井 尚                        |
| (43)公開日  | 令和1年10月31日(2019.10.31)           | (72)発明者  | 三浦 義勝<br>京都市右京区西院溝崎町2 1 番地 ロー<br>ム株式会社内      |
| 審査請求日    | 令和3年3月24日(2021.3.24)             | 審査官      | 多賀 和宏                                        |

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項 1】

厚さ方向において互いに反対側を向く素子主面および素子裏面を有し、前記素子主面に第1電極および第2電極が形成された半導体素子と、  
前記第1電極に電気的に接続された第1導電部材と、  
前記第2電極に電気的に接続された第2導電部材と、  
前記第1導電部材の一部、前記第2導電部材の一部、および、前記半導体素子を覆う封止樹脂と、を備えており、  
前記第1導電部材は、前記厚さ方向に見て前記半導体素子のほぼ全域に重なる第1パッド部を含んでおり、  
前記第1パッド部は、前記第1電極に接合された接合面および前記厚さ方向において前記接合面と反対側を向く第1パッド主面を有しており、さらに、前記接合面から前記第1パッド主面に向かって広がる内面を有し、かつ、前記第1電極に接合されない非接合部を含んでいる、  
ことを特徴とする半導体装置。

【請求項 2】

前記第2電極は、前記第2導電部材が接合されたパッド電極部と、前記第2電極の内部抵抗を低減するためのフィンガー電極部とを有しており、  
前記非接合部は、前記厚さ方向に見て、前記フィンガー電極部に重なる、  
請求項 1 に記載の半導体装置。

**【請求項 3】**

前記半導体素子は、前記フィンガー電極部を覆う絶縁膜を有する、  
請求項 2 に記載の半導体装置。

**【請求項 4】**

前記半導体素子は、前記厚さ方向に見て 0.05 ~ 0.3 mm 角である、  
請求項 2 または請求項 3 のいずれか一項に記載の半導体装置。

**【請求項 5】**

前記第 1 導電部材は、前記厚さ方向に見て前記封止樹脂から突き出た第 1 露出部と、前記封止樹脂に覆われ、かつ、前記第 1 パッド部および前記第 1 露出部に繋がる第 1 連結部と、をさらに含んでいる、  
請求項 1 ないし請求項 4 のいずれか一項に記載の半導体装置。

10

**【請求項 6】**

前記第 1 露出部は、前記第 1 連結部に繋がり、かつ、前記厚さ方向に屈曲した第 1 屈曲部、および、前記第 1 屈曲部に繋がる第 1 端子部を含んでいる、  
請求項 5 に記載の半導体装置。

**【請求項 7】**

前記半導体素子が搭載された第 3 導電部材をさらに備えており、  
前記半導体素子は、前記素子裏面に第 3 電極が形成されており、  
前記第 3 導電部材は、前記第 3 電極に電氣的に接続している、  
請求項 6 に記載の半導体装置。

20

**【請求項 8】**

前記封止樹脂は、前記素子裏面と同じ方向を向く樹脂裏面を有しており、  
前記第 3 導電部材は、前記素子裏面と同じ方向を向き、かつ、前記樹脂裏面から露出する実装面を有しており、  
前記第 1 端子部は、前記厚さ方向に直交する第 1 方向に見て、前記第 3 導電部材に重なる、  
請求項 7 に記載の半導体装置。

**【請求項 9】**

前記第 2 導電部材は、前記第 2 電極に接合された第 2 パッド部と、前記厚さ方向に見て、前記封止樹脂から突き出た第 2 露出部と、前記封止樹脂に覆われ、かつ、前記第 2 パッド部および前記第 2 露出部に繋がる第 2 連結部と、を含んでいる、  
請求項 8 に記載の半導体装置。

30

**【請求項 10】**

前記第 2 露出部は、前記第 2 連結部に繋がり、かつ、前記厚さ方向に屈曲した第 2 屈曲部、および、前記第 2 屈曲部に繋がる第 2 端子部を含んでいる、  
請求項 9 に記載の半導体装置。

**【請求項 11】**

前記第 2 端子部は、前記第 1 方向に見て、前記第 3 導電部材に重なる、  
請求項 10 に記載の半導体装置。

**【請求項 12】**

前記非接合部は、前記内面に繋がり、かつ、前記接合面と同じ方向を向く底面をさらに含む、  
請求項 1 ないし請求項 11 のいずれか一項に記載の半導体装置。

40

**【請求項 13】**

前記非接合部は、各々が前記厚さ方向に直交する第 1 方向に延びており、かつ、前記厚さ方向および前記第 1 方向の両方に直交する第 2 方向に並んだ複数の凹部である、  
請求項 12 に記載の半導体装置。

**【請求項 14】**

前記複数の凹部はそれぞれ、前記第 1 パッド部の前記第 1 方向の一方側の端縁から前記第 1 方向の他方側の端縁まで繋がる、

50

請求項 1 3 に記載の半導体装置。

【請求項 1 5】

前記第 1 パッド主面は、少なくとも一部が前記封止樹脂から露出する、  
請求項 1 ないし請求項 1 4 のいずれか一項に記載の半導体装置。

【請求項 1 6】

前記封止樹脂は、前記素子主面と同じ方向を向く樹脂主面および当該樹脂主面から窪んだ樹脂凹部を有しており、

前記樹脂凹部は、樹脂凹部底面、および、当該樹脂凹部底面と前記樹脂主面とに繋がる樹脂凹部側面を有しており、

前記樹脂凹部底面と前記第 1 パッド主面とが面一である、

10

請求項 1 5 に記載の半導体装置。

【請求項 1 7】

前記半導体素子は、パワー M O S F E T であり、

前記第 1 電極は、ソース電極であり、

前記第 2 電極は、ゲート電極である、

請求項 1 ないし請求項 1 6 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体素子を備えた半導体装置に関する。

20

【背景技術】

【0002】

半導体装置は、様々な構成が提案されている。特許文献 1 には、従来の半導体装置の一例が開示されている。同文献に開示された半導体装置は、半導体素子、複数のリード、導電性金属板（以下、「ストラップ部材」という。）および封止樹脂を備えている。半導体素子は、複数のリードのそれぞれと導通しており、当該複数のリードのいずれかに、ストラップ部材を介して導通している。当該ストラップ部材は、半導体素子の上面に形成された電極の略全面を覆うように接合されている。封止樹脂は、半導体素子、複数のリードの一部ずつ、および、ストラップ部材を覆っている。

【先行技術文献】

30

【特許文献】

【0003】

【文献】特開 2 0 0 6 - 3 1 0 6 0 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来の半導体装置において、ストラップ部材と半導体素子との熱膨張係数が必ずしも等しくない。そのため、ストラップ部材と半導体素子とが接合された領域において、これらの熱膨張係数の差に起因する熱応力が生じ、半導体素子が破損しうる。したがって、半導体装置の信頼性の低下が懸念される。

40

【0005】

本開示は、上記課題に鑑みて創作されたものであり、その目的は、信頼性の向上を図った半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

本開示の第 1 の側面によって提供される半導体装置は、厚さ方向において互いに反対側を向く素子主面および素子裏面を有し、前記素子主面に第 1 電極および第 2 電極が形成された半導体素子と、前記第 1 電極に電気的に接続された第 1 導電部材と、前記第 2 電極に電気的に接続された第 2 導電部材と、前記第 1 導電部材の一部、前記第 2 導電部材の一部、および、前記半導体素子を覆う封止樹脂と、を備えており、前記第 1 導電部材は、前記

50

厚さ方向に見て前記半導体素子に重なる第1パッド部を含んでおり、前記第1パッド部は、前記第1電極に接合された接合面および前記厚さ方向において前記接合面と反対側を向く第1パッド主面を有しており、さらに、前記接合面から前記第1パッド主面に向かって広がる内面を有し、かつ、前記第1電極に接合されない非接合部を含んでいることを特徴とする。

【0007】

前記半導体装置の好ましい実施の形態においては、前記第2電極は、前記第2導電部材が接合されたパッド電極部と、前記第2電極の内部抵抗を低減するためのフィンガー電極部とを有しており、前記非接合部は、前記厚さ方向に見て、前記フィンガー電極部に重なる。

10

【0008】

前記半導体装置の好ましい実施の形態においては、前記半導体素子は、前記フィンガー電極部を覆う絶縁膜を有する。

【0009】

前記半導体装置の好ましい実施の形態においては、前記半導体素子は、前記厚さ方向に見て0.05~0.3mm角である。

【0010】

前記半導体装置の好ましい実施の形態においては、前記第1導電部材は、前記厚さ方向に見て前記封止樹脂から突き出た第1露出部と、前記封止樹脂に覆われ、かつ、前記第1パッド部および前記第1露出部に繋がる第1連結部とをさらに含んでいる。

20

【0011】

前記半導体装置の好ましい実施の形態においては、前記第1露出部は、前記第1連結部に繋がり、かつ、前記厚さ方向に屈曲した第1屈曲部、および、前記第1屈曲部に繋がる第1端子部を含んでいる。

【0012】

前記半導体装置の好ましい実施の形態においては、前記半導体素子が搭載された第3導電部材をさらに備えており、前記半導体素子は、前記素子裏面に第3電極が形成されており、前記第3導電部材は、前記第3電極に電氣的に接続している。

【0013】

前記半導体装置の好ましい実施の形態においては、前記封止樹脂は、前記素子裏面と同じ方向を向く樹脂裏面を有しており、前記第3導電部材は、前記素子裏面と同じ方向を向き、かつ、前記樹脂裏面から露出する実装面を有しており、前記第1端子部は、前記厚さ方向に直交する第1方向に見て、前記第3導電部材に重なる。

30

【0014】

前記半導体装置の好ましい実施の形態においては、前記第2導電部材は、前記第2電極に接合された第2パッド部と、前記厚さ方向に見て、前記封止樹脂から突き出た第2露出部と、前記封止樹脂に覆われ、かつ、前記第2パッド部および前記第2露出部に繋がる第2連結部とを含んでいる。

【0015】

前記半導体装置の好ましい実施の形態においては、前記第2露出部は、前記第2連結部に繋がり、かつ、前記厚さ方向に屈曲した第2屈曲部、および、前記第2屈曲部に繋がる第2端子部を含んでいる。

40

【0016】

前記半導体装置の好ましい実施の形態においては、前記第2端子部は、前記第1方向に見て、前記第3導電部材に重なる。

【0017】

前記半導体装置の好ましい実施の形態においては、前記非接合部は、前記内面に繋がり、かつ、前記接合面と同じ方向を向く底面をさらに含む。

【0018】

前記半導体装置の好ましい実施の形態においては、前記非接合部は、各々が前記厚さ方

50

向に直交する第 1 方向に延びており、かつ、前記厚さ方向および前記第 1 方向の両方に直交する第 2 方向に並んだ複数の凹部である。

【0019】

前記半導体装置の好ましい実施の形態においては、前記複数の凹部はそれぞれ、前記第 1 パッド部の前記第 1 方向の一方側の端縁から前記第 1 方向の他方側の端縁まで繋がる。

【0020】

前記半導体装置の好ましい実施の形態においては、前記第 1 パッド主面は、少なくとも一部が前記封止樹脂から露出する。

【0021】

前記半導体装置の好ましい実施の形態においては、前記封止樹脂は、前記素子主面と同じ方向を向く樹脂主面および当該樹脂主面から窪んだ樹脂凹部を有しており、前記樹脂凹部は、樹脂凹部底面、および、当該樹脂凹部底面と前記樹脂主面とに繋がる樹脂凹部側面を有しており、前記樹脂凹部底面と前記第 1 パッド主面とが面一である。

10

【0022】

前記半導体装置の好ましい実施の形態においては、前記半導体素子は、パワー MOSFET であり、前記第 1 電極は、ソース電極であり、前記第 2 電極は、ゲート電極である。

【発明の効果】

【0023】

本開示の半導体装置によれば、当該半導体装置の信頼性を向上することができる。

【図面の簡単な説明】

20

【0024】

【図 1】第 1 実施形態にかかる半導体装置を示す平面図である。

【図 2】図 1 に示す平面図において封止樹脂を透過した図である。

【図 3】図 2 の一部を拡大した要部拡大図である。

【図 4】第 1 実施形態にかかる半導体装置を示す底面図である。

【図 5】図 2 の V - V 線に沿う断面図である。

【図 6】図 2 の V I - V I 線に沿う断面図である。

【図 7】図 2 の V I I - V I I 線に沿う断面図である。

【図 8】変形例にかかる半導体素子を示す要部拡大平面図である。

【図 9】変形例にかかる半導体素子を示す断面図である。

30

【図 10】変形例にかかる半導体素子を示す要部拡大平面図である。

【図 11】変形例にかかる半導体素子を示す断面図である。

【図 12】第 2 実施形態にかかる半導体装置を示す平面図（封止樹脂を透過している）である。

【図 13】図 12 の X I I I - X I I I 線に沿う断面図である。

【図 14】第 3 実施形態にかかる半導体装置を示す平面図である。

【図 15】図 14 の X V - X V 線に沿う断面図である。

【図 16】第 3 実施形態の変形例にかかる半導体装置を示す平面図である。

【図 17】図 16 の X V I I - X V I I 線に沿う断面図である。

【図 18】第 4 実施形態にかかる半導体装置を示す平面図（封止樹脂を透過している）である。

40

【図 19】図 18 の X I X - X I X 線に沿う断面図である。

【図 20】図 18 の X X - X X 線に沿う断面図である。

【図 21】変形例にかかる半導体装置を示す要部拡大平面図である。

【発明を実施するための形態】

【0025】

以下、本開示の半導体装置の好ましい実施の形態について、図面を参照して、具体的に説明する。

【0026】

図 1 ~ 図 7 は、本開示の第 1 実施形態に基づく半導体装置を示している。本実施形態の

50

半導体装置 A 1 は、半導体素子 1、封止樹脂 2、第 1 リード 3、第 2 リード 4、第 3 リード 5 および複数の導電性接合材 6 を備えている。半導体装置 A 1 は、様々な電子機器などの回路基板に表面実装するものである。

【 0 0 2 7 】

図 1 は、半導体装置 A 1 を示す平面図である。図 2 は、図 1 に示す平面図において封止樹脂 2 を透過した図である。図 3 は、図 2 の一部を拡大した要部拡大図である。なお、図 3 においては、各導電性接合材 6 を省略し、かつ、第 1 リード 3 および第 2 リード 4 を透過している。図 4 は、半導体装置 A 1 を示す底面図である。図 5 は、図 2 に示す V - V 線に沿う断面図である。図 6 は、図 2 に示す V I - V I 線に沿う断面図である。図 7 は、図 2 に示す V I I - V I I 線に沿う断面図である。説明の便宜上、互いに直交する 3 つの方向を、x 方向、y 方向、z 方向とそれぞれ定義する。z 方向は、半導体装置 A 1 の厚さ方向である。x 方向は、半導体装置 A 1 の平面図における左右方向である。y 方向は、半導体装置 A 1 の平面図における上下方向である。x 方向、y 方向および z 方向が、特許請求の範囲に記載の「第 2 方向」、「第 1 方向」および「厚さ方向」にそれぞれ相当する。

10

【 0 0 2 8 】

半導体素子 1 は、半導体装置 A 1 の電氣的機能を発揮する要素である。本実施形態においては、半導体素子 1 は、3 つの電極を有する 3 端子素子であり、たとえばパワー MOS F E T である。なお、半導体素子 1 は、3 端子素子に限定されず、ダイオードなどの 2 端子素子であってもよい。本実施形態においては、半導体素子 1 は、z 方向に見て（以下、「平面視」ともいう。）矩形状である。半導体素子 1 の平面視寸法は、0 . 0 5 ~ 0 . 3

20

【 0 0 2 9 】

半導体素子 1 は、素子主面 1 0 a および素子裏面 1 0 b を有する。素子主面 1 0 a および素子裏面 1 0 b は、z 方向において離間しており、互いに反対側を向く。本実施形態においては、半導体装置 A 1 を回路基板に実装した際、素子裏面 1 0 b が当該回路基板に対向する。素子主面 1 0 a および素子裏面 1 0 b はともに、平坦である。

【 0 0 3 0 】

半導体素子 1 は、ゲート電極 1 1、ソース電極 1 2、ドレイン電極 1 3 およびパッシベーション膜 1 4 を有している。本実施形態においては、ゲート電極 1 1、ソース電極 1 2 およびドレイン電極 1 3 が、特許請求の範囲に記載の「第 2 電極」、「第 1 電極」および「第 3 電極」にそれぞれ相当する。また、パッシベーション膜 1 4 が、特許請求の範囲に記載の「絶縁膜」に相当する。

30

【 0 0 3 1 】

ゲート電極 1 1 およびソース電極 1 2 は、素子主面 1 0 a に形成されている。ゲート電極 1 1 の面積は、ソース電極 1 2 の面積よりも小さい。ドレイン電極 1 3 は、素子裏面 1 0 b に形成されている。

【 0 0 3 2 】

半導体素子 1 において、ゲート電極 1 1 は、パッド電極部 1 1 1 およびフィンガー電極部 1 1 2 を有する。パッド電極部 1 1 1 および複数のフィンガー電極部 1 1 2 は、半導体素子 1 の内部において導通している。

40

【 0 0 3 3 】

パッド電極部 1 1 1 は、第 2 リード 4 を接合するための部分である。パッド電極部 1 1 1 は、平面視矩形状である。各フィンガー電極部 1 1 2 は、ゲート電極 1 1 における内部抵抗（ゲート抵抗）を低減するためのものである。各フィンガー電極部 1 1 2 は、パッシベーション膜 1 4 に覆われている。これにより、各フィンガー電極部 1 1 2 は、半導体素子 1 の内部に配置されている。本実施形態においては、各フィンガー電極部 1 1 2 は、図 3 に示すように、y 方向に沿って延びており、平面視矩形状である。また、図 3 に示すように、素子主面 1 0 a の y 方向の一方（図 3 における上方）寄りに、3 つのフィンガー電極部 1 1 2 が x 方向に並んでおり、素子主面 1 0 a の y 方向の他方（図 3 における下方）寄りに、2 つのフィンガー電極部 1 1 2 が x 方向に並んで配置されている。各フィンガー

50

電極部 1 1 2 によって、ソース電極 1 2 がいくつかの領域に分割されている。

【 0 0 3 4 】

パッシベーション膜 1 4 は素子主面 1 0 a を覆うように形成された半導体素子 1 の保護膜である。パッシベーション膜 1 4 は、たとえばプラズマ C V D 法により形成された  $S i_3 N_4$  層や  $S i O_2$  層、または、塗布により形成されたポリイミド樹脂層である。または、これらの組み合わせによって形成されたものでもよい。パッシベーション膜 1 4 から、ゲート電極 1 1 のパッド電極部 1 1 1 およびソース電極 1 2 がともに露出している。

【 0 0 3 5 】

封止樹脂 2 は、第 1 リード 3、第 2 リード 4 および第 3 リード 5 のそれぞれ一部ずつと、半導体素子 1 とを覆っている。封止樹脂 2 は、たとえば黒色のエポキシ樹脂からなる。封止樹脂 2 は、たとえばモールド成形によって形成される。本実施形態においては、封止樹脂 2 は、平面視矩形形状である。なお、封止樹脂 2 の素材、形成方法および形状はそれぞれ、上記したものに限定されない。封止樹脂 2 は、図 1 および図 4 ~ 図 7 に示すように、樹脂主面 2 1、樹脂裏面 2 2 および複数の樹脂側面 2 3 を有する。

10

【 0 0 3 6 】

樹脂主面 2 1 と樹脂裏面 2 2 とは、厚さ方向 z において反対側を向く。樹脂主面 2 1 は、素子主面 1 0 a と同じ方向を向く。樹脂裏面 2 2 は、素子裏面 1 0 b と同じ方向を向く。複数の樹脂側面 2 3 は、樹脂主面 2 1 および樹脂裏面 2 2 に繋がっている。本実施形態においては、各樹脂側面 2 3 は、図 5 ~ 図 7 に示すように、樹脂主面 2 1 および樹脂裏面 2 2 の両方に対して直交する。また、各樹脂側面 2 3 は、平坦である。なお、各樹脂側面 2 3 は、厚さ方向 z に対して若干傾斜していてもよい。

20

【 0 0 3 7 】

第 1 リード 3、第 2 リード 4 および第 3 リード 5 はそれぞれ、半導体素子 1 に導通する。第 1 リード 3、第 2 リード 4 および第 3 リード 5 は、金属からなる。本実施形態においては、当該金属は、主な成分が Cu (銅) であるものとするが、Ni (ニッケル)、または、Cu や Ni の合金、4 2 アロイなどであってもよい。なお、第 1 リード 3、第 2 リード 4 および第 3 リード 5 の各素材は、上記したものに限定されない。第 1 リード 3、第 2 リード 4 および第 3 リード 5 は、たとえば金属プレス加工 (スタンピング加工) によって所定の形状に形成される。

【 0 0 3 8 】

第 1 リード 3 は、半導体素子 1 のソース電極 1 2 に導通する導電部材である。本実施形態においては、第 1 リード 3 が、特許請求の範囲に記載の「第 1 導電部材」に相当する。第 1 リード 3 は、第 1 パッド部 3 1、複数の第 1 露出部 3 2 および複数の第 1 連結部 3 3 を含んでいる。

30

【 0 0 3 9 】

第 1 パッド部 3 1 は、半導体素子 1 のソース電極 1 2 に接合するための部分である。第 1 パッド部 3 1 は、平面視において、ソース電極 1 2 に重なる。本実施形態においては、第 1 パッド部 3 1 は、封止樹脂 2 に覆われている。第 1 パッド部 3 1 は、第 1 パッド主面 3 1 1 および第 1 パッド接合面 3 1 2 を有し、さらに、複数の凹部 3 1 3 を含む。

【 0 0 4 0 】

第 1 パッド主面 3 1 1 は、図 5 および図 6 に示すように、半導体素子 1 の素子主面 1 0 a と同じ方向を向く。本実施形態においては、第 1 パッド主面 3 1 1 は平坦である。また、第 1 パッド主面 3 1 1 は、封止樹脂 2 に覆われている。

40

【 0 0 4 1 】

第 1 パッド接合面 3 1 2 は、半導体素子 1 の素子裏面 1 0 b と同じ方向を向く。よって、第 1 パッド接合面 3 1 2 は、第 1 パッド主面 3 1 1 と反対側を向く。第 1 パッド接合面 3 1 2 は、半導体素子 1 に対向しており、一部の導電性接合材 6 (後述する第 1 接合材 6 1) を介して、ソース電極 1 2 に接合されている。第 1 パッド接合面 3 1 2 が特許請求の範囲に記載の「接合面」に相当する。

【 0 0 4 2 】

50

複数の凹部 3 1 3 はそれぞれ、第 1 パッド接合面 3 1 2 から z 方向に窪んだ部分である。本実施形態においては、第 1 パッド部 3 1 には、3 つの凹部 3 1 3 が形成されている。また、各凹部 3 1 3 は、図 2 に示すように、平面視において y 方向に延びている。本実施形態においては、各凹部 3 1 3 は、第 1 パッド部 3 1 の y 方向の一方の端縁から y 方向他方の端縁まで繋がる。各凹部 3 1 3 は、図 3 に示すように、平面視においてゲート電極 1 1 のフィンガー電極部 1 1 2 に重なる。本実施形態においては、凹部 3 1 3 が特許請求の範囲に記載の「非接合部」に相当する。各凹部 3 1 3 は、複数の凹部内面 3 1 3 a および凹部底面 3 1 3 b を有する。

【 0 0 4 3 】

複数の凹部内面 3 1 3 a はそれぞれ、第 1 パッド接合面 3 1 2 から第 1 パッド主面 3 1 1 に向かって広がる。本実施形態においては、各凹部 3 1 3 は、2 つの凹部内面 3 1 3 a を有する。各凹部内面 3 1 3 a は、平坦である。各凹部内面 3 1 3 a は、第 1 パッド接合面 3 1 2 および凹部底面 3 1 3 b の両方に直交する。なお、各凹部内面 3 1 3 a は、曲面であってもよいし、z 方向に対して傾斜していてもよい。本実施形態においては、凹部内面 3 1 3 a が特許請求の範囲に記載の「内面」に相当する。

10

【 0 0 4 4 】

凹部底面 3 1 3 b は、各凹部 3 1 3 における複数の凹部内面 3 1 3 a に繋がる。凹部底面 3 1 3 b は、第 1 パッド接合面 3 1 2 と同じ方向を向き、第 1 パッド接合面 3 1 2 よりも z 方向において第 1 パッド主面 3 1 1 側に配置されている。本実施形態においては、凹部底面 3 1 3 b は、平坦である。なお、凹部底面 3 1 3 b は、平坦に限定されず、たとえば曲面であってもよい。

20

【 0 0 4 5 】

複数の第 1 露出部 3 2 はそれぞれ、封止樹脂 2 から露出する。本実施形態においては、各第 1 露出部 3 2 は、平面視において、封止樹脂 2 の y 方向を向く 2 つの樹脂側面 2 3 の一方（平面図（図 1 参照）における下方）から突き出ている。本実施形態においては、第 1 露出部 3 2 は、3 つある。なお、第 1 露出部 3 2 の数は限定されない。複数の第 1 露出部 3 2 は、x 方向に並んでいる。複数の第 1 露出部 3 2 は、x 方向に見て、互いに重なる。各第 1 露出部 3 2 は、図 1、図 2 および図 4 に示すように、第 1 先端面 3 2 a を有している。第 1 先端面 3 2 a は、y 方向の一方（図 1 において下方）を向く面である。本実施形態においては、各第 1 露出部 3 2 は、各第 1 先端面 3 2 a を除いて、めっき（図省略）で覆われている。よって、各第 1 先端面 3 2 a において、第 1 リード 3 の素地（本実施形態においては Cu）が露出している。なお、各第 1 先端面 3 2 a もめっきで覆われていてもよい。各第 1 露出部 3 2 は、第 1 端子部 3 2 1 および第 1 屈曲部 3 2 2 を含んでいる。

30

【 0 0 4 6 】

各第 1 端子部 3 2 1 は、半導体装置 A 1 を回路基板等を実装する際の端子として機能する。本実施形態においては、第 1 リード 3 が半導体素子 1 のソース電極 1 2 に導通しているので、各第 1 端子部 3 2 1 は半導体装置 A 1 におけるソース端子である。

【 0 0 4 7 】

各第 1 屈曲部 3 2 2 は、平面視において、y 方向の一方の端縁が第 1 連結部 3 3 に繋がりを、y 方向の他方の端縁が第 1 端子部 3 2 1 に繋がる。各第 1 屈曲部 3 2 2 は、z 方向に屈曲している。各第 1 屈曲部 3 2 2 は、ガルウィング状に曲げ加工が施されている。

40

【 0 0 4 8 】

複数の第 1 連結部 3 3 はそれぞれ、封止樹脂 2 に覆われている。各第 1 連結部 3 3 は、第 1 パッド部 3 1 と各第 1 露出部 3 2 とを繋いでいる。各第 1 連結部 3 3 は、各第 1 露出部 3 2 に対して形成されている。本実施形態においては、第 1 露出部 3 2 が 3 つあるので、第 1 連結部 3 3 も 3 つある。各第 1 連結部 3 3 は、z 方向において、各第 1 端子部 3 2 1 よりも素子主面 1 0 a が向く方向に位置する。

【 0 0 4 9 】

第 2 リード 4 は、半導体素子 1 のゲート電極 1 1 に導通する導電部材である。本実施形態においては、第 2 リード 4 が、特許請求の範囲に記載の「第 2 導電部材」に相当する。

50

第2リード4は、第2パッド部41、第2露出部42および第2連結部43を含んでいる。  
【0050】

第2パッド部41は、半導体素子1のゲート電極11（パッド電極部111）に接合するための部分である。第2パッド部41は、平面視において半導体素子1のゲート電極11に重なる。第2パッド部41は、封止樹脂2に覆われている。本実施形態においては、第2パッド部41は、平面視矩形形状である。第2パッド部41は、第2パッド主面411および第2パッド接合面412を有する。

【0051】

第2パッド主面411は、図5および図7に示すように、半導体素子1の素子主面10aと同じ方向を向く。本実施形態においては、第2パッド主面411は平坦である。また、第2パッド主面411は、封止樹脂2に覆われている。

10

【0052】

第2パッド接合面412は、半導体素子1の素子裏面10bと同じ方向を向く。よって、第2パッド接合面412は、第2パッド主面411と反対側を向く。第2パッド接合面412は、半導体素子1に対向しており、一部の導電性接合材6（後述する第2接合材62）を介して、ゲート電極11に接合されている。

【0053】

第2露出部42は、封止樹脂2から露出する。本実施形態においては、第2露出部42は、平面視において、封止樹脂2のy方向を向く2つの樹脂側面23の一方（平面図（図1参照）における下方）から突き出ている。第2露出部42は、x方向に見て、各第1露出部32と重なる。第2露出部42は、図1、図2、図4および図7に示すように、第2先端面42aを有している。第2先端面42aは、y方向の一方（図1において下方）を向く面である。本実施形態においては、第2露出部42は、第2先端面42aを除いて、めっき（図示略）で覆われている。よって、第2先端面42aにおいて、第2リード4の素地（本実施形態においてはCu）が露出している。なお、第2先端面42aもめっきで覆われていてもよい。第2露出部42は、第2端子部421および第2屈曲部422を含んでいる。

20

【0054】

第2端子部421は、半導体装置A1を回路基板等を実装する際の端子として機能する。本実施形態においては、第2リード4が半導体素子1のゲート電極11に導通しているため、第2端子部421は半導体装置A1におけるゲート端子である。

30

【0055】

第2屈曲部422は、平面視において、y方向の一方の端縁が第2連結部43に繋がり、y方向の他方の端縁が第2端子部421に繋がる。第2屈曲部422は、z方向に屈曲している。第2屈曲部422は、ガルウィング状に曲げ加工が施されている。

【0056】

第2連結部43は、封止樹脂2に覆われている。第2連結部43は、第2パッド部41と第2露出部42とを繋いでいる。第2連結部43は、z方向において、第2端子部421よりも素子主面10aが向く方向に位置する。

【0057】

第3リード5は、半導体素子1のドレイン電極13に導通する導電部材である。本実施形態においては、第3リード5が、特許請求の範囲に記載の「第3導電部材」に相当する。第3リード5は、板状であり、かつ、平面視矩形形状である。第3リード5は、搭載面50a、実装面50bおよび実装面側凹部50cを有する。搭載面50aと実装面50bとは、z方向において、離間しており、かつ、互いに反対側を向く。

40

【0058】

搭載面50aは、半導体素子1の素子主面10aと同じ方向を向く。搭載面50aには、半導体素子1が搭載されている。搭載面50aは封止樹脂2に覆われている。搭載面50aは、平坦である。

【0059】

50

実装面50bは、半導体素子1の素子裏面10bと同じ方向を向く。実装面50bは、半導体装置A1が回路基板に実装された際、当該回路基板に対向する。実装面50bは、封止樹脂2から露出している。実装面50bは、平坦である。本実施形態においては、第3リード5が半導体素子1のドレイン電極13と導通しているため、実装面50bは半導体装置A1のドレイン端子となる。

【0060】

実装面側凹部50cは、実装面50bからz方向に窪んだ部分である。本実施形態においては、実装面側凹部50cは、図4～図7に示すように、第3リード5のうち、平面視において、封止樹脂2に重なる部分であって、かつ、外側に形成されている。実装面側凹部50cによって、第3リード5は、厚肉な部分と薄肉な部分とを含んでいる。実装面側凹部50cは、封止樹脂2で覆われている。なお、第3リード5は、実装面側凹部50cを有していなくてもよい。ただし、第3リード5に実装面側凹部50cがあることで、第3リード5が封止樹脂2から抜けることを抑制できる。

10

【0061】

また、第3リード5は、平面視において封止樹脂2から露出した第3露出部52を含んでいる。第3露出部52は、図1、図2および図4に示すように、一对の露出側面521を有する。一对の露出側面521はそれぞれ、x方向において、互いに反対側を向く。一对の露出側面521はともに、露出側面第1部521aおよび露出側面第2部521bを含んでいる。各露出側面521において、露出側面第1部521aは平坦である。露出側面第2部521bは、露出側面第1部521aに繋がり、かつ、平面視において露出側面第1部521aから内方に陥入している。第3リード5のうち封止樹脂2から露出した部分は、各露出側面第1部521aを除いて、めっき（図示略）で覆われている。よって、各露出側面第1部521aにおいて、第3リード5の素地（本実施形態においてはCu）が露出している。なお、各露出側面第1部521aもめっきで覆われていてもよい。

20

【0062】

本実施形態においては、第3リード5には、貫通孔51が形成されている。なお、貫通孔51は、形成されていなくてもよい。貫通孔51には、封止樹脂2が充填されている。また、本実施形態においては、図2に示すように、貫通孔51は、平面視矩形形状であるが、平面視形状は限定されない。貫通孔51は、z方向において、搭載面50aから実装面50bまで繋がる。

30

【0063】

本実施形態においては、複数の第1端子部321および第2端子部421は、x方向に見て重なる。また、複数の第1端子部321および第2端子部421はそれぞれ、y方向に見て、第3リード5に重なる。本実施形態においては、複数の第1端子部321のz方向下面（素子裏面10bと同じ方向を向く面）、第2端子部421のz方向下面（素子裏面10bと同じ方向を向く面）および第3リード5の実装面50bとはz方向において略同じ位置に配置されている。これにより、半導体装置A1を回路基板に表面実装可能であるとともに、半導体装置A1を安定した姿勢で表面実装することができる。

【0064】

本実施形態においては、半導体素子1は、第1リード3および第2リード4と、第3リード5とによって、挟持されている。

40

【0065】

複数の導電性接合材6は、たとえばはんだあるいはAgペーストからなる。なお、各導電性接合材6の素材は、上記したものに限定されない。複数の導電性接合材6は、複数の第1接合材61、第2接合材62および第3接合材63を含む。

【0066】

複数の第1接合材61はそれぞれ、第1パッド部31とソース電極12とを接合し、これらを導通させる。本実施形態においては、各第1接合材61は、第1パッド部31の第1パッド接合面312とソース電極12との間に介在する。

【0067】

50

第2接合材62は、第2パッド部41とゲート電極11とを接合し、これらを導通させる。本実施形態においては、第2接合材62は、第2パッド部41の第2パッド接合面412とゲート電極11のパッド電極部111との間に介在する。

【0068】

第3接合材63は、第3リード5（搭載面50a）とドレイン電極13とを接合し、これらを導通させる。本実施形態においては、第3接合材63は、第3リード5の搭載面50aとドレイン電極13との間に介在する。

【0069】

次に、半導体装置A1の作用効果について説明する。

【0070】

半導体装置A1によれば、第1リード3の第1パッド部31は、複数の凹部313を含んでいる。このような構成をとることで、第1パッド部31には、半導体素子1のソース電極12に接合されない非接合部が形成される。よって、半導体素子1が第1リード3（第1パッド部31）に拘束される領域を少なくできる。これにより、たとえば、第1リード3と半導体素子1との熱膨張係数の差により半導体素子1に加わる応力を緩和することができる。したがって、半導体素子1の破損を抑制できるため、半導体装置A1の信頼性が向上する。

【0071】

半導体装置A1によれば、第1リード3の第1パッド部31に形成された複数の凹部313は、平面視において、半導体素子1のゲート電極11のフィンガー電極部112に重なる。従来の半導体装置においては、ソース電極12の略全面に接合材が配置（接合）されている。このような構成を半導体装置A1に適用した場合、フィンガー電極部112を覆うパッシベーション膜14上にも導電性接合材6（第1接合材61）が配置される。この結果、当該パッシベーション膜14と第1接合材61との素材の違いによる熱膨張係数の差により、半導体素子1が破損しうる。一方、本実施形態においては、上記するように、複数の凹部313が平面視においてフィンガー電極部112に重なるため、第1パッド部31に形成された各凹部313により、パッシベーション膜14上に第1接合材61が配置されない。したがって、半導体素子1の破損を抑制することができる。

【0072】

半導体装置A1によれば、第1パッド部31には3つの凹部313が形成されている。また、半導体装置A1は、半導体素子1の平面視寸法が0.05～0.3mm角程度である。平面視寸法がこの大きさである半導体素子1においては、x方向に並ぶフィンガー電極部112は3つ以下となることが多い。すなわち、x方向に並ぶフィンガー電極部112が1つや2つの場合もある。たとえば、図8および図9は、x方向に並ぶフィンガー電極部112が1つの場合を示しており、図10および図11は、x方向に並ぶフィンガー電極部112が2つの場合を示している。図8および図10は、図3に対応する要部拡大図である。図9および図11は、図2のVI-VI線に沿う断面に対応する断面図（図6参照）である。これらの図に示すように、いずれの場合であっても、平面視において、フィンガー電極部112が複数の凹部313のいずれかに重なっている。したがって、半導体素子1に形成されたゲート電極11のフィンガー電極部112の配置によらず、上記した形状の第1リード3を利用できる。換言すれば、半導体素子1に応じて、第1リード3に形成された複数の凹部313の配置を変更する必要がないため、用いる半導体素子1に合わせて第1リード3を設計し直す必要がない。たとえば、半導体素子1が1つのフィンガー電極部112を有する場合、この1つのフィンガー電極部112上に、1つの凹部313が配置されるように第1パッド部31（第1リード3）を設計することが可能である。しかしながら、このように設計された第1リード3では、半導体素子1が2つのフィンガー電極部112を有する場合には、そのまま用いることができず、2つのフィンガー電極部112の配置に応じて、2つの凹部313が配置されるように第1パッド部31を設計する必要がある。したがって、半導体素子1に設けられたフィンガー電極部112に応じて、一品一様に第1リード3（第1パッド部31の凹部313の配置）を設計する必要

10

20

30

40

50

がある。一方、半導体装置 A 1 においては、第 1 パッド部 3 1 に複数の凹部 3 1 3 が形成されている。そのため、フィンガー電極部 1 1 2 の個数や配置が異なる半導体素子 1 であっても、第 1 リード 3 を流用できることがある。したがって、複数の凹部 3 1 3 が形成された第 1 パッド部 3 1 を含む第 1 リード 3 を用いることで、半導体装置 A 1 の生産性の向上を図ることができる。

【 0 0 7 3 】

半導体装置 A 1 によれば、第 1 パッド部 3 1 には複数の凹部 3 1 3 が形成されている。したがって、凹部 3 1 3 が形成されていない板状の場合と比較して、第 1 パッド部 3 1 の、y 方向に直交する平面 ( x - z 平面 ) における断面積を縮小するとともに、表面積を増大することができる。これにより、周波数の高い電流が第 1 パッド部 3 1 に流れた場合であって

10

【 0 0 7 4 】

半導体装置 A 1 によれば、第 1 リード 3 が半導体素子 1 のソース電極 1 2 に直接接合されている。したがって、ボンディングワイヤやボンディングリボンを介して導通する場合よりも、半導体装置 A 1 の内部抵抗を低減することができる。同様に、半導体装置 A 1 においては、第 2 リード 4 が半導体素子 1 のゲート電極 1 1 に直接接合されている。したがって、ボンディングワイヤやボンディングリボンを介して導通する場合よりも、半導体装置 A 1 の内部抵抗を低減することができる。

【 0 0 7 5 】

半導体装置 A 1 によれば、第 1 リード 3 は封止樹脂 2 から露出した第 1 露出部 3 2 を含んでおり、第 1 露出部 3 2 は、第 1 屈曲部 3 2 2 によって屈曲している。このような構成をとることで、半導体装置 A 1 を回路基板に実装した際に加わる応力を、第 1 屈曲部 3 2 2 によって緩和させることができる。

20

【 0 0 7 6 】

第 1 実施形態では、各フィンガー電極部 1 1 2 が y 方向に伸びた矩形形状である場合を示したが、各フィンガー電極部 1 1 2 の形状はこれに限定されない。たとえば、フィンガー電極部 1 1 2 は、平面視において、ソース電極 1 2 のうち、第 1 パッド部 3 1 の非接合部 ( 凹部 3 1 3 ) に重なる領域に形成されていればよい。すなわち、平面視において、非接合部 ( 凹部 3 1 3 ) に重なる領域内であれば、フィンガー電極部 1 1 2 を自由に配置することができる。

30

【 0 0 7 7 】

以下に、本開示の半導体装置にかかる他の実施形態について説明する。なお、以下に示す他の実施形態において、上記第 1 実施形態と同一または類似の要素には、同じ符号を付してその説明を省略する。

【 0 0 7 8 】

図 1 2 および図 1 3 は、第 2 実施形態にかかる半導体装置を示している。本実施形態の半導体装置 A 2 は、上記半導体装置 A 1 ( 第 1 実施形態 ) と比較して、第 1 パッド部 3 1 に、複数の凹部 3 1 3 の代わりに複数の貫通孔 3 1 4 が形成されている点で異なる。

【 0 0 7 9 】

図 1 2 は、半導体装置 A 2 を示す平面図である。なお、図 1 2 においては、封止樹脂 2 を透過している。図 1 3 は、図 1 2 の X I I I - X I I I 線に沿う断面図である。図 1 3 は、第 1 実施形態における図 6 に示す断面に対応する。

40

【 0 0 8 0 】

複数の貫通孔 3 1 4 はそれぞれ、z 方向において第 1 パッド接合面 3 1 2 から第 1 パッド主面 3 1 1 まで繋がっている。本実施形態においては、各貫通孔 3 1 4 は、平面視において、y 方向に伸びる矩形形状である。なお、各貫通孔 3 1 4 の平面視形状は、矩形形状に限定されず、多角形状あるいは円形状などであってもよい。本実施形態においては、各貫通孔 3 1 4 は、貫通孔内面 3 1 4 a を有する。

【 0 0 8 1 】

貫通孔内面 3 1 4 a は、z 方向において、第 1 パッド接合面 3 1 2 から第 1 パッド主面

50

3 1 1 まで繋がる。本実施形態においては、貫通孔内面 3 1 4 a は平坦である。また、貫通孔内面 3 1 4 a は、第 1 パッド接合面 3 1 2 および第 1 パッド主面 3 1 1 のそれぞれに直交する。よって、貫通孔内面 3 1 4 a は、z 方向に対して平行である。なお、貫通孔内面 3 1 4 a は、z 方向に対して傾斜していてもよい。本実施形態においては、貫通孔 3 1 4 が特許請求の範囲に記載の「非接合部」に相当し、貫通孔内面 3 1 4 a が特許請求の範囲に記載の「内面」に相当する。

#### 【0082】

半導体装置 A 2 によれば、第 1 リード 3 の第 1 パッド部 3 1 は、複数の貫通孔 3 1 4 を含んでいる。このような構成をとることで、第 1 パッド部 3 1 には、半導体素子 1 のソース電極 1 2 に接合されない非接合部が形成される。したがって、半導体装置 A 2 は、半導体装置 A 1 と同様に、半導体素子 1 の破損を抑制できるため、半導体装置 A 2 の信頼性が向上する。また、半導体装置 A 2 において、半導体装置 A 1 と同様に構成された部分は、半導体装置 A 1 と同様の効果を奏することができる。

10

#### 【0083】

半導体装置 A 2 によれば、第 1 パッド部 3 1 には複数の貫通孔 3 1 4 が形成されている。したがって、上記複数の凹部 3 1 3 と同様に、第 1 パッド部 3 1 の、x - z 平面における断面積を縮小するとともに、表面積を増大することができる。したがって、周波数の高い電流が流れる場合、表皮効果による低抵抗化を図ることができる。

#### 【0084】

なお、半導体装置 A 2 の通電時に、半導体素子 1 が発熱し、この半導体素子 1 から発生する熱は、第 1 パッド部 3 1 に伝達する。本実施形態にかかる第 1 パッド部 3 1 は、貫通孔 3 1 4 が形成されており、第 1 実施形態のように凹部 3 1 3 が形成された第 1 パッド部 3 1 と比較して、その容積が減少する。よって、半導体素子 1 から発生した熱が伝達する経路が少なくなる。したがって、第 1 パッド部 3 1 に複数の凹部 3 1 3 が形成されている方が、複数の貫通孔 3 1 4 が形成されている場合よりも、半導体素子 1 から発生する熱の放熱性を向上させることができる。

20

#### 【0085】

図 1 4 および図 1 5 は、第 3 実施形態にかかる半導体装置を示している。本実施形態の半導体装置 A 3 は、上記半導体装置 A 1 (第 1 実施形態)と比較して、第 1 パッド部 3 1 の第 1 パッド主面 3 1 1 の一部が露出している点で異なる。

30

#### 【0086】

図 1 4 は、半導体装置 A 3 を示す平面図である。図 1 5 は、図 1 4 の X V - X V 線に沿う断面図である。図 1 5 は、第 1 実施形態における図 6 に示す断面に対応する。

#### 【0087】

本実施形態においては、封止樹脂 2 は、図 1 5 に示すように、樹脂主面 2 1 から z 方向に窪んだ樹脂凹部 2 5 を有する。樹脂凹部 2 5 によって、封止樹脂 2 の樹脂主面 2 1 は開口している。本実施形態においては、樹脂凹部 2 5 は、平面視矩形状である。樹脂凹部 2 5 は、図 1 4 および図 1 5 に示すように、第 1 パッド部 3 1 の第 1 パッド主面 3 1 1 の一部を露出させている。樹脂凹部 2 5 は、樹脂凹部底面 2 5 a および樹脂凹部側面 2 5 b を有する。

40

#### 【0088】

樹脂凹部底面 2 5 a は、半導体素子 1 の素子主面 1 0 a と同じ方向を向く。樹脂凹部底面 2 5 a は、図 1 5 に示すように、z 方向において、樹脂主面 2 1 と樹脂裏面 2 2 との間に位置する。樹脂凹部底面 2 5 a と第 1 パッド主面 3 1 1 とは図 1 5 に示すように面一である。

#### 【0089】

樹脂凹部側面 2 5 b は、z 方向において、一方の端縁が樹脂主面 2 1 に繋がり、他方の端縁が樹脂凹部底面 2 5 a に繋がる。ただし、本実施形態においては、図 1 4 の y 方向下側の樹脂凹部側面 2 5 b において、上記他方の端縁の一部は第 1 パッド主面 3 1 1 に接している。樹脂凹部側面 2 5 b は、平坦である。本実施形態においては、樹脂凹部側面 2 5

50

bは、樹脂主面21および樹脂凹部底面25aの両方に対して直交する。樹脂凹部側面25bは、z方向に対して平行である。なお、樹脂凹部側面25bは、z方向に対して傾斜していてもよい。

【0090】

半導体装置A3によれば、半導体装置A1と同様に、第1リード3の第1パッド部31は、複数の凹部313を含んでいる。このような構成をとることで、第1パッド部31には、半導体素子1のソース電極12に接合されない非接合部が形成される。したがって、半導体装置A3は、半導体装置A1と同様に、半導体素子1の破損を抑制できるため、半導体装置A3の信頼性が向上する。また、半導体装置A3において、半導体装置A1、A2と同様に構成された部分は、半導体装置A1、A2と同様の効果を奏することができる。

10

【0091】

半導体装置A3によれば、封止樹脂2には、樹脂凹部25が形成されており、当該樹脂凹部25において、第1パッド部31の第1パッド主面311の一部が封止樹脂2から露出している。半導体装置A3の通電時に、この半導体素子1から発生した熱は、第1パッド部31に伝達する。よって、上記するように第1パッド主面311の一部を封止樹脂2から露出させたことで、半導体素子1から発生した熱を効率よく外部に放出することが可能となる。すなわち、半導体装置A3は、半導体装置A1と比較して、放熱性が向上する。

【0092】

第3実施形態では、樹脂凹部25が樹脂凹部底面25aを有する場合を示したが、これを有していなくてもよい。図16および図17は、このような変形例にかかる半導体装置A3'を示している。図16は、半導体装置A3'を示す平面図であり、図14に対応する。図17は、図16のXVII-XVII線に沿う断面図であり、図15に対応する。

20

【0093】

半導体装置A3'においては、樹脂凹部25の樹脂凹部側面25bは、図17に示すように、z方向において、一方の端縁が樹脂主面21に繋がり、他方の端縁が第1パッド主面311に接している。このような場合であっても、上記半導体装置A3と同様の効果を奏することができる。

【0094】

なお、第3実施形態およびその変形例においては、樹脂凹部25によって、第1パッド主面311の一部を封止樹脂2から露出させる場合を示したが、これに限定されない。たとえば、封止樹脂2の厚みを全体的に薄くすることで、第1パッド主面311の少なくとも一部を露出させるようにしてもよい。この場合、樹脂主面21と第1パッド主面311とが面一となる。ただし、この場合においては、第2リード4の第2パッド主面411も同様に封止樹脂2から露出する。よって、第1リード3と第2リード4との意図せぬ短絡を抑制するために、次のような対策を講じるとよい。それは、第2パッド主面411を絶縁体で覆うか、第2パッド主面411が封止樹脂2から露出しないように、第2パッド主面411を第1パッド主面311よりもz方向下方に配置させるなどである。

30

【0095】

図18~図20は、第4実施形態にかかる半導体装置を示している。本実施形態の半導体装置A4は、上記半導体装置A1(第1実施形態)と比較して、第1リード3と半導体素子1のソース電極12とが、板状の金属部材(以下、「ストラップ部材7」という。)を介して、導通している点で異なる。

40

【0096】

図18は、半導体装置A4を示す平面図である。なお、図18においては、封止樹脂2を透過している。図19は、図18のXIX-XIX線に沿う断面図である。図19は、第1実施形態における図6に示す断面に対応する。図20は、図18のXX-XX線に沿う断面図である。

【0097】

本実施形態においては、第1リード3は、帯状部34と複数の第1露出部32と複数の第1連結部33とを含んでいる。帯状部34は、ストラップ部材7が接合される部分であ

50

る。本実施形態においては、帯状部 3 4 は、平面視において x 方向に伸びる矩形状である。本実施形態においては、各第 1 連結部 3 3 は、帯状部 3 4 と各第 1 露出部 3 2 とにそれぞれ繋がる。各第 1 連結部 3 3 は、帯状部 3 4 の y 方向一方（図 1 8 における下方）の端縁から伸びる。

#### 【 0 0 9 8 】

ストラップ部材 7 は、上記するように板状の金属部材である。本実施形態においては、ストラップ部材 7 は、第 1 リード 3 の帯状部 3 4 と半導体素子 1 のソース電極 1 2 とにそれぞれ接合されている。ストラップ部材 7 は、そのすべてが封止樹脂 2 に覆われている。本実施形態においては、ストラップ部材 7 が特許請求の範囲に記載の「第 1 導電部材」に相当する。ストラップ部材 7 は、第 1 クリップ接合部 7 1、第 2 クリップ接合部 7 2 および屈曲部 7 3 を含んでいる。

10

#### 【 0 0 9 9 】

第 1 クリップ接合部 7 1 は、半導体素子 1 のソース電極 1 2 に接合するための部分である。第 1 クリップ接合部 7 1 は、上記第 1 リード 3 の第 1 パッド部 3 1 と同様に構成される。本実施形態においては、第 1 クリップ接合部 7 1 が特許請求の範囲に記載の「第 1 パッド部」に相当する。第 1 クリップ接合部 7 1 は、ストラップ主面 7 1 1、ストラップ接合面 7 1 2 および複数の凹部 7 1 3 を有する。ストラップ主面 7 1 1、ストラップ接合面 7 1 2 および複数の凹部 7 1 3 は、上記第 1 パッド部 3 1 における第 1 パッド主面 3 1 1、第 1 パッド接合面 3 1 2 および複数の凹部 3 1 3 とそれぞれ同様に構成される。本実施形態においては、ストラップ接合面 7 1 2 が特許請求の範囲に記載の「接合面」に相当する。半導体素子 1 は、ストラップ部材 7 の第 1 クリップ接合部 7 1 と第 3 リード 5 とにより挟持されている。

20

#### 【 0 1 0 0 】

第 2 クリップ接合部 7 2 は、第 1 リード 3 の帯状部 3 4 に接合するための部分である。第 2 クリップ接合部 7 2 は、導電性接合材 6（第 4 接合材 6 4）を介して、帯状部 3 4 に接合されている。第 4 接合材 6 4 は、たとえばはんだあるいは Ag ペーストからなる。なお、第 4 接合材 6 4 の素材は、上記したもの限定されない。

#### 【 0 1 0 1 】

屈曲部 7 3 は、第 1 クリップ接合部 7 1 と第 2 クリップ接合部 7 2 とに繋がる。本実施形態においては、第 1 クリップ接合部 7 1 と第 2 クリップ接合部 7 2 とは、z 方向において異なる位置に配置されている。したがって、屈曲部 7 3 は、これらを繋ぐように、z 方向に屈曲している。

30

#### 【 0 1 0 2 】

半導体装置 A 4 によれば、ストラップ部材 7 の第 1 クリップ接合部 7 1 は、複数の凹部 7 1 3 を含んでいる。このような構成をとることで、第 1 クリップ接合部 7 1 には、半導体素子 1 のソース電極 1 2 に接合されない非接合部が形成される。よって、半導体素子 1 がストラップ部材 7（第 1 クリップ接合部 7 1）に拘束される領域を少なくできる。これにより、ストラップ部材 7 と半導体素子 1 との熱膨張係数の差により半導体素子 1 に加わる応力を緩和することができる。したがって、半導体素子 1 の破損を抑制できるため、半導体装置 A 4 の信頼性が向上する。すなわち、上記第 1 実施形態と同様の効果を奏することができる。また、半導体装置 A 4 において、半導体装置 A 1 ~ A 3 と同様に構成された部分は、半導体装置 A 1 ~ A 3 と同様の効果を奏することができる。

40

#### 【 0 1 0 3 】

第 4 実施形態においては、第 1 リード 3 とソース電極 1 2 とをストラップ部材 7 を介して、接続した場合を示したが、これに限定されない。たとえば、第 2 リード 4 とゲート電極 1 1 とを、ストラップ部材 7 と同様のストラップ部材で接続してもよい。

#### 【 0 1 0 4 】

第 3 実施形態および第 4 実施形態においては、上記第 1 実施形態と同様に、第 1 パッド部 3 1 に複数の凹部 3 1 3 が形成されている場合を示したが、第 2 実施形態と同様に、複数の凹部 3 1 3 の代わりに複数の貫通孔 3 1 4 が形成されていてもよい。

50

## 【0105】

第1実施形態ないし第4実施形態においては、半導体装置A1～A4のパッケージは図示したものに限定されない。本開示にかかる半導体装置は、その他の表面実装型パッケージあるいはピン挿入型パッケージなどであってもよい。

## 【0106】

第1実施形態ないし第4実施形態においては、平面視において、第1パッド部31の非接合部（凹部313あるいは貫通孔314）がゲート電極11のフィンガー電極部112に重なる場合を示したが、これに限定されない。半導体素子1において、第1パッド部31によって接合したくない領域がある場合には、上記非接合部が当該領域に重なるように構成してもよい。このような変形例の一例について、図21を参照して、以下に説明する。

10

## 【0107】

図21は、当該変形例にかかる要部拡大平面図であり、第1実施形態における図3に対応する。図21に示す半導体素子1は、ゲート電極11、ソース電極12およびドレイン電極13がともに、素子主面10aに形成されている。そして、素子主面10aにおいて、ソース電極12およびドレイン電極13がそれぞれ 歯状に形成されている。

## 【0108】

ソース電極12は、パッド電極部121および複数のフィンガー電極部122を有する。パッド電極部121は、平面視において、x方向に延びる矩形状である。複数のフィンガー電極部122は、平面視矩形状であり、パッド電極部121のy方向の一方（図21における上方）側の端縁からy方向に延びている。パッド電極部121および複数のフィンガー電極部122はともに、パッシベーション膜14から露出している。

20

## 【0109】

ドレイン電極13は、パッド電極部131および複数のフィンガー電極部132を有する。パッド電極部131は、平面視において、x方向に延びる矩形状である。当該変形例においては、図21に示すように、パッド電極部131と第3リード5（搭載面50a）とがストラップ部材7'で接合されている。なお、ストラップ部材7'に限定されず、ボンディングワイヤあるいはボンディングリボンであってもよい。複数のフィンガー電極部132は、平面視矩形状であり、パッド電極部131のy方向一方（図21における下方）側の端縁からy方向に延びている。パッド電極部131および複数のフィンガー電極部132はともに、パッシベーション膜14から露出している。

30

## 【0110】

複数のフィンガー電極部122と複数のフィンガー電極部132とは、x方向において交互に並んでいる。また、隣り合うフィンガー電極部122とフィンガー電極部132との離間距離はともに等しい。

## 【0111】

このように構成されたソース電極12に対して、従来のように、非接合部（たとえば複数の凹部313）がない第1パッド部31で全面接合すると、ドレイン電極13にも接合される。その結果、ソース電極12とドレイン電極13とが短絡する。一方、図21に示す変形例においては、第1パッド部31に非接合部（たとえば複数の凹部313）が形成されており、当該非接合部は平面視においてドレイン電極13のフィンガー電極部132に重なる。これにより、ソース電極12のフィンガー電極部122には、第1パッド部31が接合され、ドレイン電極13のフィンガー電極部132には、第1パッド部31が接合されないように構成できる。したがって、ソース電極12とドレイン電極13との短絡を防止することができる。

40

## 【0112】

また、図21に示す変形例においては、第1パッド部31の非接合部（複数の凹部313）は、第1パッド部31のy方向の一方（図21における下方）側の端縁まで繋がっていない。これにより、第1パッド部31は、ソース電極12のパッド電極部121の略全面に接合できる。したがって、第1パッド部31は、ソース電極12のパッド電極部121および複数のフィンガー電極部122の略全面に接合されているため、内部抵抗の低減

50

を図ることができる。

【0113】

さらに、図21に示す変形例においては、第1パッド部31の非接合部（複数の凹部313）は、平面視において、ゲート電極11のフィンガー電極部112に重なっている。したがって、ゲート電極11のフィンガー電極部112を覆うパッシベーション膜14と第1接合材61との熱膨張係数の差による半導体素子1の破損を抑制することができる。

【0114】

なお、上記した変形例においては、半導体素子1の素子主面10aのうち、図21に示す上寄りにドレイン電極13が形成されており、図21に示す下寄りにソース電極12が形成されている場合を示したが、反対であってもよい。すなわち、図21に示す上寄りにソース電極12が形成されており、図21に示す下寄りにドレイン電極13が形成されていてもよい。この場合、第1リード3の第1端子部321はドレイン端子になる。

10

【0115】

本開示にかかる半導体装置は、上記した実施形態に限定されるものではない。本開示の半導体装置の各部の具体的な構成は、種々に設計変更自在である。

【符号の説明】

【0116】

A1～A4, A3' : 半導体装置

1 : 半導体素子

10a : 素子主面

20

10b : 素子裏面

11 : ゲート電極

111 : パッド電極部

112 : フィンガー電極部

12 : ソース電極

121 : パッド電極部

122 : フィンガー電極部

13 : ドレイン電極

131 : パッド電極部

132 : フィンガー電極部

30

14 : パッシベーション膜

2 : 封止樹脂

21 : 樹脂主面

22 : 樹脂裏面

23 : 樹脂側面

25 : 樹脂凹部

25a : 樹脂凹部底面

25b : 樹脂凹部側面

3 : 第1リード

31 : 第1パッド部

40

311 : 第1パッド主面

312 : 第1パッド接合面

313 : 凹部

313a : 凹部内面

313b : 凹部底面

314 : 貫通孔

314a : 貫通孔内面

32 : 第1露出部

32a : 第1先端面

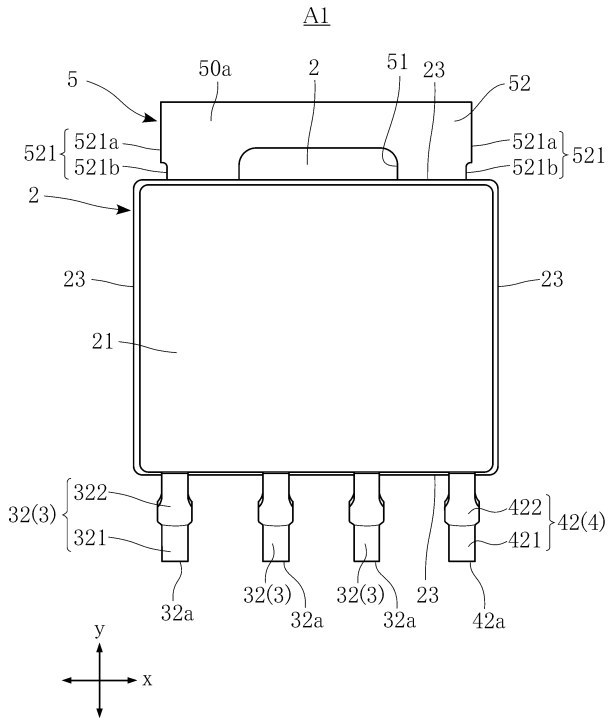
321 : 第1端子部

50

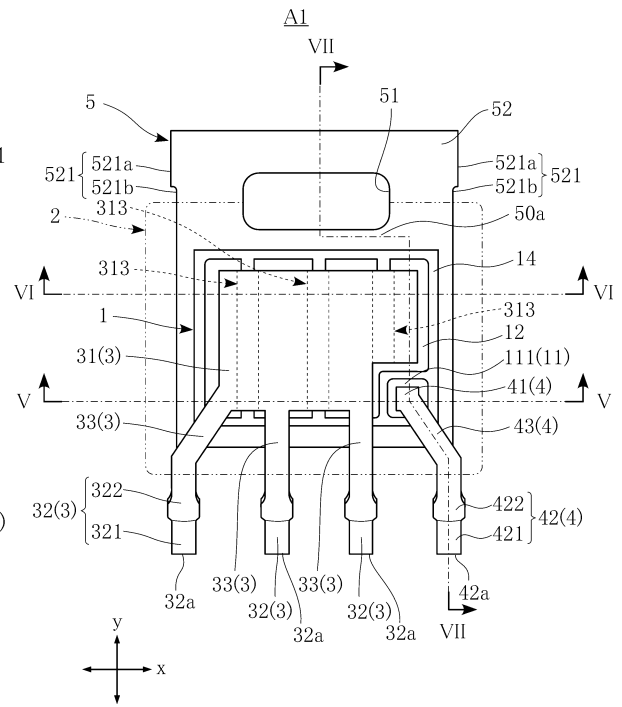
|         |               |    |
|---------|---------------|----|
| 3 2 2   | : 第 1 屈曲部     |    |
| 3 3     | : 第 1 連結部     |    |
| 3 4     | : 帯状部         |    |
| 4       | : 第 2 リード     |    |
| 4 1     | : 第 2 パッド部    |    |
| 4 1 1   | : 第 2 パッド主面   |    |
| 4 1 2   | : 第 2 パッド接合面  |    |
| 4 2     | : 第 2 露出部     |    |
| 4 2 a   | : 第 2 先端面     |    |
| 4 2 1   | : 第 2 端子部     | 10 |
| 4 2 2   | : 第 2 屈曲部     |    |
| 4 3     | : 第 2 連結部     |    |
| 5       | : 第 3 リード     |    |
| 5 0 a   | : 搭載面         |    |
| 5 0 b   | : 実装面         |    |
| 5 1     | : 貫通孔         |    |
| 5 2     | : 第 3 露出部     |    |
| 5 2 1   | : 露出側面        |    |
| 5 2 1 a | : 露出側面第 1 部   |    |
| 5 2 1 b | : 露出側面第 2 部   | 20 |
| 6       | : 導電性接合材      |    |
| 6 1     | : 第 1 接合材     |    |
| 6 2     | : 第 2 接合材     |    |
| 6 3     | : 第 3 接合材     |    |
| 6 4     | : 第 4 接合材     |    |
| 7 , 7 ' | : ストラップ部材     |    |
| 7 1     | : 第 1 クリップ接合部 |    |
| 7 1 1   | : ストラップ主面     |    |
| 7 1 2   | : ストラップ接合面    |    |
| 7 1 3   | : 凹部          | 30 |
| 7 2     | : 第 2 クリップ接合部 |    |
| 7 3     | : 屈曲部         |    |

【図面】

【図 1】



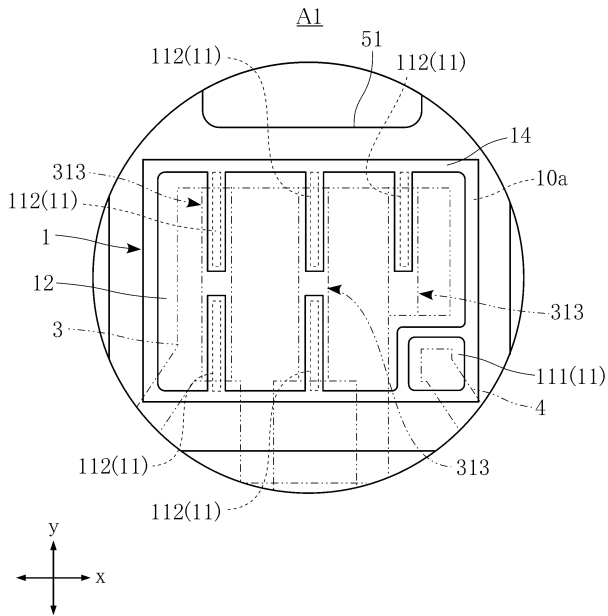
【図 2】



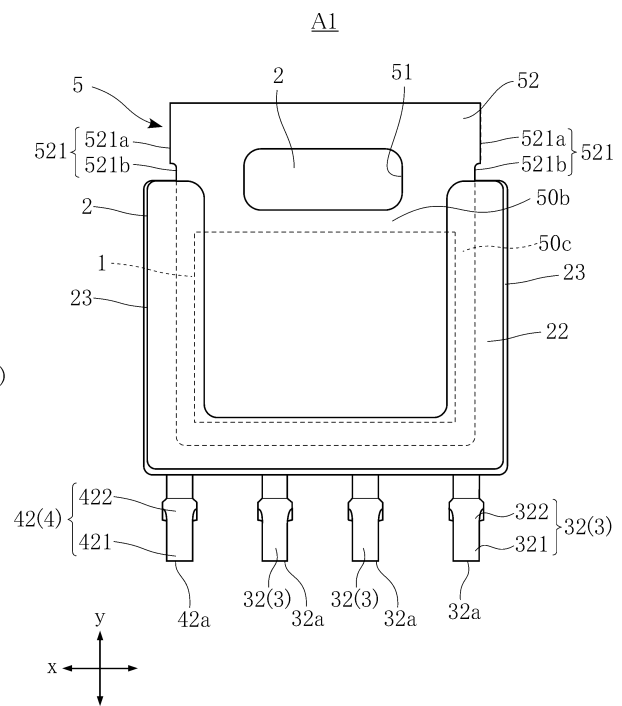
10

20

【図 3】



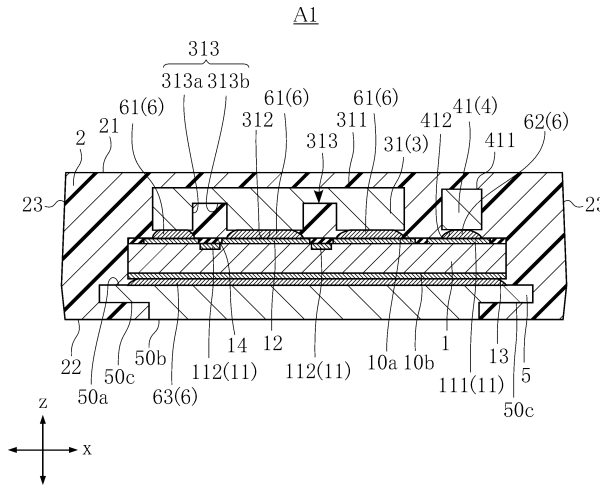
【図 4】



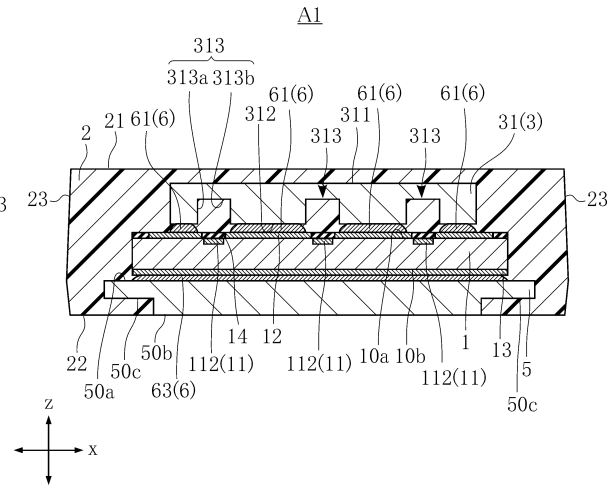
30

40

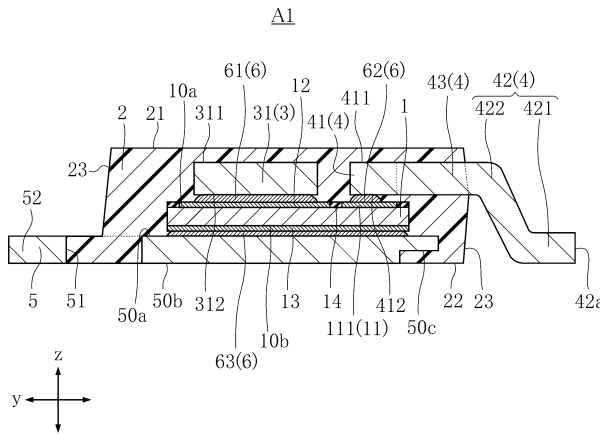
【図5】



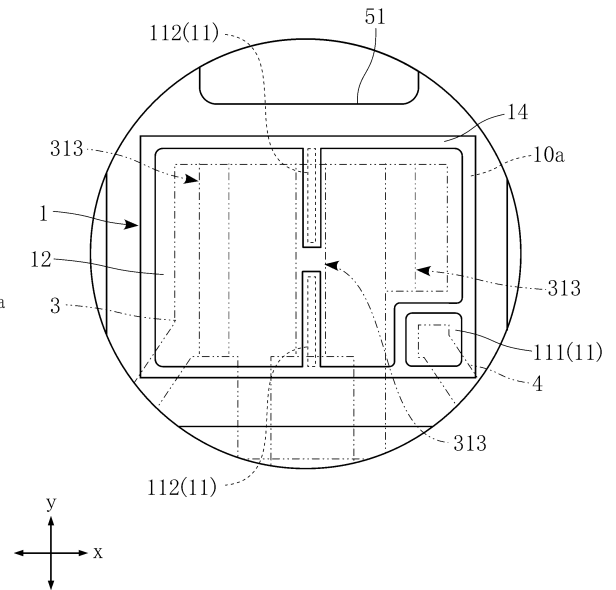
【図6】



【図7】



【図8】



10

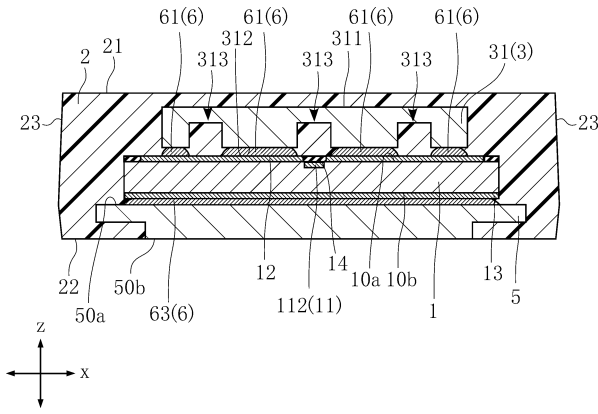
20

30

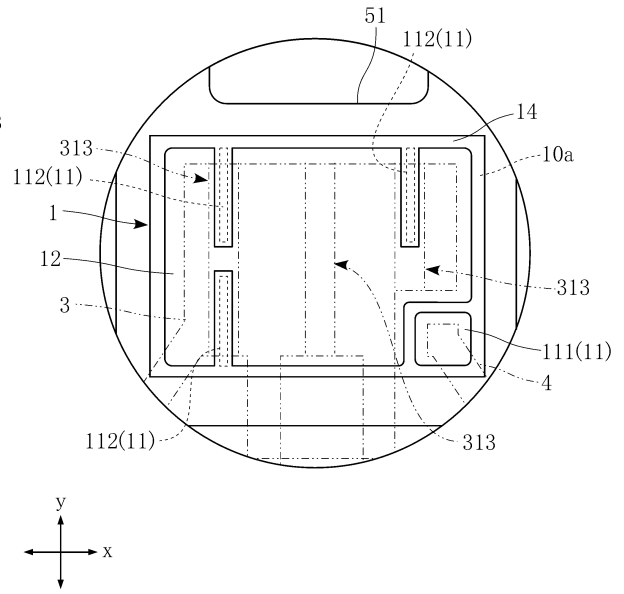
40

50

【図 9】

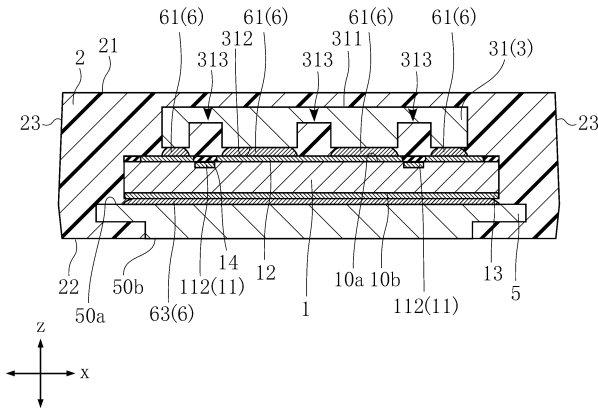


【図 10】

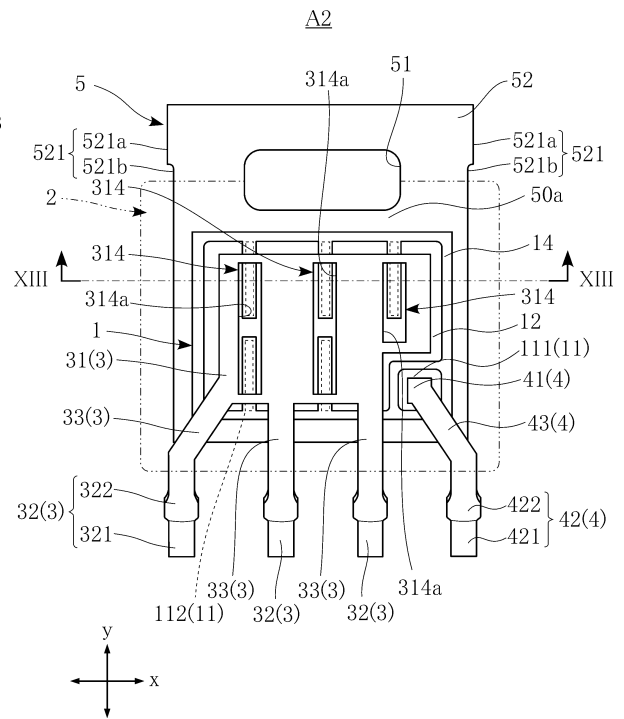


10

【図 11】



【図 12】



20

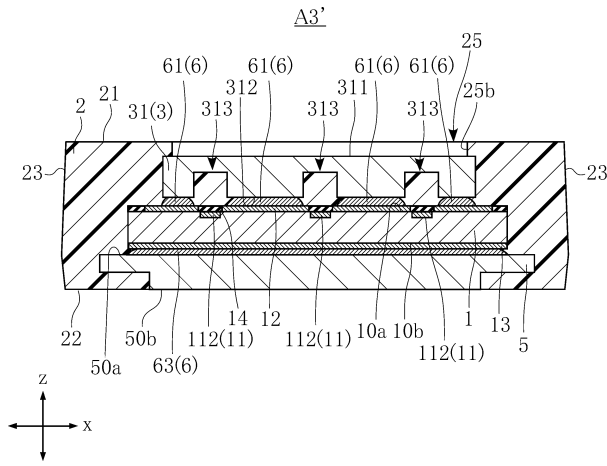
30

40

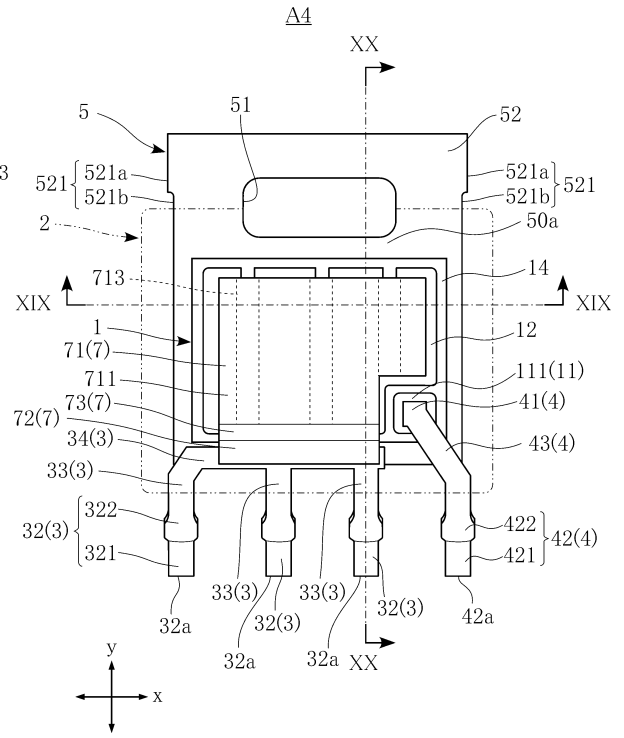
50



【 図 1 7 】



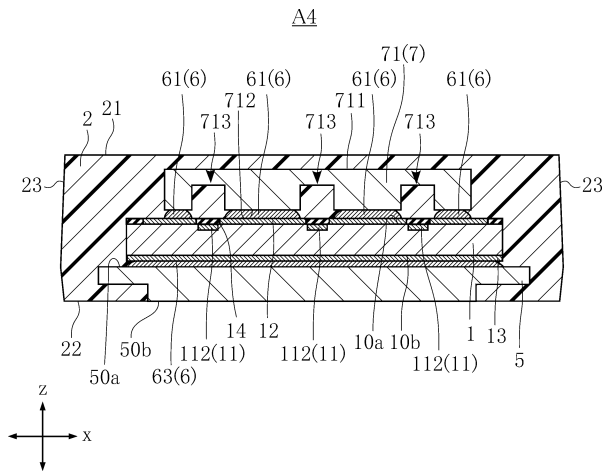
【 図 1 8 】



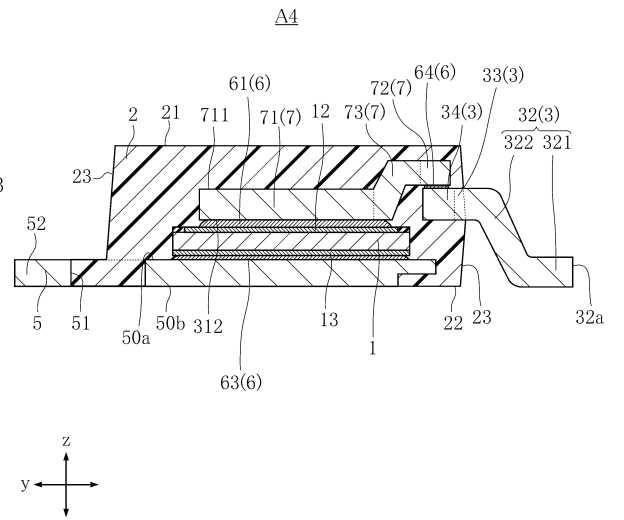
10

20

【 図 1 9 】



【 図 2 0 】

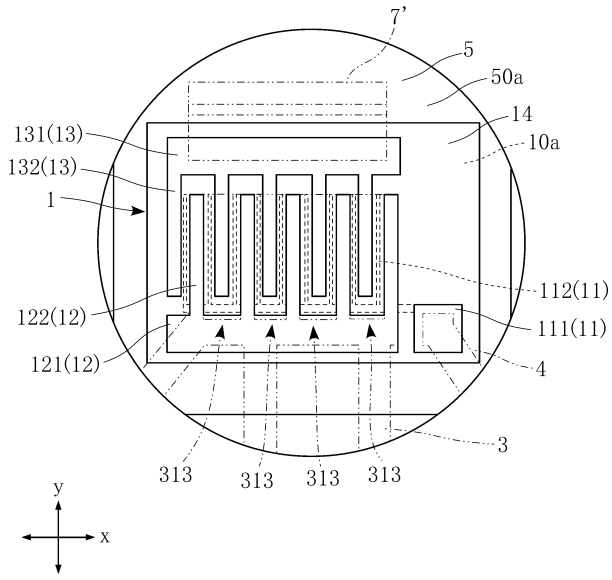


30

40

50

【 2 1 】



10

20

30

40

50

## フロントページの続き

- (56)参考文献 特開2007-266218(JP,A)  
特開2007-184525(JP,A)  
特開2005-277168(JP,A)  
特表2009-516389(JP,A)  
特開2016-036047(JP,A)  
特開2004-006967(JP,A)  
特開2007-037892(JP,A)  
特開2018-061009(JP,A)  
米国特許出願公開第2011/0102059(US,A1)  
国際公開第2016/071982(WO,A1)  
国際公開第2015/045648(WO,A1)
- (58)調査した分野 (Int.Cl., DB名)  
H01L 25/07 - 25/18  
H01L 23/48  
H01L 21/60