

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4318607号  
(P4318607)

(45) 発行日 平成21年8月26日(2009.8.26)

(24) 登録日 平成21年6月5日(2009.6.5)

(51) Int.Cl.

H01L 21/8246 (2006.01)  
H01L 27/105 (2006.01)

F 1

H01L 27/10 444 B

請求項の数 5 (全 12 頁)

(21) 出願番号 特願2004-220156 (P2004-220156)  
 (22) 出願日 平成16年7月28日 (2004.7.28)  
 (65) 公開番号 特開2006-41246 (P2006-41246A)  
 (43) 公開日 平成18年2月9日 (2006.2.9)  
 審査請求日 平成18年10月18日 (2006.10.18)

(73) 特許権者 308033711  
 O K I セミコンダクタ株式会社  
 東京都八王子市東浅川町550番地1  
 (74) 代理人 100085419  
 弁理士 大垣 孝  
 (74) 代理人 100141955  
 弁理士 岡田 宏之  
 (72) 発明者 伊東 敏雄  
 東京都港区虎ノ門1丁目7番12号 沖電  
 気工業株式会社内  
 審査官 正山 旭

最終頁に続く

(54) 【発明の名称】強誘電体キャパシタの製造方法

## (57) 【特許請求の範囲】

## 【請求項1】

半導体基板を用意する工程と、  
 該半導体基板上に第1層間絶縁膜を形成する工程と、  
 該第1層間絶縁膜上にメタル層、第1導電体層、強誘電体層及び第2導電体層を順次に  
 積層してキャパシタ形成用積層膜を形成する工程と、  
 該キャパシタ形成用積層膜上にタンタル酸ストロンチウム又はニオブ酸ストロンチウム  
 からなるエッティングマスク形成用膜を形成する工程と、  
 該エッティングマスク形成用膜上に強誘電体キャパシタ被形成領域を覆うシリコン酸化膜  
 マスクを形成する工程と、

該シリコン酸化膜マスクを用いてエッティングマスク形成用膜に対するウェットエッティングを行うことにより、エッティングマスクを形成する工程と、

該エッティングマスクを用いて前記キャパシタ形成用積層膜に対してドライエッティングを行うことにより、バリアメタル、下部電極、強誘電体膜、及び上部電極を備える積層体を  
 形成する工程と

を備えることを特徴とする強誘電体キャパシタの製造方法。

## 【請求項2】

前記積層体を形成する工程の後、  
 前記積層体上にタンタル酸ストロンチウム又はニオブ酸ストロンチウムからなるエッチ  
 ストップ膜を形成する工程と、

前記第1層間絶縁膜及び前記エッチング膜上に第2層間絶縁膜を形成する工程と、該第2層間絶縁膜の部分であって、前記エッチング膜上の部分にコンタクトホールを設ける工程と、

ウェットエッティングにより、前記エッチング膜に開口部を設ける工程とを備えることを特徴とする請求項1に記載の強誘電体キャパシタの製造方法。

【請求項3】

前記積層体を形成する工程の後、

前記第1層間絶縁膜及び前記エッティングマスク上に第2層間絶縁膜を形成する工程と、該第2層間絶縁膜の前記エッティングマスク上の部分に、前記エッティングマスクをエッチング膜としてコンタクトホールを設ける工程と、

ウェットエッティングにより、前記エッティングマスクに開口部を設ける工程とを備えることを特徴とする請求項1に記載の強誘電体キャパシタの製造方法。

【請求項4】

前記ウェットエッティングを硝酸、フッ酸及び酢酸の混合酸で行うことを特徴とする請求項1～3のいずれか一項に記載の強誘電体キャパシタの製造方法。

【請求項5】

前記ウェットエッティングを硝酸及びフッ酸の混合酸で行うことを特徴とする請求項1～3のいずれか一項に記載の強誘電体キャパシタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、強誘電体キャパシタの製造方法に関するものである。

【背景技術】

【0002】

強誘電体メモリ(F e R A M : F e r r o e l e c t r i c R a n d o m A c c e s s M e m o r y)は、選択トランジスタと、強誘電体膜を含む強誘電体キャパシタとが直列接続された構造を有している。強誘電体キャパシタは、白金やイリジウムなどの貴金属を電極材料とし、チタン酸ジルコン酸鉛やタンタル酸ストロンチウムビスマスなどの強誘電体を誘電体膜の材料とするのが一般的である。強誘電体メモリとしては、現在、64 k b程度までの小容量メモリは既に製品化されている。強誘電体メモリは、データの書き込みが高速である点やランダムアクセスが可能である点から、従来の不揮発性メモリに対する置き換えが期待されており、大容量化が強く望まれている。

【0003】

図7を参照して、従来の強誘電体メモリの製造方法、特に、強誘電体キャパシタの製造方法について説明する(例えば特許文献1又は2参照)。図7は、従来の強誘電体キャパシタの製造方法を説明するための工程図である。

【0004】

先ず、半導体基板510に、層間絶縁膜520と、メタル層531、第1導電体層533、強誘電体層535、及び第2導電体層537を順に積層したキャパシタ形成用積層膜530とを設ける。半導体基板510は、シリコン基板511と、素子分離絶縁膜512で画成された領域に形成されているM O S F E T 513とを備えている。M O S F E T 513は、ドレイン領域514、ソース領域515、ゲート絶縁膜516及びゲート電極517を備えている。層間絶縁膜520は、酸化膜で構成され、導電プラグ524を備えている(図7(A))。

【0005】

次に、キャパシタ形成用積層膜530上に、フォトリソグラフィ及びドライエッティングにより、強誘電体キャパシタを形成する領域を覆うハードマスク552を設ける。ハードマスク552としてはS r R u O<sub>3</sub>(S R O)(特許文献1参照。)や、チタン酸ジルコン酸鉛(P Z T)(特許文献2参照。)などが用いられる(図7(B))。

【0006】

10

20

30

40

50

次に、ハードマスク 552 を用いたドライエッティングにより、キャパシタ形成用積層膜 530 を所望の形状の積層体 540 とする。メタル層 531 の、エッティングの結果残存した部分がバリアメタル 541 となり、第 1 導電層 533 の、エッティングの結果残存した部分が下部電極 543 となり、強誘電体層 535 の、エッティングの結果残存した部分が強誘電体膜 545 となり、第 2 導電層 537 の、エッティングの結果残存した部分が上部電極 547 となる(図 7 (C))。

### 【0007】

積層体 540 が強誘電体キャパシタであり、積層体(強誘電体キャパシタ) 540 と、MOSFET 513 とにより、強誘電体メモリのメモリセルが構成される。

【特許文献 1】米国特許第 6,495,413 号明細書 10

【特許文献 2】米国特許第 6,423,592 号明細書

### 【発明の開示】

#### 【発明が解決しようとする課題】

### 【0008】

しかしながら、上部電極及び下部電極の電極材や、強誘電体はドライエッティングされ難い。従って、上部電極及び下部電極、又は、強誘電体層が厚い場合や、レジストとの選択比が充分に取れない場合は、シリコン窒化膜や窒化チタンなどのハードマスクが用いられるが、ハードマスクを用いたとしてもマスク厚を大きくする必要がある。マスク厚が大きくなるほど、寸法変換差も大きくなる。パターンが微細になるほど、寸法変換差の影響が大きくなるので、高集積強誘電体メモリに必要な微細キャパシタを作製することが困難になる。

### 【0009】

また、微細キャパシタを作製する場合、コンタクトホールの寸法は設計基準以下にはできないので、キャパシタ面積に占めるコンタクトホールの面積の割合が大きくなる場合がある。この場合、ドライエッティングによるコンタクトホール開口時に、強誘電体キャパシタに対してダメージを与える恐れがある。このダメージとして、例えば、チャージングなど電界ストレスによる物理的ダメージや、上部電極を透過してくる還元性ガスによる化学的ダメージなどが考えられる。

### 【0010】

この発明は、上述の問題点に鑑みてなされたものであり、この発明の主目的は、寸法変換差の小さい微細強誘電体キャパシタの製造方法を提供することである。また、この発明の他の目的として、キャパシタ上のコンタクト開口部に生じるダメージを低減する方法を提供する。

### 【課題を解決するための手段】

### 【0011】

上述した目的を達成するために、請求項 1 に記載のこの発明の強誘電体キャパシタの製造方法は、以下の工程を備えている。

### 【0012】

先ず、半導体基板を用意し、この半導体基板上に第 1 層間絶縁膜を形成する。第 1 層間絶縁膜上にメタル層、第 1 導電層、強誘電体層及び第 2 導電層を順次に積層してキャパシタ形成用積層膜を形成し、キャパシタ形成用積層膜上にタンタル酸ストロンチウム又はニオブ酸ストロンチウムからなるエッティングマスク形成用膜を形成する。エッティングマスク形成用膜上に強誘電体キャパシタ被形成領域を覆うシリコン酸化膜マスクを形成して、シリコン酸化膜マスクを用いてエッティングマスク形成用膜に対するウェットエッティングを行うことにより、エッティングマスクを形成する。このエッティングマスクを用いてキャパシタ形成用積層膜に対してドライエッティングを行うことにより、バリアメタル、下部電極、強誘電体膜、及び上部電極を備える積層体を形成する。

### 【発明の効果】

### 【0013】

請求項 1 に記載のこの発明の強誘電体キャパシタの製造方法によれば、ドライエッキン

10

20

30

40

50

グされ難い材質の膜をウェットエッチングして、ドライエッチング用のエッチングマスクを形成するので、エッチングマスクを薄くすることができ、微細加工性を向上させることができる。

【発明を実施するための最良の形態】

【0014】

以下、図を参照して、この発明の実施の形態について説明するが、構成および配置関係についてはこの発明が理解できる程度に概略的に示したものに過ぎない。また、以下、この発明の好適な構成例につき説明するが、各構成の組成（材質）および数値的条件などは、単なる好適例にすぎない。従って、この発明は以下の実施の形態に限定されない。

【0015】

10

（第1実施形態）

図1～3を参照して、第1実施形態の強誘電体キャパシタの製造方法について説明する。図1～3は、第1実施形態の強誘電体キャパシタの製造方法を説明するための概略的断面図である。

【0016】

先ず、半導体基板10を用意する。半導体基板10は、シリコン基板11と、シリコン基板11上の素子分離絶縁膜12で画成された領域に予め形成されているMOSFET（Metal Oxide Semiconductor Field Effect Transistor）13とを備えている。以下、MOSFET13をN型のMOSFET（以下、NMOSと称する。）として説明する。シリコン基板11の導電型をP型とする。このシリコン基板11の表層領域には、N型不純物を高濃度（N<sup>+</sup>型）に含有するドレイン領域14及びソース領域15が所定距離離間して設けられている。ドレイン領域14及びソース領域15に挟まれる、シリコン基板11の部分領域上にゲート絶縁膜16を介して、ゲート電極17が形成されている（図1（A））。ドレイン領域14及びソース領域15に挟まれた、シリコン基板11の表面領域部分が、NMOSの動作時にソース・ドレイン領域間のチャネル（電流路）が形成されるチャネル形成領域である。なお、MOSFETの製造工程は公知であるので、詳細な説明は省略する。

20

【0017】

次に、半導体基板10上に、第1層間絶縁膜20を堆積させる。第1層間絶縁膜20を、例えはCVD（Chemical Vapor Deposition）法によりシリコン酸化膜として形成する。第1層間絶縁膜20をホトリソエッチングすることにより、MOSFET13のドレイン領域14又はソース領域15（図では、ドレイン領域14）上の膜部分にコンタクトホールを設ける。このコンタクトホールを、CVD法により、タンゲステン（W）で埋め込み、導電プラグ24を形成する。その後、第1層間絶縁膜20の表面は、CMP（Chemical Mechanical Polishing）法により平坦化される（図1（B））。

30

【0018】

次に、第1層間絶縁膜20上にメタル層31、第1導電体層33、強誘電体層35及び第2導電体層37を順に積層して構成されるキャパシタ形成用積層膜30を形成する。メタル層31は、スパッタ法により、窒化チタン膜、窒化アルミニウム膜、及び、窒化タンタルから選択された1種の材料からなる膜で、層間絶縁膜20上に形成される。第1導電体層33は、スパッタ法により、白金、イリジウム、ルテニウム、酸化イリジウム及び酸化ルテニウムから選択された1種の材料からなる膜、あるいは2種以上の材料からなる積層膜として、メタル層31上に形成される。強誘電体層35は、CVD法により、第1導電体層33上に形成される。強誘電体層35の材質は、チタン酸ジルコン酸鉛、タンタル酸ストロンチウムビスマス、チタン酸ビスマス、チタン酸ビスマスランタンなどから、目的や仕様に応じて選択することができる。第2導電体層37は、スパッタ法により、強誘電体層35上に形成される。第2導電体層37は、第1導電体層33と同様に、白金、イリジウム、ルテニウム、酸化イリジウム及び酸化ルテニウムから選択された1種の材料からなる膜、あるいは2種以上の材料からなる積層膜として、形成される。キャパシタ形成

40

50

用積層膜 3 0 の第 2 導電体層 3 7 上に、タンタル酸ストロンチウム又はニオブ酸ストロンチウムからなるエッティングマスク形成用膜 3 9 を C V D 法により形成する(図 1 ( C ))。ここでは、メタル層 3 1 を膜厚 2 5 nm の窒化チタン膜とし、第 1 導電体層 3 3 を膜厚 5 0 nm の白金、膜厚 1 0 0 nm の酸化イリジウム、及び、膜厚 1 0 0 nm のイリジウムの積層膜とし、強誘電体層 3 5 を膜厚 1 2 0 nm のタンタル酸ストロンチウムビスマスとし、さらに、第 2 導電体層 3 7 を膜厚 1 0 0 nm の白金膜とする。また、エッティングマスク形成用膜 3 9 を、膜厚 1 0 0 nm のタンタル酸ストロンチウムとする。

【 0 0 1 9 】

次に、エッティングマスク形成用膜 3 9 上に、シリコン酸化膜 5 0 を堆積する(図 2 ( A ))。

10

【 0 0 2 0 】

次に、シリコン酸化膜 5 0 上に有機樹脂からなるフォトレジストを塗布して、フォトレジスト層(図示を省略する。)を形成する。その後、公知のフォトリソグラフィ法によるパターニングを行って、シリコン酸化膜 5 0 の導電プラグ 2 4 の上の部分であって、キャパシタ被形成領域 5 4 を覆う部分にフォトレジストパターン 5 6 を形成する(図 2 ( B ))。

【 0 0 2 1 】

次に、フォトレジストパターン 5 6 に覆われていないシリコン酸化膜 5 0 の部分をリアクティブイオンエッティング( R I E : R e a c t i v e I o n E t c h i n g )により除去して、シリコン酸化膜マスク 5 2 を形成する。その後、フォトレジストパターン 5 6 を除去する。フォトレジストパターン 5 6 の除去により、エッティングマスク形成用膜 3 9 の強誘電体キャパシタ形成領域 5 4 上にシリコン酸化膜マスク 5 2 が残存する(図 3 ( A ))。

20

【 0 0 2 2 】

次に、シリコン酸化膜マスク 5 2 を用いたウェットエッティングでタンタル酸ストロンチウムのエッティングマスク 4 9 を形成する(図 3 ( B ))。ウェットエッティングのエッチャントとして、硝酸、フッ酸及び酢酸の混合酸を用いる。タンタル酸ストロンチウムのドライエッティングは困難であるが、硝酸、フッ酸及び酢酸の混合酸には良く溶解する。タンタル酸ストロンチウムが硝酸、フッ酸及び酢酸の混合酸に溶解する理由を以下に述べる。

【 0 0 2 3 】

30

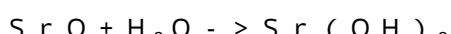
タンタル酸ストロンチウム  $S r T a_2 O_6$  は、酸化タンタル  $T a_2 O_5$  と酸化ストロンチウム  $S r O$  の複合酸化物結晶である。酸化タンタル  $T a_2 O_5$  は、以下の化学反応式で示される反応で、水溶性の 6 フッ化タンタル酸  $H T a F_6$  になる。

【 0 0 2 4 】



一方、酸化ストロンチウム  $S r O$  は、以下の化学反応式で示される反応で、水と反応して水酸化ストロンチウム  $S r ( O H )_2$  になる。

【 0 0 2 5 】



水酸化ストロンチウム  $S r ( O H )_2$  は容易に酸に溶解する。

40

【 0 0 2 6 】

また、エッチャントとして用いられる硝酸、フッ酸及び酢酸の混合酸は、60% 硝酸水溶液、50% フッ酸水溶液、及び氷酢酸が、それぞれ、2~95重量%、5~98重量%、及び5~70重量%の範囲の濃度で混合されていることが望ましい。なお、氷酢酸を用いずに、エッチャントとして硝酸及びフッ酸の混合酸を用いることも可能であるが、硝酸の分解を抑えるために氷酢酸を加えることが望ましい。

【 0 0 2 7 】

次に、エッティングマスク 4 9 を用いて、キャパシタ形成用積層膜 3 0 に対して R I E を行って、強誘電体キャパシタである積層体 4 0 を形成する。タンタル酸ストロンチウムのエッティングマスク 4 9 は R I E によるエッティング速度が非常に遅いため、R I E のマスク

50

として充分に耐える。従って、R I E を行う際に用いるガスを交換するのみで、エッティングマスクを再形成することなく強誘電体キャパシタを形成することができる。例えば、第1及び第2導電層33及び37は、 $C_{12}$ - $O_2$ 系のガスで、強誘電体層35は、 $C_{12}$ -Ar系のガスで、メタル層31は、 $BC_{13}$ - $C_{12}$ 系のガスでエッティングを行う。メタル層31のエッティングにより残存した部分がバリアメタル41となり、第1導電層33のエッティングにより残存した部分が下部電極43となり、強誘電体層35のエッティングにより残存した部分が上部電極47となる。バリアメタル41は、導電プラグ24のプラグ材料と、下部電極43の電極材料との反応を防ぐために設けられる。なお、この例では、ウェットエッティングの際に用いたシリコン酸化膜マスク52は、R I E 中に消失する。R I E による積層体(強誘電体キャパシタ)40の形成後にエッティングマスク49は25nm程度の膜厚で残存する(図3(C))。

#### 【0028】

下部及び上部電極43及び47の材料に対するタンタル酸ストロンチウムのドライエッティングのエッティング速度である選択比は4以上にすることも可能であり、また、強誘電体膜45の材料に対するタンタル酸ストロンチウムのドライエッティング選択比は3以上にすることも可能である。

#### 【0029】

上述したように、タンタル酸ストロンチウムなどドライエッティングされ難い材質の膜をウェットエッティングしてドライエッティング用のエッティングマスクを形成することで、エッティングマスクを薄くすることができる。エッティングマスクが薄くなれば、寸法変換差も小さくなり、強誘電体キャパシタの形成にあたり、微細加工性を向上させることができ、少なくとも0.5μm角程度のキャパシタスタックを精度良く加工することができる。

#### 【0030】

##### (第2実施形態)

図4及び図5を参照して第2実施形態の強誘電体キャパシタの製造方法について説明する。図4及び5は、第2実施形態の強誘電体キャパシタの製造方法を説明するための概略的断面図である。

#### 【0031】

R I E により積層体40を形成するまでの工程は、図1～3を参照して説明した第1実施形態と同様であるので説明を省略する。

#### 【0032】

強誘電体キャパシタでもある積層体40の形成後、タンタル酸ストロンチウムのエッティングマスク49を除去することなく、積層体40及びエッティングマスク49を厚い第2層間絶縁膜60で埋め込む(図4(A))。なお、第2層間絶縁膜60は、CVD法によりシリコン酸化膜で形成される。また、R I E による積層体40の形成時に、エッティングマスク49の全部又は一部が消失した場合には、新たに、タンタル酸ストロンチウムの膜をエッティングマスク49として形成する。

#### 【0033】

次に、第2層間絶縁膜60上に有機樹脂からなるフォトレジストを塗布して、フォトレジスト層(図示を省略する。)を形成する。その後、公知のフォトリソグラフィ法によるパターニングを行って、第2層間絶縁膜60のコンタクトホール形成領域に開口部を持つフォトレジストパターン(図示を省略する。)を形成する。このフォトレジストパターンをマスクとするドライエッティングにより、第2層間絶縁膜60中にコンタクトホール62を形成する(図4(B))。このとき、タンタル酸ストロンチウムのエッティングマスク49は、シリコン酸化膜である第2層間絶縁膜60のエッティング条件ではほとんどエッティングされないので、エッチストップとして機能する。

#### 【0034】

次に、コンタクトホール62を開口した第2層間絶縁膜60をマスクとしたウェットエッティングを行い、エッティングマスク49にコンタクトホール64を形成する(図4(C))

10

20

30

40

50

)。なお、エッチャントなどウェットエッチングの諸条件は、図3(B)を参照して説明したエッチングマスク49を形成する際に行ったウェットエッチングと同様なので説明を省略する。

【0035】

次に、第1層間絶縁膜20及び第2層間絶縁膜60の、ドレイン領域14又はソース領域15(図では、ソース領域15)上の部分にコンタクトホール66を設ける(図5(A))。

【0036】

次に、コンタクトホール62、64及び66をCVD法により、タンゲステン(W)で埋め込み、導電プラグ26及び28を形成する(図5(B))。

10

【0037】

次に、第2層間絶縁膜60に設けられた導電プラグ26及び28上に、スパッタ法によりメタル(例えば、アルミニウム)配線70を行う(図5(C))。MOSFET13及び積層体(強誘電体キャパシタ)40は、メタル配線70により、外部と接続される。

【0038】

第2実施形態では、積層体40上のコンタクトホールは、ドライエッチング及びウェットエッチングを順次に行うことによって設けられる。ドライエッチングの際に、エッチングマスク49がエッチストップとして機能するので、ドライエッチングによるコンタクトホール開口時の強誘電体キャパシタに与える、チャージングなど電界ストレスによる物理的ダメージや、上部電極を透過してくる還元性ガスによる化学的ダメージなどを低減することが可能となる。

20

【0039】

(第3実施形態)

図6を参照して第3実施形態の強誘電体キャパシタの製造方法について説明する。図6は、第3実施形態の強誘電体キャパシタの製造方法を説明するための概略的断面図である。

【0040】

CVD法により積層体40及びエッチングマスク49を第2層間絶縁膜60で埋め込むまでの工程は、第1層間絶縁膜20に、導電プラグ25とビット線27を設けている点を除いては、図4(A)を参照して説明した第2実施形態と同様であるので説明を省略する。なお、導電プラグ25とビット線27を設ける工程は、公知であるので説明を省略する。

30

【0041】

第2層間絶縁膜60の形成後、第2層間絶縁膜60上有機樹脂からなるフォトレジストを塗布して、フォトレジスト層(図示を省略する。)を形成する。その後、公知のフォトリソグラフィ法によるパターニングを行って、第2層間絶縁膜60のコンタクトホール形成領域に開口部を持つフォトレジストパターン(図示を省略する。)を形成する。このフォトレジストパターンをマスクとするドライエッチングにより、第2層間絶縁膜60中にコンタクトホール63を形成する(図5(A)参照)。このとき、タンタル酸ストロンチウムのエッチングマスク49は、シリコン酸化膜である第2層間絶縁膜60のエッチング条件ではほとんどエッチングされないので、エッチストップとして機能する。

40

【0042】

次に、コンタクトホール63を開口した第2層間絶縁膜60をマスクとしたウェットエッチングを行い、エッチングマスク49にコンタクトホール65を形成する(図5(B))。なお、第3実施形態では、強誘電体キャパシタ40面積に占めるコンタクトホール63及び65の面積の大きさが、第2実施形態に比べて大きくなっている。例えば、1μm角のキャパシタに対して、コンタクトホールの開口部は0.8μm角程度であり、第2実施形態の9倍以上の面積としている。

【0043】

次に、アルミニウムの高温成膜によりコンタクトホール63及び65を埋め込むメタル

50

配線 7 2 を形成する。

【 0 0 4 4 】

第 3 実施形態では、コンタクトホールのアスペクト比が小さくできるので、強誘電体キャパシタの還元劣化の原因となる、CVD 法を用いたタンゲステン (W) での埋め込みによる導電プラグの形成を行う必要が無い。従って、強誘電体キャパシタとなる積層体 4 0 の形成後に、還元劣化を引き起こすプロセスを回避することができ、このため、強誘電体キャパシタの作成をすることが可能となり、信頼性が高い強誘電体メモリの製造が可能となる。

【 図面の簡単な説明 】

【 0 0 4 5 】

【 図 1 】第 1 実施形態の強誘電体キャパシタの製造方法を説明するための工程図 ( その 1 ) である。

【 図 2 】第 1 実施形態の強誘電体キャパシタの製造方法を説明するための工程図 ( その 2 ) である。

【 図 3 】第 1 実施形態の強誘電体キャパシタの製造方法を説明するための工程図 ( その 3 ) である。

【 図 4 】第 2 実施形態の強誘電体キャパシタの製造方法を説明するための工程図 ( その 1 ) である。

【 図 5 】第 2 実施形態の強誘電体キャパシタの製造方法を説明するための工程図 ( その 2 ) である。

【 図 6 】第 3 実施形態の強誘電体キャパシタの製造方法を説明するための工程図である。

【 図 7 】従来技術の強誘電体キャパシタの製造方法を説明するための工程図である。

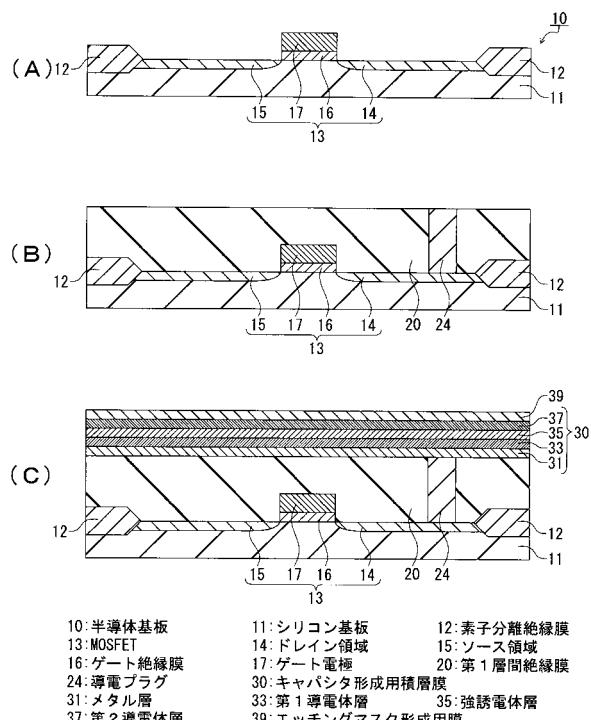
【 符号の説明 】

【 0 0 4 6 】

1 0 、 5 1 0	半導体基板	
1 1 、 5 1 1	シリコン基板	
1 2 、 5 1 2	素子分離絶縁膜	
1 3 、 5 1 3	M O S F E T	
1 4 、 5 1 4	ドレイン領域	
1 5 、 5 1 5	ソース領域	30
1 6 、 5 1 6	ゲート絶縁膜	
1 7 、 5 1 7	ゲート電極	
2 0	第 1 層間絶縁膜	
2 4 、 2 5 、 2 6 、 2 8 、 5 2 4	導電プラグ	
2 7	ピット線	
3 0 、 5 3 0	キャパシタ形成用積層膜	
3 1 、 5 3 1	メタル層	
3 3 、 5 3 3	第 1 導電体層	
3 5 、 5 3 5	強誘電体層	
3 7 、 5 3 7	第 2 導電体層	40
3 9	エッティングマスク形成用膜	
4 0 、 5 4 0	積層体	
4 1 、 5 4 1	バリアメタル	
4 3 、 5 4 3	下部電極	
4 5 、 5 4 5	強誘電体膜	
4 7 、 5 4 7	上部電極	
4 9	エッティングマスク	
5 0	シリコン酸化膜	
5 2	シリコン酸化膜マスク	
5 4	キャパシタ被形成領域	50

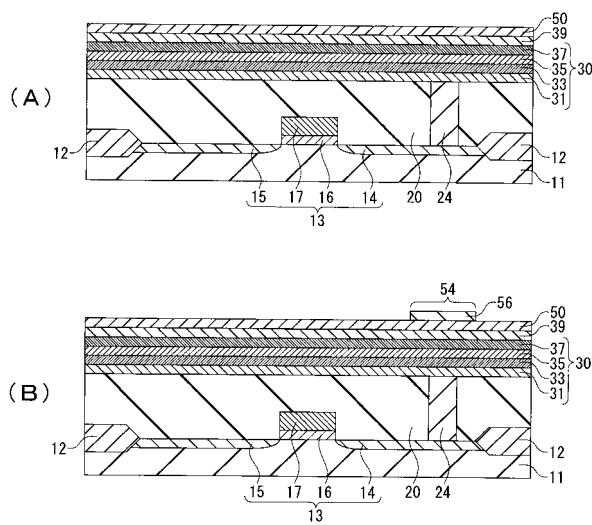
5 6 フォトレジストパターン  
 6 0 第2層間絶縁膜  
 6 2、6 3、6 4、6 5、6 6 コンタクトホール  
 7 0、7 2 メタル配線  
 5 2 0 層間絶縁膜  
 5 5 2 ハードマスク

【図1】



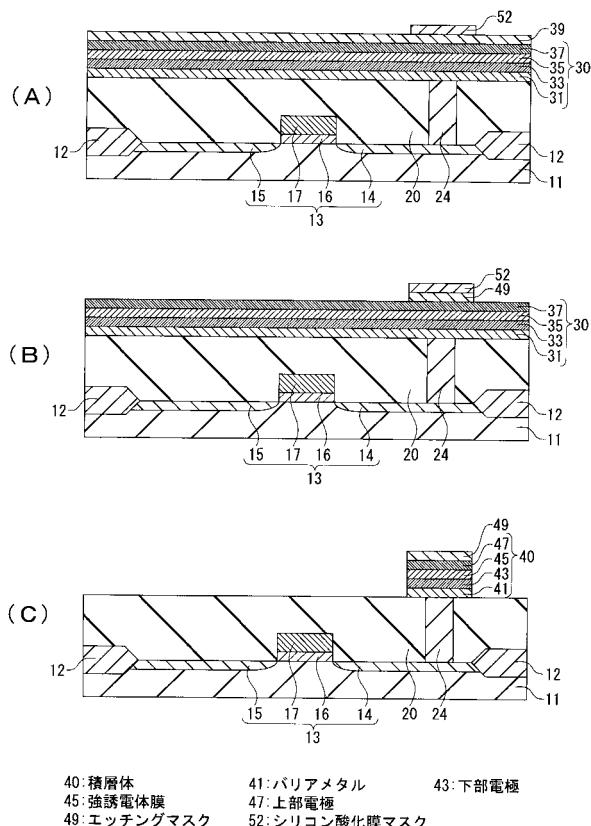
第1実施形態の強誘電体キャバシタの製造方法(その1)

【図2】



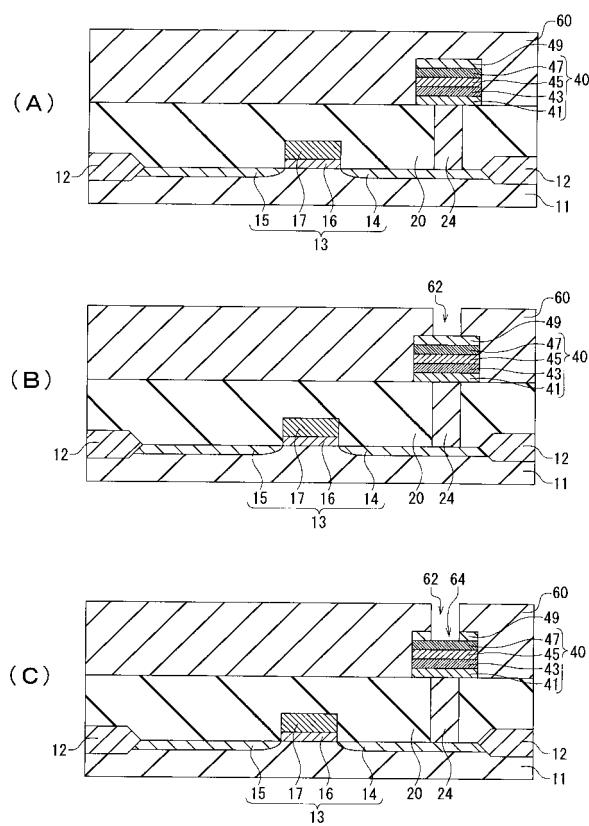
第1実施形態の強誘電体キャバシタの製造方法(その2)

【図3】



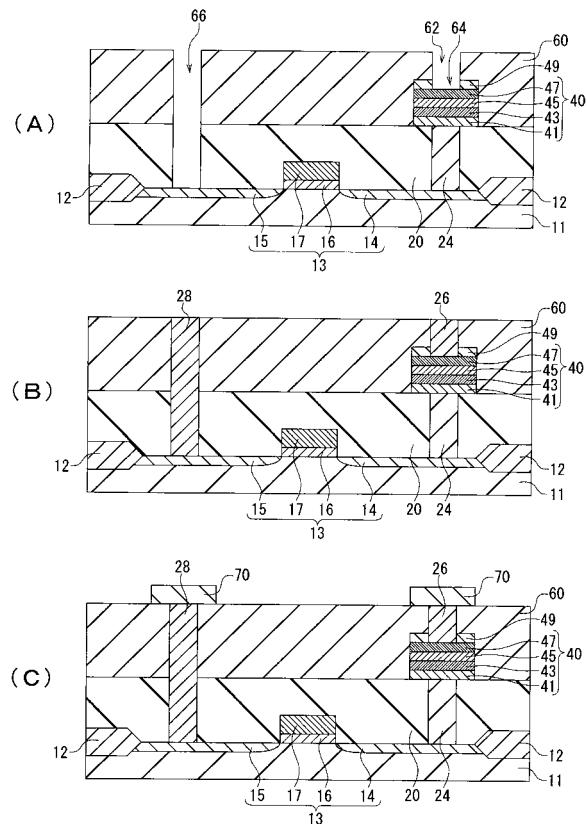
第1実施形態の強誘電体キャパシタの製造方法(その3)

【図4】



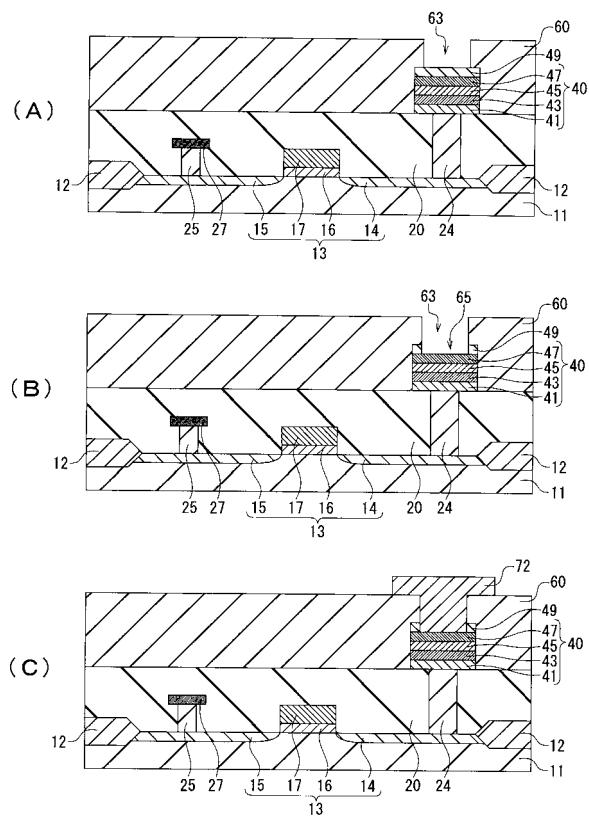
第2実施形態の強誘電体キャパシタの製造方法(その1)

【図5】



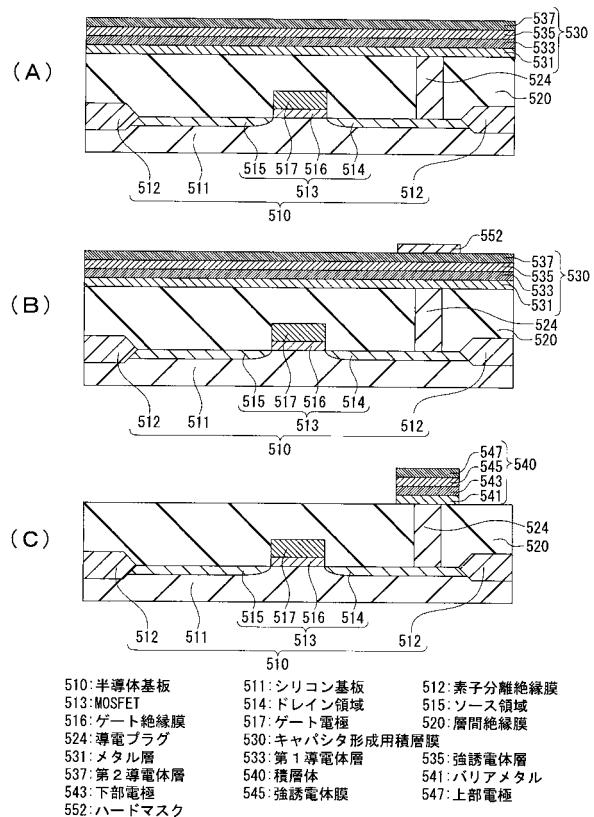
第2実施形態の強誘電体キャパシタの製造方法(その2)

【図6】



第3実施形態の強誘電体キャパシタの製造方法

【図7】



従来の強誘電体キャバシタの製造方法

510: 半導体基板	511: シリコン基板	512: 素子分離絶縁膜
513: MOSFEI	514: ドレイン領域	515: ソース領域
516: ゲート絶縁膜	517: ゲート電極	520: 層間絶縁膜
524: 導電プラグ	530: キャバシタ形成用積層膜	
531: メタル層	533: 第1導電体層	535: 強誘電体層
537: 第2導電体層	540: 積層体	541: バリアメタル
543: 下部電極	545: 強誘電体膜	547: 上部電極
552: ハードマスク		

---

フロントページの続き

(56)参考文献 特開2004-186518(JP,A)  
特開2003-224207(JP,A)  
特開2001-15697(JP,A)  
特開平6-295993(JP,A)  
特開平7-99290(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246  
H01L 27/105