



(10) **DE 10 2009 031 155 B4** 2012.02.23

(12) **Patentschrift**

(21) Aktenzeichen: **10 2009 031 155.6**
(22) Anmeldetag: **30.06.2009**
(43) Offenlegungstag: **05.01.2011**
(45) Veröffentlichungstag
der Patenterteilung: **23.02.2012**

(51) Int Cl.: **H01L 21/8238 (2006.01)**
H01L 21/3105 (2006.01)
H01L 27/092 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
**GLOBALFOUNDRIES Dresden Module One Ltd.
Liability Company & Co. KG, 01109, Dresden, DE;
GLOBALFOUNDRIES Inc., Grand Cayman, KY**

(74) Vertreter:
**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80802, München, DE**

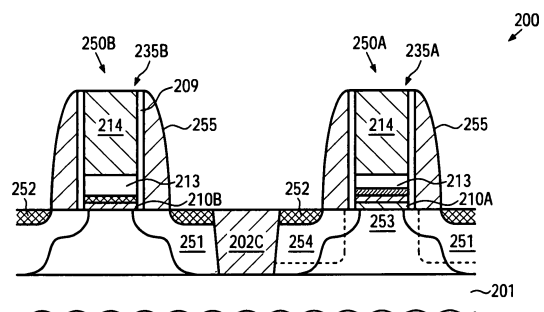
(72) Erfinder:
**Carter, Richard, 01097, Dresden, DE; Graetsch,
Falk, 01109, Dresden, DE; Trentzsch, Martin,
01237, Dresden, DE; Beyer, Sven, 01099, Dresden,
DE; Reimer, Berthold, 01277, Dresden, DE;
Binder, Robert, 01129, Dresden, DE; Bayha, Boris,
01097, Dresden, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

US 2007 / 0 111 448 A1
US 2008 / 0 079 086 A1
US 2009 / 0 108 294 A1
WO 2009/ 072 421 A1

(54) Bezeichnung: **Einstellen einer Schwellwertspannung für komplexe Transistoren durch Diffundieren einer
Metallsorte in das Gatedielektrikum vor der Gatestrukturierung**

(57) Hauptanspruch: Verfahren mit:
Bilden eines Gatedielektrikumsmaterials (210) über einem
ersten aktiven Gebiet (202a) und einem zweiten aktiven Ge-
biet (202b) eines Halbleiterbauelements (202);
Bilden einer ersten Diffusionsschicht (221) mit einer ersten
Metallsorte selektiv über dem ersten aktiven Gebiet (202a);
Bilden einer zweiten Diffusionsschicht (226) mit einer zwei-
ten Metallsorte über dem zweiten aktiven Gebiet (202b);
Ausführen einer Wärmebehandlung, um eine Diffusion der
ersten Metallsorte von der ersten Diffusionsschicht (221)
mit der ersten Metallsorte in das Gatedielektrikumsmateri-
al (210) über dem ersten aktiven Gebiet (202a) zu initiieren
und um eine Diffusion der zweiten Metallsorte von der zwei-
ten Diffusionsschicht (226) mit der zweiten Metallsorte in das
Gatedielektrikumsmaterial (210) über dem zweiten aktiven
Gebiet (202b) zu initiieren;
Entfernen von der ersten Diffusionsschicht (221) mit der ers-
ten Metallsorte und der zweiten Diffusionsschicht (226) mit
der zweiten Metallsorte, so dass das Gatedielektrikumsmate-
rial (210) über dem ersten und zweiten aktiven Gebiet
(202a, 202b) freigelegt wird;...



Beschreibung

Gebiet der vorliegenden Erfindung

[0001] Im Allgemeinen betrifft die vorliegende Erfindung die Herstellung komplexer integrierter Schaltungen mit aufwendigen Transistorelementen, die komplexe Gateelektrodenstrukturen enthalten, die wiederum ein komplexes Gatedielektrikum besitzen, etwa ein Gatedielektrikum mit großem ϵ , und ein metallenthaltendes Elektrodenmaterial.

Beschreibung des Stands der Technik

[0002] Die Herstellung von modernen integrierten Schaltungen, etwa von CPU's, Speicherbauelementen, ASIC's (anwendungsspezifische integrierte Schaltungen) und dergleichen, erfordert die Herstellung einer großen Anzahl an Schaltungselementen auf einer vorgegebenen Chipfläche gemäß einem spezifizierten Schaltungsaufbau. In einer Fülle von elektronischen Schaltungen repräsentieren Feldeffekttransistoren eine wichtige Art an Schaltungselementen, die das Leistungsverhalten der integrierten Schaltungen wesentlich bestimmen. Im Allgemeinen wird eine Vielzahl von Prozesstechnologien aktuell zur Herstellung von Feldeffekttransistoren eingesetzt, wobei für viele Arten komplexer Schaltungen die MOS-Technologie eine der vielversprechendsten Vorgehensweisen auf Grund der guten Eigenschaften im Hinblick auf die Arbeitsgeschwindigkeit und/oder Leistungsaufnahme und/oder Kosteneffizienz ist. Während der Herstellung komplexer integrierter Schaltungen unter Anwendung beispielsweise der MOS-Technologie werden Millionen Transistoren, beispielsweise n-Kanaltransistoren und/oder p-Kanaltransistoren, auf einem Substrat hergestellt, das eine kristalline Halbleiterschicht aufweist. Ein Feldeffekttransistor enthält, unabhängig davon, ob ein n-Kanaltransistor oder ein p-Kanaltransistor betrachtet wird, typischerweise sogenannte pn-Übergänge, die durch eine Grenzfläche stark dotierter Gebiete, die als Drain- und Sourcegebiete bezeichnet werden, mit einem leicht dotierten oder nicht dotierten Gebiet, etwa einem Kanalgebiet, gebildet sind, das zwischen den stark dotierten Gebieten angeordnet ist. In einem Feldeffekttransistor ist die Leitfähigkeit des Kanalgebiets, d. h. der Durchlassstrom des leitenden Kanals, durch eine Gateelektrode gesteuert, die benachbart zu dem Kanalgebiet ausgebildet und davon durch eine dünne isolierende Schicht getrennt ist. Die Leitfähigkeit des Kanalgebiets beim Aufbau eines leitenden Kanals auf Grund des Anlegens einer geeigneten Steuerspannung an der Gateelektrode hängt von der Dotierstoffkonzentration, der Beweglichkeit der Ladungsträger und – für eine gegebene Abmessung des Kanalgebiets in der Transistorbreitenrichtung – von dem Abstand zwischen dem Sourcegebiet und dem Draingebiet ab, der auch als Kanallänge bezeichnet wird. Somit beeinflusst in Ver-

bindung mit der Fähigkeit, rasch einen leitenden Kanal unter der isolierenden Schicht beim Anlegen der Steuerspannung an die Gateelektrode aufzubauen, die Leitfähigkeit des leitenden Kanalgebiets wesentlich das Leistungsverhalten von MOS-Transistoren. Da die Geschwindigkeit des Erzeugens des Kanals, die von der Leitfähigkeit der Gateelektrode abhängt, und der Kanalwiderstand wesentlich die Transistoreigenschaften bestimmen, ist somit die Verringerung der Kanallänge – und damit verknüpft die Verringerung des Kanalwiderstands, was wiederum eine Zunahme des Widerstands auf Grund der geringeren Abmessungen bewirkt – ein wichtiges Entwurfskriterium, um eine Zunahme der Arbeitsgeschwindigkeit integrierter Schaltungen zu erreichen.

[0003] In der WO 2009/072421 A1 wird ein Verfahren zur Herstellung eines CMOS-Bauteils mit einem n-Kanal-MOSFET und einem p-Kanal-MOSFET beschrieben, in dem ein Gatedielektrikumsmaterial mit HfSiON Verwendung findet und amorphes Silizium mit implantiertem Aluminium über einem ersten aktiven Gebiet und amorphes Silizium mit implantiertem Magnesium über einem zweiten aktiven Gebiet gebildet wird und eine Diffusion des Aluminiums durch eine Wärmebehandlung bewirkt wird.

[0004] Gegenwärtig wird der Hauptanteil an integrierten Schaltungen auf der Grundlage von Silizium auf Grund der nahezu begrenzten Verfügbarkeit, den gut verstandenen Eigenschaften von Silizium und zugehörigen Materialien und Prozessen und auf Grund der Erfahrung hergestellt, die über die letzten 50 Jahre gewonnen wurde. Daher bleibt Silizium mit hoher Wahrscheinlichkeit das Material der Wahl für künftige Schaltungsgenerationen, die durch Massenproduktionsverfahren hergestellt werden. Ein Grund für die wichtige Rolle des Siliziums bei der Herstellung von Halbleiterbauelementen sind die guten Eigenschaften einer Silizium/Siliziumdioxidgrenzfläche, die eine zuverlässige elektrische Isolierung unterschiedlicher Gebiete voneinander ermöglicht. Die Silizium/Siliziumdioxidgrenzfläche ist bei hohen Temperaturen stabil und ermöglicht somit das Ausführen nachfolgender Hochtemperaturprozesse, wie sie beispielsweise während der Ausheizzyklen zum Aktivieren von Dotierstoffen und zum Ausheilen von Kristallschäden erforderlich sind, ohne dass die elektrischen Eigenschaften der Grenzfläche beeinträchtigt werden.

[0005] Aus den zuvor genannten Gründen wird Siliziumdioxid vorzugsweise als Basismaterial für eine Gateisolationsschicht in Feldeffekttransistoren eingesetzt, die die Gateelektrode, die häufig aus Polysilizium und metallenthaltenden Materialien aufgebaut ist, von dem Siliziumkanalgebiet trennt. Beim stetigen Verbessern des Leistungsverhaltens von Feldeffekttransistoren wurde die Länge des Kanalgebiets zunehmend verringert, um die Schaltgeschwindigkeit

und den Durchlassstrom zu verbessern. Da das Transistorverhalten durch die Spannung gesteuert ist, die der Gateelektrode zugeführt wird, um die Oberfläche des Kanalgebiets in eine ausreichend hohe Ladungsträgerdichte zu invertieren, um damit den gewünschten Durchlassstrom einer vorgegebenen Versorgungsspannung zu ermöglichen, ist eine gewisse kapazitive Kopplung beizubehalten, die durch den Kondensator erzeugt wird, der durch die Gateelektrode, das Kanalgebiet und das dazwischen angeordnete Siliziumdioxid gebildet ist. Es stellt sich heraus, dass eine Verringerung der Kanallänge eine größere kapazitive Kopplung erfordert, um das sogenannte Kurzkanalverhalten während des Transistorbetriebs zu vermeiden. Das Kurzkanalverhalten kann zu einem erhöhten Leckstrom und zu einer sehr ausgeprägten Abhängigkeit der Schwellwertspannung der Kanallänge führen. Aggressiv skalierte Transistorbauelemente mit einer relativ geringen Versorgungsspannung und damit mit einer reduzierten Schwellwertspannung weisen eine exponentielle Zunahme des Leckstromes auf, wobei auch eine erhöhte kapazitive Kopplung der Gateelektrode an das Kanalgebiet erforderlich ist. Daher muss die Dicke der Siliziumdioxidschicht entsprechend verringert werden, um die erforderliche hohe Kapazität zwischen dem Gate und dem Kanalgebiet zu erzeugen. Z. B. erfordert eine Kanallänge von ungefähr 80 nm ein Gatedielektrikum aus Siliziumdioxid mit einer Dicke von ungefähr 1,2 nm. Obwohl die Verwendung von Hochgeschwindigkeitstransistoren mit äußerst kurzem Kanal auf Hochgeschwindigkeitssignalwege beschränkt wird, wohingegen Transistorelemente mit einem längeren Kanal für weniger kritische Schaltungsbereiche eingesetzt werden, etwa in Form von Speichertransistoren, erreicht der relativ hohe Leckstrom, der durch das direkte Tunneln von Ladungsträgern durch eine sehr dünne Siliziumdioxidgateisolationsschicht hervorgerufen wird, Werte bei einer Oxiddicke im Bereich von 1 bis 2 nm, die nicht mehr mit den Erfordernissen für leistungsorientierte Schaltungen verträglich sind, selbst wenn nur Transistoren in geschwindigkeitskritischen Wegen auf der Grundlage eines äußerst dünnen Gateoxids hergestellt werden.

[0006] Daher wurden diverse Maßnahmen vorgeschlagen, um die Isolationsfestigkeit und die wirksame Dielektrizitätskonstante des Siliziumdioxidmaterials zu erhöhen, etwa das Ausführen von Behandlungen auf der Grundlage von Stickstoff, um eine gewisse Menge an Stickstoff einzubauen. Obwohl diese Behandlungen des Oxidbasismaterials für ausgeprägte Verbesserungen sorgen, ist die weitere Reduzierung der Transistorabmessungen für künftige anspruchsvolle Vorgehensweisen erforderlich. Dazu wurde das Ersetzen des Siliziumdioxid als Material für Isolationsschichten in Betracht gezogen, insbesondere für extrem dünne siliziumdioxidbasierte Gateschichten. Möglich alternative Materialien sind solche, die eine deutlich höhere Permittivi-

tät besitzen, so dass eine physikalisch größere Dicke einer entsprechend ausgebildeten Gateisolationsschicht eine kapazitive Kopplung ergibt, die ansonsten durch eine extrem dünne siliziumdioxidbasierte Schicht erhalten würde. Es wurde daher vorgeschlagen, zumindest einen Teil des konventionellen Siliziumdioxids durch Materialien mit hoher Permittivität zu ersetzen, etwa durch Tantaloxid (Ta_2O_5) mit einem ϵ von ungefähr 25, durch Strontiumtitanoxid (SrTiO_3) mit einem ϵ von ungefähr 150, durch Hafniumoxid (HfO_2), durch HfSiO , durch Zirkonoxid (ZrO_2), und dergleichen.

[0007] Des Weiteren kann das Transistorleistungsverhalten verbessert werden, indem ein geeignetes leitendes Material für die Gateelektrode vorgesehen wird, so dass das für gewöhnlich verwendete Polysiliziummaterial ersetzt wird, da Polysilizium eine Ladungsträgerverarmung in der Nähe der Grenzfläche zum Gatedielektrikum erleidet, wodurch die wirksame Kapazität zwischen dem Kanalgebiet und der Gateelektrode verringert wird. Es wurde daher ein Gatestapel vorgeschlagen, in welchem ein dielektrisches Material mit großem ϵ für eine höhere Kapazität auf der Grundlage der gleichen oder größeren Dicke als eine siliziumdioxidbasierte Schicht sorgt, wobei zusätzlich Leckströme auf einem akzeptablen Niveau gehalten werden. Andererseits wird das nicht-Polysiliziummaterial, etwa Titanitrid und dergleichen, so hergestellt, dass es mit dem dielektrischen Material mit großem ϵ in Verbindung ist, wodurch das Auftreten einer Verarmungszone im Wesentlichen vermieden wird.

[0008] Da die Schwellwertspannung komplexer Transistorelemente wesentlich von der Austrittsarbeit des Gateelektrodenmaterials abhängt, die wiederum im Wesentlichen durch die Eigenschaften des Gatedielektrikumsmaterials bestimmt ist, muss eine geeignete Anpassung der elektronischen Eigenschaften typischerweise vorgesehen werden, um die gewünschten Werte für die Austrittsarbeit für p-Kanaltransistoren und n-Kanaltransistoren zu erreichen. Zu diesem Zweck werden typischerweise geeignete Metallsorten in der Nähe des Gatedielektrikumsmaterials vorgesehen und während einer geeigneten Fertigungsphase in Richtung des und in das Gatedielektrikumsmaterial hinein diffundiert, um einen gewünschten Wert der resultierenden Austrittsarbeit zu erreichen. Folglich sind unterschiedliche Metallsorten erforderlich, die in der Nähe des Gatedielektrikumsmaterials angeordnet werden müssen, was im Allgemeinen zu einer sehr komplexen Fertigungssequenz führt. Beispielsweise wird in einigen konventionellen Vorgehensweisen die Einstellung der Austrittsarbeit und die Ausbildung des eigentlichen Elektrodenmaterials in einer frühen Fertigungsphase bewerkstelligt, d. h. beim Strukturieren der Gateelektrodenstruktur, was zu einem sehr komplexen Schichtstapel führt, da eine Vielzahl von Diffusions- und Deck-

schichten in unterschiedlicher Zusammensetzung in den Gateelektroden von p-Kanaltransistoren und n-Kanaltransistoren vorzusehen sind, und das erforderliche Diffundieren wird während der Hochtemperaturausheizprozesse in Gang gesetzt, die typischerweise beim Aktivieren der Dotiermittel in den Drain- und Sourcegebieten und beim Rekristallisieren von durch Implantation hervorgerufenen Schäden angewendet werden. In anderen konventionellen Vorgehensweisen wird der Fertigungsprozess auf der Grundlage eines Gateschichtstapels mit deutlich geringerer Komplexität ausgeführt, indem Diffusions- und Deckschichten in der Gateelektrode weggelassen werden, wodurch eine im Wesentlichen gleichmäßige Prozesssequenz im Hinblick auf n-Kanaltransistoren und p-Kanaltransistoren erreicht wird, wobei jedoch in einer sehr fortgeschrittenen Fertigungsphase die entsprechenden Platzhaltermaterialien, Polysilizium, entfernt werden und durch geeignete Metalle für die Austrittsarbeit und geeignete Elektrodenmetalle ersetzt werden müssen, die für die p-Kanaltransistoren und n-Kanaltransistoren unterschiedlich sind, wodurch ebenfalls eine sehr komplexe Prozesssequenz in einer fortgeschrittenen Fertigungsphase erforderlich ist. Folglich ist das Weglassen zur Verringerung der Komplexität von Diffusionsschichten und Deckschichten in einer frühen Fertigungsphase, d. h. nach dem Bereitstellen des dielektrischen Materials mit großem ϵ , in einem sogenannten Austauschgateverfahren mit einer komplexen Prozesssequenz in einer sehr fortgeschrittenen Fertigungsphase verknüpft, wobei auch ausgeprägte Unregelmäßigkeiten und damit Transistorinstabilitäten während der Prozesssequenz zum Freilegen des Platzhaltermaterials, zum Entfernen dieses Materials und zum Bilden unterschiedlicher Arten an Austrittsarbeitmetallen und metallenthaltenden Elektrodenmaterialien eingeführt werden können. Andererseits führt das Einstellen der Austrittsarbeit in einer sehr frühen Fertigungsphase zu einer sehr komplexen unterschiedlichen Struktur der Gateelektroden, wie dies mit Bezug zu [Fig. 1](#) erläutert ist.

[0009] [Fig. 1](#) zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **100** mit einem Substrat **101**, über welchem eine Halbleiterschicht **102** gebildet ist, in der ein erstes aktives Gebiet **102a** und ein zweites aktives Gebiet **102b** vorgesehen sind, die etwa durch eine Isolationsstruktur (nicht gezeigt) begrenzt sind. Typischerweise repräsentiert die Halbleiterschicht **102** ein Siliziummaterial, das in der gezeigten Fertigungsphase geeignete Dotierstoffe aufweist, um damit die grundlegenden Transistoreigenschaften, etwa die Leitfähigkeitsart und dergleichen, festzulegen. Ferner enthält das erste aktive Gebiet **102a**, das einen p-Kanaltransistor enthält, ggf. zusätzlich zumindest teilweise über dem grundlegenden aktiven Gebiet **102a** eine schwellwertEinstellende Halbleiterlegierung **102d**, beispielsweise in Form eines Silizium/Germanium-Materials, um damit einen

zusätzlichen Valenzbandabstand zu erzeugen, so dass eine gewünschte Schwellwertspannung in Verbindung mit der Austrittsarbeit erreicht wird, die für eine Gateelektrodenstruktur **135a** einzustellen ist. Die Gateelektrodenstruktur **135a** enthält ein Gatedielektrikumsmaterial **110**, das ein „konventionelles“ Gatedielektrikumsmaterial **111** in Form eines siliziumoxidbasierten Materials, etwa als Siliziumoxinitrid, und dergleichen enthalten kann, woran sich ein dielektrisches Material mit großem ϵ **112**, etwa Hafniumoxid, Hafniumsiliziumoxid und dergleichen, anschließt, wie dies auch zuvor erläutert ist. Ferner enthält die Gateelektrodenstruktur **135a** mehrere Deck- und Diffusionsschichten, etwa eine Titannitridschicht **112** und eine Diffusionsschicht **123**, die eine geeignete Metallsorte, etwa Aluminium, aufweist, woran sich eine weitere Deckschicht, d. h. eine Titannitridschicht **121**, anschließt. Ferner ist eine weitere Diffusionsschicht **126**, etwa eine Lanthanschicht, in Verbindung mit einer Titannitrid-Deckschicht **127** vorgesehen, wobei die Schichten **126**, **127** Materialien repräsentieren, wie sie für eine Gateelektrodenstruktur **135b** eines n-Kanaltransistors erforderlich sind, der in und über dem aktiven Gebiet **102b** herzustellen ist. Schließlich enthält die Gateelektrodenstruktur **135a** ein amorphes oder polykristallines Siliziummaterial **114** und **115**, wobei dies von der gesamten Prozessstrategie abhängt. In ähnlicher Weise enthält die Gateelektrodenstruktur **135b** die Gatedielektrikumsmaterialien **111** und **112**, woran sich die Diffusionsschicht **126**, d. h. die Lanthanschicht, in Verbindung mit der Titannitridschicht **127** anschließt, und worauf die Siliziumschichten **114** und **115** folgen. Auf Grund der mehreren Deckschichten und Diffusionsschichten besitzen folglich die Gateelektrodenstrukturen **135a**, **135b** eine sehr unterschiedliche Konfiguration, die durch die vorhergehenden Fertigungsprozesse hervorgerufen wird. D. h. typischerweise wird das Dielektrikumsmaterial **110** durch Oxidation und Abscheidetechniken in Verbindung mit anderen geeigneten Oberflächenbehandlungen und dergleichen vorgesehen, woran sich das Abscheiden eines Schichtsystems mit den Schichten **123**, **122** und **121** anschließt, das nachfolgend selektiv von dem zweiten aktiven Gebiet **102b** entfernt wird, indem eine Ätzmaske vorgesehen und die Materialien selektiv in Bezug auf das Gatedielektrikumsmaterial **110** abgetragen werden. Daraufhin werden die Schichten **126** und **127** aufgebracht, woran sich das Abscheiden der Siliziummaterialien **114** und **115** anschließt. Daraufhin wird eine sehr komplexe Strukturierungssequenz auf der Grundlage aufwendiger Lithographie- und Ätztechniken ausgeführt, wobei die Gateelektrodenstrukturen **135a**, **135b** sich in der Höhe und dem Aufbau unterscheiden, wodurch zu Prozess- und Bauteilvariabilitäten beigetragen wird. Beispielsweise werden in Halbleiterbauelementen mit einer Gatelänge, d. h. in [Fig. 1](#) die horizontale Erstreckung der Gateelektrodenstrukturen **135a**, **135b**, von 40 nm und weniger Materialreste am Fuße der Gateelektrodenstruktur **135a** beob-

achtet, während die Struktur **135b** eine zusätzliche Unterschneidung abhängig von den entsprechenden Prozessbehandlungen erleidet. Beim Fortsetzen der weiteren Fertigungsprozesse zur Fertigstellung der Transistoren in und über den aktiven Gebieten **102a**, **102b** werden somit weitere verstärkte prozessabhängige Unregelmäßigkeiten eingeführt. Schließlich wird bei der Herstellung der Drain- und Sourcegebiete der nachfolgende Ausheizprozess zu einer Diffusion von Metallsorten der Schicht **123** in Richtung des Gate-dielektrikummaterials **110** über die Deckschicht **123**, um die gewünschte Austrittsarbeit zu erreichen, während in der Gateelektrodenstruktur **135** die Lanthansorte in der Schicht **126** in das dielektrische Material **110** diffundiert.

[0010] Obwohl die mit Bezug zu [Fig. 1](#) beschriebene Fertigungsstrategie prinzipiell zu komplexen Transistorelementen führt, erweist es sich, dass in der Massenproduktion prozessabhängige Unregelmäßigkeiten zu einem deutlichen Ausbeuteverlust beitragen, wodurch diese Vorgehensweise wenig wünschenswert ist.

[0011] Angesichts der zuvor beschriebenen Situation betrifft die vorliegende Erfindung Verfahren und Halbleiterbauelemente, in denen die Austrittsarbeit komplexer Gateelektrodenstrukturen in einer frühen Fertigungsphase eingestellt wird, wobei eines oder mehrere der oben erkannten Probleme vermieden oder zumindest in der Auswirkung reduziert wird.

Überblick über die vorliegende Erfindung

[0012] Im Allgemeinen stellt die vorliegende Erfindung Techniken und Halbleiterbauelemente bereit, in denen die Austrittsarbeit und damit die Schwellwertspannung von Transistoren unterschiedlicher Leitfähigkeitsart auf der Grundlage geeigneter Diffusions- und Deckschichten eingestellt wird, die vor dem Bereitstellen eines metallenthaltenden Elektrodenmaterials entfernt werden, das dann für beide Arten von Gateelektrodenstrukturen in einem gemeinsamen Prozess aufgebracht wird. Folglich wird die gleiche Konfiguration für die Gateelektrodenstrukturen von n-Kanaltransistoren und p-Kanaltransistoren erhalten, wodurch die Komplexität des Gatestrukturierungsprozesses deutlich verringert wird. Zu diesem Zweck wird ein Ausheizprozess auf der Grundlage der Deck- und Diffusionsschichten vor dem Abscheiden des Elektrodenmaterials ausgeführt und diese metallenthaltenden Materialien werden auf der Grundlage einer geeigneten Ätzchemie, etwa durch nasschemische Ätzrezepte abgetragen, um damit ähnliche Bedingungen für das nachfolgende Abscheiden des Elektrodenmaterials möglicherweise in Verbindung mit einem Halbleitermaterial, etwa Silizium und dergleichen, zu schaffen. Beim geeigneten Dimensionieren von Materialeigenschaften der Deck- und Diffusionsschichten, etwa der Materialzu-

sammensetzung, die Schichtdicke und dergleichen, wird ein geeigneter Grad an Flexibilität für das Einstellen der gewünschten Austrittsarbeiten erreicht, wobei auch unterschiedliche „Leistungsgrade“ von an sich gleichen Transistoren bereitgestellt werden können, indem in geeigneter Weise die Zusammensetzung der Deck- und Diffusionsschichtstapel in unterschiedlichen Bauteilbereichen ausgewählt wird. Ferner wird in einigen hierin offenbarten anschaulichen Aspekten ein Halbleitermaterial durch ein metallenthaltendes Elektrodenmaterial in einer sehr fortgeschrittenen Fertigungsphase ersetzt, was in einer gemeinsamen Prozesssequenz bewerkstelligt werden kann, da die grundlegenden Transistoreigenschaften bereits in der frühen Fertigungsphase eingestellt wurden. Beim Festlegen der Werte für die Austrittsarbeit für unterschiedliche Transistorarten in einer frühen Fertigungsphase werden somit die Transistoreigenschaften im Hinblick auf die Schwellwertspannung von Prozessbedingungen entkoppelt, die während eines Ausheizprozesses zum Aktivieren der Drain- und Sourcegebiete angetroffen werden, die wiederum in sehr komplexen Anwendungen auf Grund des Erfordernisses für geringere Ausheiztemperaturen signifikante Prozessanpassungen für das Bereitstellen von Diffusions- und Deckschichten in konventionellen Strategien erfordern wurde, in denen die endgültige Schwellwerteneinstellung auf der Grundlage der Ausheizprozesse für die Drain- und Source-Aktivierung bewerkstelligt wird.

[0013] Ein erfindungsgemäßes Verfahren umfasst

- Bilden eines Gatedielektrikummaterials über einem ersten aktiven Gebiet und einem zweiten aktiven Gebiet eines Halbleiterbauelements;
- Bilden einer ersten Diffusionsschicht mit einer ersten Metallsorte selektiv über dem ersten aktiven Gebiet;
- Bilden einer zweiten Diffusionsschicht mit einer zweiten Metallsorte über dem zweiten aktiven Gebiet;
- Ausführen einer Wärmebehandlung, um eine Diffusion der ersten Metallsorte von der ersten Diffusionsschicht mit der ersten Metallsorte in das Gatedielektrikummaterial über dem ersten aktiven Gebiet zu initiieren und um eine Diffusion der zweiten Metallsorte von der zweiten Diffusionsschicht mit der zweiten Metallsorte in das Gatedielektrikummaterial über dem zweiten aktiven Gebiet zu initiieren;
- Entfernen von der ersten Diffusionsschicht mit der ersten Metallsorte und der zweiten Diffusionsschicht mit der zweiten Metallsorte, so dass das Gatedielektrikummaterial über dem ersten und zweiten aktiven Gebiet freigelegt wird;
- Bilden eines Gateelektrodenmaterials über dem Gatedielektrikummaterial nach dem Entfernen des ersten und des zweiten metallenthaltenden Materials; und
- Bilden einer ersten Gateelektrodenstruktur über dem ersten aktiven Gebiet und einer zweiten Gateelektrodenstruktur über dem zweiten aktiven Gebiet aus dem Gateelektrodenmaterial.

Kurze Beschreibung der Zeichnungen

[0014] Weitere Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird, in denen:

[0015] [Fig. 1](#) schematisch eine Querschnittsansicht eines Halbleiterbauelements mit komplexen Gateelektrodenstrukturen eines n-Kanaltransistors und eines p-Kanaltransistors zeigt, wobei mehrere Diffusions- und Deckschichten gemäß konventioneller Prozessstrategien (sogenannter interner Stand der Technik) vorgesehen sind;

[0016] [Fig. 2a](#) bis [Fig. 2i](#) schematisch Querschnittsansichten eines Halbleiterbauelements während diverser Fertigungsphasen bei der Herstellung von Gateelektrodenstrukturen unterschiedlicher Transistorarten zeigen, indem die Schwellwertspannung vor dem Strukturieren der Gateelektrodenstruktur gemäß anschaulicher Ausführungsformen eingestellt wird; und

[0017] [Fig. 3](#) und [Fig. 4](#) schematisch Querschnittsansichten eines Halbleiterbauelements gemäß noch weiteren anschaulichen Ausführungsformen zeigen, in denen Transistoren unterschiedlicher Endkonfiguration auf der Grundlage einer früh eingestellten Schwellwertspannung basierend auf einer Diffusion in Deckschichten erhalten wird, die vor dem Strukturieren der Gateelektrodenstrukturen entfernt werden.

Detaillierte Beschreibung

[0018] Die vorliegende Erfindung stellt Halbleiterbauelemente und Techniken bereit, in denen empfindliche Gatedielektrikumsmaterialien so behandelt werden, dass diese eine geeignete Sorte zum Einstellen der Austrittsarbeit und somit der Schwellwertspannung und dergleichen vor dem eigentlichen Bilden der Gateelektrodenstrukturen erhalten, was bewerkstelligt werden kann, indem geeignete Materialien in Form von Diffusionsschichten und Deckschichten bereitgestellt werden, die es ermöglichen, dass entsprechende Metallsorten für die Austrittsarbeitseinstellung in das dielektrische Material diffundieren, das in Form eines dielektrischen Materials mit großem ϵ und/oder eines siliziumoxidbasierten Materials bereitgestellt wird, und indem diese Materialien vor dem eigentlichen Abscheiden eines Elektrodenmaterials, etwa eines metallenthaltenden Elektrodenmaterials, möglicherweise in Verbindung mit einem Halbleitermaterial entfernt werden. Auf diese Weise kann die Austrittsarbeit grundsätzlich in einer frühen Fertigungsphase eingestellt werden, wodurch die Möglichkeit geschaffen wird, einen Gateschichtstapel zu erhalten der für beide Transistorarten im

Wesentlichen den gleichen Aufbau besitzt, was somit zu besseren Prozessbedingungen während des nachfolgenden komplexen Strukturierungsprozesses führt. Somit können prozessabhängige Unregelmäßigkeiten verringert werden, wodurch dieser Ansatz sehr vorteilhaft für Massenproduktionsverfahren ist, da die gewünschten Transistoreigenschaften mit einem hohen Grade an Zuverlässigkeit und Gleichmäßigkeit erreicht werden. Auf Grund der „Stabilisierung“ der Eigenschaften der Austrittsarbeit in einer frühen Fertigungsphase mittels Diffusion und Anwendung eines Ausheizprozesses mit geeigneten Temperaturen kann ferner der Einfluss eines Ausheizprozesses zum Aktivieren der Drain- und Sourcegebiete verringert werden, wodurch ein gewisser Grad an Unabhängigkeit zwischen der Dotierstoffaktivierung und den Eigenschaften der Austrittsarbeit erreicht wird, was sehr vorteilhaft den Prozessstrategien, die geringere Ausheiztemperaturen in den Drain- und Sourcegebieten erfordern, da ausgeprägte Modifizierungen in der vorhergehenden Gatestrukturierungssequenz nicht erforderlich sind. Zu dem wird in einigen anschaulichen hierin offenbarten Ausführungsformen ein gewünschtes metallenthaltendes Elektrodenmaterial oder ein anderes geeignetes Elektrodenmaterial in einer sehr späten Fertigungsphase auf der Grundlage weniger kritischer Prozessbedingungen eingebaut, da ein einzelnes Metall in beiden Transistoren verwendet werden kann, da deren grundlegenden Eigenschaften bereits in einer frühen Fertigungsphase festgelegt sind. Somit kann eine gewünschte hohe Leitfähigkeit der Gateelektrodenstrukturen erreicht werden, indem ein Platzhaltermaterial, etwa ein Siliziummaterial in einer sehr fortgeschrittenen Fertigungsphase ersetzt wird, ohne dass das Abscheiden unterschiedlicher Arten an Metallsorten erforderlich ist, wie dies typischerweise in konventionellen „Austauschgateverfahren“ erforderlich ist.

[0019] Mit Bezug zu den [Fig. 2a](#) bis [Fig. 2i](#), [Fig. 3](#) und [Fig. 4](#) werden nunmehr weitere anschauliche Ausführungsformen detaillierter beschrieben, wobei auch bei Bedarf auf die [Fig. 1](#) verwiesen wird.

[0020] [Fig. 2a](#) zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **200**, das ein Substrat **201** aufweist, über welchem eine Halbleiterschicht **202** gebildet ist. Das Substrat **202** und die Halbleiterschicht **202** repräsentieren beliebige geeignete Materialien, um darüber und darin Schaltungselemente, etwa Transistoren und dergleichen herzustellen. Beispielsweise ist eine vergrabene isolierende Schicht auf einem im Wesentlichen kristallinen Substratmaterial ausgebildet, woran sich die Halbleiterschicht **202** anschließt, wodurch eine SOI (Silizium-auf-Isolator) Konfiguration erzeugt wird. Das Halbleitermaterial **202** repräsentiert ein beliebiges geeignetes Material, etwa ein Siliziummaterial möglicherweise in Verbindung mit anderen Komponenten, etwa Germanium, Kohlenstoff und dergleichen,

um die gewünschten Transistoreigenschaften einzustellen. Ferner begrenzt die Isolationsstruktur **202c** lateral ein erstes aktives Gebiet **202a** und ein zweites aktives Gebiet **202b** in der Halbleiterschicht **202**. Beispielsweise repräsentiert das erste aktive Gebiet **202a** ein n-dotiertes Wannengebiet bzw. Potentialtopfgebiet, in und auf welchem ein p-Kanaltransistor während der weiteren Bearbeitung hergestellt wird. In ähnlicher Weise repräsentiert das aktive Gebiet **202b** das aktive Gebiet eines n-Kanaltransistors. Es sollte jedoch beachtet werden, dass die folgende Sequenz aus Prozessen ebenfalls auf eine Konfiguration angewendet werden kann, in der das aktive Gebiet **202a** einen n-Kanaltransistor repräsentiert, während das aktive Gebiet **202b** einen p-Kanaltransistor repräsentiert. Ferner enthält in der gezeigten Ausführungsform das aktive Gebiet **202a** eine Schwellwert-einstellende Halbleiterlegierung **202d** beispielsweise in Form einer Silizium/Germanium-Legierung mit einer spezifizierten Dicke und Germaniumkonzentration, um einen erforderlichen Valenzbandabstand zu erzeugen, so dass in Verbindung mit einer geeigneten Austrittsarbeit, die in der nachfolgenden Fertigungssequenz einzustellen ist, die Schwellwertspannung eines Transistors, der in und über dem aktiven Gebiet **202a** zu bilden ist.

[0021] Ferner ist in der gezeigten Fertigungsphase ein Gatedielektrikumsmaterial **210** über dem ersten und dem zweiten aktiven Gebiet **202a**, **202b** gebildet, woran sich ein Schichtstapel **220** mit „Deckschichten“ in Verbindung mit einer Diffusionsschicht **221** anschließt. In der gezeigten Ausführungsform enthält das dielektrische Material **210** eine dielektrische Basisschicht **211**, etwa ein siliziumdioxidbasiertes Material in Form von Siliziumoxinitrid und dergleichen. Des Weiteren ist eine dielektrische Materialschicht mit großem ϵ **212** in dem Gatedielektrikumsmaterial **210** vorgesehen. Zu diesem Zweck wird ein beliebiges geeignetes Material, wie es zuvor angegeben ist, als ein dielektrisches Material mit großem ϵ verwendet. Es sollte jedoch beachtet werden, dass das dielektrische Material **210** in Form einer einzelnen Materialschicht vorgesehen werden kann oder drei oder mehr Teilschichten bei Bedarf aufweisen kann. Die Schichtstapel **220** umfasst die Deckschichten **223** und **222** in Form eines beliebigen geeigneten Materials, etwa als ein Titanitridmaterial, während die Diffusionsschicht **221** eine Metallsorte aufweist, die zum Einstellen der Austrittsarbeit einer über dem aktiven Gebiet **202a** zu bildenden Gateelektrodenstruktur geeignet ist. Beispielsweise wird die Diffusionsschicht **221** in Form einer Aluminiumschicht oder einer Materialschicht mit einer hohen Konzentration an Aluminiumatomen bereitgestellt. Es sollte beachtet werden, dass die Diffusionseigenschaften während eines nachfolgenden Ausheizprozesses auf der Grundlage der Materialzusammensetzung und der Schichtdicke des Schichtstapels **220** eingestellt werden, der in einer anschaulichen Ausführungsform die Deckschicht **223** mit ei-

ner Dicke von 0 bis 3 nm aufweist, während die obere Deckschicht **222** mit einer Dicke von ungefähr 0 bis 10 nm vorgesehen ist. D. h., in einigen Fällen wird eine oder werden beide Schichten **222**, **223** weggelassen, wenn dies als geeignet erachtet wird, während in anderen Fällen ein geeigneter Dickewert in den oben spezifizierten Bereichen in Abhängigkeit der Prozessparameter eines Ausheizprozesses ausgewählt wird, der noch auszuführen ist. Ferner besitzt die Diffusionsschicht eine Dicke von ungefähr 1 bis 2 nm für eine Materialschicht, die eine Aluminiumsorte enthält.

[0022] Das in [Fig. 2a](#) gezeigte Halbleiterbauelement **200** kann auf der Grundlage der folgenden Prozesse hergestellt werden. Nach der Herstellung der Isolationsstruktur **202c** wird das grundlegende Dotierstoffprofil der aktiven Gebiete **202a**, **202b** eingerichtet, indem geeignete Maskierungsschemata in Verbindung mit Implantationsprozessen angewendet werden. Daraufhin wird bei Bedarf die Halbleiterlegierung **202d** selektiv auf dem aktiven Gebiet **202a** erzeugt, was unter Anwendung selektiver epitaktischer Aufwachstechniken in Verbindung mit einem geeigneten Maskierungsschema zum Abdecken des aktiven Gebiets **202b** während des Abscheideprozesses bewerkstelligt werden kann. Als nächstes wird das Gatedielektrikumsmaterial **210** in einer geeigneten Weise hergestellt, beispielsweise durch Ausführen eines Oxidationsprozesses zur Erzeugung eines siliziumoxidbasierten Basismaterials, während in anderen Fällen chemische Oxidationsprozesse, Abscheidung und dergleichen angewendet werden. Bei Bedarf werden weitere Oberflächenbehandlungen und dergleichen ausgeführt, um in geeigneter Weise die Zusammensetzung der Basisschicht **211** einzustellen, die eine Dicke von ungefähr 0,1 nm und weniger besitzen kann. Daraufhin wird das dielektrische Material mit großem ϵ unter Anwendung gut etablierter CVD-Techniken, physikalischer Dampfabscheidung (PVD) und dergleichen aufgebracht. Danach wird der Schichtstapel **220** auf der Grundlage gut etablierter Prozesstechniken abgeschieden, in denen Abscheidungsparameter so gesteuert werden, dass gewünschte Materialzusammensetzungen und die Dicke erreicht werden, wie dies auch zuvor spezifiziert ist.

[0023] [Fig. 2b](#) zeigt schematisch das Halbleiterbauelement **200**, wenn es der Einwirkung einer Ätzumgebung zum selektiven Entfernen des Schichtstapels **220** von dem aktiven Gebiet **202b** auf der Grundlage einer Ätzmaske **231**, etwa einer Lackmaske möglicherweise in Verbindung mit anderen geeigneten Materialien unterzogen wird. Der Ätzprozess **230** wird auf der Grundlage einer geeigneten Ätzchemie ausgeführt, um den Schichtstapel **220**, etwa unter Anwendung eines geeigneten nasschemischen Ätzrezepts auf der Grundlage einer Ammoniumperoxidmischung (APM) zu entfernen, die effizient Materialien, etwa Titanitrid und dergleichen in Verbindung

mit der Diffusionsschicht **221** abträgt, während das dielektrische Material **210** den Ätzprozess anhält, da beispielsweise eine Vielzahl von dielektrischen Materialien mit großem ϵ eine ausgeprägte Ätzstoppeigenschaft in Bezug auf eine Vielzahl von Ätzrezepten zeigt. Somit wird das dielektrische Gatematerial **210**, d. h. die Schicht **212** während des Ätzprozesses **230** freigelegt.

[0024] Fig. 2c zeigt schematisch das Halbleiterbauelement **200** mit einem weiteren Schichtstapel **225**, der über den aktiven Gebieten **202a**, **202b** gebildet ist. Der Schichtstapel **225** besitzt einen beliebigen geeigneten Aufbau, um eine Diffusionssorte in einer Diffusionsschicht **226** möglicherweise in Verbindung mit einer oder mehreren zusätzlichen Deckschichten **227** bereitzustellen. Beispielsweise enthält die Schicht **226** eine Metallsorte, die eine geeignete Einstellung der Schwellwertspannung eines in und über dem aktiven Gebiet **202b** herzustellenden Transistors ermöglicht. In einer Ausführungsform enthält die Diffusionsschicht **226** Lanthan, das einen geeigneten Kandidaten zum Einstellen der Austrittsarbeit in einem n-Kanaltransistor repräsentiert. Die zusätzliche Deckschicht **227** enthält Titannitrid oder eine andere geeignete Materialzusammensetzung. Im Hinblick auf Prozesstechniken zur Herstellung des Schichtstapels **225** sei auch auf den Schichtstapel **220** verwiesen.

[0025] Fig. 2d zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist eine Schutzschicht **203**, etwa aus Silizium oder einem anderen geeigneten Material, über dem Schichtstapel **225** gebildet. Zu beachten ist, dass in anderen anschaulichen Ausführungsformen die Schutzschicht **203** weggelassen wird, wenn dies zum Ausführen eines nachfolgenden Ausheizprozesses als geeignet erachtet wird. Ferner wird das Bauelement **200** einem Ausheizprozess **205** bei erhöhten Temperaturen im Bereich von ungefähr 800 bis 1200 Grad C unterzogen, während in anderen Fällen eine Temperatur von ungefähr 900 Grad C und höher angewendet wird. Während des Ausheizprozesses **205**, der auf der Grundlage von RTA-(schnelles thermisches Ausheizen)Prozessbedingungen ausgeführt werden kann, während in anderen Fällen andere Ausheizstrategien eingesetzt werden, etwa lasergestützte Ausheizprozesse, blitzlichtbasierte Ausheizprozesse und dergleichen, wird die Diffusion bzw. die Verteilung der metallenthaltenden Sorte der Diffusionsschichten **221** und **226** in Gang gesetzt, so dass diese in Richtung und in das dielektrische Material **210** wandern. Folglich verteilt sich eine Sorte der Schicht **226**, etwa Lanthan, effizient in das dielektrische Material **210** über dem aktiven Gebiet **202b**, wohingegen eine entsprechende Lanthandiffusion in der Schicht **222** des Schichtstapels **220**, der über dem aktiven Gebiet **202a** gebildet ist, unterdrückt wird. Andererseits kann sich die Alumini-

umsorte der Schicht **221** effizient in den Bereich des dielektrischen Materials **210** verteilen, der über dem aktiven Gebiet **202a** angeordnet ist. Auf diese Weise kann die Schwellwertspannungseinstellung für unterschiedliche Transistorarten während des Ausheizprozesses **205** bewerkstelligt werden. Wie zuvor erläutert ist, können die Diffusionsbedingungen individuell für die Diffusionsschichten **221** und **226** angepasst werden, indem die Materialzusammensetzung und die Dicke geeignet ausgewählt werden und indem geeignete Materialien und Schichtdickenwerte für die Deckschichten **223** und **222** in dem Schichtstapel **220** und der Deckschicht **227** des Schichtstapels **225** ausgewählt werden. Beispielsweise wird die Diffusionsschicht **226** mit einer Dicke von ungefähr 0, 1 bis 2 nm bereitgestellt, wenn etwa eine Lanthansorte betrachtet wird, während die Deckschicht **227** mit einer Dicke von 0 bis ungefähr 10 nm, etwa in Form des Titannitridmaterials vorgesehen wird.

[0026] Beispielsweise übt die Dicke der Deckschicht **223** einen starken Einfluss auf das Diffusionsverhalten der Sorte in der Diffusionsschicht **221** aus, wodurch ebenfalls die schließlich erreichte Schwellwertspannung des entsprechenden Transistors wesentlich beeinflusst wird. Durch Verringern der Dicke der Schicht **223**, wodurch die Menge der Metallsorte vergrößert wird, die im Bereich des dielektrischen Materials **210** über dem ersten aktiven Gebiet **202a** eingebaut wird, wird eine günstigere Verschiebung der Schwellwertspannung von p-Kanaltransistoren erreicht. In ähnlicher Weise führt das Vergrößern der Dicke der Diffusionsschicht **221** zu einer größeren Menge an Metallsorte in dem Gatedielektrikumsmaterial **210** über dem aktiven Gebiet **202a**, wodurch ebenfalls eine günstige Verschiebung der resultierenden Schwellwertspannung erreicht wird. Andererseits besitzt die Dicke der Deckschicht **222** keinen wesentlichen Einfluss in Bezug auf die Menge der Sorte in der Diffusionsschicht **221**, die in das dielektrische Material **210** eingebaut wird, sondern stellt die „Diffusionsblockierwirkung“ im Hinblick auf die Diffusionsschicht **226** ein, wodurch eine mehr oder minder effiziente Unterdrückung der Diffusion dieser Metallsorte in Richtung des Gatedielektrikumsmaterials **210** unterdrückt wird, die ansonsten die gewünschte Schwellwertspannung verschieben könnte. In ähnlicher Weise übt die Dicke der Diffusionsschicht **226** einen Einfluss auf die schließlich erreichte Menge an Metallsorte, etwa Lanthan, in dem Bereich des Gatedielektrikumsmaterials **210** aus, der über dem zweiten aktiven Gebiet **202b** angeordnet ist, wodurch die Möglichkeit geschaffen wird, das Verschieben der endgültigen Schwellwertspannung einzustellen. Andererseits beeinflusst die Dicke der Deckschicht **227** das Diffusionsverhalten nicht wesentlich, es wird jedoch für eine bessere Integrität der darunter liegenden Materialien, etwa das Gatedielektrikumsmaterial **210**, im Hinblick auf das Bereitstellen der Schutzschicht **203** bei Bedarf gesorgt.

[0027] Durch das Vorsehen der Schichtstapel **220** und **225**, welche Null bis mehrere Deckschichten in Verbindung mit den entsprechenden Diffusionsschichten **221** und **226** aufweisen, kann somit ein weiter Bereich an Schwellwertspannungen in Bezug auf eine gegebene Parametereinstellung des Ausheizprozesses **205** eingestellt werden. Folglich können die Prozessparameter des Prozesses **205** so gewählt werden, dass eine ausreichende „Stabilisierung“ der eingestellten Materialeigenschaften in dem Gatedielektrikumsmaterial **210** über dem ersten und dem zweiten aktiven Gebiet **202a**, **202b** erreicht wird, um den Einfluss von nachfolgenden Prozessschritten, etwa der Dotierstoffaktivierung und dergleichen, zu verringern. Die Schichtstapel **220** und/oder **225** können mit unterschiedlichen Eigenschaften, d. h. einer unterschiedlichen Art an Materialschichten, mit unterschiedlichen Dickenwerten, unterschiedlicher Materialzusammensetzung in diversen Bauteilbereichen, bereitgestellt werden, wodurch die Einstellung unterschiedlicher „Leistungsklassen“ von Transistoren ermöglicht wird, indem unterschiedliche Schwellwertspannungen vorgesehen werden. Zu diesem Zweck wird ein geeignetes Maskierungsschema angewendet, indem beispielsweise ein gewisser Schichtstapel oder ein Teil davon in einigen Bauteilbereichen entfernt wird, während der Schichtstapel in anderen Bauteilbereichen beibehalten wird und indem eine oder mehrere weitere Schichtstapel bereitgestellt werden, wie dies zuvor mit den Schichtstapeln **220** und **225** beschrieben ist.

[0028] In anderen Fällen wird der Ausheizprozess **205** unter Anwendung lokal unterschiedlicher Ausheizbedingungen ausgeführt, beispielsweise im Hinblick auf die Temperatur, was auf der Grundlage komplexer lasergestützter Techniken und dergleichen erfolgen kann, in denen der Energieeintrag lokal so variiert wird, dass unterschiedliche wirksame Ausheiztemperaturen und/oder Einwirkdauern erreicht werden. In anderen Fällen können die Eigenschaften der Schutzschicht **203** räumlich variieren, wodurch ebenfalls die lokalen Ausheizbedingungen während lasergestützter oder blitzlichtgestützter Ausheiztechniken variieren.

[0029] Es sollte beachtet werden, dass während des Ausheizprozesses **205** auch die Eigenschaften der Basisschicht **211** eingestellt werden, indem eine entsprechende Metallsorte eingebaut wird, um die gewünschten Transistoreigenschaften festzulegen.

[0030] [Fig. 2e](#) zeigt schematisch das Halbleiterbauelement **200**, wenn es der Einwirkung einer Sequenz aus Prozessen **206** unterliegt, während welchem die Schutzschicht **203** und die Schichtstapel **225** und **220** (siehe [Fig. 2d](#)) entfernt werden, wodurch das Gatedielektrikumsmaterial **210** mit der unterschiedlichen Materialzusammensetzung über den aktiven Gebieten **202a**, **202b**, wie dies durch die Bereiche **210a**,

210b angegeben ist, freigelegt werden. Während der Ätzsequenz **206** wird die Schutzschicht **203**, falls diese vorgesehen ist, durch geeignete nasschemische Ätzrezepte, etwa in Form von Ammoniumwasserstoffperoxidmischung, TMAH (Tetramethylammoniumhydroxid) und dergleichen entfernt, woran sich geeignete nasschemische Ätzchemien anschließen, wie dies zuvor angegeben ist, wenn auf das selektive Entfernen der Schichtstapel **220** Bezug genommen wird.

[0031] [Fig. 2f](#) zeigt schematisch das Halbleiterbauelement **200** während eines Abscheideprozesses **208**, in welchem ein metallenthaltendes Gateelektrodenmaterial **213** über den aktiven Gebieten **202a**, **202b** gebildet wird. D. h., das Elektrodenmaterial **213** wird in einigen anschaulichen Ausführungsformen direkt auf dem Gatedielektrikumsmaterial **210** gebildet, d. h. auf den jeweiligen Bereichen **210a**, **210b** mit unterschiedlichen Eigenschaften, ohne dass unterschiedliche Metalle für die Austrittsarbeit erforderlich sind, wie dies in konventionellen Vorgehensweisen der Fall ist, wodurch sich dann ein komplexerer Gateelektrodenmaterial ergibt, wie dies auch zuvor mit Bezug zu [Fig. 1](#) erläutert ist. Beispielsweise wird das gemeinsame Gateelektrodenmaterial **213** in Form von Titanitrid und dergleichen mit einer Dicke von 1 bis 10 nm bereitgestellt.

[0032] [Fig. 2g](#) zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist eine erste Gateelektrodenstruktur **235a** auf dem aktiven Gebiet **202a** gebildet und enthält das Gatedielektrikumsmaterial **210a**, woran sich das Elektrodenmaterial **213** und ein weiteres Elektrodenmaterial **214** anschließt, das auch andere Materialien und dergleichen enthalten kann, wie dies für die weitere Bearbeitung des Bauelements **200** erforderlich ist. In ähnlicher Weise ist eine zweite Gateelektrodenstruktur **235b** auf dem aktiven Gebiet **202b** gebildet und enthält das Gatedielektrikumsmaterial **210b**, woran sich das Elektrodenmaterial **213** und das weitere Elektrodenmaterial **214** anschließt. Das Material **214** kann ein Siliziummaterial, ein Silizium/Germanium-Material und dergleichen aufweisen, wie dies für die weitere Bearbeitung des Bauelements **200** und für die gesamten gewünschten Bauteileigenschaften erforderlich ist. Zu beachten ist, dass in einigen anschaulichen Ausführungsformen das Material **214** durch ein gut leitendes Material, etwa ein Metall, in einer späteren Fertigungsphase ersetzt werden kann, d. h. nach dem Fertigstellen der grundlegenden Transistorkonfiguration in und über den aktiven Gebieten **202a**, **202b**.

[0033] Das in [Fig. 2g](#) gezeigte Halbleiterbauelement **200** kann auf der Grundlage geeigneter Prozesstechniken hergestellt werden, um das metallenthaltende Elektrodenmaterial **213** zu bilden und um das Material **214** abzuschneiden und nachfolgend den resul-

tierenden Schichtstapel auf der Basis komplexer Lithographie- und Ätztechniken zu strukturieren. Folglich sind während des Strukturierungsprozesses im Wesentlichen identische Schichtstapel zu behandeln, wodurch die gesamte Zuverlässigkeit und Gleichmäßigkeit der resultierenden Gateelektrodenstrukturen **235a**, **235b** verbessert wird. Nach dem Strukturierungsprozess wird eine Schutzschicht **209** so gebildet, dass die Integrität von Seitenwänden der Gateelektrodenstrukturen **235a**, **235b** während der weiteren Bearbeitung bewahrt wird. Die Beschichtung **209** kann auf der Grundlage eines beliebigen geeigneten Materials, etwa Siliziumnitrid, und dergleichen, hergestellt werden.

[0034] **Fig. 2h** zeigt schematisch einen Teil der Gateelektrodenstrukturen **235a**, **235b** in detaillierter Darstellung. Wie gezeigt, enthält die Gateelektrodenstruktur **235a** die Basisschicht **211** in Verbindung mit dem dielektrischen Material mit großem ϵ **212**, wobei zumindest die Schicht **212** darin eingebaut die Diffusionsorte, etwa Aluminium **262a** aufweist, was in Verbindung mit der Halbleiterlegierung **202d** zu einer geeigneten Schwellwertspannung für einen p-Kanaltransistor führt. In ähnlicher Weise enthält die Gateelektrodenstruktur **235b** das dielektrische Material mit großem ϵ **212**, das über der Basisschicht **211** gebildet ist, wobei eine Diffusionsorte **221a**, etwa Lanthan und dergleichen, eingebaut ist, um die gewünschte Schwellwertspannung zu erhalten.

[0035] Wie zuvor erläutert ist, sind bei Bedarf auch die Sorten **226a** und **221a** in der Basisschicht **211** eingebaut, wodurch ebenfalls dessen Eigenschaften modifiziert werden. Beispielsweise wird ein Siliziumdioxidmaterial in ein Silikat umgewandelt, wodurch die Dielektrizitätskonstante des Basismaterials **211** vergrößert wird.

[0036] **Fig. 2i** zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist ein erster Transistor **250a** auf der Basis der Gateelektrodenstruktur **235a** ausgebildet und ein zweiter Transistor **250b** ist auf der Grundlage der Gateelektrodenstruktur **235b** gebildet. Wie zuvor erläutert ist, repräsentieren die Transistoren **250a**, **250b** ein p-Kanaltransistor bzw. einen n-Kanaltransistor und enthalten Drain- und Sourcegebiete **251** mit einem geeigneten vertikalen und lateralen Dotierstoffprofil gemäß den gewünschten Transistoreigenschaften. Beispielsweise wird das Dotierstoffprofil der Drain- und Sourcegebiete **251** auf der Grundlage einer Abstandshalterstruktur **255** erzeugt, die an Seitenwänden der Gateelektrodenstrukturen **235a**, **235b** ausgebildet ist. Ferner sind Metallsilizidgebiete **252** in den Drain- und Sourcegebieten **251** vorgesehen. In einigen anschaulichen Ausführungsformen enthält einer oder enthalten beide Transistoren **250a**, **250b** ein verformungsinduzierendes Halbleitermaterial **254**, das in dem jeweiligen

aktiven Gebiet eingebettet ist, wie dies beispielsweise für den Transistor **250a** gezeigt ist, der eine Halbleiterlegierung **254** etwa in Form einer Silizium/Germanium-Legierung enthält, um damit eine kompressive Verformung in einem Kanalgebiet **253** zu erzeugen. In anderen Fällen wird ein entsprechendes Material, etwa eine Silizium/Kohlenstofflegierung und dergleichen, in dem Transistor **250b** vorgesehen, um dessen Leistungsverhalten zu verbessern.

[0037] Das in **Fig. 2i** gezeigte Halbleiterbauelement **200** kann auf der Grundlage der folgenden Prozesstechniken hergestellt werden. Nach dem Strukturieren der Gateelektrodenstrukturen **235a**, **235b** wird die Halbleiterlegierung **254** bei Bedarf durch gut etablierte Prozesstechniken hergestellt, in denen Ausparungen in dem aktiven Gebiet **202a** erzeugt werden und dieser mit dem Material **254** auf der Grundlage selektiver epitaktischer Aufwachstechniken nachfolgend gefüllt werden. Daraufhin werden die Drain- und Sourcegebiete durch Ionenimplantation unter Anwendung der Abstandshalterstruktur **255** als eine Implantationsmaske hergestellt. Daraufhin wird ein Ausheizprozess ausgeführt auf Basis geeigneter Prozesstemperaturen, wobei in einer anschaulichen Ausführungsform die Ausheiztemperatur kleiner ist als 900 Grad C, so dass die thermische Stabilisierung der dielektrischen Materialien **210a**, **210b**, die zuvor erreicht wurde, wie dies auch zuvor beschrieben ist, für stabile Transistoreigenschaften sorgt, selbst wenn Ausheizparameter während der Drain- und Sourceaktivierung für die Herstellung von Halbleiterbauelementen mit anderen Eigenschaften anders eingestellt werden muss. In ähnlicher Weise beeinflussen bei der Herstellung der Halbleiterlegierung **254** die entsprechenden Temperaturen die Eigenschaften der Gatedielektrikumsmaterialien **210a**, **210b** nicht wesentlich.

[0038] **Fig. 3** zeigt schematisch das Halbleiterbauelement **200** gemäß weiterer anschaulicher Ausführungsformen, in denen die Gateelektrodenstrukturen **235a**, **235b** Metallsilizidgebiete **216** aufweisen, die gemeinsam mit dem Metallsilizidgebieten **252** hergestellt werden, oder die in einer separaten Prozesssequenz gebildet werden. In diesem Falle können die Gateelektrodenstrukturen **235a**, **235b** auf der Grundlage einer im Wesentlichen identischen Struktur hergestellt werden, wobei in einer abschließenden Phase der Fertigstellung der Transistorkonfiguration folglich der Kontaktwiderstand weiter verringert werden kann, indem die Metallsilizidgebiete **216** vorgesehen werden.

[0039] **Fig. 4** zeigt schematisch das Halbleiterbauelement **200** gemäß weiteren anschaulichen Ausführungsformen, in denen ein Teil eines dielektrischen Zwischenschichtmaterials so vorgesehen wird, dass dieses die Gateelektrodenstrukturen **235a**, **235b** lateral einschließt. Das dielektrische Zwischenschicht-

material kann ein erstes dielektrisches Material, etwa ein Siliziumnitridmaterial, ein stickstoffhaltendes Siliziumkarbidmaterial und dergleichen aufweisen, das in einem stark verspannten Zustand zumindest lokal bei Bedarf vorgesehen werden kann. Ein zweites Material **262**, etwa ein Siliziumdioxidmaterial und dergleichen, kann ebenfalls vorgesehen sein. Ferner unterliegt das Bauelement **200** der Einwirkung einer Ätzumgebung **263**, um das Elektrodenmaterial **214** (siehe [Fig. 2i](#)) selektiv abzutragen, was durch gut etablierte Ätzrezepte, beispielsweise auf der Grundlage von TMAH und dergleichen, bewerkstelligt werden kann. Zu diesem Zweck ist das dielektrische Zwischenschichtmaterial auf der Grundlage gut etablierter Prozesstechniken hergestellt, woran sich eine Einebnungssequenz zum Freilegen der Gateelektrodenstrukturen **235a**, **235b** anschließt, um den Ätzprozess **263** auszuführen. Während des Prozesses **263** dient das metallenthaltende Elektrodenmaterial **213** als ein effizientes Ätzstoppmaterial, wodurch die Integrität der dielektrischen Schichtbereiche **210a**, **210b** beibehalten wird. Daraufhin wird ein weiteres leitendes Elektrodenmaterial eingefüllt, wie dies durch die gestrichelten Linien **236** angegeben ist, um eine bessere Gesamtleitfähigkeit der Gateelektrodenstrukturen **235a**, **235b** zu erhalten. Somit besitzen die Gateelektrodenstrukturen **235a**, **235b** eine sehr ähnliche Konfiguration, d. h. die dielektrischen Gatematerialien **210a**, **210b** gefolgt von dem ersten metallenthaltenden Elektrodenmaterial **213** und einen zweiten sehr gut leitenden Elektrodenmaterial, etwa ein metallenthaltendes Material **236**.

[0040] Es gilt also: Die vorliegende Erfindung Fertigungstechniken bereit, in denen die Diffusion von Metallsorten zur Austrittsarbeitseinstellung vor dem eigentlichen Strukturieren der Gateelektrodenstrukturen erfolgt. Zu diesem Zweck werden entsprechende Diffusionsschichten und Deckmaterialien nach dem Ausheizprozess entfernt und werden durch ein metallenthaltendes Elektrodenmaterial ersetzt, das für beide Transistorarten gemeinsam bereitgestellt wird. Somit kann die weitere Abscheidung von weiteren Gatematerialien und deren Strukturierung auf der Grundlage von im Wesentlichen den gleichen Bedingungen für n-Kanaltransistoren und p-Kanaltransistoren ausgeführt werden.

Patentansprüche

1. Verfahren mit:

Bilden eines Gatedielektrikumsmaterials (**210**) über einem ersten aktiven Gebiet (**202a**) und einem zweiten aktiven Gebiet (**202b**) eines Halbleiterbauelements (**202**);

Bilden einer ersten Diffusionsschicht (**221**) mit einer ersten Metallsorte selektiv über dem ersten aktiven Gebiet (**202a**);

Bilden einer zweiten Diffusionsschicht (**226**) mit einer zweiten Metallsorte über dem zweiten aktiven Gebiet (**202b**);

Ausführen einer Wärmebehandlung, um eine Diffusion der ersten Metallsorte von der ersten Diffusionsschicht (**221**) mit der ersten Metallsorte in das Gatedielektrikumsmaterial (**210**) über dem ersten aktiven Gebiet (**202a**) zu initiieren und um eine Diffusion der zweiten Metallsorte von der zweiten Diffusionsschicht (**226**) mit der zweiten Metallsorte in das Gatedielektrikumsmaterial (**210**) über dem zweiten aktiven Gebiet (**202b**) zu initiieren;

Entfernen von der ersten Diffusionsschicht (**221**) mit der ersten Metallsorte und der zweiten Diffusionsschicht (**226**) mit der zweiten Metallsorte, so dass das Gatedielektrikumsmaterial (**210**) über dem ersten und zweiten aktiven Gebiet (**202a**, **202b**) freigelegt wird;

Bilden eines Gateelektrodenmaterials über dem Gatedielektrikumsmaterial (**210**) nach dem Entfernen des ersten und des zweiten metallenthaltenden Materials; und

Bilden einer ersten Gateelektrodenstruktur (**235a**) über dem ersten aktiven Gebiet (**202a**) und einer zweiten Gateelektrodenstruktur (**235b**) über dem zweiten aktiven Gebiet (**202b**) aus dem Gateelektrodenmaterial.

2. Verfahren nach Anspruch 1, wobei das Gateelektrodenmaterial ein metallenthaltendes Elektrodenmaterial umfasst.

3. Verfahren nach Anspruch 1, das ferner umfasst: Bilden einer Schutzschicht (**203**) über der ersten und der zweiten Diffusionsschicht (**226**) und Ausführen der Wärmebehandlung in Anwesenheit der Schutzschicht (**203**).

4. Verfahren nach Anspruch 1, weiterhin das Bilden einer Deckschicht (**222**) auf der ersten Diffusionsschicht (**221**) umfassend.

5. Verfahren nach Anspruch 4, wobei die Deckschicht (**222**) mit einer Dicke von 10 Nanometer oder weniger hergestellt wird.

6. Verfahren nach Anspruch 5, das ferner umfasst: Bilden einer unteren Deckschicht (**223**) auf dem Gatedielektrikumsmaterial (**210**).

7. Verfahren nach Anspruch 6, wobei die untere Deckschicht (**223**) mit einer Dicke von 3 nm oder weniger hergestellt wird.

8. Verfahren nach Anspruch 4, wobei Bilden der zweiten metallenthaltenden Diffusionsschicht umfasst: Entfernen der Deckschicht (**222**) und der ersten Diffusionsschicht (**221**) von dem zweiten aktiven Gebiet (**202b**) und Bilden der zweiten Diffusionsschicht (**226**), die die zweite Sorte enthält, über dem ersten

aktiven Gebiet (**202a**) und auf der Deckschicht (**222**) über dem zweiten aktiven Gebiet (**202b**).

9. Verfahren nach Anspruch 8, das ferner umfasst: Bilden einer zweiten Deckschicht (**227**) auf der zweiten Diffusionsschicht (**226**).

10. Verfahren nach Anspruch 9, wobei die zweite Deckschicht (**227**) mit einer Dicke von 10 nm oder weniger gebildet wird.

11. Verfahren nach Anspruch 1, wobei Bilden des Gatedielektrikumsmaterials (**210**) umfasst: Bilden eines dielektrischen Materials mit großem ϵ über dem ersten und dem zweiten aktiven Gebiet (**202a**, **202b**).

12. Verfahren nach Anspruch 1, das ferner umfasst: Bilden einer schwellwertspannungseinstellenden Halbleiterlegierung auf dem ersten aktiven Gebiet (**202a**) vor dem Bilden des Gatedielektrikumsmaterials (**210**).

13. Verfahren nach Anspruch 1, wobei die Wärmebehandlung bei einer Temperatur von 800 Grad C oder höher ausgeführt wird.

14. Verfahren nach Anspruch 1, wobei die erste Metallsorte Aluminium ist.

15. Verfahren nach Anspruch 1, wobei die zweite Metallsorte Lanthan ist.

16. Verfahren nach Anspruch 11, wobei die erste Diffusionsschicht (**221**) als eine Aluminiumschicht mit einer Dicke von 0,1 bis 2 Nanometer hergestellt wird.

17. Verfahren nach Anspruch 15, wobei die zweite Diffusionsschicht (**226**) als eine Lanthan-Schicht mit einer Dicke von 0,1 bis 2 Nanometer vorgesehen wird.

18. Verfahren nach Anspruch 1, das ferner umfasst: Ersetzen zumindest eines Teils des Gateelektrodenmaterials in der ersten und der zweiten Gateelektrodenstruktur (**235a**, **235b**) durch ein metallenthaltendes Material nach dem Bilden von Drain- und Sourcegebieten in dem ersten und zweiten aktiven Gebiet (**202a**, **202b**).

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

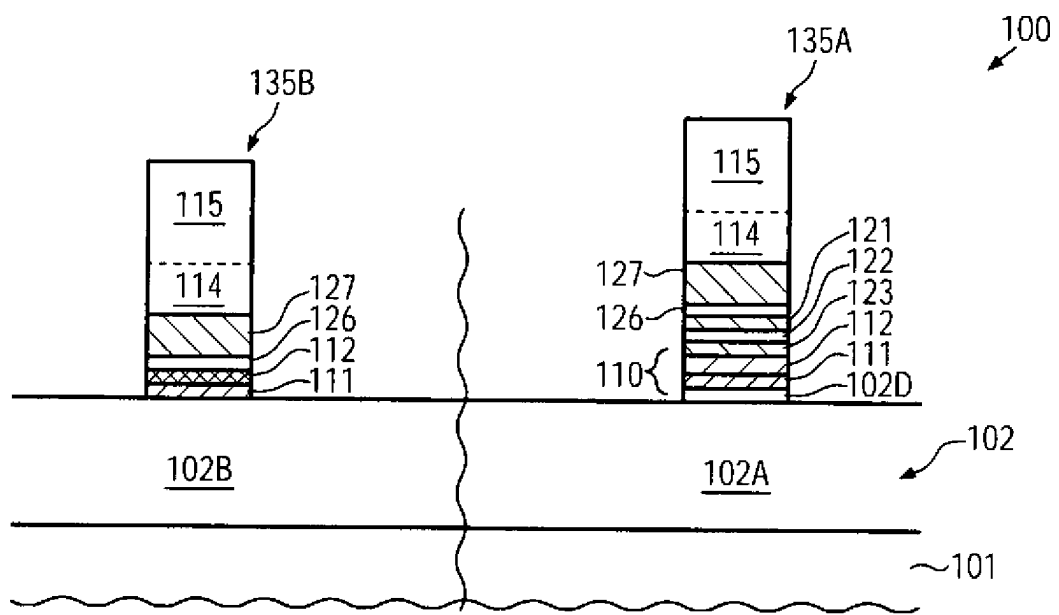


FIG. 1

(Stand der Technik)

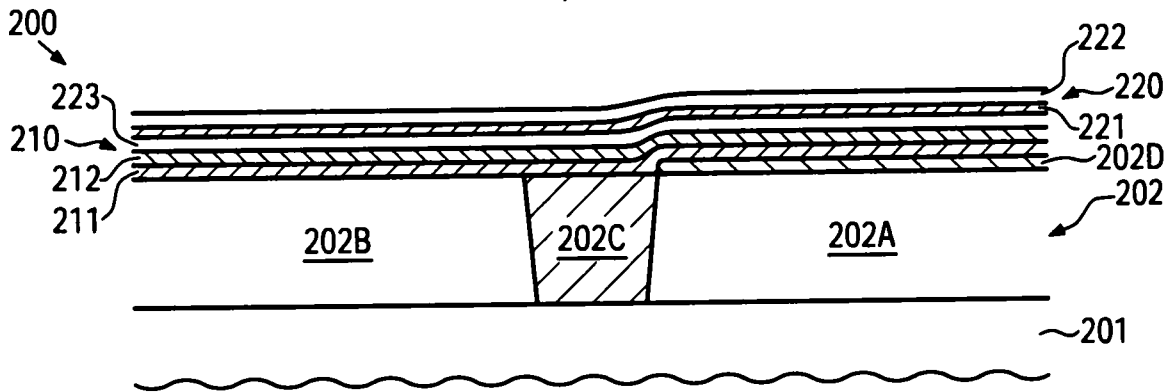


FIG. 2a

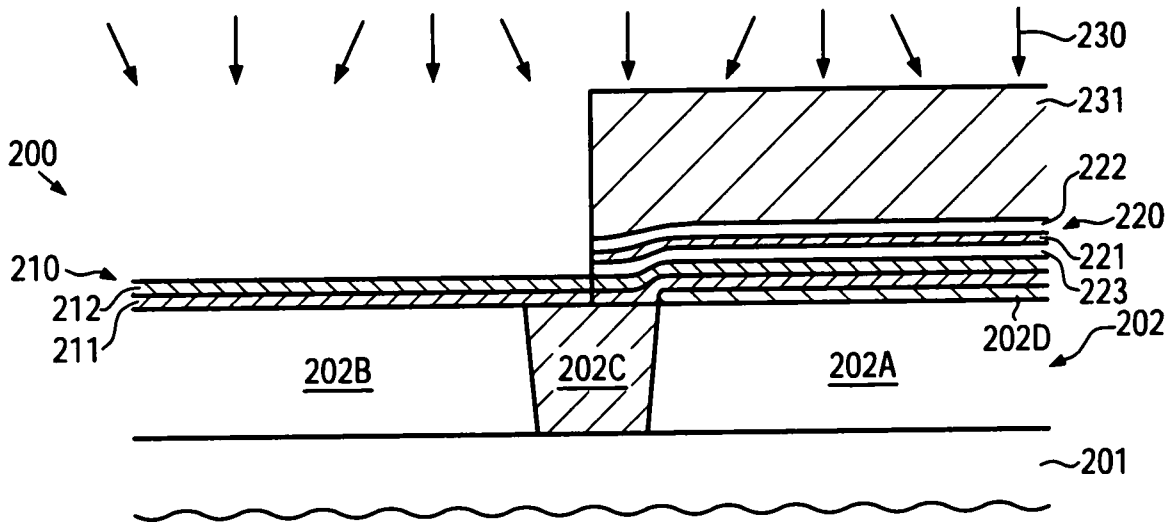


FIG. 2b

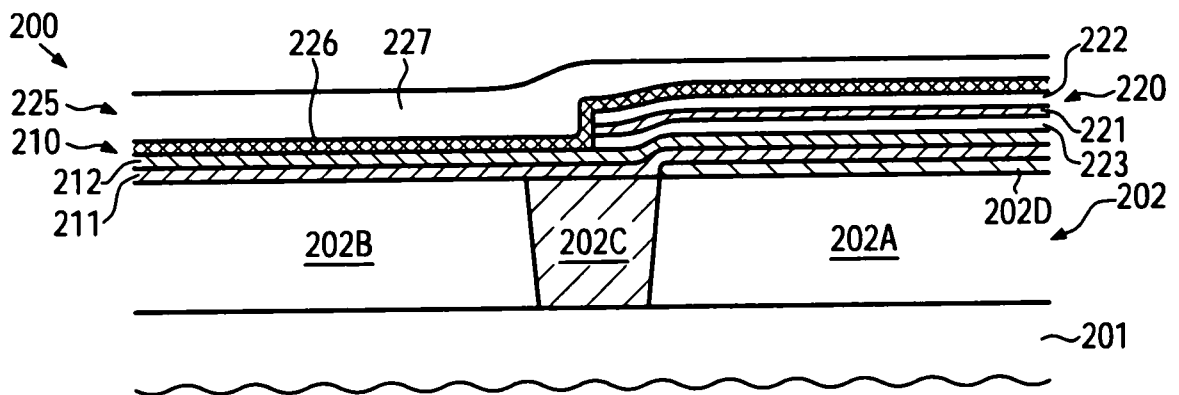


FIG. 2c

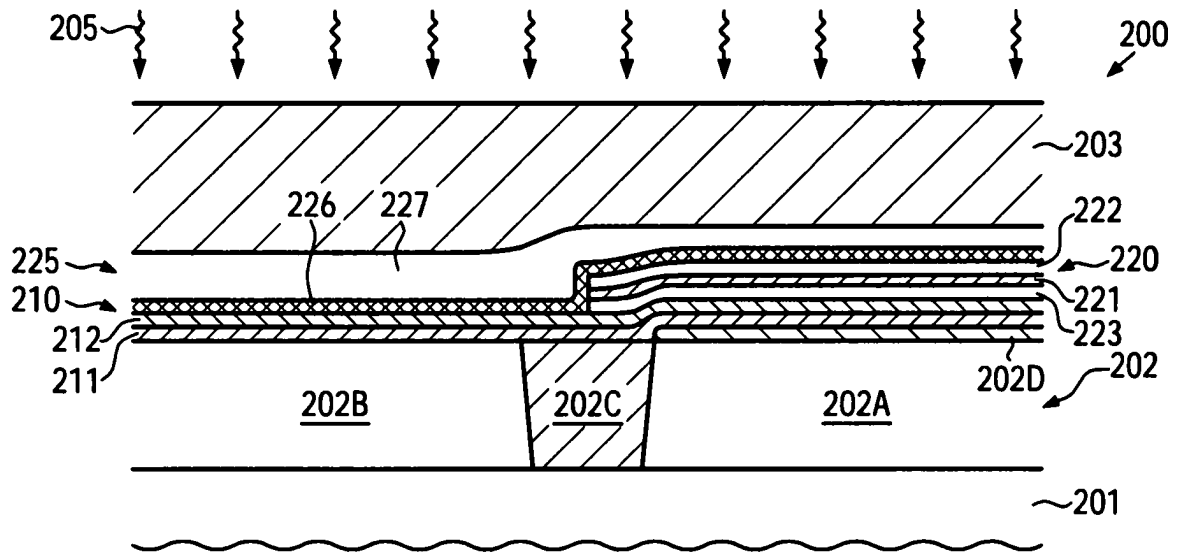


FIG. 2d

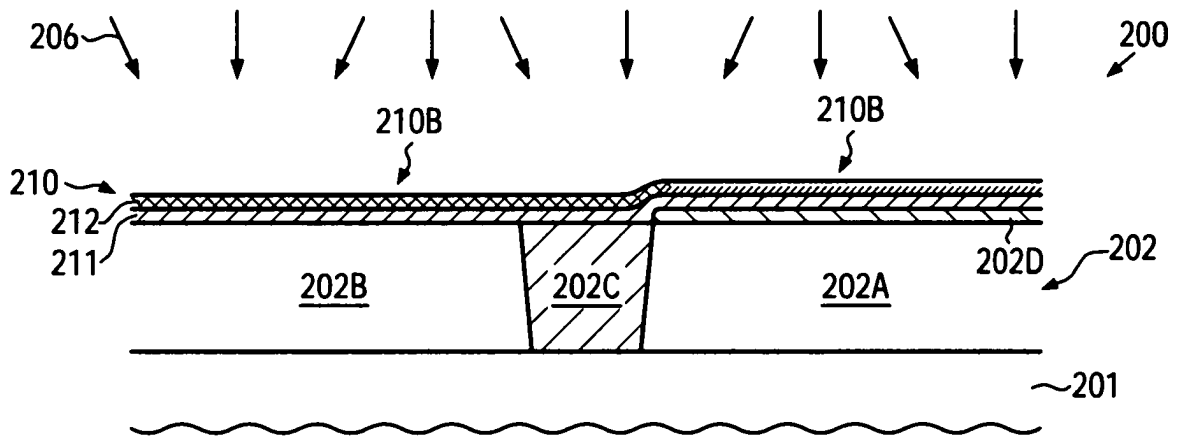


FIG. 2e

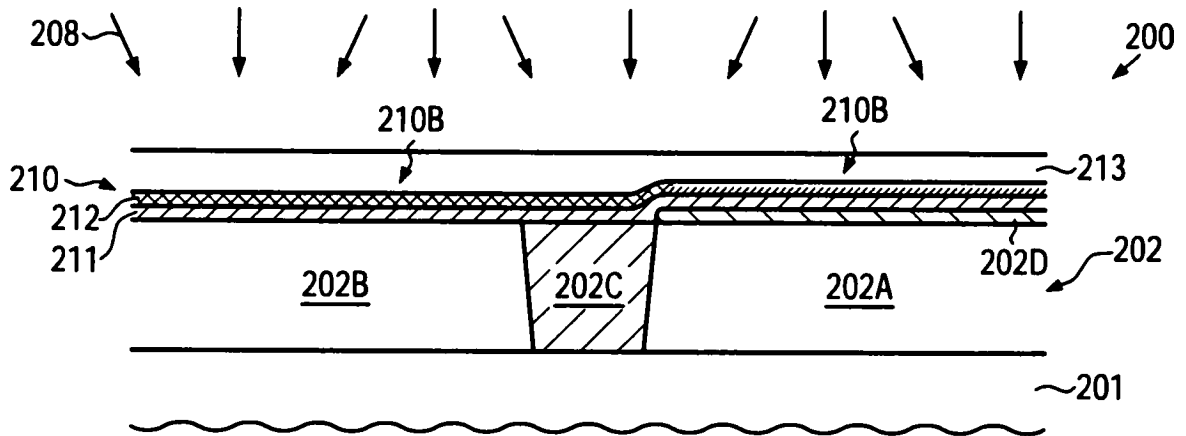


FIG. 2f

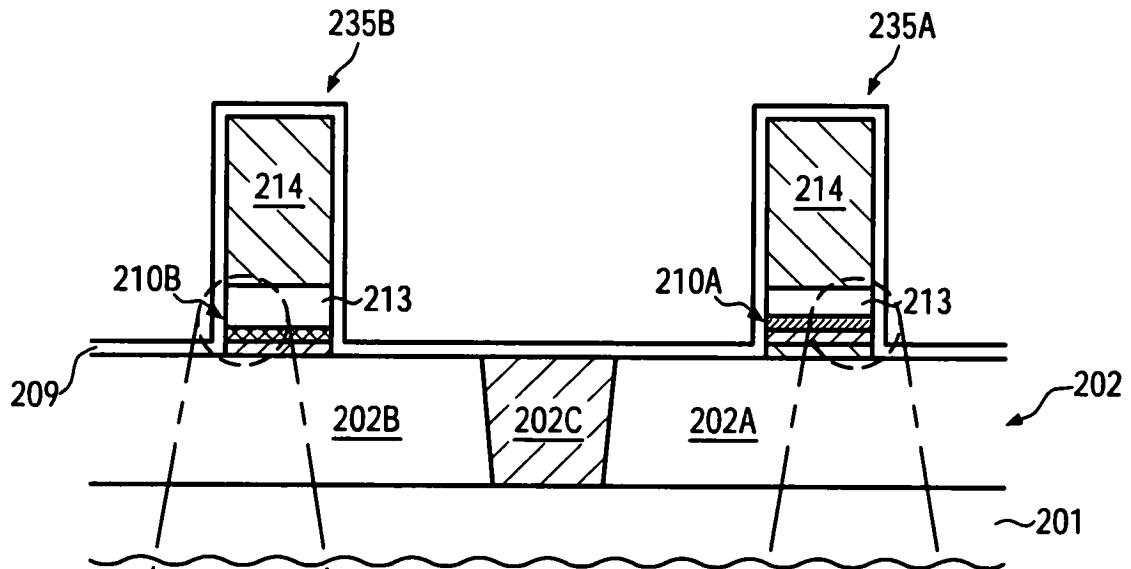


FIG. 2g

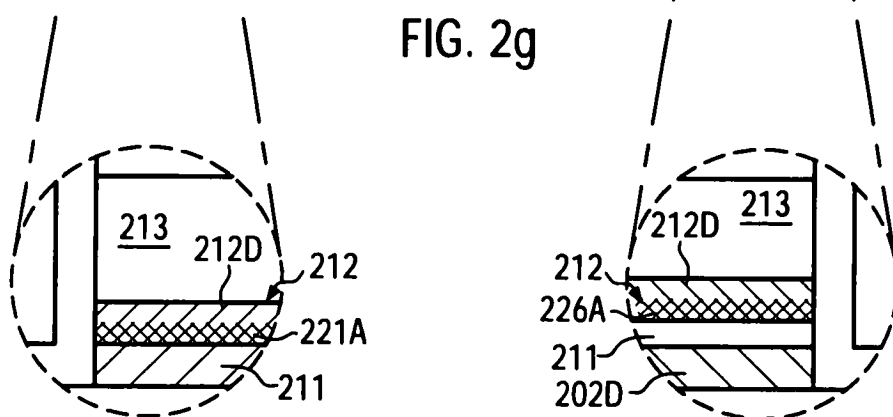


FIG. 2h

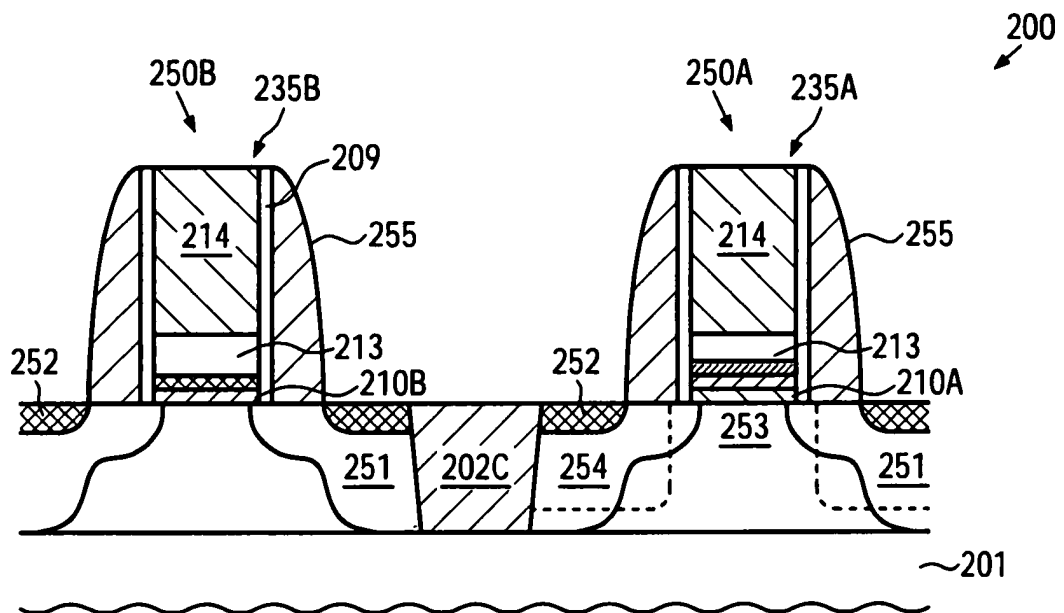


FIG. 2i

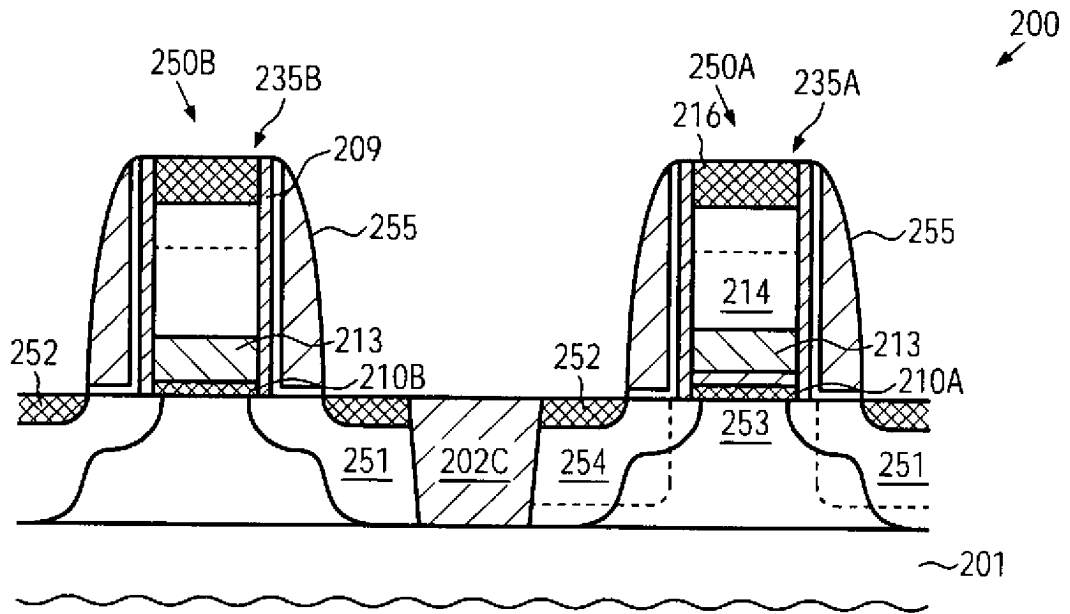


FIG. 3

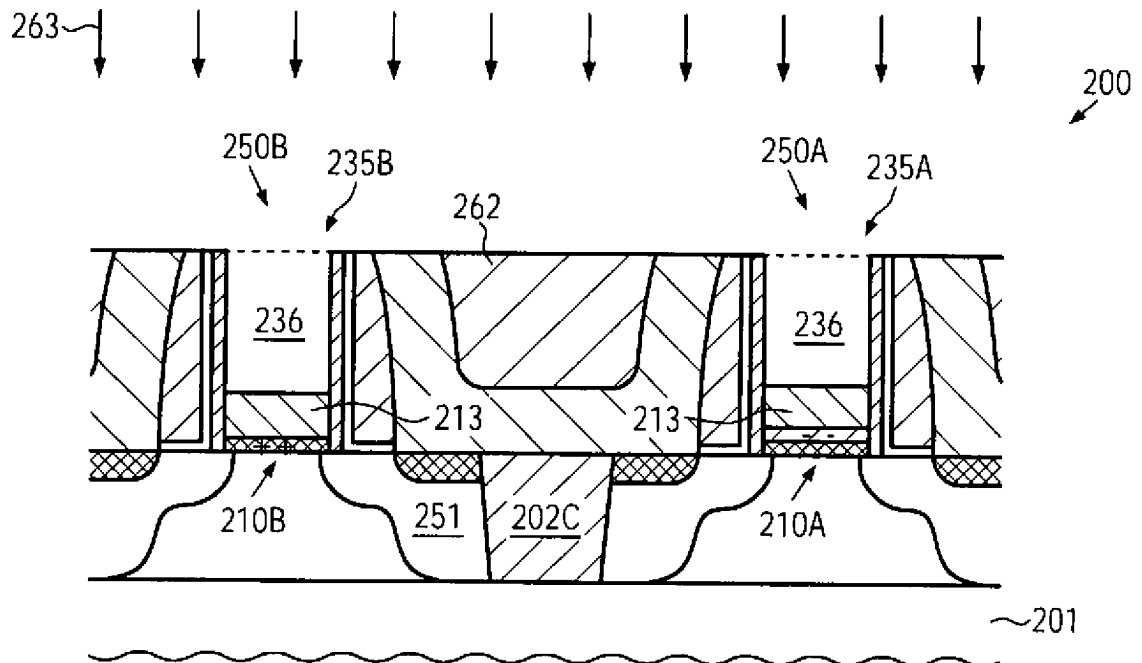


FIG. 4