(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0000245
(43) 공개일자 2024년01월02일

(51) 국제특허분류(Int. Cl.)
G11C 7/12 (2006.01) *G06F 7/544* (2017.01)
G06N 3/04 (2023.01) *G11C 8/08* (2006.01)
H03M 1/12 (2006.01)
(52) CPC특허분류
G11C 7/12 (2013.01)
G06F 7/544 (2018.05)
(21) 출원번호 10-2022-0076991
(22) 출원일자 2022년06월23일
심사청구일자 2022년06월23일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
박종선
서울특별시 서초구 신반포로 32
박현철
서울특별시 노원구 화랑로 349-9(월계동)
이경호
서울특별시 성북구 고려대로11길 20(안암동2가)
(74) 대리인
특허법인주연케이알피

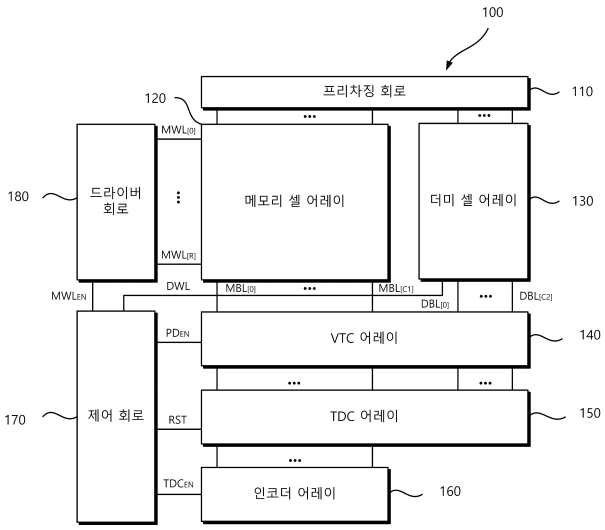
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **전류 기반의 아날로그 연산과 시간 기반의 아날로그-디지털 변환을 지원하는 컴퓨팅 인 메모리 전자 장치**

(57) 요 약

본 발명에 따르면, 복수의 연산 워드 라인을 통해 인가되는 입력 신호와 기 저장된 가중치의 곱 연산을 수행하고, 곱 연산에 따른 제1 출력 신호를 복수의 연산 비트 라인에 내보내는 복수의 메모리 셀을 포함하는 메모리 셀 어레이; 기준 신호를 생성하고, 상기 기준 신호를 복수의 더미 비트 라인에 내보내는 복수의 더미 셀을 포함하는 더미 셀 어레이; 상기 제1 출력 신호가 상기 복수의 연산 비트 라인을 통해 합 연산된 제2 출력 신호 및 상기 기준 신호를 수신하고, 상기 제2 출력 신호 및 상기 기준 신호를 시간 도메인으로 변환하는 복수의 VTC 회로; 상기 제2 출력 신호와 상기 기준 신호를 비교하고, 비교 결과에 기초하여 상기 제2 출력 신호를 디지털 도메인으로 변환하는 복수의 TDC 회로를 포함하는 전자 장치이다.

대 표 도 - 도1



(52) CPC특허분류
G06N 3/044 (2023.01)
G11C 8/08 (2013.01)
H03M 1/12 (2019.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711159051
과제번호 2020R1A2C3014820
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)
연구과제명 온-디바이스 개인화를 위한 에너지 효율적인 딥러닝 가속기 설계
기 여 율 3/10
과제수행기관명 고려대학교
연구기간 2022.03.01 ~ 2023.02.28
이 발명을 지원한 국가연구개발사업
과제고유번호 1711173065
과제번호 2022M3I7A2079267
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 PIM인공지능반도체핵심기술개발(소자)
연구과제명 스핀궤도토크 자성메모리 기반 PIM 소자
기 여 율 3/10
과제수행기관명 한국과학기술원
연구기간 2022.04.20 ~ 2023.02.28
이 발명을 지원한 국가연구개발사업
과제고유번호 1711170645
과제번호 2022-0-00266-001
부처명 과학기술정보통신부
과제관리(전문)기관명 정보통신기획평가원
연구사업명 PIM인공지능반도체핵심기술개발(설계)
연구과제명 초저전력 Low-Bit Precision 혼성모드 SRAM PIM 개발
기 여 율 4/10
과제수행기관명 서울대학교 산학협력단
연구기간 2022.04.01 ~ 2023.12.31

명 세 서

청구범위

청구항 1

복수의 연산 워드 라인을 통해 인가되는 입력 신호와 기 저장된 가중치의 곱 연산을 수행하고, 곱 연산에 따른 제1 출력 신호를 복수의 연산 비트 라인에 내보내는 복수의 메모리 셀을 포함하는 메모리 셀 어레이;

기준 신호를 생성하고, 상기 기준 신호를 복수의 더미 비트 라인에 내보내는 복수의 더미 셀을 포함하는 더미 셀 어레이;

상기 제1 출력 신호가 상기 복수의 연산 비트 라인을 통해 합 연산된 제2 출력 신호 및 상기 기준 신호를 수신하고, 상기 제2 출력 신호 및 상기 기준 신호를 시간 도메인으로 변환하는 복수의 VTC 회로; 및

상기 제2 출력 신호와 상기 기준 신호를 비교하고, 비교 결과에 기초하여 상기 제2 출력 신호를 디지털 도메인으로 변환하는 복수의 TDC 회로를 포함하는 전자 장치.

청구항 2

제1항에 있어서,

상기 복수의 연산 비트 라인은 프리차징 회로를 통해 기 설정된 충전 전압으로 충전되고, 상기 입력 신호와 상기 기 저장된 가중치가 같을 경우 상기 기 설정된 충전 전압에서 감소된 전압을 갖고, 상기 입력 신호와 상기 기 저장된 가중치가 다를 경우 상기 기 설정된 충전 전압이 유지되는 전자 장치.

청구항 3

제1항에 있어서,

상기 입력 신호의 펄스 폭은 상기 제2 출력 신호의 선형성이 유지되도록 기 설정된 폭 이하로 설정되는 전자 장치.

청구항 4

제1항에 있어서,

상기 복수의 VTC 회로 각각은:

풀 다운 전류를 생성하고, 상기 풀 다운 전류에 기초하여 상기 제2 출력 신호 및 상기 기준 신호를 방전시키는 풀 다운 회로; 및

상기 제2 출력 신호 및 상기 기준 신호의 전압이 문턱 전압 초과이면 논리 '0'에 대응되는 신호를 출력하고, 문턱 전압 이하이면 논리 '1'에 대응되는 신호를 출력하는 변환 회로를 포함하는 전자 장치.

청구항 5

제4항에 있어서,

상기 복수의 VTC 회로 각각은 상기 제2 출력 신호를 동일한 크기의 전압으로 방전시키는 전자 장치.

청구항 6

제1항에 있어서,

상기 복수의 더미 셀 각각은 논리 '0' 또는 논리 '1'에 대응되는 더미 가중치를 저장하는 전자 장치.

청구항 7

제6항에 있어서,

상기 복수의 더미 셀은 상기 복수의 더미 비트 라인 각각에 연결되는 복수의 더미 열로 정의되고,

상기 기준 신호는 상기 복수의 더미 열 마다 생성되되, 상기 복수의 더미 열 각각에 저장된 상기 더미 가중치 중 논리 '1'이 많을수록 시간 도메인 상에서 더 빠른 위상을 갖도록 생성되는 전자 장치.

청구항 8

제1항에 있어서,

상기 복수의 TDC 회로 각각은 상기 제2 출력 신호의 위상이 상기 기준 신호 보다 느릴 경우 상기 제2 출력 신호를 논리 '0'으로 변환하고, 상기 기준 신호 보다 빠를 경우 상기 제2 출력 신호를 논리 '1'로 변환하는 전자 장치.

청구항 9

제1 인에이블 신호, 제2 인에이블 신호 및 더미 워드 라인 신호를 생성하는 제어 회로;

상기 제1 인에이블 신호에 기초하여 입력 신호를 생성하고, 복수의 연산 워드 라인에 전달하는 드라이버 회로;

상기 입력 신호와 기 저장된 가중치의 곱 연산을 수행하고, 곱 연산에 따른 제1 출력 신호를 복수의 연산 비트 라인에 내보내는 메모리 셀 어레이;

상기 더미 워드 라인 신호에 기초하여 기준 신호를 생성하고, 상기 기준 신호를 복수의 더미 비트 라인에 내보내는 더미 셀 어레이;

상기 제1 출력 신호가 상기 복수의 연산 비트 라인을 통해 합 연산된 제2 출력 신호 및 상기 기준 신호를 수신하고, 상기 제2 인에이블 신호에 기초하여 상기 제2 출력 신호 및 상기 기준 신호를 시간 도메인으로 변환하는 VTC 어레이; 및

상기 제2 출력 신호와 상기 기준 신호를 비교하고, 비교 결과에 기초하여 상기 제2 출력 신호를 디지털 도메인으로 변환하는 TDC 어레이를 포함하는 전자 장치.

청구항 10

제9항에 있어서,

상기 더미 셀 어레이는 복수의 더미 셀을 포함하고,

상기 복수의 더미 셀 각각은 논리 '0' 또는 논리 '1'에 대응되는 더미 가중치를 저장하고,

상기 복수의 더미 셀은 상기 복수의 더미 비트 라인 각각에 연결되는 복수의 더미 열로 정의되고,

상기 기준 신호는 상기 복수의 더미 열 마다 생성되되, 상기 복수의 더미 열 각각에 저장된 상기 더미 가중치 중 논리 '1'이 많을수록 시간 도메인 상에서 더 빠른 위상을 갖도록 생성되는 전자 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 전류 기반의 아날로그 연산과 시간 기반의 아날로그-디지털 변환을 지원하는 컴퓨팅 인 메모리 전자 장치에 관한 것이다.

배 경 기 술

[0002] 기존의 컴퓨터 구조 상에서 읽기/쓰기 동작을 지원하는 메모리와 데이터 연산을 지원하는 연산기가 분리되어 있어, 메모리와 연산기 사이의 데이터 이동에서 발생하는 에너지 소모가 연산 자체에 사용되는 에너지 소모에 비해 매우 크다. 특히, 최신 어플리케이션에 주로 쓰이는 인공 신경망의 컨볼루션(convolution) 층에서 사용되는 곱셈-누적 연산인 MAC (Multiply-Accumulate) 연산은 막대한 양의 데이터를 필요로 한다. 따라서, 이러한 인공 신경망 연산을 위해 필요한 데이터의 이동에서 일반적인 연산보다 훨씬 더 많은 에너지가 소모된다. 이를 해결하기 위해 기존 읽기/쓰기 동작만이 가능한 메모리 안에 연산 동작을 추가하여 메모리와 연산기 간의 데이터 이동을 줄여주는 컴퓨팅-인-메모리(CIM) 이라는 메모리 기술이 개발되었다.

[0003] 그러나, 기존의 CIM 메모리 기술은 추가되는 아날로그-디지털 변환기(ADC)에서 차지하는 면적이 크고 전력 소모도 크게 발생하므로 에너지 효율이 떨어진다는 문제가 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 대한민국 공개특허 제10-2021-0112272호

(특허문헌 0002) 대한민국 공개특허 제10-2020-0012928호

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 본 발명의 목적은 MAC 연산을 메모리 내에서 진행함으로써 DNN(Deep Neural Networks)과 같은 인공지능 연산에서 메모리와 연산기 간 데이터 이동 횟수를 줄이고, 연산 결과를 시간 도메인과 디지털 도메인으로 순차적으로 변환함으로써 높은 에너지 효율을 얻을 수 있는 전류 기반의 아날로그 연산과 시간 기반의 아날로그-디지털 변환을 지원하는 컴퓨팅 인 메모리 전자 장치를 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명의 일 실시예로, 복수의 연산 워드 라인을 통해 인가되는 입력 신호와 기 저장된 가중치의 곱 연산을 수행하고, 곱 연산에 따른 제1 출력 신호를 복수의 연산 비트 라인에 내보내는 복수의 메모리 셀을 포함하는 메모리 셀 어레이; 기준 신호를 생성하고, 상기 기준 신호를 복수의 더미 비트 라인에 내보내는 복수의 더미 셀을 포함하는 더미 셀 어레이; 상기 제1 출력 신호가 상기 복수의 연산 비트 라인을 통해 합 연산된 제2 출력 신호 및 상기 기준 신호를 수신하고, 상기 제2 출력 신호 및 상기 기준 신호를 시간 도메인으로 변환하는 복수의 VTC 회로; 상기 제2 출력 신호와 상기 기준 신호를 비교하고, 비교 결과에 기초하여 상기 제2 출력 신호를 디지털 도메인으로 변환하는 복수의 TDC 회로를 포함하는 전자 장치이다.

[0007] 예를 들어, 상기 복수의 연산 비트 라인은 프리차징 회로를 통해 기 설정된 충전 전압으로 충전되고, 상기 입력 신호와 상기 기 저장된 가중치가 같을 경우 상기 기 설정된 충전 전압에서 감소된 전압을 갖고, 상기 입력 신호와 상기 기 저장된 가중치가 다를 경우 상기 기 설정된 충전 전압이 유지될 수 있다.

[0008] 예를 들어, 상기 입력 신호의 펄스 폭은 상기 제2 출력 신호의 선형성이 유지되도록 기 설정된 폭 이하로 설정될 수 있다.

[0009] 예를 들어, 상기 복수의 VTC 회로 각각은: 풀 다운 전류를 생성하고, 상기 풀 다운 전류에 기초하여 상기 제2 출력 신호 및 상기 기준 신호를 방전시키는 풀 다운 회로; 및 상기 제2 출력 신호 및 상기 기준 신호의 전압이 문턱 전압 초과이면 논리 '0'에 대응되는 신호를 출력하고, 문턱 전압 이하이면 논리 '1'에 대응되는 신호를 출

력하는 변환 회로를 포함할 수 있다.

[0010] 예를 들어, 상기 복수의 VTC 회로 각각은 상기 제2 출력 신호를 동일한 크기의 전압으로 방전시킬 수 있다.

[0011] 예를 들어, 상기 복수의 더미 셀 각각은 논리 '0' 또는 논리 '1'에 대응되는 더미 가중치를 저장할 수 있다.

[0012] 예를 들어, 상기 복수의 더미 셀은 상기 복수의 더미 비트 라인 각각에 연결되는 복수의 더미 열로 정의되고, 상기 기준 신호는 상기 복수의 더미 열 마다 생성되되, 상기 복수의 더미 열 각각에 저장된 상기 더미 가중치 중 논리 '1'이 많을수록 시간 도메인 상에서 더 빠른 위상을 갖도록 생성될 수 있다.

[0013] 예를 들어, 상기 복수의 TDC 회로 각각은 상기 제2 출력 신호의 위상이 상기 기준 신호 보다 느릴 경우 상기 제2 출력 신호를 논리 '0'으로 변환하고, 상기 기준 신호 보다 빠를 경우 상기 제2 출력 신호를 논리 '1'로 변환할 수 있다.

[0014] 본 발명의 다른 일 실시예로, 제1 인에이블 신호, 제2 인에이블 신호 및 더미 워드 라인 신호를 생성하는 제어 회로; 상기 제1 인에이블 신호에 기초하여 입력 신호를 생성하고, 복수의 연산 워드 라인에 전달하는 드라이버 회로; 상기 입력 신호와 기 저장된 가중치의 곱 연산을 수행하고, 곱 연산에 따른 제1 출력 신호를 복수의 연산 비트 라인에 내보내는 메모리 셀 어레이; 상기 더미 워드 라인 신호에 기초하여 기준 신호를 생성하고, 상기 기준 신호를 복수의 더미 비트 라인에 내보내는 더미 셀 어레이; 상기 제1 출력 신호가 상기 복수의 연산 비트 라인을 통해 합 연산된 제2 출력 신호 및 상기 기준 신호를 수신하고, 상기 제2 인에이블 신호에 기초하여 상기 제2 출력 신호 및 상기 기준 신호를 시간 도메인으로 변환하는 VTC 어레이; 상기 제2 출력 신호와 상기 기준 신호를 비교하고, 비교 결과에 기초하여 상기 제2 출력 신호를 디지털 도메인으로 변환하는 TDC 어레이를 포함하는 전자 장치이다.

[0015] 예를 들어, 상기 더미 셀 어레이는 복수의 더미 셀을 포함하고, 상기 복수의 더미 셀 각각은 논리 '0' 또는 논리 '1'에 대응되는 더미 가중치를 저장하고, 상기 복수의 더미 셀은 상기 복수의 더미 비트 라인 각각에 연결되는 복수의 더미 열로 정의되고, 상기 기준 신호는 상기 복수의 더미 열 마다 생성되되, 상기 복수의 더미 열 각각에 저장된 상기 더미 가중치 중 논리 '1'이 많을수록 시간 도메인 상에서 더 빠른 위상을 갖도록 생성될 수 있다.

발명의 효과

[0016] 본 발명에 의하면, MAC 연산을 메모리 내에서 진행함으로써 DNN 연산에서 메모리와 연산기 간 데이터 이동 횟수를 줄이고, 연산 결과를 시간 도메인과 디지털 도메인으로 순차적으로 변환함으로써 높은 에너지 효율을 얻을 수 있는 전류 기반의 아날로그 연산과 시간 기반의 아날로그-디지털 변환을 지원하는 컴퓨팅 인 메모리 전자 장치가 제공될 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 전자 장치를 나타낸 도면이다.

도 2는 본 발명의 일 실시예에 따른 프리차징 회로, 메모리 셀 어레이 및 더미 셀 어레이를 나타낸 도면이다.

도 3은 도 2에 포함된 메모리 셀을 나타낸 도면이다.

도 4는 연산 비트 라인의 전압 레벨을 설명하기 위한 도면이다.

도 5는 더미 셀 어레이의 동작을 설명하기 위한 것이다.

도 6은 본 발명의 일 실시예에 따른 VTC 어레이를 나타낸 도면이다.

도 7은 도 6에 포함된 VTC 회로를 도시한 것이다.

도 8은 본 발명의 일 실시예에 따른 TDC 어레이를 나타낸 도면이고, 도 9는 도 8의 TDC 어레이의 동작을 설명하기 위한 도면이다.

도 10은 본 발명의 일 실시예에 따른 인코더 어레이를 나타낸 도면이다.

도 11은 본 발명의 일 실시예에 따른 전자 장치의 동작을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0019] 도 1은 본 발명의 일 실시예에 따른 전자 장치를 나타낸 도면이다.

[0020] 도 1을 참조하면, 본 발명의 일 실시예에 따른 전자 장치(100)는 프리차징 회로(110), 메모리 셀 어레이(120), 더미 셀 어레이(130), VTC(Voltage to Time Converting) 어레이(130), TDC(Time to Digital Converting) 어레이(150), 인코더 어레이(160), 제어 회로(170) 및 드라이버 회로(180)를 포함한다.

[0021] 프리차징 회로(110)는 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)과 연결되어 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)을 일정 전압으로 프리차징시키기 위해 구성된다. 프리차징 회로(110)는 프리차징 신호(PREb)에 기초하여 메모리 셀 어레이(120) 및 더미 셀 어레이(130)와 연결된 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)을 일정 전압으로 프리차징시키며, 예를 들어 프리차징 신호(PREb)가 논리 '0'에 대응될 경우 프리차징을 수행할 수 있다.

[0022] 메모리 셀 어레이(120)는 복수의 연산 워드 라인($MWL_{[0]}$ 내지 $MWL_{[R]}$)을 통해 인가되는 입력 신호와 기 저장된 가중치의 곱 연산을 수행하고, 곱 연산에 따른 제1 출력 신호를 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)에 내보내도록 구성된다. 입력 신호 및 가중치는 예를 들어 전자 장치(100)가 DNN 연산 중 BNN(Binarized Neural Netwrok)에 사용될 경우 표현 값인 -1 또는 1 중 하나에 대응되는 값을 가질 수 있다.

[0023] 본 발명에서, 메모리 셀 어레이(120)에 의해 수행되는 곱 연산은 예를 들어 입력 신호와 가중치 간에 배타적 논리합(XOR) 또는 배타적 부정 논리합(XNOR)일 수 있다. 즉, 입력 신호와 가중치가 서로 동일한 표현 값을 가지는 경우 곱 연산의 결과는 제1 상태 값을 가지고, 서로 다른 표현 값을 가지는 경우 곱 연산의 결과는 제2 상태 값을 가질 수 있다.

[0024] 메모리 셀 어레이(120)는 복수의 메모리 셀을 포함하며, 복수의 메모리 셀 각각은 가중치를 저장한다. 가중치는 복수의 연산 워드 라인($MWL_{[0]}$ 내지 $MWL_{[R]}$)이 아닌 가중치를 저장하기 위하여 별도로 메모리 셀에 연결되는 워드 라인에 기초하여 각 메모리 셀에 저장될 수 있다.

[0025] 메모리 셀 어레이(120)가 복수의 메모리 셀 각각에서 수행된 곱 연산의 결과에 대응되는 제1 출력 신호를 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)에 내보내면, 각 연산 비트 라인은 각 연산 비트 라인에 연결된 복수의 메모리 셀 중 적어도 일부로부터 제1 출력 신호들을 수신하게 된다. 이에 따라, 각 연산 비트 라인에는 제1 출력 신호들이 중첩되어 합 연산이 수행될 수 있다. 제1 출력 신호가 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)을 통해 합 연산된 신호는 제2 출력 신호로 정의될 수 있다. 제2 출력 신호는 합 연산에 따라 제1 출력 신호들이 갖는 전압 레벨이 누적된 값을 가질 수 있다.

[0026] 상술한 바와 같이, 메모리 셀 어레이(120)는 입력 신호와 가중치 간에 곱 연산과 합 연산으로 정의되는 MAC 연산을 수행하며, MAC 연산의 결과인 제2 출력 신호를 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)을 통해 VTC 어레이(140)로 전달한다.

[0027] 더미 셀 어레이(130)는 기준 신호를 생성하고, 기준 신호를 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$)에 내보내도록 구성된다. 더미 셀 어레이(130)는 더미 워드 라인(DWL)을 통해 입력되는 더미 워드 라인 신호와 더미 가중치의 곱 연산을 수행하고, 곱 연산에 따른 결과 신호를 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$)에 내보낸다. 이때, 더미 워드 라인 신호는 항상 논리 '1'에 대응되는 값을 가질 수 있다.

[0028] 더미 셀 어레이(130)는 복수의 더미 셀을 포함한다. 복수의 더미 셀 각각은 논리 '0' 또는 논리 '1'에 대응되는 더미 가중치를 저장한다.

[0029] 상술한 메모리 셀 어레이(120)와 마찬가지로, 더미 셀 어레이(130)의 곱 연산에 따른 결과 신호도 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$) 각각에서 결과 신호들이 중첩되어 합 연산이 수행될 수 있다. 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$) 각각에서 수행된 합 연산의 결과는 기준 신호로 정의될 수 있다.

[0030] 더미 셀 어레이(130)는 생성된 기준 신호를 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$)을 통해 VTC 어레이(140)로 전달한다.

[0031] VTC 어레이(140)는 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)을 통해 제2 출력 신호를 수신하고, 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$)을 통해 기준 신호를 수신하고, 제2 출력 신호 및 기준 신호를 시간 도메인으로 변환한다. VTC 어레이(140)는 시간 도메인으로 변환된 제2 출력 신호를 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)을 통해 TDC 어레이(150)로 전달하고, 시간 도메인으로 변환된 기준 신호를 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$)을 통해 TDC 어레이(150)로 전달한다.

[0032] VTC 어레이(140)는 복수의 VTC 회로를 포함할 수 있다. 복수의 VTC 회로 각각은 제2 출력 신호 및 기준 신호를 수신하여 아날로그 도메인에서 시간 도메인으로 변환하도록 구성될 수 있다.

[0033] TDC 어레이(150)는 수신한 제2 출력 신호와 기준 신호를 비교하고, 비교 결과에 기초하여 제2 출력 신호를 디지털 도메인으로 변환한다. TDC 어레이(150)는 제2 출력 신호와 기준 신호의 시간 도메인 상의 위상을 비교할 수 있다. 비교 결과에 따라, TDC 어레이(150)는 제2 출력 신호의 위상이 기준 신호 보다 느릴 경우 제2 출력 신호를 논리 '0'으로 변환하고, 기준 신호 보다 빠를 경우 제2 출력 신호를 논리 '1'로 변환할 수 있다.

[0034] TDC 어레이(150)에 의해 디지털 도메인으로 변환된 제2 출력 신호는 써모미터 코드(thermometer code)로 정의될 수 있다.

[0035] TDC 어레이(150)는 디지털 도메인으로 변환된 제2 출력 신호를 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)을 통해 인코더 어레이(160)로 전달한다.

[0036] TDC 어레이(150)는 복수의 TDC 회로를 포함할 수 있다. 복수의 TDC 회로 각각은 제2 출력 신호와 기준 신호를 비교하여 제2 출력 신호를 시간 도메인에서 디지털 도메인으로 변환하도록 구성될 수 있다.

[0037] 인코더 어레이(160)는 TDC 어레이(150)로부터 디지털 도메인으로 변환된 제2 출력 신호, 즉 써모미터 코드를 수신하고, 써모미터 코드를 인코딩하여 최종적인 디지털 출력 신호를 생성하도록 구성된다.

[0038] 인코더 어레이(160)는 복수의 인코더를 포함할 수 있다. 복수의 인코더 각각은 써모미터 코드를 디지털 출력 신호로 변환하도록 구성될 수 있다.

[0039] 제어 회로(170)는 제1 인에이블 신호(MWL_{EN}), 제2 인에이블 신호(PD_{EN}), 더미 워드 라인 신호, 리셋 신호(RST) 및 제3 인에이블 신호(TDC_{EN})를 생성한다. 여기서, 제1 인에이블 신호(MWL_{EN})는 드라이버 회로(180)를 구동시키기 위한 신호, 제2 인에이블 신호(PD_{EN})는 VTC 어레이(140)를 구동시키기 위한 신호, 리셋 신호(RST)는 TDC 어레이(150)를 리셋시키기 위한 신호, 제3 인에이블 신호(TDC_{EN})는 인코더 어레이(160)를 구동시키기 위한 신호로 정의될 수 있다. 더미 워드 라인 신호는 상술한 바와 같다.

[0040] 제어 회로(170)는 생성한 제1 인에이블 신호(MWL_{EN})를 드라이버 회로(180)에 전달하고, 제2 인에이블 신호(PD_{EN})를 VTC 어레이(140)에 전달하고, 더미 워드 라인 신호를 더미 셀 어레이(130)에 전달하고, 리셋 신호(RST)를 TDC 어레이(150)에 전달하고, 제3 인에이블 신호(TDC_{EN})를 인코더 어레이(160)에 전달한다.

[0041] 드라이버 회로(180)는 제1 인에이블 신호(MWL_{EN})에 기초하여 입력 신호를 생성하고, 복수의 연산 워드 라인($MWL_{[0]}$ 내지 $MWL_{[R]}$)에 전달하도록 구성된다.

[0042] 상술한 본 발명의 전자 장치(100)에 따르면, MAC 연산이 메모리 내에서 수행될 수 있어 에너지 효율이 올라갈 수 있으며, 특히 MAC 연산의 결과를 기존의 ADC와 달리 TDC를 통해 변환함으로써 회로 면적, 전력 소모 및 에너지 효율 측면에서 기존의 ADC 보다 이점을 가질 수 있다.

[0043] 이하에서는, 전자 장치(100)에 포함된 각 구성들에 대하여 보다 구체적으로 설명한다.

[0044] 도 2는 본 발명의 일 실시예에 따른 프리차징 회로, 메모리 셀 어레이 및 더미 셀 어레이를 나타낸 도면이다.

[0045] 도 2를 참조하면, 복수의 메모리 셀 어레이(120)는 복수의 연산 워드 라인($MWL_{[0]}$ 내지 $MWL_{[R]}$)과 연결되어 입력 신호를 인가받는다. 복수의 연산 워드 라인($MWL_{[0]}$ 내지 $MWL_{[R]}$) 각각은 제1 연산 워드 라인($MWL_{W[0]}$ 내지 $MWL_{W[R]}$)과 제2 연산 워드 라인($MWL_{Wb[0]}$ 내지 $MWL_{Wb[R]}$)을 포함할 수 있다. 제1 연산 워드 라인($MWL_{W[0]}$ 내지 $MWL_{W[R]}$)과 제2 연산 워드 라인($MWL_{Wb[0]}$ 내지 $MWL_{Wb[R]}$)은 서로 상보적인 입력 신호를 전달할 수 있다. 복수의 연산 워드 라인

($MWL_{[0]}$ 내지 $MWL_{[R]}$)은 0 내지 R의 인덱스를 가질 수 있다(여기서, R은 자연수).

[0046] 프리차징 회로(110) 및 메모리 셀 어레이(120)에 포함된 복수의 메모리 셀(121)은 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)을 통해 연결된다. 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$) 각각은 복수의 메모리 셀(121) 중 적어도 일부와 연결되는데, 하나의 연산 비트 라인에 연결된 적어도 일부의 메모리 셀(121)은 하나의 연산 열로 정의될 수 있다. 연산 열에 포함된 메모리 셀(121)들 각각에 의해 곱 연산된 제1 출력 신호들은 연산 열에서 누적되어 제2 출력 신호가 된다. 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)은 0 내지 C1의 인덱스를 가질 수 있다(여기서, C1은 자연수).

[0047] 더미 셀 어레이(130)는 더미 워드 라인(DWL)과 연결되어 더미 워드 라인 신호를 입력받는다. 더미 워드 라인(DWL)은 하나가 구비되어 모든 더미 셀(131)에 동일한 더미 워드 라인 신호를 인가할 수 있다.

[0048] 프리차징 회로(110) 및 더미 셀 어레이(130)에 포함된 복수의 더미 셀(131)은 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$)을 통해 연결된다. 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$) 각각은 복수의 더미 셀(131) 중 적어도 일부와 연결되는데, 하나의 더미 비트 라인에 연결된 적어도 일부의 더미 셀(131)은 하나의 더미 열로 정의될 수 있다. 하나의 더미 열에 연결된 더미 셀(131)들 각각에 의해 곱 연산된 결과가 하나의 더미 비트 라인을 통해 누적되어 기준 신호로 생성된다. 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$)은 0 내지 C2의 인덱스를 가질 수 있다(여기서, C2는 자연수).

[0049] 프리차징 회로(110)는 복수의 프리차징 트랜지스터(111)를 포함한다. 각 프리차징 트랜지스터(111)는 프리차징 신호(PREb)에 따라 온/오프되어 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$) 및 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$)을 기 설정된 충전 전압으로 충전한다.

[0050] 메모리 셀 어레이(120)는 복수의 메모리 셀(121)에 기초하여 곱 연산을 수행하고, 곱 연산의 결과에 따른 제1 출력 신호는 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$) 각각에서 누적되어 제2 출력 신호가 된다.

[0051] 더미 셀 어레이(130)는 복수의 더미 셀(131)에 기초하여 상술한 바와 같이 더미 워드 라인 신호와 더미 가중치 간 곱 연산을 수행하고, 곱 연산의 결과의 누적에 따른 합 연산을 수행하여 기준 신호를 생성한다.

[0052] 도 3은 도 2에 포함된 메모리 셀을 나타낸 도면이다.

[0053] 도 3을 참조하면, 하나의 메모리 셀(121)은 제1-1 트랜지스터 내지 제1-6 트랜지스터(T1-1 내지 T1-6), 제1 인버터(INV1) 및 제2 인버터(INV2)를 포함한다.

[0054] 제1-1 트랜지스터(T1-1) 및 제1-2 트랜지스터(T1-2)는 게이트가 워드 라인(WL)에 연결되며, 일 단이 각각 제1 노드(W) 및 제2 노드(Wb)에 연결되며, 타 단이 각각 비트 라인(BL) 및 상보 비트 라인(BLB)에 연결된다. 여기서, 일 단은 소스 또는 드레인이고, 타 단은 드레인 또는 소스일 수 있다. 제1-1 트랜지스터(T1-1) 및 제1-2 트랜지스터(T1-2)는 워드 라인(WL)으로부터 인가된 가중치 저장을 위한 신호를 제1 노드(W) 및 제2 노드(Wb)에 연결된 제1 인버터(INV1) 및 제2 인버터(INV2)에 전달한다.

[0055] 이후, 제1-1 트랜지스터(T1-1) 및 제1-2 트랜지스터(T1-2)가 오프되면 제1 인버터(INV1) 및 제2 인버터(INV2)에 의해 -1 또는 1 중 하나에 대응되는 가중치가 루프를 돌면서 저장된다.

[0056] 저장된 가중치는 비트 라인(BL) 또는 상보 비트 라인(BLB)을 통해 리딩될 수 있다.

[0057] 제1-3 트랜지스터(T1-3)는 게이트가 제1 연산 워드 라인(MWL_W)에 연결되고, 일 단이 제1-4 트랜지스터(T1-4)에 연결되고, 타 단이 연산 비트 라인(MBL)에 연결된다. 제1-4 트랜지스터(T1-4)는 게이트가 제1 노드(W)에 연결되고, 일 단이 제1-3 트랜지스터(T1-3)에 연결되고, 타 단이 제1-6 트랜지스터(T1-6)에 연결된다. 제1-5 트랜지스터(T1-5)는 게이트가 제2 연산 워드 라인(MWL_{Wb})에 연결되고, 일 단이 제1-6 트랜지스터(T1-6)에 연결되고, 타 단이 연산 비트 라인(MBL)에 연결된다. 제1-6 트랜지스터(T1-6)는 게이트가 제2 노드(Wb)에 연결되고, 일 단이 제1-5 트랜지스터(T1-5)에 연결되고, 타 단이 제1-4 트랜지스터(T1-4)에 연결된다.

[0058] 제1-3 트랜지스터 내지 제1-6 트랜지스터(T1-3 내지 T1-6)는 각 게이트에 인가되는 입력 신호 또는 가중치에 따라 온/오프된다. 일 실시예에 따르면, 온/오프에 따라 하기 표 1과 같이 곱 연산이 수행된다.

표 1

Input \ Weight	W/Wb MWL W/Wb	+1	-1
+1	VDD/VSS	△V(Icell)	0
-1	VSS/VDD	0	△V(Icell)

[0059]

[0060] 표 1을 참조하면, 입력 신호(Input) 및 가중치(Weight)가 모두 +1인 경우, 제1 연산 워드 라인($MWL_{W[}$)과 제1 노드(W)는 VDD 전압 레벨을 갖는다. 이에 따라, 제1-3 트랜지스터(T1-3) 및 제1-4 트랜지스터(T1-4)가 온되고 Icell 전류가 연산 비트 라인(MBL)으로부터 VG로 흐르게 된다. 따라서, 기 설정된 충전 전압으로 프리차징되어 있던 연산 비트 라인(MBL)은 충전 전압에서 △V만큼 감소된 전압 레벨을 갖게 된다.

[0061] 입력 신호(Input) 및 가중치(Weight)가 모두 -1인 경우, 제2 연산 워드 라인(MWL_{Wb})과 제2 노드(Wb)는 VDD 전압 레벨을 갖는다. 이에 따라, 제1-5 트랜지스터(T1-5) 및 제1-6 트랜지스터(T1-6)가 온되고 Icell 전류가 연산 비트 라인(MBL)으로부터 VG로 흐르게 된다. 따라서, 기 설정된 충전 전압으로 프리차징되어 있던 연산 비트 라인(MBL)은 충전 전압에서 △V만큼 감소된 전압 레벨을 갖게 된다.

[0062] 입력 신호(Input) 및 가중치(Weight)가 서로 다른 경우, Icell 전류는 흐르지 않으며 이에 따라 연산 비트 라인(MBL)은 기 설정된 충전 전압으로 유지된다.

[0063] 정리하면, 입력 신호와 기 저장된 가중치가 같을 경우 기 설정된 충전 전압에서 감소된 전압을 갖고, 입력 신호와 기 저장된 가중치가 다를 경우 기 설정된 충전 전압이 유지됨으로써 곱 연산이 수행될 수 있다.

[0064] 표 1은 XNOR을 예시한 것이나, 표 1과 달리 곱 연산은 XOR으로 수행될 수도 있다.

[0065] 일 실시예에 따르면, 제1-4 트랜지스터(T1-4)의 일 단 및 제1-6 트랜지스터(T1-6)의 타단에 연결된 노드 전압은 연산 비트 라인(MBL)의 방전 속도를 늦출 수 있는 전압인 VG 전압 값을 가질 수 있다.

[0066] 도 4는 연산 비트 라인의 전압 레벨을 설명하기 위한 도면이다.

[0067] 도 4를 참조하면, 일 실시예에 따른 연산 워드 라인에 인가되는 입력 신호(MWL)의 펄스 폭은 제2 출력 신호의 선형성이 유지되도록 기 설정된 폭 이하로 설정될 수 있다. 제2 출력 신호의 전압 레벨(V_{MBL})은 누적에 따라 선형 영역(Linear)과 비선형 영역(Nonlinear)을 가지게 되는데, 제2 출력 신호의 펄스 폭이 제2 출력 신호의 전압 레벨(V_{MBL})의 선형 영역에 대응되는 길이를 가지도록 생성될 경우 누적 값 간의 전압 차이가 동일해질 수 있고 이에 따라 정확도 하락(accuracy drop)이 방지될 수 있다.

[0068] 도 5는 더미 셀 어레이의 동작을 설명하기 위한 것이다.

[0069] 도 5를 참조하면, 더미 셀 어레이(130)는 상술한 바와 같이 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$) 각각에 연결된 복수의 더미 열(Dummy Column)로 정의될 수 있으며, 기준 신호는 복수의 더미 열 마다 생성된다. 이때, 기준 신호는 복수의 더미 열 각각에 저장된 더미 가중치 중 논리 '1'이 많을수록 시간 도메인 상에서 더 빠른 위상을 갖도록 생성될 수 있다.

[0070] 일 예로 도 5와 같이 더미 열(DBL<0> 내지 DBL<13>)이 14개이고 더미 열의 인덱스(<0> 내지 <13>)가 높아질수록 더미 가중치에서 논리 '1'이 많은 경우, 논리 '1'의 개수(# of W=1)가 늘어남에 따라 기준 신호가 VTC 어레이(140)에 의해 방전, 즉 풀 다운(pull down)되는 속도가 빨라지는 것을 확인할 수 있다. 방전 속도가 빨라질 경우 기준 신호는 VTC 어레이(140)에 의해 시간 도메인으로 변환될 때 더 빠른 위상을 가질 수 있다.

[0071] 도 6은 본 발명의 일 실시예에 따른 VTC 어레이를 나타낸 도면이다.

[0072] 도 6을 참조하면, VTC 어레이(140)는 복수의 풀 다운 회로(141)와 복수의 변환 회로(142)를 포함한다. 복수의 풀 다운 회로(141) 각각은 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$) 및 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$) 중 하나와, 하나의 변환 회로(142)와 연결된다. 또한, 하나의 풀 다운 회로(141)와 하나의 변환 회로(142)는 VTC 회로로 칭해질 수 있다.

[0073] 복수의 풀 다운 회로(141)는 제2 인에이블 신호(PD_{EN})에 따라 인에이블된다. 복수의 풀 다운 회로(141) 각각은 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$) 및 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$)으로부터 수신한 제2 출력 신호 및 기준 신호를 풀 다운, 즉 방전시킨다.

[0074] 일 실시예에 따르면, 복수의 풀 다운 회로(141) 중 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)과 연결된 적어도 일부는 제2 출력 신호를 동일한 크기의 전압으로 방전시킬 수 있다. 따라서, 제2 출력 신호는 MAC 연산에 따라 서로 다른 전압 레벨을 갖더라도 전압 레벨의 차이에 비례한 시간 차이를 갖고 시간 도메인으로 변환될 수 있다.

[0075] 변환 회로(142)는 제2 출력 신호 및 기준 신호의 전압 레벨이 방전될 경우, 제2 출력 신호 및 기준 신호의 전압이 문턱 전압 초과이면 논리 '0'에 대응되는 신호를 출력하고, 문턱 전압 이하이면 논리 '1'에 대응되는 신호를 출력한다.

[0076] 도 7은 도 6에 포함된 VTC 회로를 도시한 것이다.

[0077] 도 7을 참조하면, 하나의 VTC 회로는 상술한 바와 같이 풀 다운 회로(141) 및 변환 회로(142)를 포함하며, 풀 다운 회로(141)는 풀 다운 전류(I_{PD})를 생성하고, 풀 다운 전류(I_{PD})에 기초하여 제2 출력 신호를 방전시키도록 구성된다. 풀 다운 회로(141)는 제2-1 트랜지스터 내지 제2-3 트랜지스터(T2-1 내지 T2-3), 제3-1 트랜지스터(T3-1) 내지 제3-3 트랜지스터(T3-3) 및 제4 트랜지스터를 포함한다.

[0078] 제2-1 트랜지스터 내지 제2-3 트랜지스터(T2-1 내지 T2-3)는 하나의 전류 미러 회로에 대응되고, 제3-1 트랜지스터(T3-1) 내지 제3-3 트랜지스터(T3-3)도 하나의 전류 미러 회로에 대응된다.

[0079] 제2-1 트랜지스터(T2-1) 및 제3-1 트랜지스터(T3-1)의 게이트에는 바이어스 전압(Vbias)이 인가되며, 제2-1 트랜지스터 내지 제2-3 트랜지스터(T2-1 내지 T2-3) 및 제3-1 트랜지스터(T3-1) 내지 제3-3 트랜지스터(T3-3)는 알려진 바와 같이 전류 미러 동작에 의해 제4 트랜지스터에 풀 다운 전류(I_{PD})가 흐르도록 한다.

[0080] 제4 트랜지스터는 제2 인에이블 신호(PD_{EN})에 따라 온/오프되어 연산 비트 라인 및 더미 비트 라인으로부터 풀 다운 전류(I_{PD})를 방전시킨다. 변환 회로(142)는 제2 출력 신호 및 기준 신호에서 풀 다운 전류(I_{PD})에 의한 방전이 일어나면 상술한 바와 같이 방전된 제2 출력 신호 및 기준 신호와 문턱 전압을 비교하여 논리 '0' 또는 논리 '1'을 출력한다.

[0081] 도 8은 본 발명의 일 실시예에 따른 TDC 어레이를 나타낸 도면이고, 도 9는 도 8의 TDC 어레이의 동작을 설명하기 위한 도면이다.

[0082] 도 8을 참조하면, TDC 어레이(150)는 복수의 TDC 회로(151)을 포함한다. TDC 회로(151)은 예를 들어 DFF(D-Flip Flop)일 수 있으나 이에 제한되는 것은 아니다. 복수의 TDC 회로(151) 각각은 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)으로부터 시간 도메인으로 변환된 제2 출력 신호를 전달받으며, 복수의 더미 비트 라인($DBL_{[0]}$ 내지 $DBL_{[C2]}$)으로부터 기준 신호($T_{REF[0]}$ 내지 $T_{REF[C2]}$)를 전달받는다. 복수의 TDC 회로(151) 각각은 상술한 바와 같이 전달받은 제2 출력 신호와 기준 신호를 비교하고, 비교 결과에 기초하여 제2 출력 신호를 디지털 도메인으로 변환한다.

[0083] 복수의 TDC 회로(151) 각각은 제2 출력 신호를 디지털 도메인으로 변환하기 전에 리셋 신호(RST)를 인가받을 수 있고, 리셋 신호(RST)에 따라 리셋 상태가 될 수 있다.

[0084] 도 9를 참조하면, 일 예로 복수의 TDC 회로(151)이 14개 구비될 경우, 시간 도메인의 제2 출력 신호를 T_{MAC}, 기준 신호를 $T_{REF<0>}$ 내지 $T_{REF<13>}$, 각 TDC 회로(151)에 의해 디지털 도메인으로 변환된 제2 출력 신호를 Q<0> 내지 Q<13>이라 정의한다. 상술한 바와 같이 $T_{REF<0>}$ 내지 $T_{REF<13>}$는 더미 셀 어레이(130)에 의해 서로 다른 위상을 갖는 신호이며, 각각이 복수의 TDC 회로(151) 각각에 인가된다. 복수의 TDC 회로(151)은 서로 다른 기준 신호인

$T_{REF<0>}$ 내지 $T_{REF<13>}$를 클록 신호로 인가받으며, 기준 신호와 T_{MAC}을 비교한다. 비교 결과에 따라, 제2 출력 신호의 위상이 기준 신호 보다 느릴 경우 각 TDC 회로(151)은 제2 출력 신호를 논리 '0'으로 변환하고, 기준 신호 보다 빠를 경우 제2 출력 신호를 논리 '1'로 변환할 수 있다.

[0085] 예를 들어, 도 9에서 MAC = 28인 경우 $T_{REF<13>}$과 비교할 때 제2 출력 신호의 위상이 느리나, 나머지 기준 신호($T_{REF<0>}$ 내지 $T_{REF<12>}$)와 비교할 때 빠르므로 디지털 도메인으로 변환된 제2 출력 신호에서 Q<13>은 0으로 변환되나, 나머지는 1로 변환된다.

[0086] 도 10은 본 발명의 일 실시예에 따른 인코더 어레이를 나타낸 도면이다.

[0087] 도 10을 참조하면, 인코더 어레이(160)는 복수의 인코더(161)를 포함한다. 복수의 인코더(161)는 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)과 각각 연결되며, 인코딩 동작을 위한 인에이블 신호, 즉 제3 인에이블 신호(TDC_{EN})에 따라 인에이블될 경우 써모미터 코드(디지털 도메인으로 변환된 제2 출력 신호)를 인코딩하여 디지털 출력 신호로 변환한다.

[0088] 상술한 본 발명의 전자 장치(100)에 따르면, TDC 어레이(150) 및 인코더 어레이(160)가 TDC 회로(151) 및 인코더(161)와 같은 간단한 디지털 회로로만 구성이 되므로 공정 미세화가 어려운 수동 소자를 사용하는 아날로그 회로로 구성된 ADC 회로에 비해 추가적으로 드는 면적과 파워 소모가 감소된다는 이점이 있다.

[0089] 도 11은 본 발명의 일 실시예에 따른 전자 장치의 동작을 설명하기 위한 도면이다. 이하에서는, 상술한 설명과 중복되는 부분에 대한 상세한 설명은 생략한다.

[0090] 도 11을 참조하면, 전자 장치(100)의 동작은 초기화 페이즈(Initialize), MAC 페이즈(MAC), VT(Voltage to time) 페이즈 및 TDC 페이즈(TDC)를 포함한다.

[0091] 초기화 페이즈에서, 전자 장치(100)는 우선 프리차징 신호(PREb)에 따라 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)을 기 설정된 충전 전압으로 프리차징 시킨다. 예시적으로, 프리차징 회로(110)가 역 게이트 기반의 트랜지스터로 동작할 경우, 프리차징 신호(PREb)가 논리 '0'인 구간에서 프리차징이 수행된다.

[0092] 프리차징이 수행될 때, 전자 장치(100)는 리셋 신호(RST)에 따라 TDC 어레이(150)를 초기화시킬 수 있다.

[0093] 이후 MAC 페이즈에서는 제1 인에이블 신호(MWL_{EN})에 따라 복수의 연산 워드 라인($MWL_{[0]}$ 내지 $MWL_{[R]}$)으로 입력 신호가 인가되고, 또한 복수의 더미 워드 라인(DWL)으로 더미 워드 라인 신호가 인가된다. 전자 장치(100)는 MAC 페이즈에서 MAC 연산을 수행하고, 복수의 연산 비트 라인($MBL_{[0]}$ 내지 $MBL_{[C1]}$)은 MAC 연산에 따른 전압 레벨을 갖게 된다. 예시적으로 도 11에서는 MAC 연산에 따른 제2 출력 신호의 전압 레벨이 128, 0 및 -128을 갖는 것으로 도시되었다. 상술한 바와 같이 제2 출력 신호의 전압 레벨은 프리차징에 따라 기 설정된 충전 전압에서 일정 전압이 감소된 것으로 이해될 수 있을 것이다.

[0094] 이후 VT 페이즈에서는 제2 인에이블 신호(PD_{EN})에 따라 VTC 어레이(140)가 제2 출력 신호를 아날로그 도메인에서 시간 도메인으로 변환한다. 이때, 일 실시예에 따라 제2 출력 신호가 동일한 크기의 전압으로 방전될 경우, 제2 출력 신호는 MAC 연산에 따라 서로 다른 전압 레벨을 갖더라도 전압 레벨의 차이에 비례한 시간 차이를 갖고 시간 도메인으로 변환될 수 있다.

[0095] 마지막으로 TDC 페이즈에서는 제3 인에이블 신호(TDC_{EN})에 따라 TDC 어레이(150) 및 인코더 어레이(160)에 의해 제2 출력 신호가 시간 도메인에서 디지털 도메인으로 변환된다.

[0096] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0097] 100: 전자 장치

110: 프리차징 회로 120: 메모리 셀 어레이

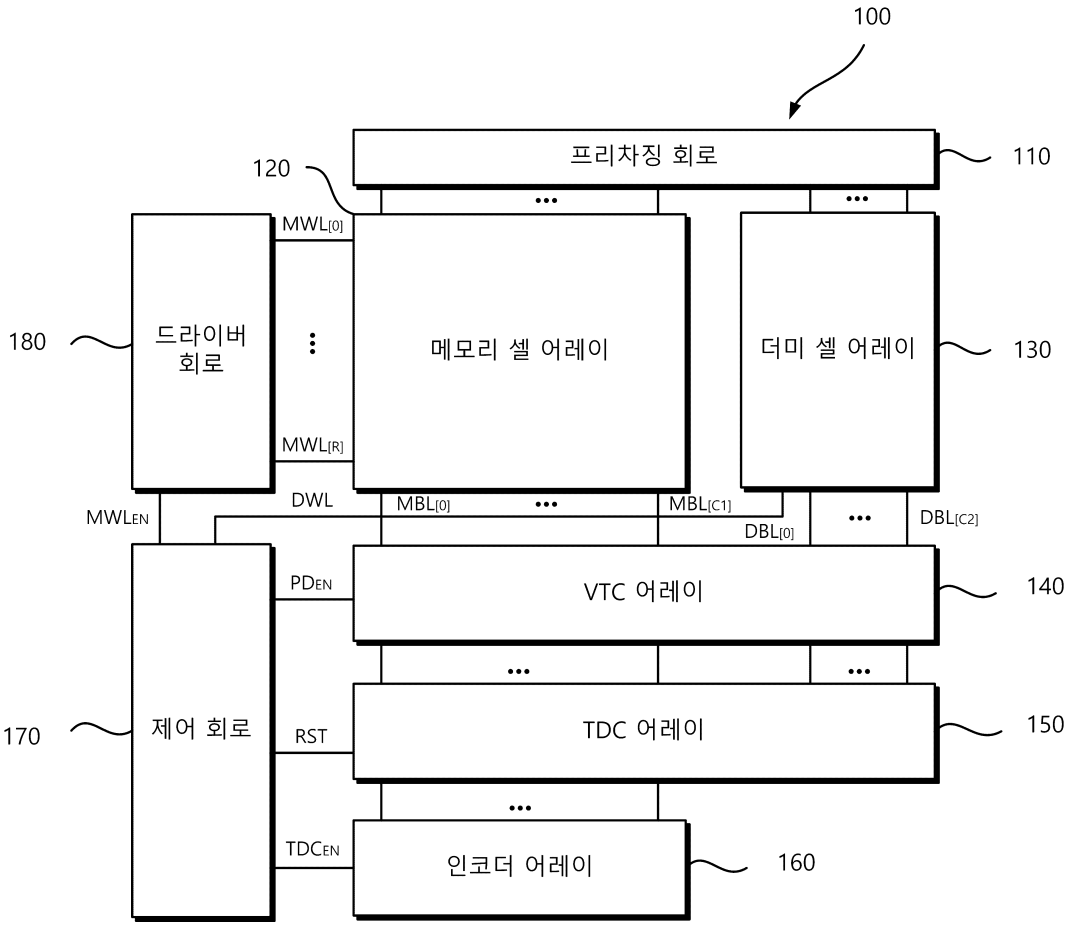
130: 더미 셀 어레이 140: VTC 어레이

150: TDC 어레이 160: 인코더 어레이

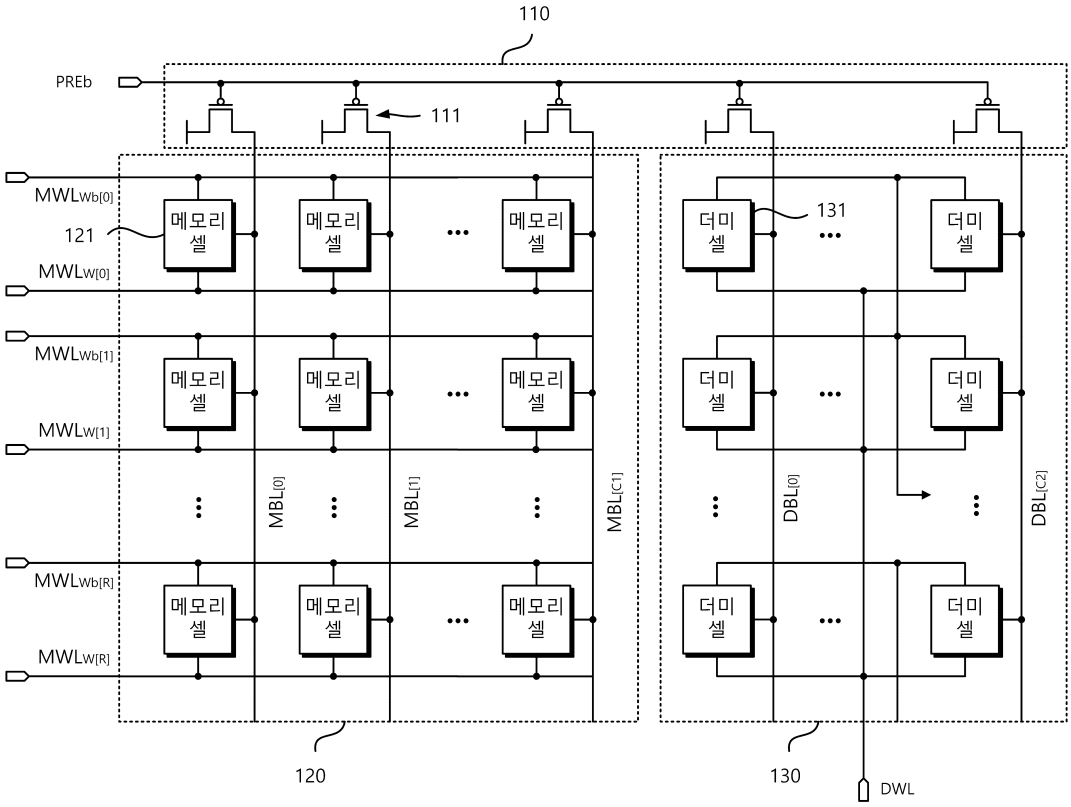
170: 제어 회로 180: 드라이버 회로

도면

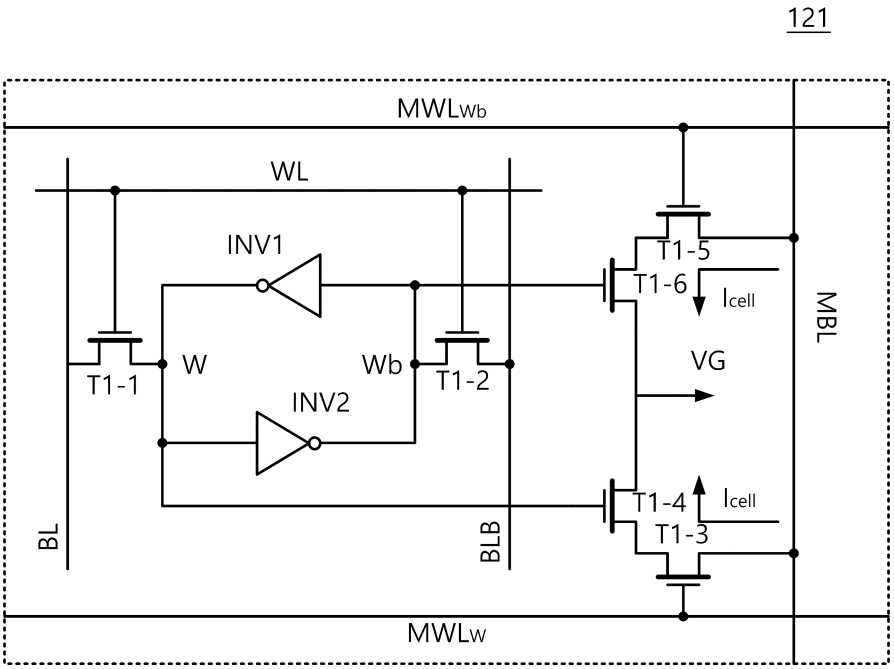
도면1



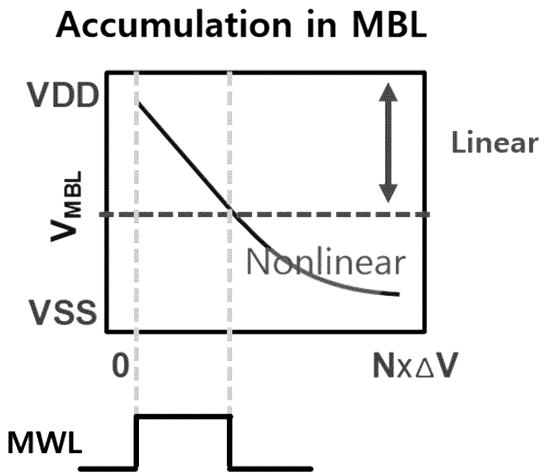
도면2


110
PREb
111
MWLWb[0]
121
메모리 셀
MWLW[0]
MWLWb[1]
MWLW[1]
MWLWb[R]
MWLW[R]
MBL[0]
MBL[1]
MBL[C1]
120
131
더미 셀
DBL[0]
DBL[C2]
130
DWL

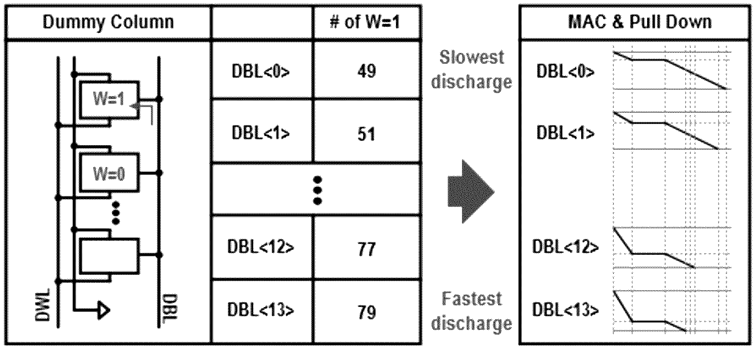
도면3


121
MWLWb
WL
INV1
T1-1
W
Wb
T1-2
INV2
T1-5
T1-6
Icell
VG
MBL
T1-4
T1-3
Icell
BL
BLB
MWLW

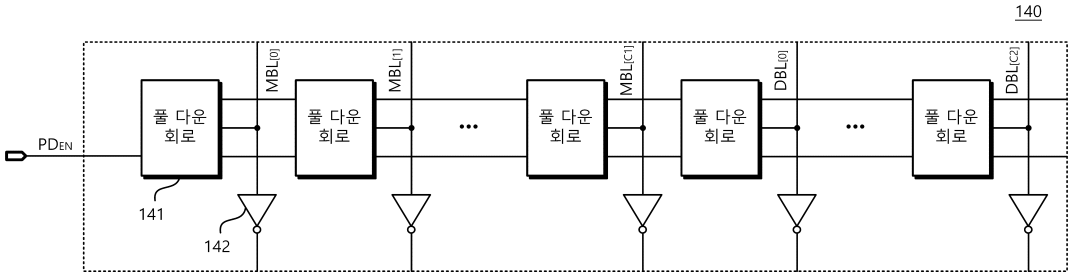
도면4


Accumulation in MBL
VDD
VMBL
VSS
Linear
Nonlinear
0
NxΔV
MWL

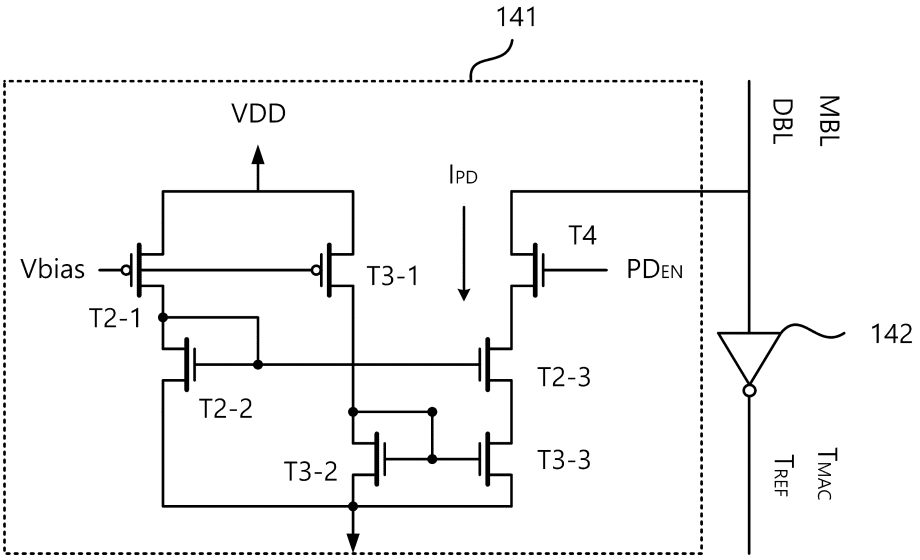
도면5


Dummy Column
# of W=1
W=1
W=0
DWL
DBL
DBL<0>
49
DBL<1>
51
DBL<12>
77
DBL<13>
79
Slowest discharge
Fastest discharge
MAC & Pull Down
DBL<0>
DBL<1>
DBL<12>
DBL<13>

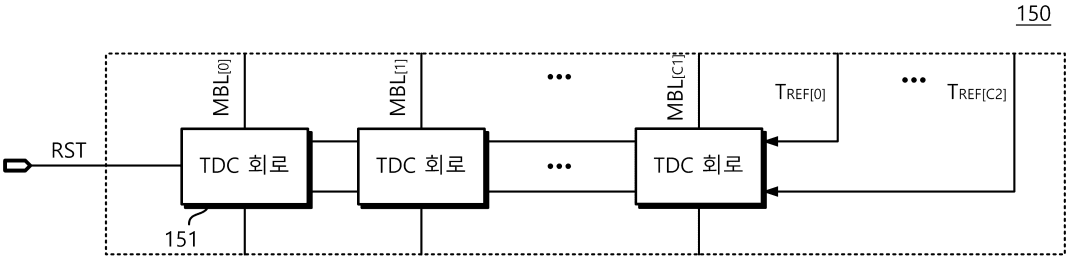
도면6


140
PDEN
풀 다운 회로
MBL[0]
MBL[1]
MBL[C1]
DBL[0]
DBL[C2]
141
142

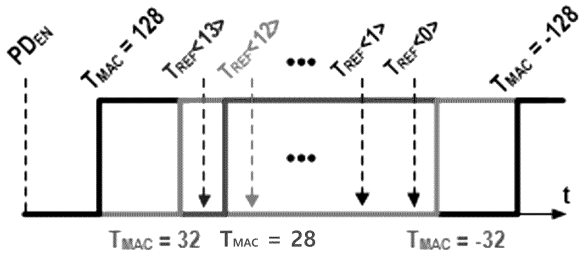
도면7



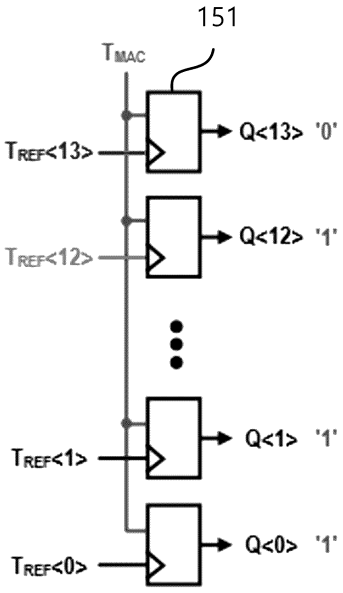
도면8



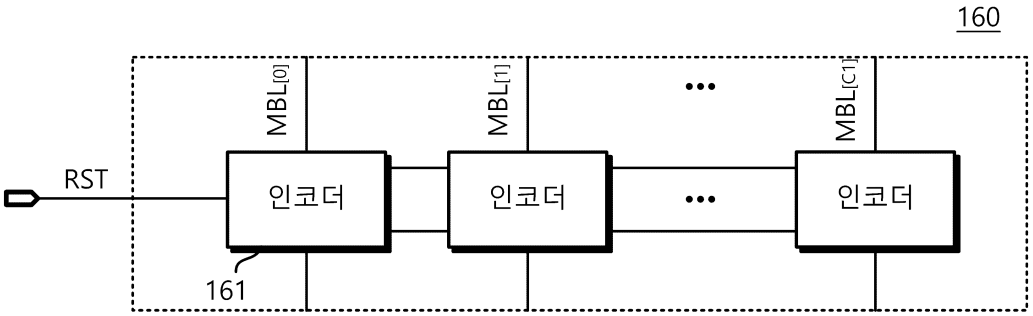
도면9



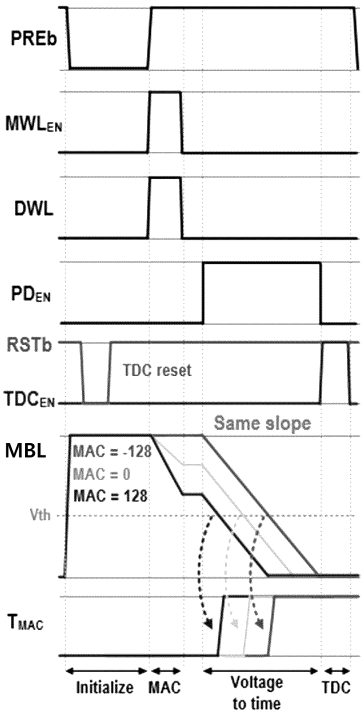
	Q<13>	Q<12>	•••	Q<1>	Q<0>
MAC = 32	1	1		1	1
MAC = 28	0	1		1	1
⋮			•••	⋮	
MAC = -28	0	0		0	1
MAC = -32	0	0		0	0



도면10


160
MBL[0]
MBL[1]
MBL[C1]
RST
인코더
인코더
인코더
161

도면11


PREb
MWL_EN
DWL
PD_EN
RSTb
TDC reset
TDC_EN
Same slope
MBL
MAC = -128
MAC = 0
MAC = 128
Vth
T_MAC
Initialize
MAC
Voltage to time
TDC