

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第3区分  
 【発行日】令和4年7月4日(2022.7.4)

【国際公開番号】WO2020/002562  
 【公表番号】特表2021-529467(P2021-529467A)  
 【公表日】令和3年10月28日(2021.10.28)  
 【出願番号】特願2020-572682(P2020-572682)  
 【国際特許分類】

H 0 4 N 5 / 3 4 5 ( 2 0 1 1 . 0 1 )  
 H 0 4 N 5 / 3 7 4 5 ( 2 0 1 1 . 0 1 )  
 H 0 4 N 5 / 3 3 5 ( 2 0 1 1 . 0 1 )

10

【F I】

H 0 4 N 5 / 3 4 5  
 H 0 4 N 5 / 3 7 4 5  
 H 0 4 N 5 / 3 3 5 5 0 0

【手続補正書】

【提出日】令和4年6月24日(2022.6.24)

【手続補正1】

20

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のスーパーピクセルを有するイメージセンサであって、前記スーパーピクセルはそれぞれ、

第1の受光素子と、

前記第1の受光素子に電氣的に接続され、前記第1の受光素子に当たる光の明るさに比例するアナログ信号が条件に整合するときにトリガ信号を生成するように構成された検出器と、

30

少なくとも一つの第2の受光素子と、

前記少なくとも一つの第2の受光素子に電氣的に接続された少なくとも一つの露出測定サブ回路と、

前記少なくとも一つの第2の受光素子に当たる光の明るさに比例するアナログ信号をデジタル信号に変換するように構成されたアナログ-デジタル回路であって、

前記アナログ-デジタル回路は、前記第1の受光素子に当たる光の明るさに比例するアナログ信号をデジタル信号に変換しない、アナログ-デジタル回路と、

前記検出器及び前記アナログ-デジタル回路に電氣的に接続され、前記トリガ信号にตอบสนองして前記アナログ-デジタル回路をイネーブルするように構成された論理回路と、を備える、イメージセンサ。

40

【請求項2】

前記論理回路は、前記デジタル信号が前記アナログ-デジタル回路から読み出された後に前記アナログ-デジタル回路をディスエーブルするように更に構成される、請求項1に記載のイメージセンサ。

【請求項3】

前記アナログ-デジタル回路は、前記デジタル信号を外部読出しシステムに出力するように更に構成される、請求項2に記載のイメージセンサ。

【請求項4】

50

前記アナログ - デジタル回路は、前記アナログ信号の前記デジタル信号への変換が完了した後に、前記論理回路をリセットする信号を送信するように更に構成される、請求項 2 に記載のイメージセンサ。

【請求項 5】

前記論理回路は、外部制御信号に応答して前記アナログ - デジタル回路をイネーブルするように更に構成される、請求項 1 又は 2 に記載のイメージセンサ。

【請求項 6】

前記検出器は、前記トリガ信号を外部読出しシステムに出力するように更に構成される、請求項 1 又は 2 に記載のイメージセンサ。

【請求項 7】

前記外部読出しシステムは、前記トリガ信号に応答して前記検出器に確認応答信号を送信するように構成され、前記検出器は、前記確認応答信号に応答してリセットするように更に構成される、請求項 6 に記載のイメージセンサ。

【請求項 8】

前記論理回路は、

前記検出器に電氣的に接続された制御論理及び前記制御論理によって制御されるスイッチと、

前記検出器に電氣的に接続された制御論理並びに前記制御論理及び外部コントローラに接続された論理ゲートと、

のうちの少なくとも一方を備える、請求項 1 又は 2 に記載のイメージセンサ。

【請求項 9】

外部読出しシステムは、回路クロックに従って前記アナログ - デジタル回路からの出力を要求し、前記アナログ - デジタル回路は、その要求に応答して前記デジタル信号を出力するように構成される、請求項 1 又は 2 に記載のイメージセンサ。

【請求項 10】

複数の第 2 の受光素子と、

前記複数の第 2 の受光素子のうちの少なくとも一つを備える複数の露出測定サブ回路と、  
を更に備える、請求項 1 に記載のイメージセンサ。

【請求項 11】

前記複数の第 2 の受光素子は、前記露出測定サブ回路のそれぞれの個別のコンデンサノードに前記アナログ信号をそれぞれ出力する、請求項 10 に記載のイメージセンサ。

【請求項 12】

前記複数の第 2 の受光素子のうちの少なくとも二つは、互いに異なる利得を有する、請求項 11 に記載のイメージセンサ。

【請求項 13】

前記複数の第 2 の受光素子は、互いに異なる時間に前記個別のコンデンサノードに前記アナログ信号をそれぞれ出力するように構成される、請求項 11 に記載のイメージセンサ。

【請求項 14】

前記複数の第 2 の受光素子は、前記アナログ信号を、前記複数の露出測定サブ回路によって共有されるコンデンサノードにそれぞれ出力するように構成される、請求項 10 に記載のイメージセンサ。

【請求項 15】

前記複数の第 2 の受光素子のうちの少なくとも二つは、

互いに異なる濃度フィルタと、互いに異なるカラーフィルタと、

のうちの少なくとも一方を有する、請求項 10 に記載のイメージセンサ。

【請求項 16】

アナログ - デジタル回路の第 1 のトランジスタを備えるコンパレータは、前記複数の露出測定サブ回路のそれぞれに関連する少なくとも一つのトランジスタと結合される、請求項 10 に記載のイメージセンサ。

【請求項 17】

10

20

30

40

50

前記複数の露出測定サブ回路のそれぞれに関連する少なくとも一つのリセットトランジスタを更に備える、請求項 1 6 に記載のイメージセンサ。

【請求項 1 8】

前記少なくとも一つのリセットトランジスタは、前記少なくとも一つのリセットトランジスタのそれぞれに当たる光の明るさに比例するアナログ信号を出力する前に前記リセットトランジスタのそれぞれのリセット電圧を出力するように更に構成される、請求項 1 7 に記載のイメージセンサ。

【請求項 1 9】

前記少なくとも一つのリセットトランジスタは、前記リセットトランジスタのそれぞれの前記リセット電圧を順次出力する、請求項 1 8 に記載のイメージセンサ。

10

【請求項 2 0】

前記リセット電圧を、ノイズ及び不整合に対して相関二重サンプリング ( C D S ) 補正を実行するように構成された回路に出力する、請求項 1 9 に記載のイメージセンサ。

【請求項 2 1】

イメージセンサで用いるスーパーピクセルであって、

第 1 の受光素子と、

前記第 1 の受光素子に電氣的に接続され、前記第 1 の受光素子に当たる光の明るさに比例するアナログ信号が条件に整合するときにトリガ信号を生成するように構成された検出器と、

少なくとも一つのリセットトランジスタと、

20

前記少なくとも一つのリセットトランジスタは、前記少なくとも一つのリセットトランジスタのそれぞれに当たる光の明るさに比例するアナログ信号を出力する前に前記リセットトランジスタのそれぞれのリセット電圧を出力するように更に構成される、請求項 1 7 に記載のイメージセンサ。

前記少なくとも一つのリセットトランジスタは、前記リセットトランジスタのそれぞれの前記リセット電圧を順次出力する、請求項 1 8 に記載のイメージセンサ。

前記リセット電圧を、ノイズ及び不整合に対して相関二重サンプリング ( C D S ) 補正を実行するように構成された回路に出力する、請求項 1 9 に記載のイメージセンサ。

前記少なくとも一つのリセットトランジスタは、前記リセットトランジスタのそれぞれの前記リセット電圧を順次出力する、請求項 1 8 に記載のイメージセンサ。

前記リセット電圧を、ノイズ及び不整合に対して相関二重サンプリング ( C D S ) 補正を実行するように構成された回路に出力する、請求項 1 9 に記載のイメージセンサ。

前記少なくとも一つのリセットトランジスタは、前記リセットトランジスタのそれぞれの前記リセット電圧を順次出力する、請求項 1 8 に記載のイメージセンサ。

30

【請求項 2 2】

前記検出器は、

前記検出器に電氣的に接続された制御論理及び前記制御論理によって制御されるスイッチと、

前記検出器に電氣的に接続された制御論理並びに前記制御論理及び外部コントローラに接続された論理ゲートと、

のうちの少なくとも一方を備える、請求項 2 1 に記載のスーパーピクセル。

【請求項 2 3】

複数のスーパーピクセルを有するイメージセンサを制御する方法であって、

40

前記複数のスーパーピクセルのうちの一つのスーパーピクセルの第 1 の受光素子に当たる光に比例する第 1 のアナログ信号を受信することと、

検出器を用いて、前記第 1 のアナログ信号が条件に整合するときにトリガ信号を生成することと、

前記トリガ信号にตอบสนองして、アナログ - デジタル回路をイネーブルすることと、

前記一つのスーパーピクセルの少なくとも一つの第 2 の受光素子に当たる光に比例する少なくとも一つの第 2 のアナログ信号を受信することと、

前記アナログ - デジタル回路を用いて、少なくとも一つの前記第 2 のアナログ信号をデジタル信号に変換することと、

を備え、

50

前記アナログ - デジタル回路は、前記第 1 のアナログ信号をデジタル信号に変換しない、方法。

【請求項 2 4】

前記少なくとも一つの第 2 のアナログ信号をデジタル信号に変換した後に前記アナログ - デジタル回路をディスエーブルすることと、

前記デジタル信号を外部読出しシステムに出力することと、  
を更に備える、請求項 2 3 に記載の方法。

【請求項 2 5】

前記アナログ - デジタル回路を用いて、前記デジタル信号を外部読出しシステムに出力することを更に備える、請求項 2 3 又は 2 4 に記載の方法。

10

【請求項 2 6】

アナログ信号から前記デジタル信号への変換を完了した後に、論理回路をリセットする信号を、前記アナログ - デジタル回路を用いて送信することを更に備える、請求項 2 3 ~ 2 5 のいずれか一項に記載の方法。

【請求項 2 7】

前記検出器を用いて、前記トリガ信号を外部イベントシステムに出力することと、  
前記検出器を用いて、前記トリガ信号に応答して前記外部イベントシステムから肯定応答信号を受信するとともに前記肯定応答信号に  
応答して前記検出器をリセットすることと、  
を更に備える、請求項 2 3 又は 2 4 に記載の方法。

20

【請求項 2 8】

回路クロックに従って前記アナログ - デジタル回路の出力の要求を外部読出しシステムから受信することと、前記要求に応答して前記デジタル信号を出力することと、を更に備える、請求項 2 3 ~ 2 5 のいずれか一項に記載の方法。

30

40

50