



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98120340. X

[45] 授权公告日 2003 年 10 月 15 日

[11] 授权公告号 CN 1124615C

[22] 申请日 1998. 9. 11 [21] 申请号 98120340. X

[30] 优先权

[32] 1997. 9. 11 [33] JP [31] 246606/1997

[71] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 丰田宏

审查员 王晓光

[74] 专利代理机构 中国专利代理(香港)有限公司

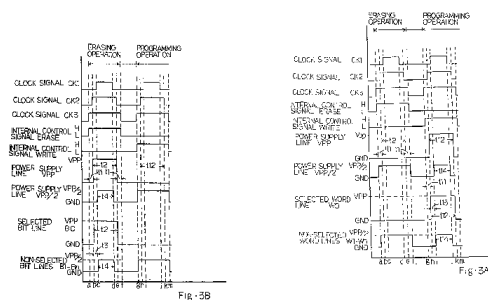
代理人 王忠忠 张志醒

权利要求书 4 页 说明书 9 页 附图 5 页

[54] 发明名称 防止未选择的存贮单元受到干扰的
非易失可编程存贮器件

[57] 摘要

一种电可擦除和可编程只读存贮器件, 在擦除/编程操作中在连接到每一选择的字线(W0)或位线(B0)的未选择浮置栅型场效应晶体管的控制极和漏极节点之间不可避免的产生弱电场, 但是, 在该擦除/编程操作期间改变该电场的方向从而防止了该未被选择的浮置栅型场效应晶体管出现于扰现象。



1. 一种用来通过一编程操作来存贮数据位的半导体非易失存贮器件, 包括
一包括多个存贮单元(M00-M_{mn})的存贮单元阵列(11), 每一存贮单元具有一
5 在表示所述数据位中的一位的第一逻辑电平的第一阈值电平和表示所述数据位
的一位的第二逻辑电平的第二阈值电平之间可变化的阈值, 一用于积聚一载流子
的载流子积聚层, 一第一电流节点, 一由沟道区与所述第一电流节点分离的第二
电流节点和一用来建立越过所述载流子积聚层和所述沟道区域延伸的电场的控
制节点;
- 10 多个字线(W0-W_n), 选择性地连接到所述多个存贮单元的控制节点;
多个数据线(B0-B_n), 选择性地连接到所述多个存贮单元的第一电流节点;
其特征在于还包括,
一电压控制器(12/13/14/15/16/17), 连接到所述多个字线和所述多个数据
线, 从而改变在一被选择的字线上的第一电压、在未选择字线上的第二电压、在
15 被选择数据线上的第三电压和在未选择数据线上的第四电压, 其特性是,
所述电压控制器在所述编程操作中规定一第一时间周期(“g”-“h”和“k”
-“m”)和一第二时间周期(t12),
所述第一电压到第四电压导致所述电场在所述第一时间周期将所述载流子
从连接到所被选择字线和所述未选择数据线的载流子积聚层弱加速到所述未选
20 择数据线;
所述第一电压到第四电压导致所述电场将所述流子从所述未选择数据线弱
加速到所述未选择存贮单元的载流子积聚层并且将所述载流子从所述选择的数
据线强加速到连接到所述被选择字线和所述选择数据线的被选择存贮单元的载
流子积聚层。
- 25 2 如权利要求 1 的半导体非易失性存贮器件, 其特征是所述第一时间周期被
分为第一子时间周期(T11, 即“g”-“h”)和第二子时间周期(“k”-“m”),
并且在所述第二时间周期之前和所述第二时间周期之后分别提供第一子时间周
期和所述第二子时间周期。
- 30 3 如权利要求 2 的半导体非易失性存贮器件, 其特征是所述载流子是电子,
和所述电压控制器连续在所述第一子时间周期、所述第二时间周期和所述第二子

时间周期里将所述第三电压和所述第四电压固定为第一电平(GND)和高于所述第一电平的第三电平(VPP/2),

5 在所述第一子时间周期和所述第二时间周期将所述第一电压从所述第一电平(GND)变为高于所述第二电平(VPP/2)的第三电平(VPP)和在所述第二时间周期和第三子时间周期之间将所述第一电压从所述第三电平变为第一电平。

所述第二时间周期被分为在所述第一子时间周期之后的第三子时间周期(t13, 即“h” - “i”, 在所述第三子时间周期之后的第四子时间周期(t14, 即“i” - “j”))和在第四子时间周期和第三子时间周期之间的第五子时间周期(“j” - “k”),

10 所述电压控制器在所述第三子时间周期将所述第二电压保持在第一电平(GND), 和在所述第三子时间周期和第四子时间周期之间将所述第二电压从第一电平(GND)变为第二电平(VPP/2)和在所述第四子时间周期和第五子时间周期之间从第二电平变为第一电平。

4. 如权利要求 3 的半导体非易失性存储器件, 其特征是所述第四子时间周期(t14)等于或大于所述第一子时间周期(t11)和所述第三子时间周期(t13)的总和。
15

5. 如权利要求 3 的半导体非易失性存储器件, 其特征是所述第三电平(VPP)相对于所述第一电平(GND)比所述第二电平(VPP/2)要高二倍。

6. 如权利要求 5 的半导体非易失性存储器件, 其特征是所述第一电平是一地电平(GND)。

20 7. 如权利要求 1 的半导体非易失性存储器件, 其特征是所述电压控制器在第三时间周期(t1, 即“a” - “b” / t1, 即“e” - “f”)和第四时间周期(t2, 即“b” - “e”)之间对于在所述选择的存储单元中的一擦除操作进一步改变所述第一电压电平、第二电压电平、第三电压电平和第四电压电平。

8. 如权利要求 7 的半导体非易失性存储器件, 其特征是所述第三时间周期被分
25 成为第一子时间周期(t1)和第三子时间周期(“e” - “f”), 并且所述第一子时间周期和所述第三子时间周期分别在所述第四时间周期之后和在所述第四时间周期之后被提供。

9. 如权利要求 8 的半导体非易失性存储器件, 其特征是所述载流子是电子, 和
30 在所述第一子时间周期、第四时间周期和所述第三子时间周期所述电压控制器连续地将所述第一电压和所述第二电压固定为第一电平(GND)和高于所述第一电

平的第二电平($V_{PP}/2$),

在所述第一子时间周期和第四时间周期之间所述电压控制器将所述第三电压从第一电平(GND)变为高于所述第二电平的第三电平(V_{PP})并且在所述第四时间周期和第二子时间周期之间从所述第三电平变为第一电平,

5 所述第四时间周期被分为在所述第一子时间周期之后的第三子时间周期(t_3 , 即“b” - “c”), 在所述第三子时间周期之后的第四子时间周期(t_4 , 即“c” - “d”)和在所述第四子时间周期和所述第二子时间周期之间的第五子时间周期(“d” - “e”),

所述电压控制器在所述第三子时间周期中维持所述第四电压在第一电平(GND), 和在所述第三子时间周期和第四子时间周期之间将所述第四电压从第一电平(GND)变为第二电平($V_{PP}/2$)和在所述第四子时间周期和第五子时间周期之间从第二电平变为第一电平。

10 如权利要求 9 的半导体非易失存储器件, 其特征是所述第三电平(V_{PP})相对于所述第一电平比所述第二电平($V_{PP}/2$)要高两倍, 并且第一子时间周期和第二子时间周期的总和是所述第四时间周期的十分之一。

11. 如权利要求 10 的半导体非易失存储器件, 其特征是所述第一电平是地电平(GND)。

12. 如权利要求 1 的半导体非易失存储器件, 其特征是所述多个数据线是分别连接到分别用作所述第一电流节点的漏极节点的位线(B_0-B_n), 和所述电压控制器包括,

20 行选择器(12), 连接到所述多个字线并且响应于第一地址信号, 用来改变在所述所选择的字线上的第一电压和在所述未选择字线上的第二电压,

列选择器和数据接口(13), 连接到所述位线, 并且响应于第二地址信号, 用来改变在所述选择位线上的第三电压和在所述未选择位线上的第四电压, 和

25 定时发生器(14/15/16/17), 连接到所述行选择器和所述列选择器及数据接口, 用来在所述编程操作中规定所述第一时间周期和所述第二时间周期。

13. 如权利要求 12 的半导体非易失存储器件, 其特征是所述定时发生器进一步规定了在所述选择的存储单元中用于擦除操作的第三时间周期和第四时间周期, 和包括

30 电源单元(17), 产生相对于第一电平的第一电平, 高于所述第一电平的第二

电平和高于所述第二电平的第三电平并且提供第一电平，

时钟发生器(16)，产生其脉冲宽度各不相同的多个时钟信号(CK1/CK2/CK3)，用来规定所述第一时间周期、第二时间周期、第三时间周期和第四时间周期，

- 5 第一定时控制器(14)，响应于一表示所述编程操作如所述擦除操作之一的一内部控制信号，用来在所述第一时间周期和所述第二时间周期里所有选择地向所述行选择器提供第一电平、第二电平和第三电平，和

第二定时发生器(15)，响应于所述内部控制信号，用来在所述第三时间周期的所述第四时间周期里向所述列选择器提供第一电平、第二电平和第三电平。

防止未选择的存储单元
受到干扰的非易失可编程存储器件

5

本发明涉及一种例如是电可编程只读存储器件和电可擦除和可编程只读存储器件的，半导体非易失可编程存储器件，特别是涉及一种在编程/擦除操作期间用来防止未选择的存储单元受到干扰的半导体非易失可编程存储器件。

电可擦除和可编程只读存储器件在其内积聚电荷并通过一隧道效应从浮动栅极释放该积聚的电荷，并且消耗很少量的写入电流/擦除电流。图1示出了该电可擦除和可编程只读存储器件的一个典型的例子。

该已有技术的电可擦除和可编程只读存储器件包括有一存储单元阵列1，一行选择器2和一系列选择器/接口3。多浮置栅型场效应晶体管以行和列的方式被安置，并且作为该存储单元阵列1的存储单元M00-M01，M10-M1n，……和Mn0-Mnn。多位线B0、B1、……和Bn分别与存储单元M00-Mn0、M01-Mn1、……和M0n-Mnn的列相关，并且连接到相关列的浮置栅型场效应晶体管的漏极节点。多位线W0、W1、……和Wn分别与存储单元M00-Mn0、M01-Mn1、……和M0n-Mnn的行相关，并且连接到相关行的浮置栅型场效应晶体管的控制栅极。行地址被分别安置到字线W0-Wn，和列地址被分别安置到位线B0-Bn。为此，每一存储单元由行地址和列地址的组合所规定。

该已有技术的电可擦除和可编程只读存储器件进一步包括有一电源单元4。该电源单元4与行选择器2和列选择器/接口3相连，并且产生高电压 V_{pp} ，中间电压 $V_{pp}/2$ 和地电压GND或零电压。相对于低电压GND，该高电压 V_{pp} 大约比中间电压 $V_{pp}/2$ 高二倍。

行选择器2有选择地激励该字线W0-Wn，以便从该存储单元阵列1中选择一行存储单元。列选择器3有选择地将接口3连接到位线B0-Bn，并且该被选择的字线和被选择的位线指定一存储单元。该已有技术的电可擦除和可编程只读存储器件具有一编程模式，一读出模式和一擦除模式。电源单元4依赖于该操作模式有选择的向该行选择器2和列选择器/接口3提供高电压 V_{pp} 、中间电压 $V_{pp}/2$ 和地电压GND。

在该编程模式中,该行选择器 2 将高电压 V_{pp} 提供给被选择的字线,和将中间电压 $V_{pp}/2$ 提供给非被选择的字线。该列选择器/接口 3 将地电压提供给被选择的位线,和将中间电压 $V_{pp}/2$ 提供给未被选择的位线。在被选择的存储单元的漏极节点和被选择的存储单元的控制栅极之间提供有电位差 V_{pp} ,而任何电位差均
5 不提供给未被选择的存储单元。其结果,隧道效应电流流经被选择的存储单元的栅极隔离层,和电子被注入该浮动栅极。没有隧道效应电流流经未被选择的存储单元的栅极隔离层,并且逻辑“1”电平的一数据位被写入该被选择的存储单元。但是,该未被选择的存储单元保持被擦除或逻辑“0”电平。

当该被选择的存储单元被擦除时,行选择器 2 向被选择的字线提供地电压
10 GND,和将中间电压 $V_{pp}/2$ 提供给未被选择的字线。该列选择器/接口 3 将高电压 V_{pp} 提供给被选择的位线,和将中间电压 $V_{pp}/2$ 提供给未被选择的位线。电位差 V_{pp} 被提供在被选择的存储单元的控制栅极和漏极节点之间,被积聚的电子作为隧道效应电流从浮动栅极抽到漏极节点。

但是,干扰现象并未被避免,电子被积聚在连接到被选择字线的该未被选择
15 的存储单元的浮动栅极上。假定现在将逻辑“1”的数据位写入存储单元 M00 中,则字线 W0 被提高到高电位 V_{pp} ,而位线 B0 被置于地电平。该高电压电位 V_{pp} 不仅被提供到存储单元 M00 的控制栅极而且还被提供给存储单元 M01-M0n 的控制栅极。即使位线 B1 至 Bn 是在中间电压 $V_{pp}/2$,该电位差 $V_{pp}/2$ 通过未被选择的存储单元 M01 至 M0n 而被提供,穿过未被选择的存储单元 M01-M0n 栅极隔离
20 层建立弱电场。在存储单元 M00-Mmn 之间通常观测到载流子注入特性的弥散。如果未被选择的存储单元 M01-Mmn 中的一个存储单元对于穿过该栅极隔离层的电场太敏感,则逻辑“1”的数据位就会被误写入未被选择的存储单元。

由于高电压 V_{pp} 和 $V_{pp}/2$ 被加到被选择的位线和未被选择的字线,所以在该擦除模式中还观测到干扰现象。由于穿过该栅极隔离层的弱电场,被积聚的电子
25 被从该未被选择的存储单元的浮动栅极无意地被抽出。

因此,本发明的一个重要的目的是提供一半导体非易失可编程存储器件,该器件避免未被选择的存储单元受到的干扰现象。

为了完成该目的,本发明建议通过一弱的抽真空而删去无意地被注入未被选择的存储单元的载流子。

30 根据本发明的一个方面,提供有用来通过一编程操作存储数据位的一半导体

非易失存贮器件，该器件包括有包含多个存贮单元的一存贮单元阵列，每一存贮单元具有一在表示数据位中的一个数据位的第一逻辑电平的第一阈值电平和表示数据位中的一个数据位的第二逻辑电平的第二阈值电平之间的可变阈值；一用来积聚一载流子和载流子积聚层；一第一电流节点；通过一沟道区域与第一电流节点相隔开的第二电流节点和一用来建立穿过载流子积聚层和沟道区域而延伸的一电场的控制节点；有选择地连接到多个存贮单元的控制节点的多个字线有选择地连接到多个存贮单元的第一电流节点的多个数据线；和连接到多个字线和多个数据线的电压控制器，从而改变在一被选择的字线上的第一电压、在未被选择的字线上的第二电压、在一被选择数据线上的第三电压和在编程操作中的第一时间周期和第二周期之间的未被选择的数据线上的第四电压，该第一电压至第四电压致使该电场将连接到被选择字线和未被选择数据线的未被选择存贮单元的载流子积聚层的载流子弱加速到第一时间周期内的未被选择的数据线，并且致使该电场将来自未被选择的数据线的载流子弱加速到未被选择的存贮单元的载流子积聚层并且将来自被选择的数据线的载流子强加速到连接到被选择字线和被选择数据线的被选择存贮单元的载流子积聚层。

通过下面结合附图所作的说明可使清楚地理解该半导体非易失可编程器件的特征和优点。

图 1 的框图示出了已有技术的电可擦除和可编程只读存贮器件的构成；

图 2 的框图示出了根据本发明的一种电可擦除和可编程只读存贮器件的构成；

图 3A 和 3B 的时序图示出了该电可擦除和可编程只读存贮器件的一擦除操作和一编程操作；

图 4A 和 4B 示出了在一擦除操作中部分地被重叠的在一被选择位线上的电位电平和在一未被选择的字线上的电位电平；和

图 5 示出了在被选择位线和未选择字线之间的重叠时间内的存贮单元的隧道效应电流。

参见图 2，实施本发明的一电可擦除和可编程只读存贮器件被集成在一半导体芯片 10 中。该电可擦除和可编程只读存贮器件包括有一存贮单元阵列 11、字线 W_0-W_n 和位线 B_0-B_n 。多存贮单元 $M_{00}-M_{nn}$ 以行和列安置，并且构成存贮单元阵列 11。该存贮单元 $M_{00}-M_{nn}$ 的每一个由一浮置栅型 n 沟道场效应晶体管构

成。该浮置栅型 n 沟道场效应晶体管的构成是本技术领域普通技术人员公知的，所以在下面使用时不再对其结构说明。

该电可擦除和可编程只读存贮器件具有一编程模式、一读出模式和一擦除模式。在该编程模式中电子被注入被选择存贮单元的浮动栅极，并且该被积聚的电子将被选择存贮单元的阈值变成为高电平。该高阈值电平相应于逻辑“1”电平的数据位，并且该被选择的存贮单元进入编程状态。另一方面，当被积聚的电子从该浮动栅极被抽出时，该存贮单元进入擦除状态，并且该阈值被变为低电平。

字线 W_0-W_n 分别与存贮单元 $M_{00}-M_{0n}$ 、 $M_{10}-M_{1n}$ 、……和 $M_{0n}-M_{nn}$ 行有关，并且被连接到相关行的存贮单元的控制栅极。位线 B_0-B_n 分别与存贮单元 $M_{00}-M_{nn}$ 、 $M_{01}-M_{n1}$ 、……和 $M_{0n}-M_{nn}$ 的列有关，并且被连接到相关列的存贮单元的漏极节点。虽然一源极线被连接到该存贮单元源极节点，但它未在图2中示出。行地址被分别安置到字线 W_0-W_n ，和列地址被分别安置到位线 B_0-B_n 。由此，每一存贮器是利用该行地址和列地址来确定。

该电可擦除和可编程只读存贮器件进一步包括一行选择器12、一列选择器/数据接口13、定时控制器14/15、一时钟发生器16和一电源单元17。虽然图2中未示出，但一模式控制器进一步包含在该电可擦除和可编程只读存贮器件中，并且响应于外部控制信号以便产生内部控制信号。外部控制信号之一用“WRITE”表示，并被提供给定时控制器14/15。该内部控制信号WRITE代表了该可编程模式。另一内部控制信号用“ERASE”表示，并且被提供给定时控制器14/15。该内部控制信号ERASE代表了该擦除模式。

该电源部分17产生高电压 V_{pp} 、中间电压 $V_{pp}/2$ 和地电压 GND。该高电压 V_{pp} 、中间电压 $V_{pp}/2$ 和地电压 GND 被提供给该定时控制器14/15。时钟发生器16产生时钟信号 $CK_1/CK_2/CK_3$ ，并且将时钟信号 $CK_1/CK_2/CK_3$ 提供给定时控制器14/15。该时钟信号 $CK_1/CK_2/CK_3$ 其脉冲宽度各不相同，并且该定时发生器14/15根据该时钟信号 $CK_1/CK_2/CK_3$ 的前沿和后沿产生一系列的定时。该定时控制器14/15响应该内部控制信号WRITE/ERASE以便在该予置的定时处有选择地向该行选择器12和列选择器/数据接口13提供高电压 V_{pp} 、中间电压 $V_{pp}/2$ 和地电压 GND。

该行选择器12响应代表该行地址的一地址信号以便选择字线 W_0-W_n 中的一个，并将所选择的字线和未选择的字线变成一适合的电平。另一方面，该列选择

器/数据接口 13 响应另一代表该列地址的地址信号，并且将所选择的位线和未选择的位线改变为适当的电平。在该取模式中，列选择器/数据接口 13 检验在该选择的位线上的电位以查看该被选择的存储单元是在编程状态还是在擦除状态，并且产生一代表所选择的存储单元的输出信号 Dout。

- 5 行选择器 12 和列选择器/数据接口 13 如下所述那样在一所选择的存储单元的擦除操作/编程操作中改变在该字线上的电位和在该位线上的电位。假定现在该存储单元 M00 是被选择的存储单元，则该列选择器/数据接口 13 有选择地向字线 W0 和位线 B0 提供地电压 GND 和高电压 VPP，并且在该控制栅和漏极节点之间提供有等于 VPP 的电位差。等于 VPP 的电位差在该存储单元 M00 的栅极隔离层间产生强电场，并且该强电场导致电子在该浮置栅和漏极节点之间移动。该行选择器 12 和列选择器/数据接口 13 向未被选择的字线 W1-Wn 和未被选择的位线 B1-Bn 提供中间电压 $VPP/2$ ，以便防止该未选择的存储单元抽出该积聚电子。虽然在所选择的字线 W0 上的地电压或在所选择的位线 B0 上的高电压 VPP 在连接到选择的字线 W0 或选择的位线 B0 的该未被选择的存储单元的栅极隔离层之间产生弱电场，但该定时控制器/行选择器 14/12 和定时控制器 15/列选择器/数据接口 15/13 参差该定时用来改变在字/位线上的电压，以便避免连接到选择字线或选择位线的未被选择存储单元受到干扰。

图 3A 和 3B 示出了该擦除操作和编程操作。行地址信号和列地址信号指定了存储单元 B00。该电可擦除和可编程只读存储器件被假定进入擦除模式，和随后进入编程模式。

该擦除操作连续从时间“a”持续到时间“f”。在时间“a”，时钟发生器 16 将时钟信号 CK3 升高，并且该模式控制器(未示出)在时钟信号 CK3 的前沿将内部信号 ERASE 变为有效高电平。随后，该定时控制器 14/15 证实进入该擦除模式。

- 25 在该时钟信号 CK3 的前沿处，该定时控制器 14 将中间电压 $VPP/2$ 提供给行选择器 12，并且在时间“a”处该行选择器 12 将未被选择的字线 W1-Wn 变为中间电压 $VPP/2$ 。该定时控制器 15 和列选择器/数据接口 13 将所有位线 B0 至 Bn 保持为地电平。为此，将等于 $VPP/2$ 的电位差提供给未被选择的存储单元 M10-M1n 至 Mn0-Mnn。在该未被选择的存储单元 M10-M1n 至 Mn0-Mnn 中的弱电场将电子朝向该浮动栅极加速。在时间“a”和时间“f”之间的擦除操作期间该
- 30

行选择器 12 将所选择的字线 W0 保持在地电平，并且在存储单元 M00-M0n 中不产生电场。

接着，在时间“b”处该时钟发生器 16 使时钟信号 CK2 上升。随后，定时控制器 15 开始向列选择器/数据接口 13 提供高电压 VPP，并且在时间“b”处
5 列选择器/数据接口 13 将所选择的位线 B0 变为高电压 VPP。在时间“b”和时间“e”之间的时间周期 t2 期间列选择器/数据接口 13 将所选择的位线 B0 保持
在高电压 VPP，并且等于 VPP 的电位差从被选择存储单元 M00 的浮动栅极抽取
被积聚的电子。在所选择的位线 B0 上的高电平 VPP 改变在未选择存储单元 M10
至 Mn0 中的弱电场的方向，并且该弱电场将该电子直接朝向位线 B0 加速。但是，
10 列选择器/数据接口 13 该未选择位线 B1 至 Bn 保持在地电平。为此，在未选择存
贮单元 M01-M0n 不产生任何电场，并且未被选择的存储单元 M11-M1n 至 Mn1-
Mnn 仍然处于直接向浮动栅极加速该电子的上述弱电场之下。

接着，在时间“c”处该时钟发生器将时钟信号 CK1 升高。随后，定时控制
器 15 开始向列选择器/数据接口 13 提供中间电压 VPP/2，并且在时间“C”处列
15 选择器/数据接口 13 将未被选择的位线 B1 至 Bn 变为中间电压 VPP/2。在时间周
期 t4 期间，列选择器/数据接口 13 将未选择的位线 B1-Bn 保持在中间电压 VPP/2。
在未选择存储单元 M01-M0n 中产生指向位线 B1-Bn 的弱电场，并且在未选择位
线 B1-Bn 上的中间电压删去了在该未选择存储单元 M11-M1n 至 M0n-Mnn 中的弱
电场。

20 接着，该时钟信号 CK1 在时间“d”处下降，并且该定时控制电路 15 停留
在中间电压 VPP/2。然后，该列选择/数据接口 13 将未被选择位线 B1 至 Bn 恢复
到地电平 GND。然后，在时间周期 t3 期间，未被选择的存储单元 M01-M0n 至
Mn1-Mnn 返回到以前的状态。

接着，在时间“e”处，时钟发生器 16 将时钟信号 CK2 变为低电平，并且
25 定时控制器 15 停止在高电平 VPP。然后，列选择器/数据接口 13 将所选择的位
线 B0 恢复为低电平，并且在时间周期 t1 期间被选择的存储单元 M00 和未被选择
的存储单元 M10-Mn0 返回到以前的状态。

最后，在时间“f”处，该时钟发生器将时钟信号 CK3 变为低电平，并且该
定时控制器 14 停止中间电压 VPP/2。其结果，该行选择器 12 将未选择字线 W1-Wn
30 恢复到地电平 GND。该模式控制器将内部控制信号 ERASE 恢复到低电平，并且

该电可擦除和可编程只读存贮器件从擦除操作退出。

在时间“g”时钟发生器 16 将时钟信号 CK3 变为高电平，并且该模式控制器将内部控制信号 WRITE 变为高电平。然后，电可擦除和可编程只读存贮器件进入编程模式。另外，定时控制器 15 开始向该列选择器/数据接口 13 提供中间电压 $V_{PP}/2$ ，并且列选择器/数据接口 13 将未选择位线 B1 至 Bn 变为中间电压 $V_{PP}/2$ 。在时间“g”和时间“m”之间的编程操作期间，列选择器/数据接口 13 将所选择的位线 B0 保持在地电压。行选择器 12 将所有字线 W0-Wn 维持在地电平，并且在未选择位线 M01-Mn1 至 M0n-Mnn 中建立等于 $V_{PP}/2$ 的弱电场，并且直接朝向位线 B1-Bn 加速该电子。

在时间 t11 之后，该时钟发生器 16 将时钟信号 CK2 变为高电平，并且在时间“h”处该定时控制器 14 开始向行选择器 12 提供中间电压 $V_{PP}/2$ 。随后，该行选择器 12 将选择的字线 W0 变为高电压 VPP，并且在所选择的存贮单元 M00 中建立等于 VPP 的强电场。然后，热电子朝向被选择的存贮单元 M00 的浮动栅极被加速，并被积聚在浮动栅极。在被选择的字线 W0 上的高电平改变该未选择存贮单元 M01-M0n 中的弱电场的方向。但是，行选择器 12 仍然将未选择的字线 W1-Wn 维持在地电平。为此，该未选择存贮单元 M11-M1n 至 Mn1-Mnn 仍然处在上述指向位线 B1-Bn 的以前的弱电场之下，并且在未被选择的存贮单元 M10-Mn0 中不产生任何电场。

经过时间 t13 之后，该时钟发生器 16 将时钟信号 CK1 变为高电平，并且在时间“t”该定时控制器 14 开始向不选择字线 W1-Wn 提供中间电压 $V_{PP}/2$ 。在该未选择存贮单元 M10-Mn0 中建立等于 $V_{PP}/2$ 的弱电场，并且该电子朝向浮置栅被加速。在该未选择字线 W1-Wn 中的中间电压 $V_{PP}/2$ 删除了在未选择存贮单元 M11-M1n 至 Mn1-Mnn 中的弱电场。

在经过时间 t14 之后，该时钟发生器 16 将时钟信号 CK1 变为低电平，并且在时间“j”该定时控制器 14 中止该中间电压 $V_{PP}/2$ 。行选择器 12 将该未被选择的字线 W1-Wn 恢复为地电平，并且未选择存贮单元 M10-M1n 至 Mn0-Mnn 在时间周期 t13 期间返回到上述状态。

接着，时钟发生器 16 将时钟信号 CK2 变为低电平，并且在时间“k”处该定时控制器 14 中止该高电压 VPP。行选择器 12 将所选择的字线 W0 恢复到地电平 GND，并且在时间周期 t11 期间所选择的存贮单元 M00 和未选择的存贮单元

M01-M0n 返回到前述状态。

最后，该时钟发生器 16 将时钟信号 CK3 变为低电平，并且在时间“m”处该定时控制器 15 中止该中间电压 $V_{PP}/2$ 。该列选择器/数据接口 13 将未选择的位线 B1-Bn 变为地电平 GND，并且在时间“g”之前未选择存储单元 M01-M0n 至 Mn1-Mnn 返回到以前状态。该模式控制器将内部控制信号 WRITE 变为低电平，并且该电可擦除和可编程只读存储器件从该编程模式退出。

因此，定时控制器 14/15 使得该行选择器 12 和该列选择器/数据接口 13 顺序将被选择字线、未选择字线、选择位线和未选择位线变为高/中/地电压，和该顺序电压控制减轻该干扰。

将在后面参考图 4A 和 4B 详细描述该干扰的减小。在图 4A 所示的情况中，在该擦除操作期间，处在高电压 VPP 的选择位线 B0 与处于中间电压 $V_{PP}/2$ 的未选择字线 W1 部分地相重叠，并且未重叠时间(t_1+t_1)是该重叠时间 t_2 和十分之一。在图 4B 所示的情况下，在该擦除操作期间处于高电压 VPP 的被选择位线 B0 也处于中间电压 $V_{PP}/2$ 的未选择字线 W1 部分地相重叠，并且未重叠时间(t_1+t_1)是重叠时间 t_2 的百分之一。

本发明研究了干扰的影响和重叠时间 t_2 的数量之间的关系，本发明改变了在未选择字线 W1 上的电位和总的重叠时间 t_2 ，并且测量该存储单元的沟道电流。该沟道电流如图 5 所示的图形。在图 5 中，“L”表示该编程状态和擦除状态之间的阈值。在这种情况下，该阈值是 15 微安。该编程状态和擦除状态分别由“WRITE”和“ERASE”表示。该选择的位线 B0 被调整到 1.10 伏，而未选择字线 W1 则从 4.5 伏变到 5.5 伏。曲线 $V_{PA}=5.5V(100)$ 表示该未被选择的字线 W1 被调整到 5.5 伏。2 t_1 和 t_2 之间的比为 1/100。如图 4B 所示。曲线 $V_{PA}=5.0V(100)$ 表示未选择字线 W1 被调整为 5.0V，2 t_1 和 t_2 之间的比为 1/100。曲线 $V_{PA}=4.5V(10)$ 表示未选择字线 W1 被调整为 4.5V，2 t_1 和 t_2 之间的比值为 1/10，如图 4A 所示。曲线 $V_{PA}=4.5V(100)$ 表示未选择字线 W1 被调整为 4.5V，2 t_2 和 t_2 之间的比为 1/100。曲线 $V_{PA}=4.0V(100)$ 表示未选择字线 W1 被调整为 4.0V，2 t_1 和 t_2 之间的比为 1/100。

将曲线 $V_{PA}=4.5V(10)$ 与曲线 $V_{PA}=4.5V(100)$ 相比较，则可了解到在比为 1:10 的情况下该未选择存储单元不受干扰的影响。

由于该电场向使在未选择的字线上的电位积聚未选择存储单元的浮动栅极

的电子，这就是为什么在擦除操作中在该未选择字线上的电位有效地抵制了该干扰的原因。在该电位应用到选择位线的情况下被积聚的电子部分地删除了该电子的抽出。这就意味着电场的强度和重叠时间与未重叠时间之间的比涉及干涉的减小。图 5 指出在由在该字线上的电位建立的电场强度为 4.5V 和 5.0 伏之间的情况下 5 下 $2t_1$ 和 t_2 之间的比从 1/100 变为 1/10。

当该被选择存贮单元被改变为编程模式时，由于该弱电场朝向积聚电子的位线抽出部分，所以在该未选择位线上的电位也减轻对诸如 M10/M01 之类的未选择存贮单元的干扰。该时间周期 t_{14} 不短于时间周期 t_1/t_3 ，即 (t_1+t_3) 的总和。

在这种情况下，该浮动栅极、控制栅极、漏极节点和源极节点分别用作载流 10 子积聚层、控制节点、漏极节点和源极节点。定时控制器 14/15、时钟发生器 16、电源单元 17、行选择器 12 和列选择器/数据接口 13 作为电压控制器的整个构成。第一时间周期表示时间周期 t_{11} 的总和及在时间“k”和时间“m”之间的时间周期等效于第一时间周期，和第二时间周期相应于时间周期 t_{12} 。

如前所述，该定时控制器 14/15 使得行选择器 12 和列选择器/数据接口 13 删 15 除或增补无意地注入或无意地从未选择存贮单元抽出的电子，并且在擦除操作和编程操作期间该未选择存贮单元防止了干扰。

虽然已示出和描述了本发明的一特殊例子，但在不违背本发明的精神和范围的前提下本技术领域的普通技术人员可以作出各种变化和改进。

例如，本发明由于在该编程模式中出现干扰现象可适用于一电可编程只读存 20 贮器件。在这种情况下，可以通过幅射紫外光来执行数据删除。该存贮单元不限于该浮置栅型场效应晶体管。由于载流子被积聚在构成该晶体管的部分的一层中，在该阈值可变化的范围内可利用任何晶体管。

通过源极线有选择地连接到该浮置栅型场效应晶体管的源极节点可以执行该擦除操作。在这种情况下，类似于定时控制器 15 的一定控制器使得一源极选 25 择器控制该源极线，并且该源极级用于该数据线。

一半导体非易失可编程只读存贮器件可具有多存贮单元阵列。在这种情况下，一存贮单元从每一存贮单元阵列中被选择从而同时将数据位写入该被选择的存贮单元或从该被选择的存贮单元中擦除该数据位。

一半导体非易失可编程只读存贮器件可以与其它功能块一起被集成在一半 30 导体芯片上。

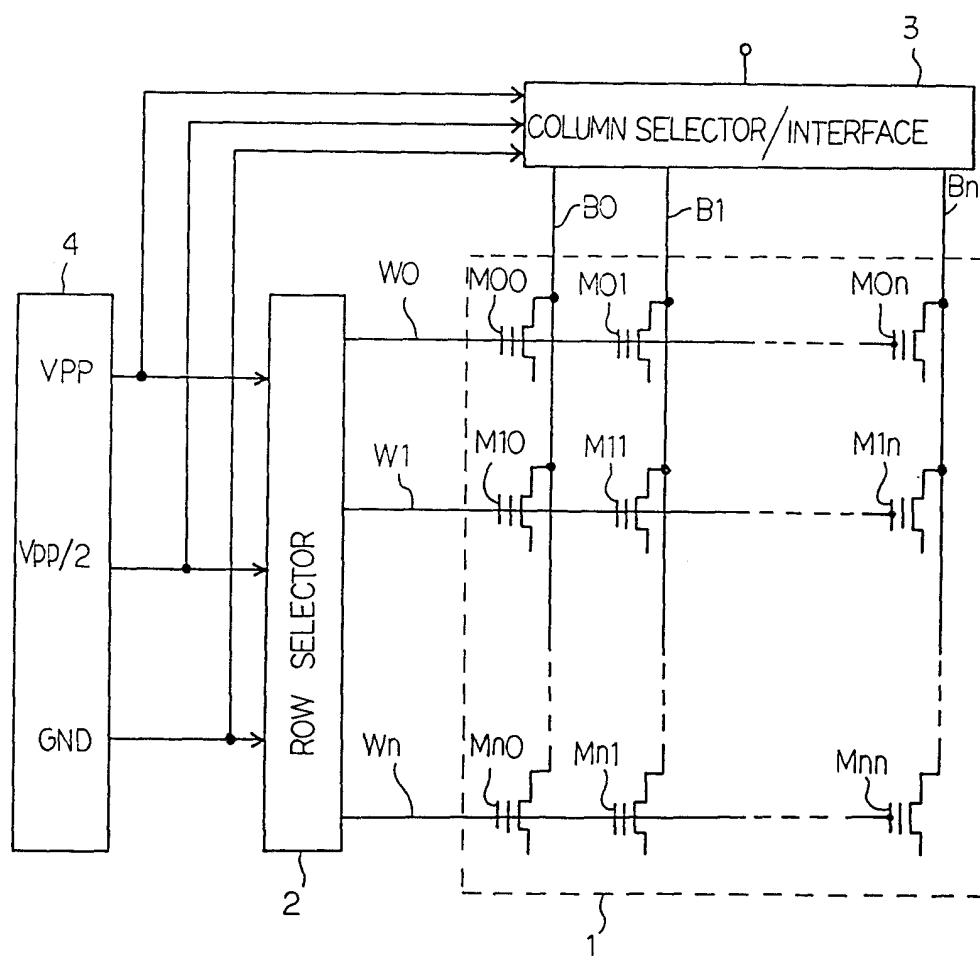


Fig.1
PRIOR ART

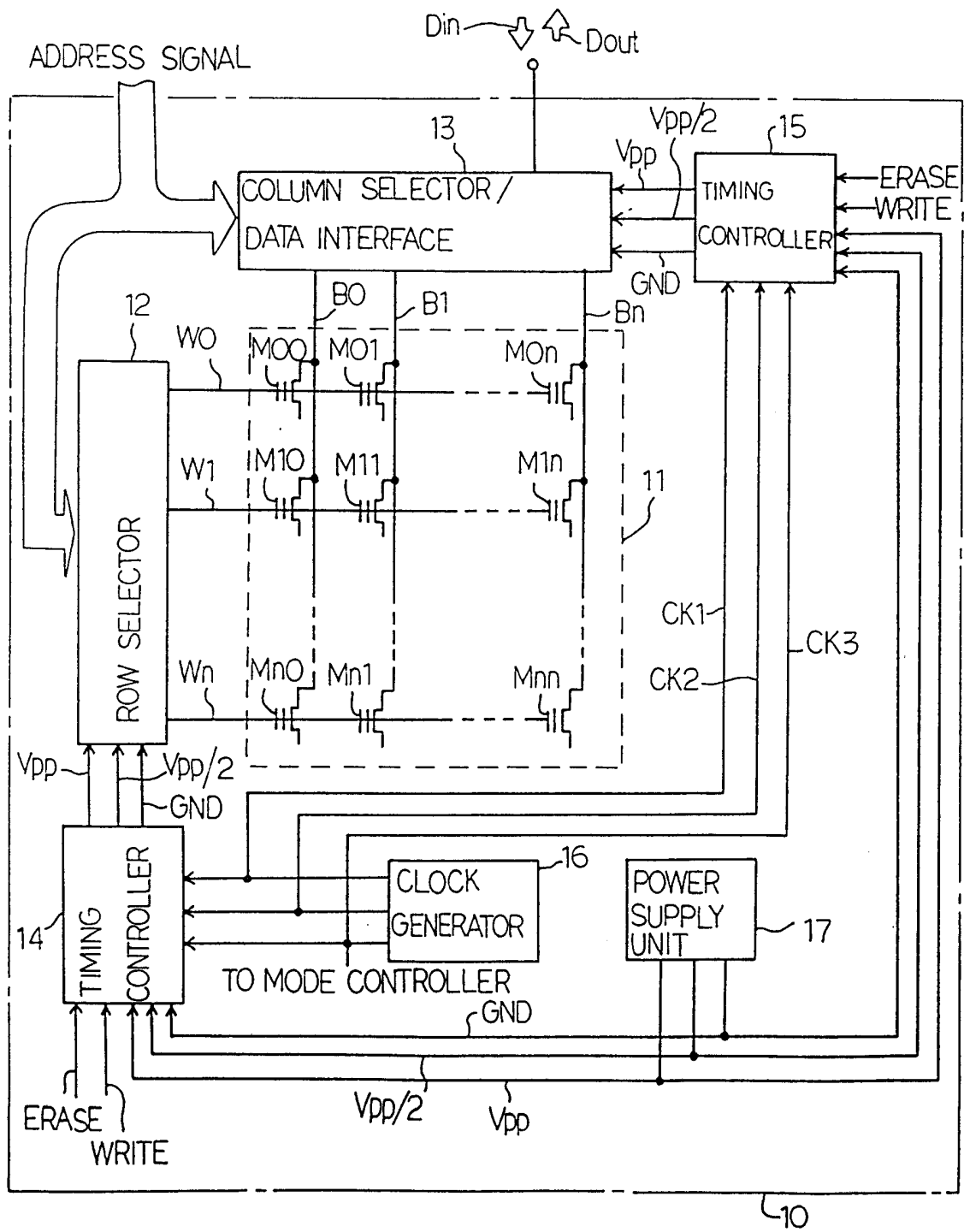


Fig. 2

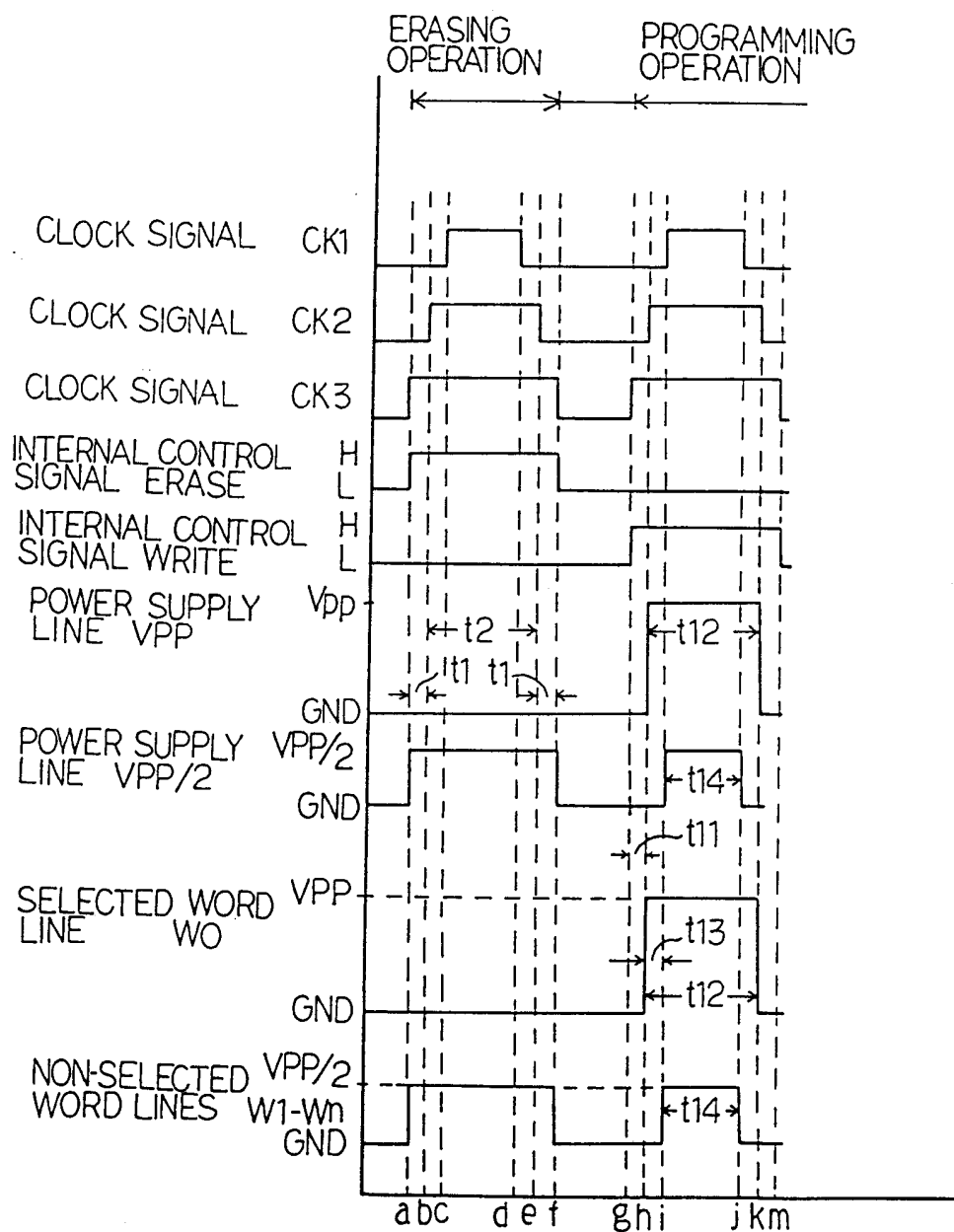


Fig. 3A

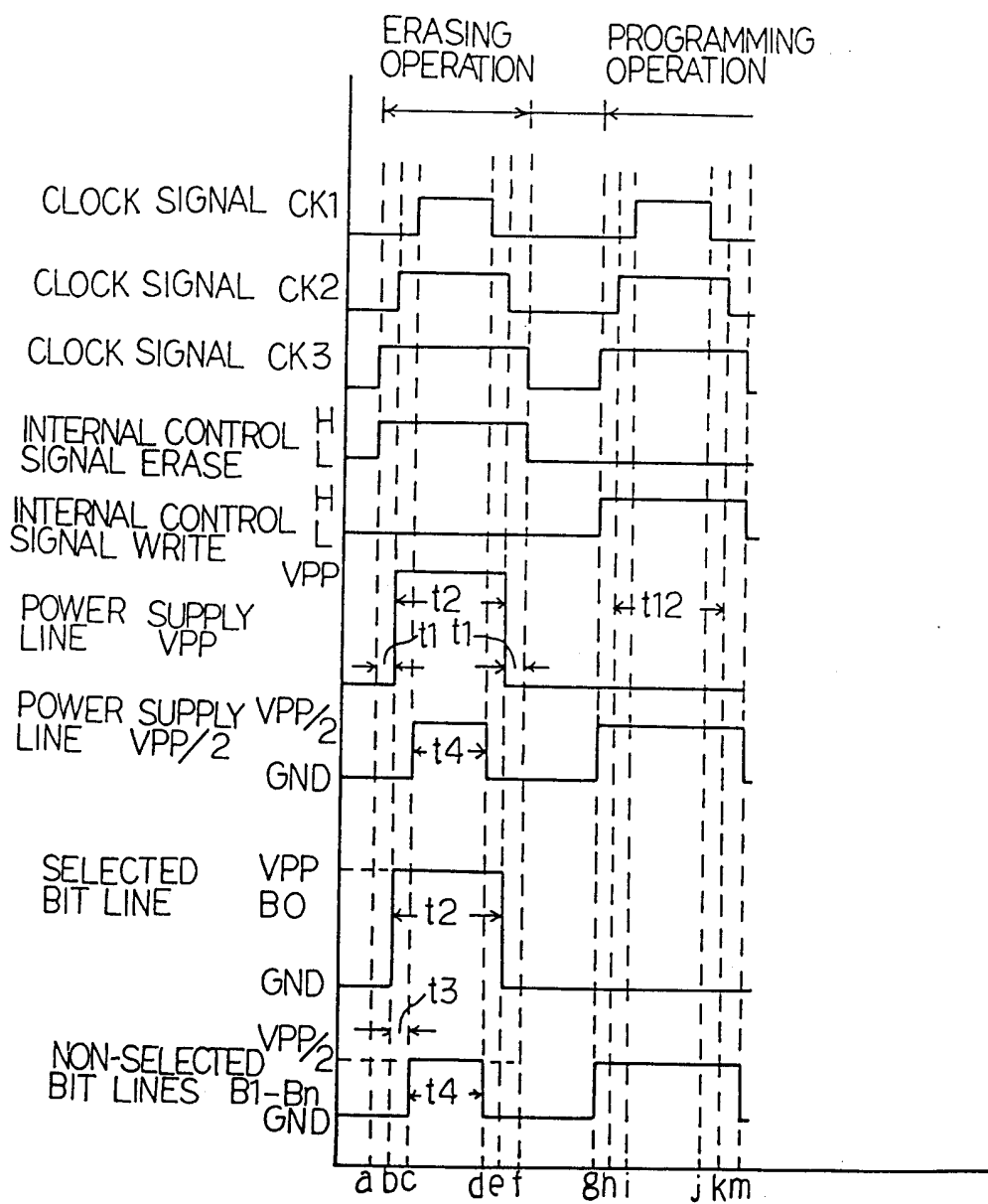


Fig. 3B

