

(43) 国际公布日
2019 年 10 月 24 日 (24.10.2019)



(10) 国际公布号

WO 2019/200824 A1

(51) 国际专利分类号:
H01L 21/77 (2017.01) H01L 21/12 (2006.01)

国湖北省武汉东湖开发区高新大道666号
生物城C5栋, Hubei 430070 (CN)。

(21) 国际申请号: PCT/CN2018/105578

(74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦15E, Guangdong 518028 (CN)。

(22) 国际申请日: 2018 年 9 月 13 日 (13.09.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810356587.8 2018年4月19日 (19.04.2018) CN

(71) 申请人: 武汉华星光电技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(72) 发明人: 李立胜(LI, Lisheng); 中国湖北省武汉东湖开发区高新大道666号生物城C5栋, Hubei 430070 (CN)。 刘广辉(LIU, Guanghui); 中

(54) Title: METHOD FOR MANUFACTURING LTPS TFT SUBSTRATE AND LTPS TFT SUBSTRATE

(54) 发明名称: LTPS TFT基板的制作方法及其LTPS TFT基板

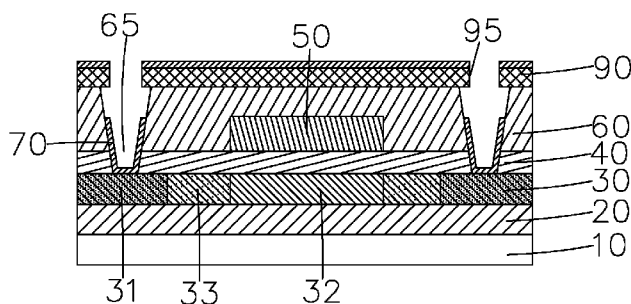


图 11

(57) Abstract: Provided by the present invention are a method for manufacturing an LTPS TFT substrate and an LTPS TFT substrate. In the method for manufacturing an LTPS TFT substrate as described by the present invention, after through holes are etched and formed by using a photoresist layer above an interlayer insulating layer and gate insulating layer corresponding to a source/drain contact region, and before the photoresist layer is peeled off, a conductive material is deposited at the positions of the through holes so as to form a conductive layer that contacts the source/drain contact region within the through holes, subsequently causing a source/drain to contact the conductive layer within the through holes so as to connect to the source/drain contact region. Therefore, the deficiency of contact resistance between the source/drain and the source/drain contact region being high in Re-etch LDD technology may be effectively improved, and Re-etch LDD technology may be used to reduce one photomask process and form an undercut structure between through holes and a photoresist layer without affecting product characteristics, thereby preventing deposited conductive material from affecting the peeling off of the photoresist layer, and ensuring the efficiency of peeling off the photoresist layer.

[见续页]

WFO 2019/200824 A1

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本发明提供一种LTPS TFT基板的制作方法。本发明的LTPS TFT基板的制作方法, 在利用光阻层在层间绝缘层和栅极绝缘层上对应于源漏极接触区的上方蚀刻形成过孔之后, 并在剥离去除光阻层之前, 在所述过孔位置处沉积导电材料而在过孔内形成与所述源漏极接触区相接触的导电层, 后续使得源漏极与过孔内的导电层相接触进而与源漏极接触区相导通, 从而能够有效改善Re-etch LDD技术中源漏极与源漏极接触区接触阻抗偏高的不足, 进而在不影响产品特性的情况下, 可通过Re-etch LDD技术减少一道光罩制程, 并且使过孔与光阻层之间形成底切结构, 避免所沉积的导电材料对剥离光阻层产生影响, 保证光阻层的剥离效率。

LTPS TFT 基板的制作方法及其 LTPS TFT 基板

技术领域

本发明涉及显示技术领域，尤其涉及一种 LTPS TFT 基板的制作方法及其 LTPS TFT 基板。

背景技术

在显示技术领域，液晶显示器（Liquid Crystal Display, LCD）和有源矩阵驱动式有机电致发光（Active Matrix Organic Light-Emitting Diode, AMOLED）显示器等平板显示装置因具有机身薄、高画质、省电、无辐射等众多优点，得到了广泛的应用，如：移动电话、个人数字助理（PDA）、数字相机、计算机屏幕或笔记本屏幕等。

薄膜晶体管（Thin Film Transistor, TFT）阵列（Array）基板是目前 LCD 装置和 AMOLED 装置中的主要组成部件，直接关系到高性能平板显示装置的发展方向，用于向显示器提供驱动电路，通常设置有数条栅极扫描线和数条数据线，该数条栅极扫描线和数条数据线限定出多个像素单元，每个像素单元内设置有薄膜晶体管和像素电极，薄膜晶体管的栅极与相应的栅极扫描线相连，当栅极扫描线上的电压达到开启电压时，薄膜晶体管的源极和漏极导通，从而将数据线上的数据电压输入至像素电极，进而控制相应像素区域的显示。通常阵列基板上薄膜晶体管的结构又包括层叠设置于衬底基板上的栅极、栅极绝缘层、有源层、源漏极及绝缘保护层。

其中，低温多晶硅（Low Temperature Poly-Silicon, LTPS）薄膜晶体管与传统非晶硅（A-Si）薄膜晶体管相比，虽然制作工艺复杂，但因其具有更高的载流子迁移率，被广泛用于中小尺寸高分辨率的 LCD 和 AMOLED 显示面板的制作，低温多晶硅被视为实现低成本全彩平板显示的重要材料。

热载流子效应是金属氧化物半导体（Metal Oxide Semiconductor, MOS）器件的一个重要失效机理，随着 MOS 器件尺寸的日益缩小，器件的热载流子注入效应越来越严重。在 LTPS 阵列技术中，为了有效抑制 LTPS N 型金属氧化物半导体（NMOS）器件的热载流子效应，提高器件工作的稳定性及改善器件在负偏置条件下的漏电流，现有的 LTPS NMOS 制作工艺通常采取轻掺杂漏区（Lightly Doped Drain, LDD）方式，即是在多晶硅（Poly-Si）沟道中靠近源漏极的附近设置一个低掺杂的区域，让该低掺杂的区域也承受部分分压。

目前通常被应用的 LDD 工艺为 MASK(光罩)LDD 技术及 Re-etch(重复蚀刻) LDD 技术, 其中采用 MASK LDD 技术制作 LTPS 阵列基板的过程包括如下步骤:

5 步骤 S10、如图 1 所示, 在基板 100 上依次形成缓冲层 200 和多晶硅有源层 300, 在所述多晶硅有源层 300 上涂覆光阻, 并通过一道光罩经曝光显影处理形成光阻图案 980, 以所述光阻图案 980 为遮蔽层, 向多晶硅有源层 300 两端植入高剂量的 N 型离子 (磷离子 P^+ , $1 \times 10^{14} \sim 1 \times 10^{15}$ ions/cm²), 形成源漏极接触区 310;

10 步骤 S20、如图 2 所示, 剥离去除所述光阻图案 980, 在所述缓冲层 200 上沉积形成覆盖多晶硅有源层 300 的栅极绝缘层 400, 在所述栅极绝缘层 400 上沉积并图案化第一金属层, 在多晶硅有源层 300 对应欲形成沟道区的上方形成栅极 500, 以所述栅极 500 为遮蔽层, 向多晶硅有源层 300 两端植入低剂量的 N 型离子 (P^+ , $1 \times 10^{12} \sim 1 \times 10^{13}$ ions/cm²), 形成沟道区 320 以及沟道区 320 和源漏极接触区 310 之间的 LDD 区 330;

15 步骤 S30、如图 3 所示, 在栅极 500 与栅极绝缘层 400 上沉积形成层间绝缘层 600, 在所述层间绝缘层 600 上涂覆光阻, 并经曝光显影处理形成光阻层 900;

20 步骤 S40、如图 4 所示, 以所述用光阻层 900 为遮蔽层, 对所述层间绝缘层 600 和栅极绝缘层 400 进行蚀刻, 在层间绝缘层 600 和栅极绝缘层 400 上对应所述有源层 300 两侧的源漏极接触区 310 的上方形成过孔 650;

步骤 S50、如图 5 所示, 在所述层间绝缘层 600 上沉积并图案化第二金属层, 得到源漏极 800, 所述源漏极 800 经由所述过孔 650 与所述有源层 300 两侧的源漏极接触区 310 相接触。

25 现有 Re-etch LDD 技术与上述 MASK LDD 技术相比, 在图案化形成多晶硅有源层 300 后, 不通过光阻图案 980 对有源层 300 进行重掺杂, 而是对第一金属层进行两次蚀刻, 以第一次蚀刻后的金属图案来定义重掺杂的源漏极接触区域 310, 以该金属图案为遮蔽层, 向多晶硅有源层 300 两端进行重掺杂而植入高剂量的 N 型离子, 接着对第一金属层进行第二次蚀刻得到栅极 500, 以栅极 500 为遮蔽层, 向多晶硅有源层 300 两端进行轻掺杂而
30 植入低剂量的 N 型离子。相比于 MASK LDD 技术, Re-etch LDD 技术的主要优点为减少一道光刻制程, 从而降低一道光罩的生产成本和减少 LTPS TFT 基板的制程时间, 提高生产产能, 其缺点主要为 Re-etch LDD 技术进行重掺杂时需将 N 型离子穿过栅极绝缘层 400, 在机台制程能力范围内, 大部分的 N 型离子无法植入到多晶硅有源层 300 内, 导致有源层 300 两侧

的源漏极接触区 310 内的离子含量较低，与源漏极 800 的接触阻抗异常，影响器件性能。

发明内容

5 本发明的目的在于提供一种 LTPS TFT 基板的制作方法，能够有效改善 Re-etch LDD 技术中源漏极与源漏极接触区接触阻抗偏高的不足。

本发明的目的还在于提供一种 LTPS TFT 基板，能够有效改善 Re-etch LDD 技术中源漏极与源漏极接触区接触阻抗偏高的不足。

为实现上述目的，本发明首先提供一种 LTPS TFT 基板的制作方法，包括如下步骤：

步骤 S1、提供衬底基板，在所述衬底基板上由下至上依次形成缓冲层、多晶硅有源层、栅极绝缘层、栅极及层间绝缘层；

15 所述多晶硅有源层具有位于两端的源漏极接触区、位于中间的沟道区及位于源漏极接触区与沟道区之间的 LDD 区；所述栅极绝缘层在所述缓冲层上覆盖所述多晶硅有源层；所述栅极在所述栅极绝缘层上对应位于所述多晶硅有源层的沟道区的上方；所述层间绝缘层在所述栅极绝缘层上覆盖所述栅极；

20 步骤 S2、在所述层间绝缘层上涂布光阻，经曝光、显影后得到光阻层，所述光阻层对应于所述源漏极接触区的上方具有过孔图案而露出层间绝缘层；

25 步骤 S3、以所述光阻层为遮蔽层，对所述层间绝缘层和栅极绝缘层进行干法蚀刻，在所述层间绝缘层和栅极绝缘层上对应于所述源漏极接触区的上方形成过孔，使形成的所述过孔和光阻层之间形成底切结构，所述过孔的纵截面呈倒置梯形，所述光阻层伸到所述过孔上方而遮盖所述过孔孔壁的顶部；

步骤 S4、在所述过孔位置处沉积导电材料，该导电材料穿过所述光阻层在过孔内形成与所述源漏极接触区相接触的导电层，剥离去除所述光阻层及光阻层上的导电材料；

30 步骤 S5、在所述层间绝缘层上沉积并图案化形成源漏极，所述源漏极与所述过孔内的导电层相接触进而与所述源漏极接触区相导通。

所述步骤 S4 中所沉积形成的导电层为金属材料层或金属氧化物材料层。

所述步骤 S4 中所沉积形成的导电层为金属钼层。

所述步骤 S4 中所沉积形成的导电层为 N 型离子掺杂的非晶硅层。

所述步骤 S3 中对所述层间绝缘层和栅极绝缘层进行干法蚀刻的蚀刻气体包含氧气，该蚀刻气体还包含六氟化硫、五氟乙烷及四氟化碳中的一种或多种。

所述步骤 S1 具体包括如下步骤：

5 步骤 S11、提供衬底基板，在所述衬底基板上形成多晶硅层，对所述多晶硅层进行图案化处理，得到多晶硅有源层，在所述缓冲层上形成覆盖多晶硅有源层的栅极绝缘层；

10 步骤 S12、在所述栅极绝缘层沉积金属层，在所述金属层上对应于所述多晶硅有源层中部的上方形成光阻图案，以所述光阻图案为遮蔽层，对所述金属层进行第一次蚀刻形成准栅极，以所述准栅极为遮蔽层，对所述多晶硅有源层两端没有被准栅极遮盖的部分进行 N 型离子重掺杂，形成多晶硅有源层两端的源漏极接触区；

15 步骤 S13、对所述金属层进行第二次蚀刻，使所述准栅极两侧被横向蚀刻而宽度减小，形成栅极，剥离去除所述光阻图案，以所述栅极为遮蔽层，对所述多晶硅有源层两端没有被栅极遮盖的部分进行 N 型离子轻掺杂，得到多晶硅有源层中部的对应位于所述栅极下方的沟道区以及所述源漏极接触区和沟道区之间的 LDD 区；

步骤 S14、在所述栅极绝缘层上形成覆盖所述栅极的层间绝缘层。

20 所述步骤 S12 中，通过干法蚀刻对所述金属层进行第一次蚀刻，对所述金属层进行第一次蚀刻的蚀刻气体包含六氟化硫、五氟乙烷及四氟化碳中的一种或多种。

所述步骤 S13 中，通过干法蚀刻对所述金属层进行第二次蚀刻，对所述金属层进行第二次蚀刻的蚀刻气体包含氧气和氯气。

25 所述步骤 S12 和步骤 S13 中对所述多晶硅有源层中掺入的离子均为磷离子；

所述步骤 S12 中，对所述多晶硅有源层进行 N 型离子重掺杂时的掺杂离子浓度为 1×10^{14} - 1×10^{15} ions/cm²；

所述步骤 S13 中，对所述多晶硅有源层进行 N 型离子轻掺杂时的掺杂离子浓度为 1×10^{12} - 1×10^{13} ions/cm²。

30 本发明还提供一种 LTPS TFT 基板，包括衬底基板、设于衬底基板上的缓冲层、设于缓冲层上的多晶硅有源层、在所述缓冲层上覆盖所述多晶硅有源层的栅极绝缘层、设于所述栅极绝缘层上的栅极、在所述栅极绝缘层上覆盖所述栅极的层间绝缘层及设于所述层间绝缘层上的源漏极；

所述多晶硅有源层具有位于两端的源漏极接触区、位于中间的沟道区

及位于源漏极接触区与沟道区之间的 LDD 区；

所述栅极在所述栅极绝缘层上对应位于所述多晶硅有源层的沟道区的上方；

5 所述层间绝缘层和栅极绝缘层在对应于所述源漏极接触区的上方设有过孔，所述过孔的纵截面呈倒置梯形，所述过孔内设有一层与所述源漏极接触区相接触的且纵截面呈 U 形的导电层；

所述源漏极与所述过孔内的导电层相接触进而与所述源漏极接触区相导通。

所述导电层为金属材料层或金属氧化物材料层。

10 本发明的有益效果：本发明的 LTPS TFT 基板的制作方法，在利用光阻层在层间绝缘层和栅极绝缘层上对应于源漏极接触区的上方蚀刻形成过孔之后，并在剥离去除光阻层之前，在所述过孔位置处沉积导电材料而在过孔内形成与所述源漏极接触区相接触的导电层，后续使得源漏极与过孔内的导电层相接触进而与源漏极接触区相导通，从而能够有效改善 Re-etch
15 LDD 技术中源漏极与源漏极接触区接触阻抗偏高的不足，进而在不影响产品特性的情况下，可通过 Re-etch LDD 技术减少一道光罩制程，并且使过孔与光阻层之间形成底切结构，避免所沉积的导电材料对剥离光阻层产生影响，保证光阻层的剥离效率。本发明的 LTPS TFT 基板，源漏极接触区上方的过孔内设有一层与源漏极接触区相接触的导电层，源漏极与所述过孔
20 内的导电层相接触进而与所述源漏极接触区相导通，能够有效改善 Re-etch LDD 技术中源漏极与源漏极接触区接触阻抗偏高的不足。

附图说明

25 为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为采用 MASK LDD 技术制作 LTPS TFT 基板的步骤 S10 的示意图；
图 2 为采用 MASK LDD 技术制作 LTPS TFT 基板的步骤 S20 的示意图；
30 图 3 为采用 MASK LDD 技术制作 LTPS TFT 基板的步骤 S30 的示意图；
图 4 为采用 MASK LDD 技术制作 LTPS TFT 基板的步骤 S40 的示意图；
图 5 为采用 MASK LDD 技术制作 LTPS TFT 基板的步骤 S50 的示意图；
图 6 为本发明的 LTPS TFT 基板的制作方法的流程示意图；
图 7 为本发明的 LTPS TFT 基板的制作方法的步骤 S12 的示意图；

图 8 为本发明的 LTPS TFT 基板的制作方法的步骤 S13 的示意图;

图 9 为本发明的 LTPS TFT 基板的制作方法的步骤 S2 的示意图;

图 10 为本发明的 LTPS TFT 基板的制作方法的步骤 S3 的示意图;

图 11-12 为本发明的 LTPS TFT 基板的制作方法的步骤 S4 的示意图;

5 图 13 为本发明的 LTPS TFT 基板的制作方法的步骤 S5 的示意图暨本发明的 LTPS TFT 基板的结构示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果, 以下结合本发明的
10 的优选实施例及其附图进行详细描述。

请参阅图 6, 本发明提供一种 LTPS TFT 基板的制作方法, 包括如下步骤:

步骤 S1、提供衬底基板 10, 在所述衬底基板 10 上由下至上依次形成缓冲层 20、多晶硅有源层 30、栅极绝缘层 40、栅极 50 及层间绝缘层 60。

15 具体地, 本实施例采用 Re-etch LDD 技术制作 LTPS TFT 基板, 所述步骤 S1 具体包括如下步骤:

步骤 S11、提供衬底基板 10, 在所述衬底基板 10 上形成多晶硅层, 对所述多晶硅层进行图案化处理, 得到多晶硅有源层 30, 在所述缓冲层 20 上形成覆盖多晶硅有源层 30 的栅极绝缘层 40。

20 具体地, 所述步骤 11 中, 所述多晶硅层的制作过程为: 在所述缓冲层 20 上沉积非晶硅层, 采用低温结晶工艺将所述非晶硅层转化为多晶硅层, 所述低温结晶工艺为固相晶化、准分子激光晶化、快速热退火、或金属横向诱导法。

步骤 S12、如图 7 所示, 在所述栅极绝缘层 40 沉积金属层, 在所述金属层上对应于所述多晶硅有源层 30 中部的上方形成光阻图案 98, 以所述光阻图案 98 为遮蔽层, 对所述金属层进行第一次蚀刻形成准栅极 51, 以所述准栅极 51 为遮蔽层, 对所述多晶硅有源层 30 两端没有被准栅极 51 遮盖的部分进行 N 型离子重掺杂, 形成多晶硅有源层 30 两端的源漏极接触区 31。

具体地, 所述步骤 S12 中对所述多晶硅有源层 30 中掺入的离子为磷离子, 对所述多晶硅有源层 30 进行 N 型离子重掺杂时的掺杂离子浓度为
30 $1 \times 10^{14} - 1 \times 10^{15} \text{ ions/cm}^2$ 。

具体地, 所述步骤 S12 中, 通过干法蚀刻对所述金属层进行第一次蚀刻, 对所述金属层进行第一次蚀刻的蚀刻气体包含六氟化硫 (SF_6)、五氟乙烷 (C_2HF_5) 及四氟化碳 (CF_4) 中的一种或多种。

步骤 S13、如图 8 所示，对所述金属层进行第二次蚀刻，使所述栅极 51 两侧被横向蚀刻而宽度减小，形成栅极 50，剥离去除所述光阻图案 98，以所述栅极 50 为遮蔽层，对所述多晶硅有源层 30 两端没有被栅极 50 遮盖的部分进行 N 型离子轻掺杂，得到多晶硅有源层 30 中部的对应位于所述栅极 50 下方的沟道区 32 以及所述源漏极接触区 31 和沟道区 32 之间的 LDD 区 33。

具体地，所述步骤 S13 中对所述多晶硅有源层 30 中掺入的离子为磷离子，对所述多晶硅有源层 30 进行 N 型离子轻掺杂时的掺杂离子浓度为 $1 \times 10^{12} - 1 \times 10^{13} \text{ ions/cm}^2$ 。

具体地，所述步骤 S13 中，通过干法蚀刻对所述金属层进行第二次蚀刻，对所述金属层进行第二次蚀刻的蚀刻气体包含氧气 (O_2) 和氯气。

步骤 S14、在所述栅极绝缘层 40 上形成覆盖所述栅极 50 的层间绝缘层 60。

步骤 S2、如图 9 所示，在所述层间绝缘层 60 上涂布光阻，经曝光、显影后得到光阻层 90，所述光阻层 90 对应于所述源漏极接触区 31 的上方具有过孔图案 95 而露出层间绝缘层 60。

步骤 S3、如图 10 所示，以所述光阻层 90 为遮蔽层，对所述层间绝缘层 60 和栅极绝缘层 40 进行干法蚀刻，在所述层间绝缘层 60 和栅极绝缘层 40 上对应于所述源漏极接触区 31 的上方形成过孔 65，使形成的所述过孔 65 和光阻层 90 形成底切 (under cut) 结构，所述过孔 65 的纵截面呈倒置梯形，所述光阻层 90 伸到所述过孔 65 上方而遮盖所述过孔 65 孔壁的顶部。

具体地，所述步骤 S3 中对所述层间绝缘层 60 和栅极绝缘层 40 进行干法蚀刻的蚀刻气体包含氧气，该蚀刻气体还包含六氟化硫、五氟乙烷及四氟化碳中的一种或多种；从而所述步骤 S3 中，通过调节蚀刻气体中氧气的含量、或者层间绝缘层 60 的致密性，来提高蚀刻气体对层间绝缘层 60 和光阻层 90 的蚀刻选择比，进而使得过孔 65 和光阻层 90 形成如图 10 所示的底切结构，以使得后续光阻层 90 易于剥离。

步骤 S4、如图 11-12 所示，在所述过孔 64 位置处沉积导电材料，该导电材料穿过所述光阻层 90 在过孔 65 内形成与所述源漏极接触区 31 相接触的导电层 70，剥离去除所述光阻层 90 及光阻层 90 上的导电材料，由于所述过孔 65 和光阻层 90 之间形成了底切结构，所述导电层 70 与所述光阻层 90 上的导电材料由所述光阻层 90 所断开，因此沉积导电材料后并不会对光阻层 90 的剥离造成影响。

具体地，所述步骤 S4 中所沉积形成的导电层 70 为金属材料层或金属

氧化物材料层，例如金属钼层或 N 型离子掺杂的非晶硅层。

步骤 S5、在所述层间绝缘层 60 上沉积并图案化形成源漏极 80，所述源漏极 80 与所述过孔 65 内的导电层 70 相接触进而与所述源漏极接触区 31 相导通。

5 本发明的 LTPS TFT 基板的制作方法，在利用光阻层 90 在层间绝缘层 60 和栅极绝缘层 40 上对应于源漏极接触区 31 的上方蚀刻形成过孔 65 之后，并在剥离去除光阻层 90 之前，在所述过孔 65 位置处沉积导电材料而在过孔 65 内形成与所述源漏极接触区 31 相接触的导电层 70，后续使得源漏极 80 与过孔 65 内的导电层 70 相接触进而与源漏极接触区 31 相导通，从而能够
10 够有效改善 Re-etch LDD 技术中源漏极 80 与源漏极接触区 31 接触阻抗偏高的不足，进而在不影响产品特性的情况下，可通过 Re-etch LDD 技术减少一道光罩制程，并且使过孔 65 与光阻层 90 之间形成底切结构，避免所沉积的导电材料对剥离光阻层 90 产生影响，保证光阻层 90 的剥离效率。

请参阅图 13，基于上述的 LTPS TFT 基板的制作方法，本发明还提供
15 一种 LTPS TFT 基板，包括衬底基板 10、设于衬底基板 10 上的缓冲层 20、设于缓冲层 20 上的多晶硅有源层 30、在所述缓冲层 20 上覆盖所述多晶硅有源层 30 的栅极绝缘层 40、设于所述栅极绝缘层 40 上的栅极 50、在所述栅极绝缘层 40 上覆盖所述栅极 50 的层间绝缘层 60 及设于所述层间绝缘层 60 上的源漏极 80；

20 所述多晶硅有源层 30 具有位于两端的源漏极接触区 31、位于中间的沟道区 32 及位于源漏极接触区 31 与沟道区 32 之间的 LDD 区 33；

所述栅极 50 在所述栅极绝缘层 40 上对应位于所述多晶硅有源层 30 的沟道区 32 的上方；

所述层间绝缘层 60 和栅极绝缘层 40 在对应于所述源漏极接触区 31 的
25 上方设有过孔 65，所述过孔 65 的纵截面呈倒置梯形，所述过孔 65 内设有一层与所述源漏极接触区 31 相接触的且纵截面呈 U 形的导电层 70；

所述源漏极 80 与所述过孔 65 内的导电层 70 相接触进而与所述源漏极接触区 31 相导通。

具体地，所述导电层 70 为金属材料层或金属氧化物材料层，例如金属
30 钼层或 N 型离子掺杂的非晶硅层。

本发明的 LTPS TFT 基板，源漏极接触区 31 上方的过孔 65 内设有一层与源漏极接触区 31 相接触的导电层 70，源漏极 80 与所述过孔 65 内的导电层 70 相接触进而与所述源漏极接触区 31 相导通，能够有效改善 Re-etch LDD 技术中源漏极 80 与源漏极接触区 31 接触阻抗偏高的不足。

综上所述，本发明的 LTPS TFT 基板的制作方法，在利用光阻层在层间绝缘层和栅极绝缘层上对应于源漏极接触区的上方蚀刻形成过孔之后，并在剥离去除光阻层之前，在所述过孔位置处沉积导电材料而在过孔内形成与所述源漏极接触区相接触的导电层，后续使得源漏极与过孔内的导电层相接触进而与源漏极接触区相导通，从而能够有效改善 Re-etch LDD 技术中源漏极与源漏极接触区接触阻抗偏高的不足，进而在不影响产品特性的情况下，可通过 Re-etch LDD 技术减少一道光罩制程，并且使过孔与光阻层之间形成底切结构，避免所沉积的导电材料对剥离光阻层产生影响，保证光阻层的剥离效率。本发明的 LTPS TFT 基板，源漏极接触区上方的过孔内设有一层与源漏极接触区相接触的导电层，源漏极与所述过孔内的导电层相接触进而与所述源漏极接触区相导通，能够有效改善 Re-etch LDD 技术中源漏极与源漏极接触区接触阻抗偏高的不足。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种 LTPS TFT 基板的制作方法，包括如下步骤：

5 步骤 S1、提供衬底基板，在所述衬底基板上由下至上依次形成缓冲层、多晶硅有源层、栅极绝缘层、栅极及层间绝缘层；

所述多晶硅有源层具有位于两端的源漏极接触区、位于中间的沟道区及位于源漏极接触区与沟道区之间的 LDD 区；所述栅极绝缘层在所述缓冲层上覆盖所述多晶硅有源层；所述栅极在所述栅极绝缘层上对应位于所述多晶硅有源层的沟道区的上方；所述层间绝缘层在所述栅极绝缘层上覆盖
10 所述栅极；

步骤 S2、在所述层间绝缘层上涂布光阻，经曝光、显影后得到光阻层，所述光阻层对应于所述源漏极接触区的上方具有过孔图案而露出层间绝缘层；

15 步骤 S3、以所述光阻层为遮蔽层，对所述层间绝缘层和栅极绝缘层进行干法蚀刻，在所述层间绝缘层和栅极绝缘层上对应于所述源漏极接触区的上方形形成过孔，使形成的所述过孔和光阻层之间形成底切结构，所述过孔的纵截面呈倒置梯形，所述光阻层伸到所述过孔上方而遮盖所述过孔孔壁的顶部；

20 步骤 S4、在所述过孔位置处沉积导电材料，该导电材料穿过所述光阻层在过孔内形成与所述源漏极接触区相接触的导电层，剥离去除所述光阻层及光阻层上的导电材料；

步骤 S5、在所述层间绝缘层上沉积并图案化形成源漏极，所述源漏极与所述过孔内的导电层相接触进而与所述源漏极接触区相导通。

25 2、如权利要求 1 所述的 LTPS TFT 基板的制作方法，其中，所述步骤 S4 中所沉积形成的导电层为金属材料层或金属氧化物材料层。

3、如权利要求 2 所述的 LTPS TFT 基板的制作方法，其中，所述步骤 S4 中所沉积形成的导电层为金属钼层。

4、如权利要求 2 所述的 LTPS TFT 基板的制作方法，其中，所述步骤 S4 中所沉积形成的导电层为 N 型离子掺杂的非晶硅层。

30 5、如权利要求 2 所述的 LTPS TFT 基板的制作方法，其中，所述步骤 S3 中对所述层间绝缘层和栅极绝缘层进行干法蚀刻的蚀刻气体包含氧气，该蚀刻气体还包含六氟化硫、五氟乙烷及四氟化碳中的一种或多种。

6、如权利要求 1 所述的 LTPS TFT 基板的制作方法，其中，所述步骤

S1 具体包括如下步骤:

步骤 S11、提供衬底基板, 在所述衬底基板上形成多晶硅层, 对所述多晶硅层进行图案化处理, 得到多晶硅有源层, 在所述缓冲层上形成覆盖多晶硅有源层的栅极绝缘层;

5 步骤 S12、在所述栅极绝缘层沉积金属层, 在所述金属层上对应于所述多晶硅有源层中部的上方形成光阻图案, 以所述光阻图案为遮蔽层, 对所述金属层进行第一次蚀刻形成准栅极, 以所述准栅极为遮蔽层, 对所述多晶硅有源层两端没有被准栅极遮盖的部分进行 N 型离子重掺杂, 形成多晶硅有源层两端的源漏极接触区;

10 步骤 S13、对所述金属层进行第二次蚀刻, 使所述准栅极两侧被横向蚀刻而宽度减小, 形成栅极, 剥离去除所述光阻图案, 以所述栅极为遮蔽层, 对所述多晶硅有源层两端没有被栅极遮盖的部分进行 N 型离子轻掺杂, 得到多晶硅有源层中部的对应位于所述栅极下方的沟道区以及所述源漏极接触区和沟道区之间的 LDD 区;

15 步骤 S14、在所述栅极绝缘层上形成覆盖所述栅极的层间绝缘层。

7、如权利要求 6 所述的 LTPS TFT 基板的制作方法, 其中, 所述步骤 S12 中, 通过干法蚀刻对所述金属层进行第一次蚀刻, 对所述金属层进行第一次蚀刻的蚀刻气体包含六氟化硫、五氟乙烷及四氯化碳中的一种或多种;

20 所述步骤 S13 中, 通过干法蚀刻对所述金属层进行第二次蚀刻, 对所述金属层进行第二次蚀刻的蚀刻气体包含氧气和氯气。

8、如权利要求 6 所述的 LTPS TFT 基板的制作方法, 其中, 所述步骤 S12 和步骤 S13 中对所述多晶硅有源层中掺入的离子均为磷离子;

所述步骤 S12 中, 对所述多晶硅有源层进行 N 型离子重掺杂时的掺杂离子浓度为 $1 \times 10^{14} - 1 \times 10^{15} \text{ ions/cm}^2$;

25 所述步骤 S13 中, 对所述多晶硅有源层 (30) 进行 N 型离子轻掺杂时的掺杂离子浓度为 $1 \times 10^{12} - 1 \times 10^{13} \text{ ions/cm}^2$ 。

9、一种 LTPS TFT 基板, 包括衬底基板、设于衬底基板上的缓冲层、设于缓冲层上的多晶硅有源层、在所述缓冲层上覆盖所述多晶硅有源层的栅极绝缘层、设于所述栅极绝缘层上的栅极、在所述栅极绝缘层上覆盖所述栅极的层间绝缘层及设于所述层间绝缘层上的源漏极;

30 所述多晶硅有源层具有位于两端的源漏极接触区、位于中间的沟道区及位于源漏极接触区与沟道区之间的 LDD 区;

所述栅极在所述栅极绝缘层上对应位于所述多晶硅有源层的沟道区的上方;

所述层间绝缘层和栅极绝缘层在对应于所述源漏极接触区的上方设有过孔，所述过孔的纵截面呈倒置梯形，所述过孔内设有一层与所述源漏极接触区相接触的且纵截面呈 U 形的导电层；

5 所述源漏极与所述过孔内的导电层相接触进而与所述源漏极接触区相导通。

10、如权利要求 9 所述的 LTPS TFT 基板，其中，所述导电层为金属材料层或金属氧化物材料层。

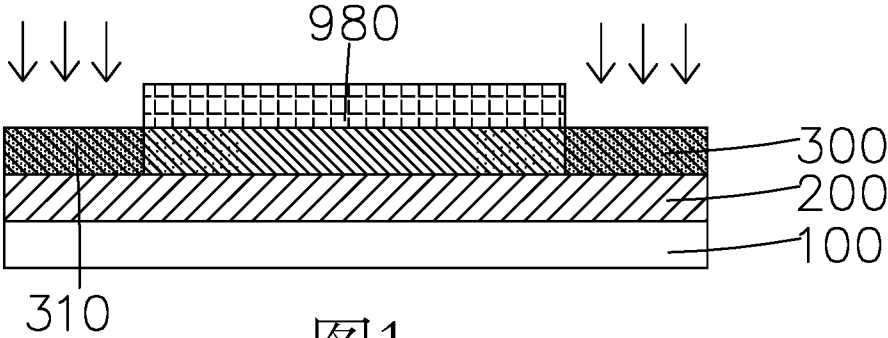


图1

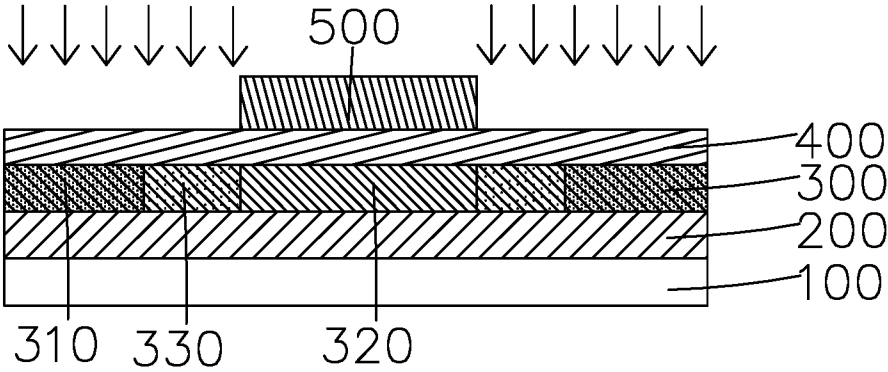


图2

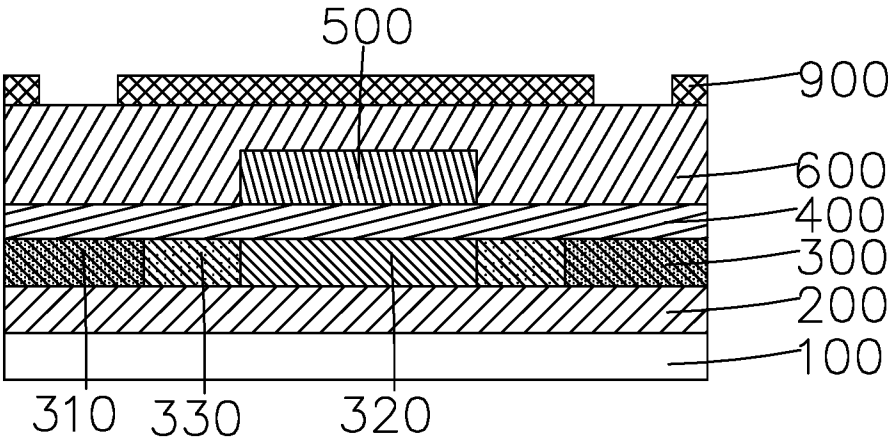


图3

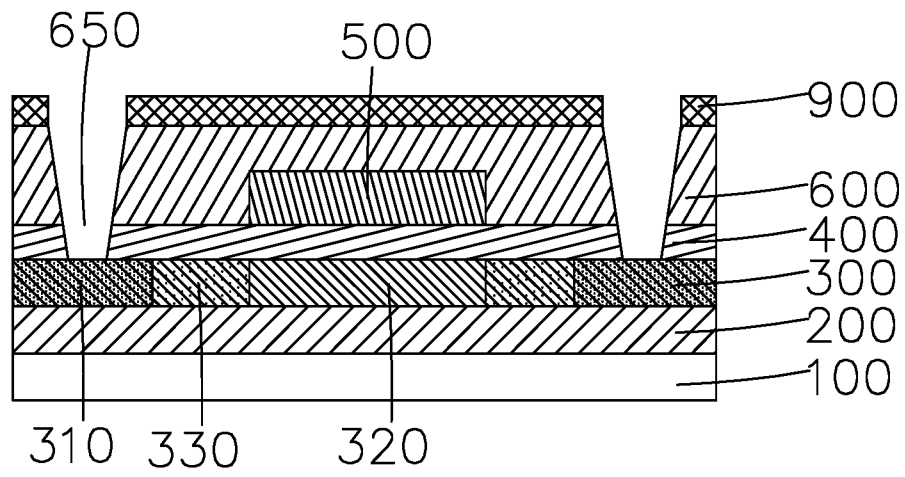


图4

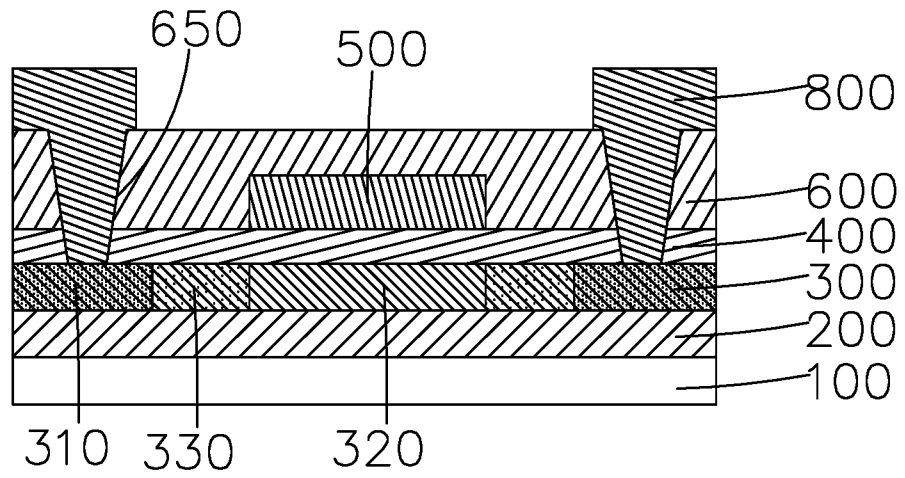


图5

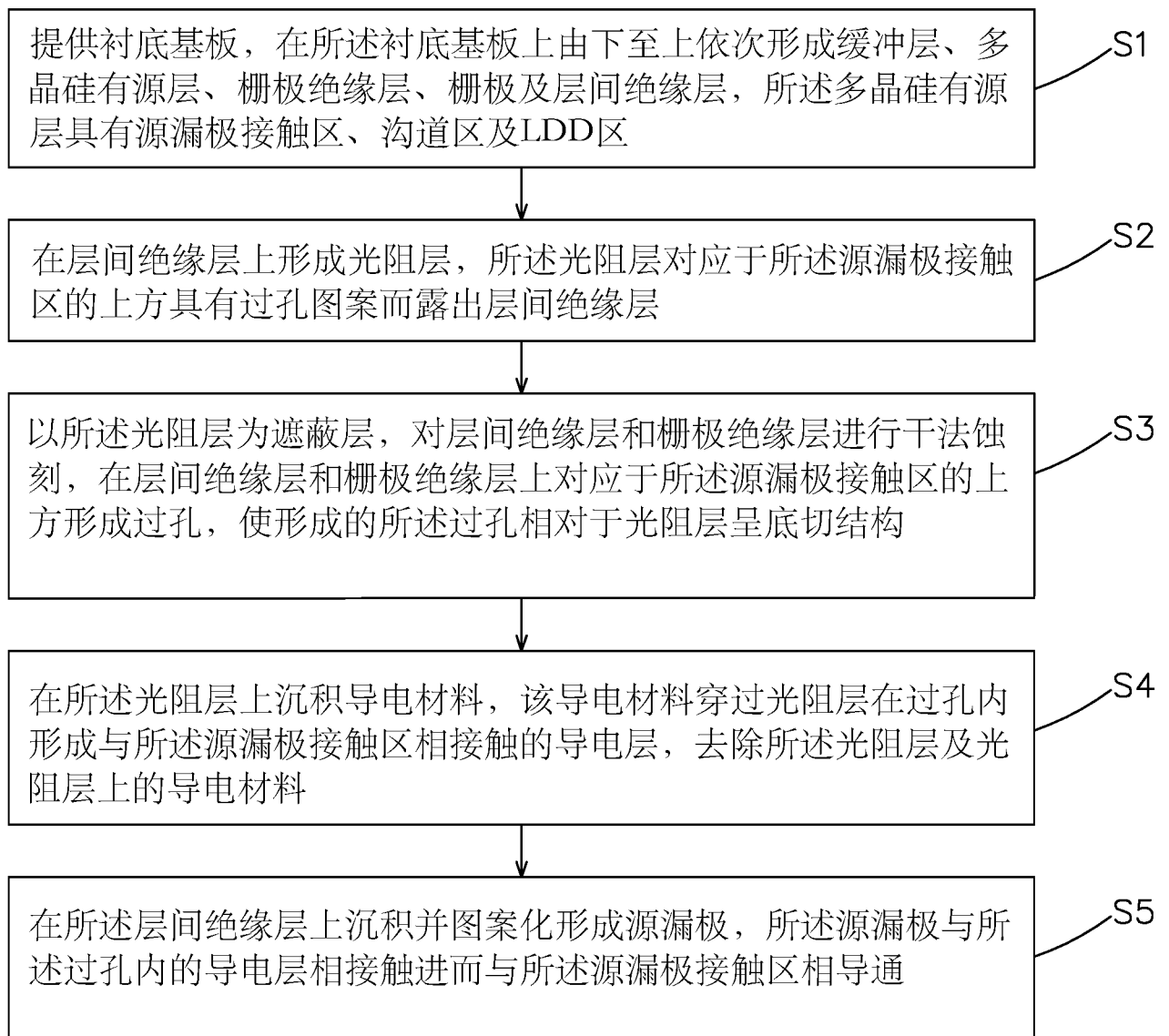


图6

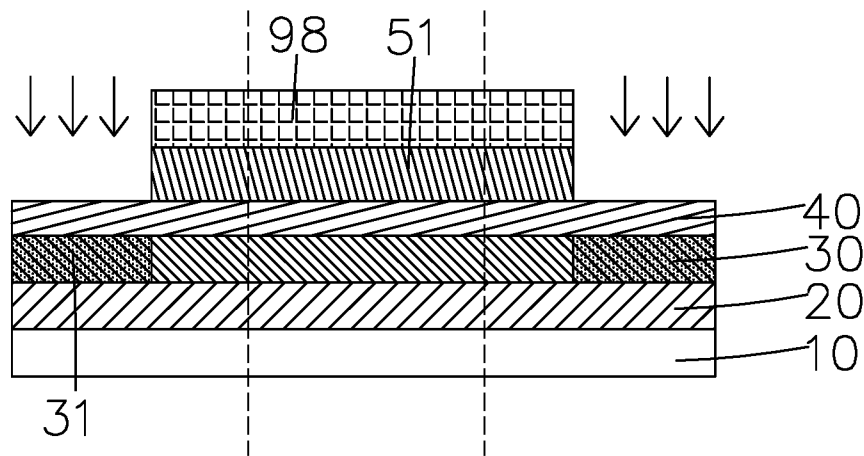


图7

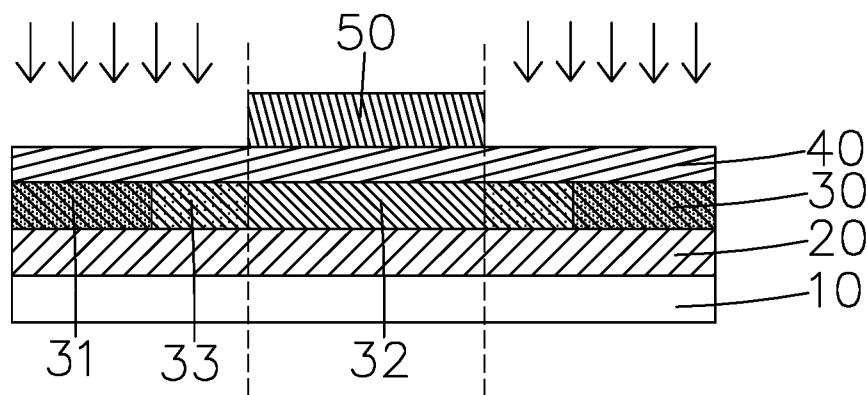


图8

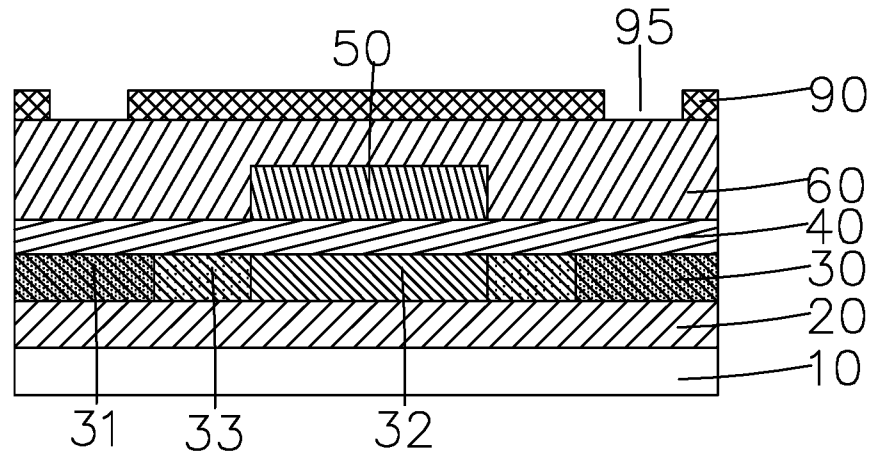


图9

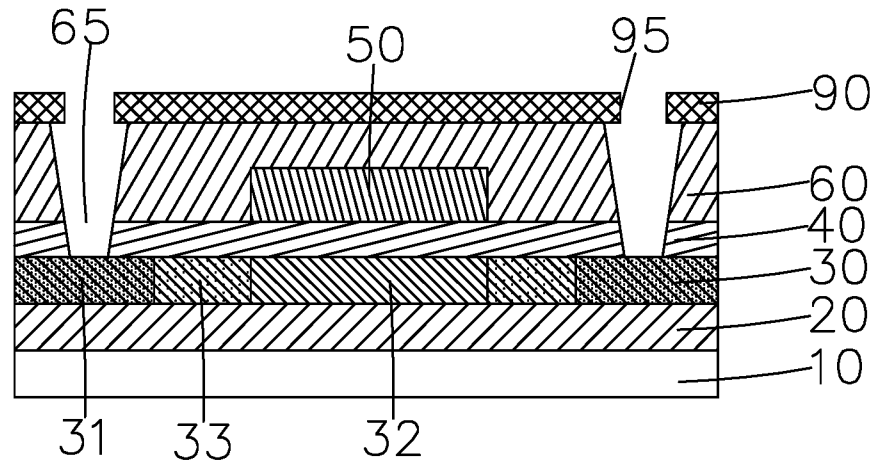


图10

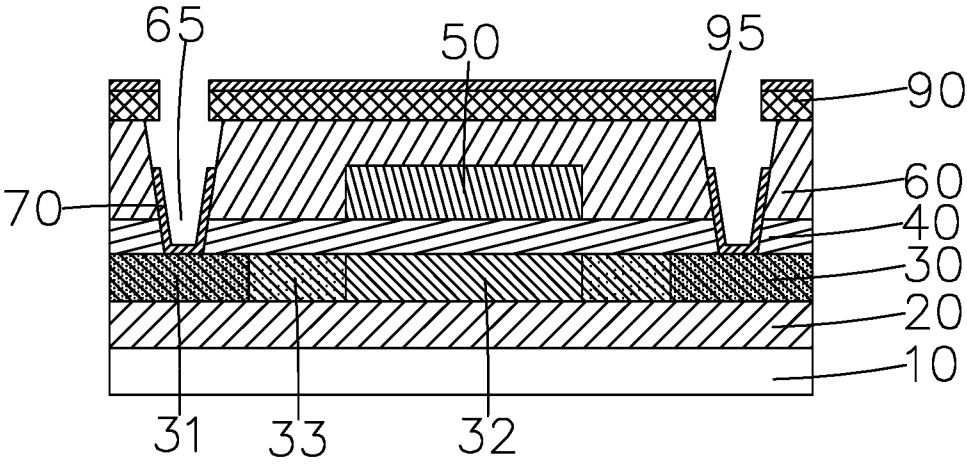


图11

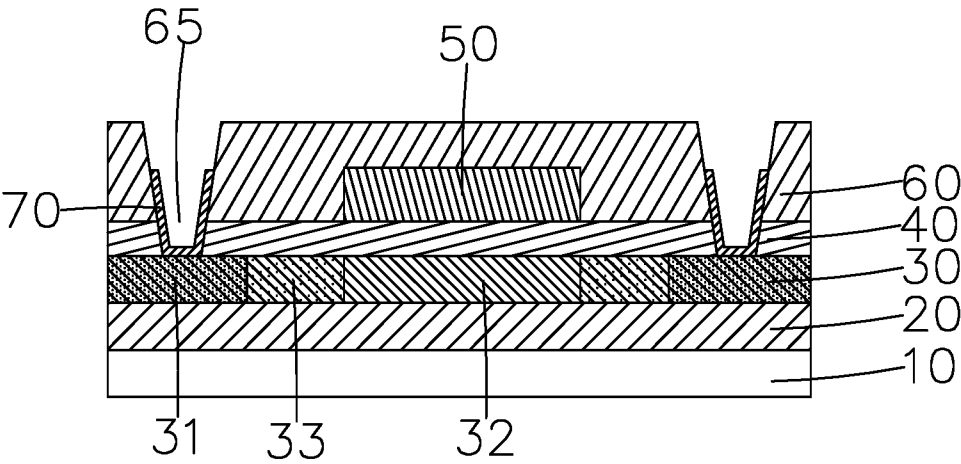


图12

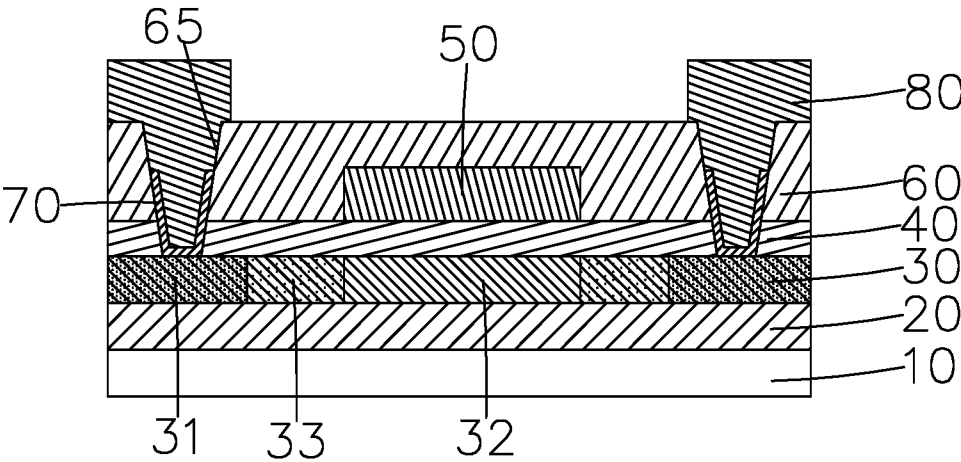


图13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/105578

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77(2017.01)i; H01L 21/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI; CNKI; SIPOABS: 源, 接触, 漏, 导电, 低温多晶硅, 孔, 栅, 薄膜晶体管, source, drain, gate, hole, TFT, LTPS, conductive, contact

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101022094 A (AU OPTRONICS CORP.) 22 August 2007 (2007-08-22) entire document	1-10
A	CN 105097841 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 25 November 2015 (2015-11-25) entire document	1-10
A	CN 103700706 A (BOE TECHNOLOGY GROUP CO., LTD.) 02 April 2014 (2014-04-02) entire document	1-10
A	CN 105572993 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 11 May 2016 (2016-05-11) entire document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 January 2019

Date of mailing of the international search report

24 January 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/105578

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	101022094	A	22 August 2007	CN	100470764	C	18 March 2009
CN	105097841	A	25 November 2015	WO	2017020362	A1	09 February 2017
				CN	105097841	B	23 November 2018
				US	2017040462	A1	09 February 2017
				US	9570618	B1	14 February 2017
CN	103700706	A	02 April 2014	CN	103700706	B	18 February 2015
				US	9391207	B2	12 July 2016
				US	2016043212	A1	11 February 2016
				WO	2015090016	A1	25 June 2015
CN	105572993	A	11 May 2016	US	9904135	B1	27 February 2018
				WO	2017128557	A1	03 August 2017
				US	2018059455	A1	01 March 2018

国际检索报告

国际申请号

PCT/CN2018/105578

A. 主题的分类

H01L 21/77(2017.01)i; H01L 21/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;DWPI;CNKI;SIPOABS:源, 接触, 漏, 导电, 低温多晶硅, 孔, 栅, 薄膜晶体管, source, drain, gate, hole, TFT, LTPS, conductive, contact

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 101022094 A (友达光电股份有限公司) 2007年 8月 22日 (2007 - 08 - 22) 全文	1-10
A	CN 105097841 A (深圳市华星光电技术有限公司) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-10
A	CN 103700706 A (京东方科技集团股份有限公司) 2014年 4月 2日 (2014 - 04 - 02) 全文	1-10
A	CN 105572993 A (武汉华星光电技术有限公司) 2016年 5月 11日 (2016 - 05 - 11) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 1月 18日

国际检索报告邮寄日期

2019年 1月 24日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

窦明生

电话号码 62411819

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/105578

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101022094	A	2007年 8月 22日	CN	100470764	C	2009年 3月 18日
CN	105097841	A	2015年 11月 25日	WO	2017020362	A1	2017年 2月 9日
				CN	105097841	B	2018年 11月 23日
				US	2017040462	A1	2017年 2月 9日
				US	9570618	B1	2017年 2月 14日
CN	103700706	A	2014年 4月 2日	CN	103700706	B	2015年 2月 18日
				US	9391207	B2	2016年 7月 12日
				US	2016043212	A1	2016年 2月 11日
				WO	2015090016	A1	2015年 6月 25日
CN	105572993	A	2016年 5月 11日	US	9904135	B1	2018年 2月 27日
				WO	2017128557	A1	2017年 8月 3日
				US	2018059455	A1	2018年 3月 1日

表 PCT/ISA/210 (同族专利附件) (2015年1月)