

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月15日(15.02.2018)



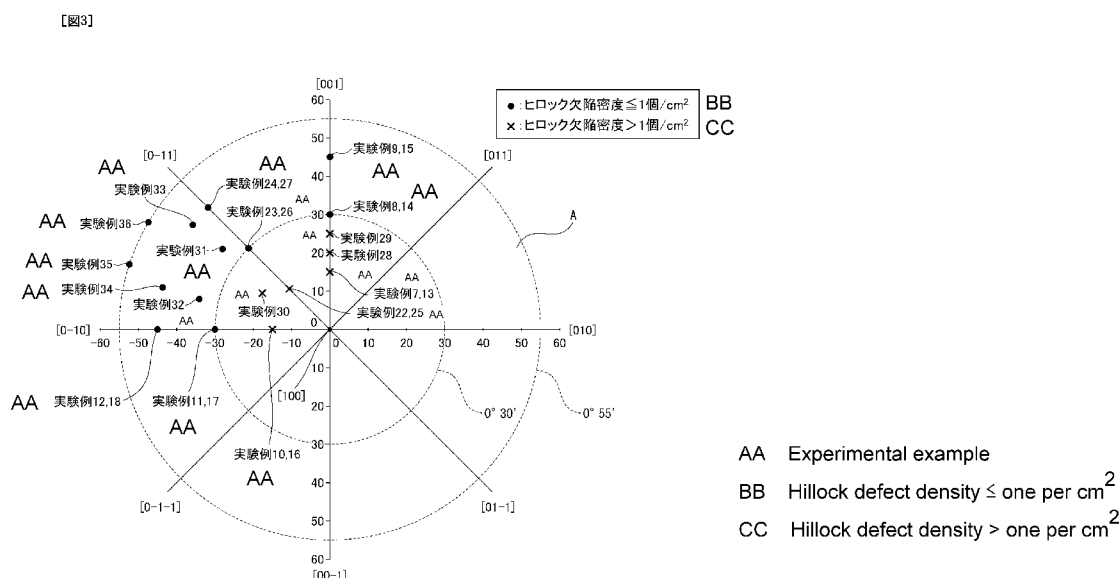
(10) 国際公開番号

WO 2018/030352 A1

- (51) 国際特許分類:
H01L 21/205 (2006.01) *C30B 29/06* (2006.01)
C23C 16/24 (2006.01) *H01L 21/20* (2006.01)
- (21) 国際出願番号: PCT/JP2017/028620
- (22) 国際出願日: 2017年8月7日(07.08.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-157965 2016年8月10日(10.08.2016) JP
- (71) 出願人: 株式会社SUMCO (SUMCO CORPORATION) [JP/JP]; 〒1058634 東京都港区芝浦一丁目2番1号 Tokyo (JP).
- (72) 発明者: 野中 直哉(NONAKA Naoya); 〒1058634 東京都港区芝浦一丁目2番1号 株式会社SUMCO内 Tokyo (JP). 川島 正(KAWASHIMA Tadashi); 〒1058634 東京都港区芝浦一丁目2番1号 株式会社SUMCO内 Tokyo (JP). 大久保 勝也(OOKUBO Katsuya); 〒8568555 長崎県大村市雄ヶ原町1324番地2 SUMCO TECH IV株式会社内 Nagasaki (JP).
- (74) 代理人: 特許業務法人樹之下知的財産事務所 (KINOSHITA & ASSOCIATES); 〒1670051 東京都杉並区荻窪五丁目26番13号3階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: EPITAXIAL SILICON WAFER, AND METHOD FOR MANUFACTURING EPITAXIAL SILICON WAFER

(54) 発明の名称: エピタキシャルシリコンウェーハ、および、エピタキシャルシリコンウェーハの製造方法



(57) Abstract: An epitaxial silicon wafer EW comprises a silicon wafer WF having phosphorus as a dopant and an electric resistivity of less than 1.0 mΩ · cm, the silicon wafer WF having an epitaxial film EP, wherein the silicon wafer WF has a major surface WF1 comprising the (100) surface that is inclined, the [100] axis perpendicular to the (100) surface is inclined by not less than 0° 16' and not more than 0° 55' in an arbitrary direction with respect to an axis orthogonal to the major surface WF1, and the hillock defect density in the epitaxial silicon wafer



CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

EW is not more than one per cm^2 .

(57) 要約: リンをドーパントとした電気抵抗率が $1.0 \text{ m}\Omega \cdot \text{cm}$ 未満のシリコンウェーハ WF に、エピタキシャル膜 EP が設けられたエピタキシャルシリコンウェーハ EW であって、シリコンウェーハ WF は、(100) 面が傾斜した面を主表面 WF 1 とし、(100) 面に垂直な [100] 軸が主表面 WF 1 に直交する軸に対して任意の方向に $0^\circ 16'$ 以上 $0^\circ 55'$ 以下だけ傾斜しており、エピタキシャルシリコンウェーハ EW に発生しているヒロック欠陥密度が $1 \text{ 個}/\text{cm}^2$ 以下である。

明 細 書

発明の名称：

エピタキシャルシリコンウェーハ、および、エピタキシャルシリコンウェーハの製造方法

技術分野

[0001] 本発明は、エピタキシャルシリコンウェーハ、および、エピタキシャルシリコンウェーハの製造方法に関する。

背景技術

[0002] 従来、エピタキシャルシリコンウェーハの欠陥発生を抑制するための検討がなされている（例えば、特許文献1参照）。

特許文献1には、 (100) 面に近い主表面を持ち、この主表面が $<100>$ 結晶軸に対し、 $[011]$ 方向または $[0\bar{1}1]$ 方向に以下の角度 θ 、 $[01\bar{1}]$ 方向または $[0\bar{1}1]$ 方向に以下の角度 ϕ だけ傾斜したシリコンウェーハに、エピタキシャル膜を設けた構成が開示されている。

$5' \leq \theta \leq 2^\circ$ 、 $\phi \leq 10'$ または、 $5' \leq \phi \leq 2^\circ$ 、 $\theta \leq 10'$

先行技術文献

特許文献

[0003] 特許文献1：特開昭62-226891号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、近年、低耐圧パワーMOSFETデバイスに用いられるエピタキシャルシリコンウェーハ用のシリコンウェーハとして、電気抵抗率が例えば $1.0\text{ m}\Omega \cdot \text{cm}$ 未満といった非常に低いものが要求されている。しかし、このような電気抵抗率が非常に低いシリコンウェーハを用いたエピタキシャルシリコンウェーハでは、 $1.0\text{ m}\Omega \cdot \text{cm}$ 以上の場合には見られなかったヒロック（hillock）欠陥が多発するおそれがある。

このヒロック欠陥は、リン（P）をドーパントとした低抵抗率のシリコンウェーハ上のエピタキシャル膜において検出される積層欠陥（スタッキングフォルト、以下、SFという）とは異なった性状であり、基板の微小の傾角度に依存することを突き止め本発明を完成するに至った。

[0005] 本発明の目的は、ヒロック欠陥の発生が抑制されたエピタキシャルシリコンウェーハ、および、このようなエピタキシャルシリコンウェーハを得られるエピタキシャルシリコンウェーハの製造方法を提供することにある。

課題を解決するための手段

[0006] 本発明のエピタキシャルシリコンウェーハは、リンをドーパントとした電気抵抗率が $1.0\text{ m}\Omega\cdot\text{cm}$ 未満のシリコンウェーハに、エピタキシャル膜が設けられたエピタキシャルシリコンウェーハであって、前記シリコンウェーハは、（100）面が傾斜した面を主表面とし、前記（100）面に垂直な $[100]$ 軸が前記主表面に直交する軸に対して任意の方向に $0^\circ 30'$ 以上 $0^\circ 55'$ 以下だけ傾斜しており、前記エピタキシャルシリコンウェーハに発生しているヒロック欠陥密度が $1\text{ 個}/\text{cm}^2$ 以下であることを特徴とする。

[0007] 本発明のエピタキシャルシリコンウェーハの製造方法は、リンをドーパントとした電気抵抗率が $1.0\text{ m}\Omega\cdot\text{cm}$ 未満のシリコンウェーハに、エピタキシャル膜が設けられたエピタキシャルシリコンウェーハの製造方法であって、（100）面が傾斜した面を主表面とし、前記（100）面に垂直な $[100]$ 軸を前記主表面に直交する軸に対して任意の方向に $0^\circ 30'$ 以上 $0^\circ 55'$ 以下だけ傾斜させた前記シリコンウェーハを準備する工程と、前記シリコンウェーハに前記エピタキシャル膜を形成する工程とを備えていることを特徴とする。

[0008] 本発明のエピタキシャルシリコンウェーハの製造方法によれば、ヒロック欠陥密度が $1\text{ 個}/\text{cm}^2$ 以下となり、ヒロック欠陥の発生が抑制されたエピタキシャルシリコンウェーハを得られる。

[0009] 本発明のエピタキシャルシリコンウェーハの製造方法において、前記エピ

タキシャル膜の成長温度は、 1030°C 以上 1100°C 未満であることが好ましい。

[0010] 電気抵抗率が $1.0\text{ m}\Omega\cdot\text{cm}$ 未満となるように高濃度のリンをドーブしたシリコンウェーハに対し、 1100°C 以上の成長温度でエピタキシャル膜を形成すると、積層欠陥（SF）が多数発生するおそれがある。

本発明によれば、 1030°C 以上 1100°C 未満の成長温度でエピタキシャル膜を形成することで、ヒロック欠陥に加えてSFの発生が抑制されたエピタキシャルシリコンウェーハを得られる。

図面の簡単な説明

[0011] [図1A]本発明の一実施形態に係るエピタキシャルシリコンウェーハの断面図。

[図1B] $[100]$ 軸の傾斜方向の説明図。

[図2]ヒロック欠陥の写真。

[図3]本発明の実施例に係る基板抵抗率が $0.8\text{ m}\Omega\cdot\text{cm}$ 、 $0.6\text{ m}\Omega\cdot\text{cm}$ の場合における $[100]$ 軸の傾斜方向および傾斜角度と、ヒロック欠陥密度との関係を示す図。

発明を実施するための形態

[0012] [実施形態]

以下、本発明の一実施形態について図面を参照して説明する。

[エピタキシャルシリコンウェーハの構成]

図1Aに示すように、エピタキシャルシリコンウェーハEWは、シリコンウェーハWFと、このシリコンウェーハWFに設けられたエピタキシャル膜EPとを備えている。

シリコンウェーハWFは、直径が 199.8 mm 以上 200.2 mm 以下であり、電気抵抗率が $1.0\text{ m}\Omega\cdot\text{cm}$ 未満になるように赤リンを含んでいる。シリコンウェーハWFは、 (100) 面が傾斜した面を主表面WF1としており、 (100) 面に垂直な $[100]$ 軸が主表面WF1に直交する軸に対して、図1Bに示すような $[001]$ 方向、 $[00-1]$ 方向、 $[01$

0] 方向および [0-10] 方向を含む任意の方向に $0^{\circ} 30'$ 以上 $0^{\circ} 55'$ 以下だけ傾斜している。

[0013] このような構成のエピタキシャルシリコンウェーハEWにおける1枚あたりのヒロック欠陥密度は、1個/cm²以下である。

ヒロック欠陥とは、例えば表面検査装置（レーザーテック社製M a g i c s）で測定可能な欠陥であり、図2の写真に示すように、サイズが3 μm以上10 μm以下の略円形、かつ、エピタキシャル膜の表面からわずかに突出した凸形状の欠陥である。ヒロック欠陥は、酸素と赤リンのクラスターに起因する微小ピットにより発生するエピタキシャル膜上のSFや、基板のCOP（Crystal Originated Particle）を起因としたエピタキシャル膜上の欠陥とは異なった形状を有する。

[0014] ここで、[100] 軸の傾斜角度を上記範囲にした場合に、ヒロック欠陥数が減少する理由は以下のように推測される。

一般的に、エピタキシャル膜の成長は、エピタキシャル成長中に供給されたシリコン原子が、Terraceに吸着し、エネルギー的に安定なStepに移動する。そこからさらに、シリコン原子がエネルギー的に安定なKinkへ移動することで、Stepが前進しエピタキシャル成長が行われる。

そこで、[100] 軸の傾斜角度が $0^{\circ} 30'$ 未満と小さい場合は、Terrace幅が広いため、供給されたシリコン原子はStepおよびKinkに到達できず、Terrace面に形成された酸素とリンのクラスター（微小析出物）に起因した微小ピットにトラップされ、そのシリコン原子を成長核とした異常生成によりヒロック欠陥が発生すると考えられる。

一方、[100] 軸の傾斜角度が $0^{\circ} 30'$ 以上と大きい場合は、Terrace幅は狭いため、供給されたシリコン原子は容易にStepおよびKinkに到達できるようになりヒロック欠陥は減少する。

[0015] また、[100] 軸の傾斜角度が $0^{\circ} 55'$ を超える場合、傾斜方向によってはエピタキシャル膜表面の粗さなどの品質劣化が懸念され、イオン注入時のチャネリング現象が変化して、デバイス特性に影響を及ぼすおそれがある。

る。このことから、 $[100]$ 軸の傾斜角度は、 $0^{\circ} 55'$ 以下であることが好ましい。

[0016] [エピタキシャルシリコンウェーハの製造方法]

次に、上記エピタキシャルシリコンウェーハEWの製造方法について説明する。

まず、上述の構成を有するシリコンウェーハWFを準備する。シリコンウェーハWFを得る方法としては、電気抵抗率が $0.5\text{ m}\Omega \cdot \text{cm}$ 以上 $1.0\text{ m}\Omega \cdot \text{cm}$ 未満になるように赤リンを含み、かつ、中心軸が (100) 面に垂直な $[001]$ 軸と一致するシリコン単結晶を製造し、このシリコン単結晶をその中心軸に対する直交面ではなく、この直交面に対する傾斜面でスライスしてもよい。また、中心軸が (100) 面に垂直な $[100]$ 軸に対して任意の方向に $0^{\circ} 30'$ 以上 $0^{\circ} 55'$ 以下だけ傾斜したシリコン単結晶を製造し、このシリコン単結晶をその中心軸に対する直交面でスライスしてもよい。

なお、上記シリコン単結晶の製造条件としては、以下のものが例示できる。

赤リン濃度： $7.38 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以上 $1.64 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下

酸素濃度： $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以上 $20 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下

そして、この得られたシリコンウェーハWFに対し、必要に応じて、ラッピング、化学エッチング、鏡面研磨、その他の処理を行う。

[0017] その後、シリコンウェーハWFの一方の面にエピタキシャル膜EPを形成する。

このエピタキシャル膜EPを形成する方法は、特に限定されるものでなく、半導体デバイスの製造用基板として要求されるエピタキシャル膜EPを気相成長できるよう、公知のいずれの気相成膜方法並びに気相成長装置を用いることができ、選択した方法や装置などに応じてソースガスや成膜条件を適

宜選定するとよい。

なお、エピタキシャル膜EPの形成条件としては、以下のものが例示できる。

ドーパントガス：フォスフィン (PH_3) ガス

原料ソースガス：トリクロロシラン (SiHCl_3) ガス

キャリアガス：水素ガス

成長温度：1030℃以上1110℃未満

エピタキシャル膜の厚さ：0.1 μm 以上10 μm 以下

エピタキシャル膜の電気抵抗率：0.01 $\Omega \cdot \text{cm}$ 以上10 $\Omega \cdot \text{cm}$

以下

また、シリコンウェーハの直径が200mm以上の場合は、エピタキシャル成長炉は枚葉炉でランプ加熱が好ましい。これにより熱ストレスにより同時に発生するミスフィット転位も低減させることができる。

実施例

[0018] 次に、本発明を実施例および比較例により更に詳細に説明するが、本発明はこれらの例によってなんら限定されるものではない。

[0019] [エピタキシャルシリコンウェーハの製造方法]

[実験例1]

まず、表1に示すように、電気抵抗率（基板抵抗率）が1.0 $\text{m}\Omega \cdot \text{cm}$ であり、かつ、(100)面が傾斜した面を主表面とし、(100)面に垂直な[100]軸が主表面に直交する軸に対して[001]方向に0°15'だけ傾斜したシリコンウェーハを準備した。シリコンウェーハの直径は、200mmである。

上記シリコンウェーハを得る際、以下の製造条件で中心軸が[100]軸と一致するシリコン単結晶を製造し、このシリコン単結晶をその中心軸に対する直交面ではなく、この直交面に対する傾斜面でスライスした。

赤リン濃度：7.38 $\times 10^{19} \text{ atoms} / \text{cm}^3$

酸素濃度：7.4 $\times 10^{17} \text{ atoms} / \text{cm}^3$

[0020] そして、このシリコンウェーハ上に以下の条件でエピタキシャル膜を成長させて、実験例1のサンプルを得た。

ドーパントガス：フォスフィン (PH_3) ガス

原料ソースガス：トリクロロシラン (SiHCl_3) ガス

キャリアガス：水素ガス

成長温度：1040℃ (1030℃以上1050℃以下)

エピタキシャル膜の厚さ：5 μm

エピタキシャル膜の電気抵抗率：0.2 $\Omega \cdot \text{cm}$

[0021] [実験例2～6]

シリコン単結晶の切断条件を変更して、表1に示すように、(100)面に垂直な[100]軸が主表面に直交する軸に対して実験例1とそれぞれ同じ方向に0°30′, 0°45′だけ傾斜したシリコンウェーハを準備したこと以外は、実験例1と同じ条件で各処理を行い実験例2, 3のサンプルを得た。

シリコン単結晶の切断条件を変更して、(100)面に垂直な[100]軸が主表面に直交する軸に対して[0-10]方向に、実験例1, 2, 3とそれぞれ同じ角度だけ傾斜したシリコンウェーハを準備したこと以外は、実験例1, 2, 3と同じ条件で各処理を行い実験例4, 5, 6のサンプルを得た。

[0022] [実験例7～18]

シリコン単結晶の赤リン濃度を調整して、表1～2に示すように、基板抵抗率を0.8 $\text{m}\Omega \cdot \text{cm}$ 、0.6 $\text{m}\Omega \cdot \text{cm}$ としたこと以外は、実験例1～6と同じ条件で各処理を行い、実験例7～18のサンプルを得た。

[0023] [実験例19～27]

シリコン単結晶の切断条件を変更して、表1～2に示すように、(100)面に垂直な[100]軸が主表面に直交する軸に対して[0-11]方向に、実験例1～3, 7～9, 13～15とそれぞれ同じ角度だけ傾斜したシリコンウェーハを準備したこと以外は、実験例1～3, 7～9, 13～15

と同じ条件で各処理を行い実験例 19～21, 22～24, 25～27 のサンプルを得た。

[0024] [実験例 28～29]

シリコン単結晶の切断条件を変更して、表 2 に示すように、(100) 面に垂直な [100] 軸が主表面に直交する軸に対して実験例 13 とそれぞれ同じ方向に $0^{\circ} 20'$, $0^{\circ} 25'$ だけ傾斜したシリコンウェーハを準備したこと以外は、実験例 13 と同じ条件で各処理を行い実験例 28, 29 のサンプルを得た。

[0025] [実験例 30～36]

シリコン単結晶の切断条件を変更して、表 2 に示すように、(100) 面に垂直な [100] 軸が主表面に直交する軸に対して [0-11] 方向と [0-10] 方向の間の所定の合成角方向に、 $0^{\circ} 20'$, $0^{\circ} 35'$, $0^{\circ} 45'$, $0^{\circ} 55'$ だけ傾斜したシリコンウェーハを準備したこと以外は、実験例 25 と同じ条件で各処理を行い実験例 30～36 のサンプルを得た。なお、「[0-11] 方向と [0-10] 方向の間の所定の合成角」とは、表 2 に示す [0-10] 方向の角度と [001] 方向の角度との合成角度である。

[0026] [評価]

表面検査装置（レーザーテック社製 Magic s）を用いて、実験例 1～18 の各サンプル 1 枚ずつにおける表面検査を行い、ヒロック欠陥密度を評価した。その結果を表 1 に示す。

表 1～2 に示すように、実験例 7, 10, 13, 16, 22, 25, 28～30 ではヒロック欠陥密度が $1 \text{ 個}/\text{cm}^2$ を超え、それ以外の実験例では、ヒロック欠陥密度が $1 \text{ 個}/\text{cm}^2$ 以下であった。

これは、酸素と赤リンのクラスターに起因する微小ピットにより発生するエピタキシャル膜上の SF とは異なった挙動と考えられ、詳細な発生機構は解明されていないが結晶の微小面方位に強く依存する挙動である。

[0027] このことから、基板抵抗率が $1.0 \text{ m}\Omega \cdot \text{cm}$ 未満、ヒロック欠陥密度が

1個/cm²以下の実験例8, 9, 11, 12, 14, 15, 17, 18, 23, 24, 26, 27, 31~36が本発明の実施例に相当し、基板抵抗率が1.0mΩ・cm未満、ヒロック欠陥密度が1個/cm²を超える実験例7, 10, 13, 16, 22, 25, 28, 29, 30が本発明の比較例に相当する。

[0028] また、基板抵抗率が0.8mΩ・cm、0.6mΩ・cmの場合であって、実験例7~18, 22~36における[100]軸の傾斜方向および傾斜角度と、ヒロック欠陥密度との関係を図3に示す。

図3において、[100]は[100]軸を表し、[001]、[011]、[010]、[01-1]、[00-1]、[0-1-1]、[0-10]、[0-11]は傾斜方向を表す。また、破線で示す2個の同心円は傾斜角度を表し、内側から順に0°30'、0°55'を表す。さらに、ヒロック欠陥密度が1個/cm²以下の場合を「○」で示し、1個/cm²を超える場合を「×」で示す。

表1~2および図3に示すように、(100)面が傾斜した面を主表面とし、(100)面に垂直な[100]軸が主表面に直交する軸に対して[001]方向、[0-10]方向、[0-11]方向、[0-11]方向と[0-10]方向の間の所定の合成角方向に0°30'以上0°55'以下だけ傾斜したシリコンウェーハに対して、1030℃以上1100℃未満の成長温度でエピタキシャル膜を形成することで、ヒロック欠陥の発生が抑制されたエピタキシャルシリコンウェーハを得られることが確認できた。

[0029] また、[001]方向、[010]方向、[00-1]方向および[0-10]方向、ならびに、[011]方向、[01-1]方向、[0-1-1]および[0-11]方向は、それぞれ等価であるため、任意の方向に傾斜した場合にも、実験例1~36と同様の結果が得られる。

このことから、(100)面が傾斜した面を主表面とし、(100)面に垂直な[100]軸が主表面に直交する軸に対して任意の方向に0°30'以上0°55'以下だけ傾斜したシリコンウェーハに対して、つまり、図3

における $0^{\circ}30'$ を表す円と $0^{\circ}55'$ を表す円との間の領域Aに含まれる任意の方向に、任意の角度だけ傾斜したシリコンウェーハに対して、 1030°C 以上 1100°C 未満の成長温度でエピタキシャル膜を形成することで、実験例8, 9, 11, 12, 14, 15, 17, 18, 23, 24, 26, 27, 31~36と同様の効果を得られる。

[0030] さらに、 (100) 面と等価な面が傾斜した面を主表面とし、 $[100]$ 軸と等価な軸が主表面に直交する軸に対して、 $[00-1]$ 方向、 $[010]$ 方向、 $[01-1]$ 方向、 $[0-11]$ 方向と $[0-10]$ 方向の間の所定の合成角方向とそれぞれ等価な方向に傾斜したシリコンウェーハを用いた場合も、同じ効果を奏する。

[0031] また、基板抵抗率が $1.0\text{ m}\Omega\cdot\text{cm}$ 以上の実験例1~6, 19~21は、本発明の参考例に相当し、基板抵抗率が $1.0\text{ m}\Omega\cdot\text{cm}$ 未満の場合にヒロック欠陥密度が $1\text{ 個}/\text{cm}^2$ を超える $0^{\circ}30'$ 未満の傾斜角度のときでも、ヒロック欠陥密度が $1\text{ 個}/\text{cm}^2$ 以下となることが確認できた。

[0032] なお、表1~2には示さないが、実験例1~36とそれぞれ同じ条件で製造したシリコンウェーハに対して、 1100°C の成長温度でエピタキシャル膜を形成したこと以外は、実験例1~36と同じ条件で各処理を行い実験例37~72のサンプルを得た。

そして、実験例37~72のサンプル各1枚に対して、実験例1~36と同様の表面検査を行ったところ、全てのサンプルにおいてヒロック欠陥密度が $1\text{ 個}/\text{cm}^2$ 以下であった。

このことから、基板抵抗率が $1.0\text{ m}\Omega\cdot\text{cm}$ 未満、かつ、傾斜角度が $0^{\circ}30'$ 未満の場合であっても、成長温度が 1100°C 以上のときにはヒロック欠陥密度が $1\text{ 個}/\text{cm}^2$ 以下になることが確認できた。

[0033]

[表1]

	基板 抵抗率 ($m\Omega \cdot cm$)	傾斜方向	傾斜角度	ヒロック 欠陥密度 (個/ cm^2)
実験例1	1.0	[0 0 1]	0° 15′	0.02
実験例2			0° 30′	0.04
実験例3			0° 45′	0.01
実験例19		[0 -1 1]	0° 15′	0.01
実験例20			0° 30′	0.01
実験例21			0° 45′	0.01
実験例4		[0 -1 0]	0° 15′	0.01
実験例5			0° 30′	0.06
実験例6			0° 45′	0.01
実験例7	0.8	[0 0 1]	0° 15′	12.80
実験例8			0° 30′	0.04
実験例9			0° 45′	0.05
実験例22		[0 -1 1]	0° 15′	12.33
実験例23			0° 30′	0.04
実験例24			0° 45′	0.04
実験例10		[0 -1 0]	0° 15′	3.37
実験例11			0° 30′	0.01
実験例12			0° 45′	0.02

[0034]

[表2]

	基板 抵抗率 ($m\Omega \cdot cm$)	傾斜方向	傾斜角度	[0 -1 0] 方向角度	[0 0 1] 方向角度	ヒロック 欠陥密度 (個/ cm^2)
実験例13	0.6	[0 0 1]	0° 15′	—	—	10.89
実験例28			0° 20′	—	—	18.77
実験例29			0° 25′	—	—	2.39
実験例14			0° 30′	—	—	0.06
実験例15			0° 45′	—	—	0.04
実験例25		[0 -1 1]	0° 15′	—	—	32.75
実験例26			0° 30′	—	—	0.06
実験例27			0° 45′	—	—	0.03
実験例30		[0 -1 1]方向と [0 -1 0]方向の 間の所定の 合成角方向	0° 20′	0° 19′	0° 10′	13.12
実験例31			0° 35′	0° 28′	0° 21′	0.02
実験例32			0° 35′	0° 35′	0° 8′	0.01
実験例33			0° 45′	0° 34′	0° 26′	0.01
実験例34			0° 45′	0° 45′	0° 11′	0.01
実験例35			0° 55′	0° 53′	0° 17′	0.01
実験例36			0° 55′	0° 48′	0° 28′	0.02
実験例16		[0 -1 0]	0° 15′	—	—	1.87
実験例17			0° 30′	—	—	0.05
実験例18			0° 45′	—	—	0.02

符号の説明

[0035] EP…エピタキシャル膜、EW…エピタキシャルシリコンウェーハ、WF…シリコンウェーハ、WF1…主表面。

請求の範囲

【請求項1】 リンをドーパントとした電気抵抗率が $1.0\text{ m}\Omega\cdot\text{cm}$ 未満のシリコンウェーハに、エピタキシャル膜が設けられたエピタキシャルシリコンウェーハであって、

前記シリコンウェーハは、 (100) 面が傾斜した面を主表面とし、前記 (100) 面に垂直な $[100]$ 軸が前記主表面に直交する軸に対して任意の方向に $0^\circ 30'$ 以上 $0^\circ 55'$ 以下だけ傾斜しており、

前記エピタキシャルシリコンウェーハに発生しているヒロック欠陥密度が $1\text{ 個}/\text{cm}^2$ 以下であることを特徴とするエピタキシャルシリコンウェーハ。

【請求項2】 リンをドーパントとした電気抵抗率が $1.0\text{ m}\Omega\cdot\text{cm}$ 未満のシリコンウェーハに、エピタキシャル膜が設けられたエピタキシャルシリコンウェーハの製造方法であって、

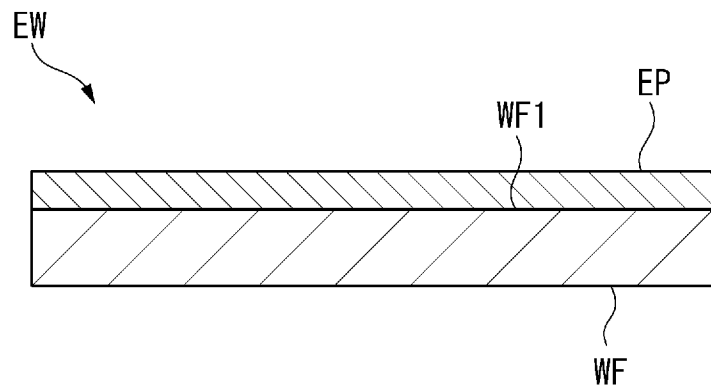
(100) 面が傾斜した面を主表面とし、前記 (100) 面に垂直な $[100]$ 軸を前記主表面に直交する軸に対して任意の方向に $0^\circ 30'$ 以上 $0^\circ 55'$ 以下だけ傾斜させた前記シリコンウェーハを準備する工程と、

前記シリコンウェーハに前記エピタキシャル膜を形成する工程とを備えていることを特徴とするエピタキシャルシリコンウェーハの製造方法。

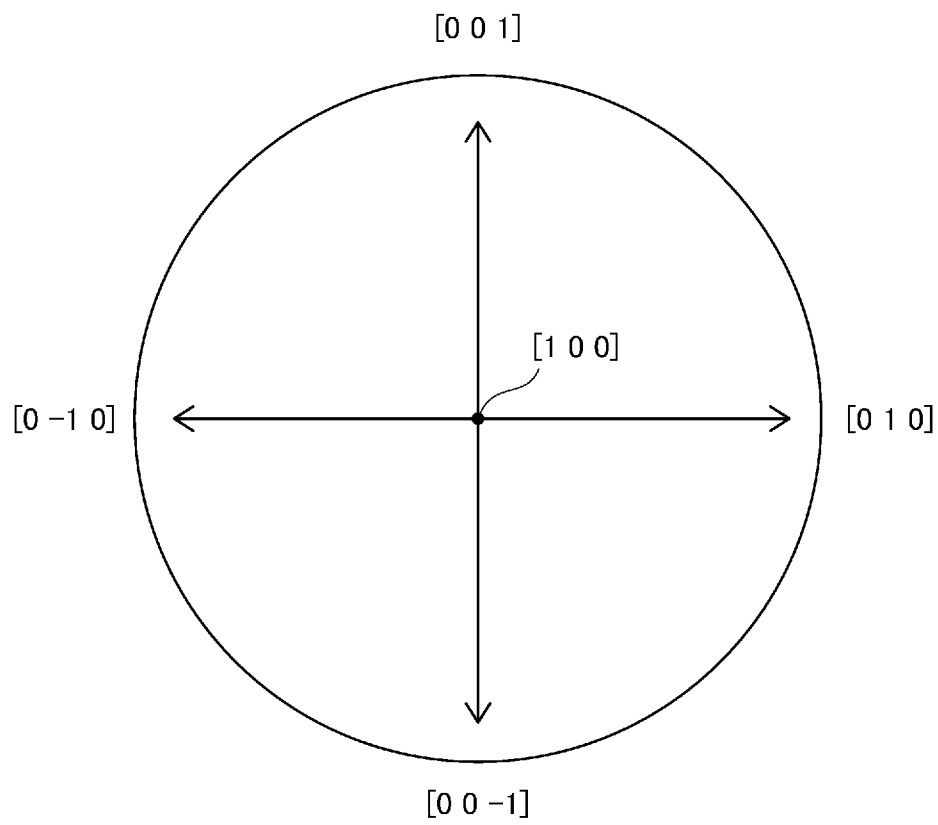
【請求項3】 請求項2に記載のエピタキシャルシリコンウェーハの製造方法において、

前記エピタキシャル膜の成長温度は、 1030°C 以上 1100°C 未満であることを特徴とするエピタキシャルシリコンウェーハの製造方法。

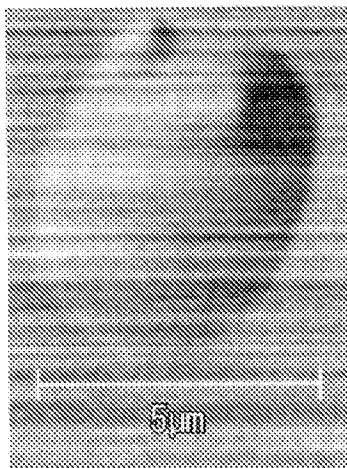
[図1A]



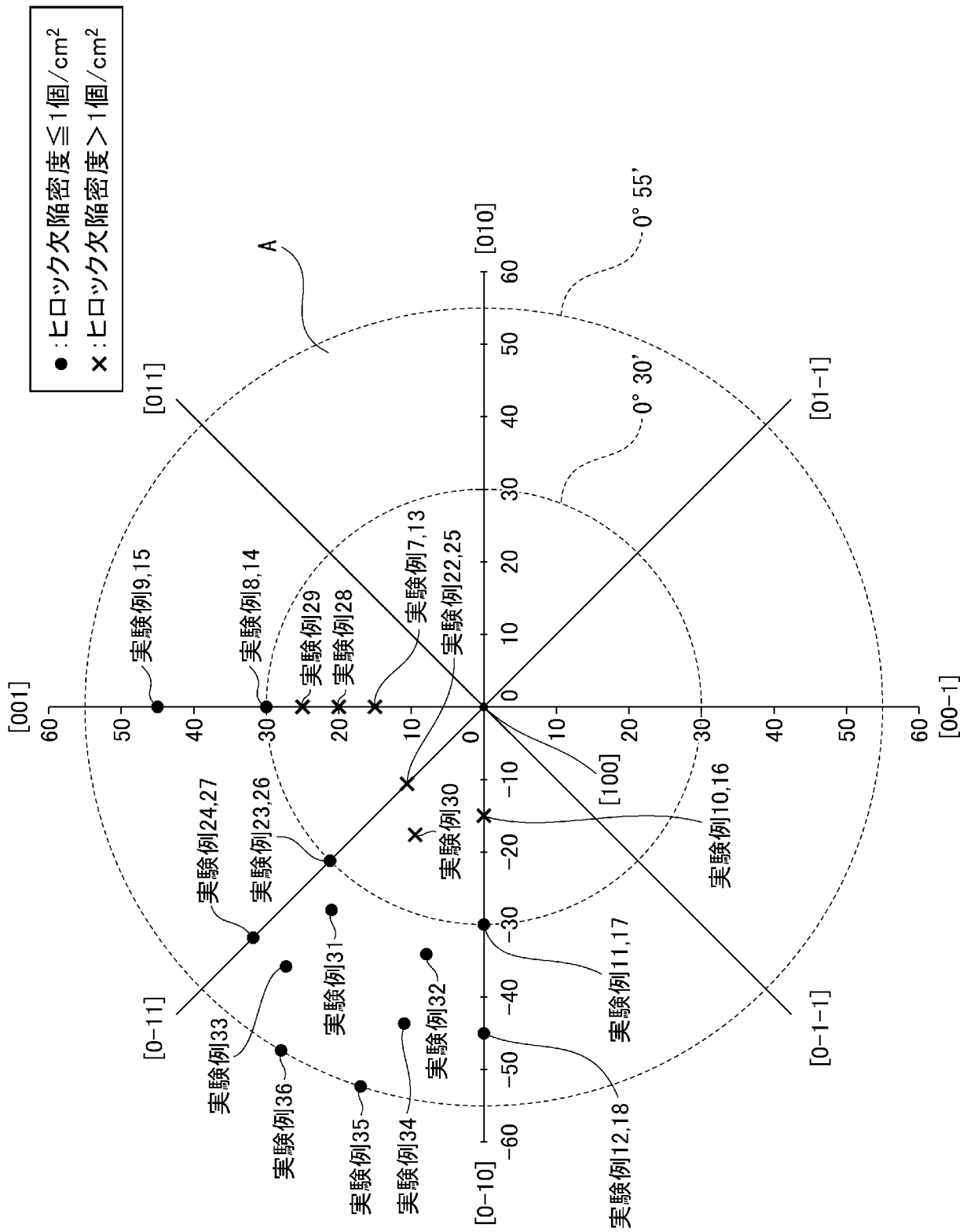
[図1B]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/028620

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/205(2006.01)i, C23C16/24(2006.01)i, C30B29/06(2006.01)i, H01L21/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/205, C23C16/24, C30B29/06, H01L21/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2014/175120 A1 (Sumco Techxiv Corp.), 30 October 2014 (30.10.2014), paragraphs [0020], [0043], [0044] & US 2016/0102418 A1 paragraphs [0070] to [0072], [0155] to [0162] & DE 112014002133 B4 & CN 105121713 A	1-3
Y	JP 2014-103333 A (Shin-Etsu Handotai Co., Ltd.), 05 June 2014 (05.06.2014), paragraph [0019] (Family: none)	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
15 September 2017 (15.09.17)

Date of mailing of the international search report
03 October 2017 (03.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/205(2006.01)i, C23C16/24(2006.01)i, C30B29/06(2006.01)i, H01L21/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/205, C23C16/24, C30B29/06, H01L21/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2014/175120 A1 (SUMCO TECHXIV株式会社) 2014.10.30, 段落[0020]、[0043]、[0044] & US 2016/0102418 A1、 段落[0070]-[0072]、[0155]-[0162] & DE 112014002133 B4 & CN 105121713 A	1-3
Y	JP 2014-103333 A (信越半導体株式会社) 2014.06.05, 段落 [00 19] (ファミリーなし)	1-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

15.09.2017

国際調査報告の発送日

03.10.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 聡一郎

50

8395

電話番号 03-3581-1101 内線 3559