

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年9月12日(12.09.2014)



(10) 国際公開番号

WO 2014/136591 A1

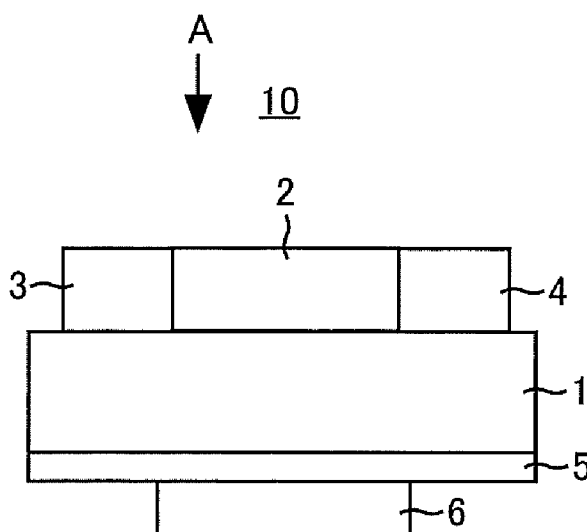
- (51) 国際特許分類:  
H01L 29/786 (2006.01) H01L 51/05 (2006.01)  
H01L 21/205 (2006.01) H01L 51/30 (2006.01)  
H01L 21/336 (2006.01) H01L 51/40 (2006.01)  
H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2014/054213
- (22) 国際出願日: 2014年2月21日(21.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2013-045952 2013年3月7日(07.03.2013) JP
- (71) 出願人: 学校法人中部大学(CHUBU UNIVERSITY EDUCATIONAL FOUNDATION) [JP/JP]; 〒4878501 愛知県春日井市松本町1200 Aichi (JP). 国立大学法人北海道大学(NATIONAL UNIVERSITY CORPORATION HOKKAIDO UNIVERSITY) [JP/JP]; 〒0600808 北海道札幌市北区北8条西5丁目 Hokkaido (JP). 国立大学法人大阪大学(OSAKA UNIVERSITY) [JP/JP]; 〒5650871 大阪府吹田市山田丘1番1号 Osaka (JP). 日新電機株式会社(NISSIN ELECTRIC CO., LTD.) [JP/JP]; 〒6158686 京都府京都市右京区梅津高畝町47番地 Kyoto (JP).

- (72) 発明者: 河原 敏男(KAWAHARA Toshio); 〒4878501 愛知県春日井市松本町1200 学校法人中部大学内 Aichi (JP). 岡本 一将(OKAMOTO Kazumasa); 〒0600808 北海道札幌市北区北8条西5丁目 国立大学法人北海道大学内 Hokkaido (JP). 松本 和彦(MATSUMOTO Kazuhiko); 〒5650871 大阪府吹田市山田丘1番1号 国立大学法人大阪大学内 Osaka (JP). 宇都宮里佐(UTSUNOMIYA Risa); 〒6158686 京都府京都市右京区梅津高畝町47番地 日新電機株式会社内 Kyoto (JP). 松葉 晃明(MATSUBA Teruaki); 〒6158686 京都府京都市右京区梅津高畝町47番地 日新電機株式会社内 Kyoto (JP). 松本 均(MATSUMOTO Hitoshi); 〒6158686 京都府京都市右京区梅津高畝町47番地 日新電機株式会社内 Kyoto (JP).
- (74) 代理人: 上羽 秀敏, 外(UEBA Hidetoshi et al.); 〒5300004 大阪府大阪市北区堂島浜2丁目2番28号堂島アクシスビル インテリクス特許法律事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LR, LS,

[続葉有]

(54) Title: THIN FILM TRANSISTOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 薄膜トランジスタおよびその製造方法



(57) Abstract: A thin film transistor (10) is provided with a silicon substrate (1), a channel layer (2), a source electrode (3), a drain electrode (4), an insulating film (5), and a gate electrode (6). The channel layer (2), the source electrode (3), and the drain electrode (4) are linearly disposed on a protruding portion of a recessed/protruding shape of the silicon substrate (1), said channel layer, source electrode and the drain electrode being disposed in the longitudinal direction of the protruding portion. The channel layer (2) is formed of a carbon nanowall thin film, and the source electrode (3) and the drain electrode (4) are formed of a metal carbon nanowall thin film. The insulating film (5) is formed of SiO<sub>2</sub>, and is disposed in contact with the rear surface of the silicon substrate (1). The gate electrode (6) is formed of a Ti/Au laminated structure, and is disposed in contact with the insulating film (5).

(57) 要約: 薄膜トランジスタ10は、シリコン基板1と、チャネル層2と、ソース電極3と、ドレイン電極4と、絶縁膜5と、ゲート電極6とを備える。チャネル層2、ソース電極3およびドレイン電極4は、シリコン基板1の凹凸形状の凸

部の長さ方向に沿って凸部上に直線状に配置される。チャネル層2は、カーボンナノウォール薄膜からなり、ソース電極3およびドレイン電極4は、金属カーボンナノウォール薄膜からなる。絶縁膜5は、SiO<sub>2</sub>からなり、シリコン基板1の裏面に接して配置される。ゲート電極6は、Ti/Auの積層構造からなり、絶縁膜5に接して配置される。



LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロ  
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

**発明の名称：** 薄膜トランジスタおよびその製造方法

### 技術分野

[0001] この発明は、薄膜トランジスタおよびその製造方法に関するものである。

### 背景技術

[0002] 従来、カーボンナノウォールを用いた縦型電流駆動デバイスが知られている（特許文献１）。

[0003] 図３１は、従来の縦型電流駆動デバイスの概略図である。図３１を参照して、従来の縦型電流駆動デバイス５００は、カーボンナノウォール５０１と、ソース電極５０２と、ドレイン電極５０３と、ゲート電極５０４とを備える。

[0004] カーボンナノウォール５０１は、数層のグラフェンシートが積層された構造からなる。

[0005] ソース電極５０２は、カーボンナノウォール５０１の一方端に配置され、ドレイン電極５０３は、カーボンナノウォール５０１の頂部においてカーボンナノウォール４０１の最表面または最下面に接して配置される。ゲート電極５０４は、カーボンナノウォール５０１の最表面に接して配置される。

特許文献１：特開２００６－２７２４９１号公報

### 発明の開示

[0006] しかし、特許文献１には、ソース電極およびドレイン電極がチャネル層と同じ材料からなることが記載されていないため、縦型電流駆動デバイスの駆動電圧を低くすることが困難であるという問題がある。

[0007] そこで、この発明は、かかる問題を解決するためになされたものであり、その目的は、駆動電圧の低減が可能な薄膜トランジスタを提供することである。

[0008] また、この発明の別の目的は、駆動電圧の低減が可能な薄膜トランジスタの製造方法を提供することである。

[0009] この発明の実施の形態によれば、薄膜トランジスタは、シリコン基板と、チャネル層と、ソース電極と、ドレイン電極と、ゲート電極と、絶縁膜とを備える。シリコン基板は、一主面に凹凸形状がストライプ状または碁盤目状に形成される。チャネル層は、凹凸形状の凸部の長さ方向に沿って凸部上に配置され、シリコン基板の法線方向に成長したグラフェンまたはカーボンナノウォール薄膜からなる。ソース電極は、グラフェンまたはカーボンナノウォール薄膜においてグラフェンまたはカーボンナノウォール薄膜の厚み方向に平行な第1の側面に接し、金属カーボンナノウォール薄膜からなる。ドレイン電極は、グラフェンまたはカーボンナノウォール薄膜の面内方向においてソース電極に対向するように配置され、グラフェンまたはカーボンナノウォール薄膜において第1の側面に対向する第2の側面に接し、金属カーボンナノウォール薄膜からなる。絶縁膜は、グラフェンまたはカーボンナノウォール薄膜とゲート電極との間に配置される。

[0010] また、この発明の実施の形態によれば、薄膜トランジスタの製造方法は、カーボンナノウォール薄膜をチャネル層として用いた薄膜トランジスタの製造方法であって、シリコン基板の一主面に凹凸形状をストライプ状または碁盤目状に形成する第1の工程と、チャネル層となるカーボンナノウォール薄膜と、ソース電極となる第1の金属カーボンナノウォール薄膜と、ドレイン電極となる第2の金属カーボンナノウォール薄膜とを、凹凸形状の凸部の長さ方向に沿って凸部上に同時に形成する第2の工程と、チャネル層のカーボンナノウォール薄膜に対向して絶縁膜を形成する第3の工程と、絶縁膜に接してゲート電極を形成する第4の工程とを備える。

[0011] 更に、この発明の実施の形態によれば、薄膜トランジスタの製造方法は、カーボンナノウォール薄膜をチャネル層として用いた薄膜トランジスタの製造方法であって、シリコン基板の一主面に凹凸形状をストライプ状または碁盤目状に形成する第1の工程と、金属カーボンナノウォール薄膜を凹凸形状の凸部の長さ方向に沿って前記凸部上に形成する第2の工程と、金属カーボンナノウォール薄膜の一部分にドーパントをドーピングして一部分を半導体

特性を有するカーボンナノウォール薄膜に変化させ、カーボンナノウォール薄膜からなるチャネル層と、第1の金属カーボンナノウォール薄膜からなるソース電極と、第2の金属カーボンナノウォール薄膜からなるドレイン電極とを凸部上に形成する第3の工程と、チャネル層のカーボンナノウォール薄膜に対向して絶縁膜を形成する第4の工程と、絶縁膜に接してゲート電極を形成する第5の工程とを備える。

[0012] この発明の実施の形態による薄膜トランジスタにおいては、チャネル層、ソース電極およびドレイン電極は、炭素原子が配列された同じ材料からなる。その結果、チャネル層と、ソース電極およびドレイン電極との間に電位的な障壁及び接触抵抗が無い。

[0013] 従って、チャネル層に電流を流すためにソース電極とドレイン電極との間に印加する駆動電圧及び損失を低くできる。

[0014] また、この発明の実施の形態による薄膜トランジスタの製造方法は、カーボンナノウォール薄膜をチャネル層として用いた薄膜トランジスタの製造方法であって、チャネル層となるカーボンナノウォール薄膜と、ソース電極となる第1の金属カーボンナノウォール薄膜と、ドレイン電極となる第2の金属カーボンナノウォール薄膜とを同時に形成する。

[0015] 従って、駆動電圧の低い薄膜トランジスタを製造できる。また、工程数を少なくして薄膜トランジスタを製造できる。

[0016] 更に、この発明の実施の形態による薄膜トランジスタの製造方法は、カーボンナノウォール薄膜をチャネル層として用いた薄膜トランジスタの製造方法であって、金属カーボンナノウォール薄膜の一部をカーボンナノウォール薄膜に変えてカーボンナノウォール薄膜からなるチャネル層と、第1の金属カーボンナノウォール薄膜からなるソース電極と、第2の金属カーボンナノウォール薄膜からなるドレイン電極とを形成する。

[0017] 従って、駆動電圧の低い薄膜トランジスタを製造できる。また、チャネル層、ソース電極およびドレイン電極を形成する工程数を少なくして薄膜トランジスタを製造できる。

## 図面の簡単な説明

[0018] [図1]この発明の実施の形態1による薄膜トランジスタの構成を示す断面図である。

[図2]図1に示すA方向から見た薄膜トランジスタの平面図である。

[図3]図1および図2に示すシリコン基板、チャンネル層、ソース電極およびドレイン電極の斜視図である。

[図4]図1に示すチャンネル層を構成するグラフェンと、ソース電極およびドレイン電極を構成する金属カーボンナノウォール薄膜とを製造するプラズマ装置の構成を示す断面図である。

[図5]図4に示す整合回路側から見た平面導体、給電電極および終端電極の平面図である。

[図6]Y方向の平面導体の断面図およびプラズマ密度を示す図である。

[図7]図1および図2に示す薄膜トランジスタの製造方法を示す第1の工程図である。

[図8]図1および図2に示す薄膜トランジスタの製造方法を示す第2の工程図である。

[図9]実施の形態2による薄膜トランジスタの構成を示す断面図である。

[図10]図9に示すA方向から見た薄膜トランジスタの平面図である。

[図11]図9および図10に示す薄膜トランジスタの製造方法を示す第1の工程図である。

[図12]図9および図10に示す薄膜トランジスタの製造方法を示す第2の工程図である。

[図13]図9および図10に示す薄膜トランジスタの製造方法を示す第3の工程図である。

[図14]実施の形態3による薄膜トランジスタの構成を示す断面図である。

[図15]図14に示すA方向から見た薄膜トランジスタの平面図である。

[図16]図14および図15に示すシリコン基板、チャンネル層、ソース電極およびドレイン電極の斜視図である。

[図17]図 1 4 および図 1 5 に示す薄膜トランジスタの製造方法を示す工程図である。

[図18]実施の形態 3 による別の薄膜トランジスタの構成を示す断面図である。

[図19]図 1 8 に示す A 方向から見た薄膜トランジスタの平面図である。

[図20]図 1 8 および図 1 9 に示す薄膜トランジスタの製造方法を示す第 1 の工程図である。

[図21]図 1 8 および図 1 9 に示す薄膜トランジスタの製造方法を示す第 2 の工程図である。

[図22]実施の形態 4 による薄膜トランジスタの構成を示す断面図である。

[図23]図 2 2 に示す A 方向から見た薄膜トランジスタの平面図である。

[図24]図 2 2 および図 2 3 に示す薄膜トランジスタの製造方法を示す第 1 の工程図である。

[図25]図 2 2 および図 2 3 に示す薄膜トランジスタの製造方法を示す第 2 の工程図である。

[図26]実施の形態 4 による別の薄膜トランジスタの構成を示す断面図である。

[図27]図 2 6 に示す A 方向から見た薄膜トランジスタの平面図である。

[図28]図 2 6 および図 2 7 に示す薄膜トランジスタの製造方法を示す第 1 の工程図である。

[図29]図 2 6 および図 2 7 に示す薄膜トランジスタの製造方法を示す第 2 の工程図である。

[図30]図 2 6 および図 2 7 に示す薄膜トランジスタの製造方法を示す第 3 の工程図である。

[図31]従来の縦型電流駆動デバイスの概略図である。

### 発明を実施するための最良の形態

[0019] 本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

[0020] [実施の形態 1]

図 1 は、この発明の実施の形態 1 による薄膜トランジスタの構成を示す断面図である。また、図 2 は、図 1 に示す A 方向から見た薄膜トランジスタの平面図である。

[0021] 図 1 および図 2 を参照して、この発明の実施の形態 1 による薄膜トランジスタ 10 は、シリコン基板 1 と、チャネル層 2 と、ソース電極 3 と、ドレイン電極 4 と、絶縁膜 5 と、ゲート電極 6 とを備える。

[0022] シリコン基板 1 は、n 型単結晶シリコン、p 型単結晶シリコン、n 型多結晶シリコンおよび p 型多結晶シリコンのいずれかからなる。そして、シリコン基板 1 は、例えば、 $0.1 \sim 1 \Omega \cdot \text{cm}$  の比抵抗を有する。

[0023] チャネル層 2 は、シリコン基板 1 の一主面上に配置される。そして、チャネル層 2 は、グラフェンからなり、シリコン基板 1 に略垂直に配置される。

[0024] なお、この明細書においては、グラフェンとは、2 次元の平面状炭素シートを言う。

[0025] ソース電極 3 は、シリコン基板 1 の面内方向において、チャネル層 2 の一方端に接して配置される。そして、ソース電極 3 は、金属カーボンナノウォール薄膜からなる。ドレイン電極 4 は、シリコン基板 1 の面内方向において、ソース電極 3 に対向するようにチャネル層 2 の他方端に接して配置される。そして、ドレイン電極 4 は、金属カーボンナノウォール薄膜からなる。

[0026] なお、この明細書においては、金属カーボンナノウォール薄膜とは、電流-電圧特性が直線状のカーボンナノウォール薄膜を言う。

[0027] 絶縁膜 5 は、例えば、二酸化シリコン ( $\text{SiO}_2$ ) からなる。そして、絶縁膜 5 は、シリコン基板 1 のチャネル層 2 が配置された一主面と反対側の表面に接して配置される。

[0028] ゲート電極 6 は、絶縁膜 5 に接して配置される。そして、ゲート電極 6 は、例えば、Ti/Au の積層構造からなる。この場合、Ti の厚みは、例えば、10 nm であり、Au の厚みは、例えば、20 nm である。

[0029] 図 3 は、図 1 および図 2 に示すシリコン基板 1、チャネル層 2、ソース電



極 3 およびドレイン電極 4 の斜視図である。

[0030] 図 3 を参照して、シリコン基板 1 は、凸部 1 1 と凹部 1 2 とを含む。凸部 1 1 および凹部 1 2 は、方向 D R 1 に沿ってシリコン基板 1 の一主面に形成される。方向 D R 1 における凸部 1 1 および凹部 1 2 の長さは、シリコン基板 1 の長さと同じであっても、シリコン基板 1 の長さよりも短くてもよい。凸部 1 1 および凹部 1 2 は、方向 D R 1 に垂直な方向 D R 2 において、交互に形成される。凸部 1 1 は、方向 D R 2 において、 $0.1 \sim 0.5 \mu\text{m}$  の長さを有する。凹部 1 2 は、方向 D R 2 において、 $0.6 \sim 1.5 \mu\text{m}$  の長さを有する。即ち、凸部 1 1 は、 $0.1 \sim 0.5 \mu\text{m}$  の幅を有し、凹部 1 2 は、 $0.6 \sim 1.5 \mu\text{m}$  の幅を有する。また、凸部 1 1 の高さ（＝凹部 1 2 の深さ）は、 $0.3 \sim 0.6 \mu\text{m}$  である。

[0031] このように、シリコン基板 1 は、ストライプ状に配置された凹凸形状を一主面に有する。

[0032] チャネル層 2 を構成するグラフェンは、シリコン基板 1 の凸部 1 1 の長さ方向（＝方向 D R 1）に沿って凸部 1 1 上に形成される。

[0033] そして、グラフェンは、 $0.3 \sim 15 \text{ nm}$  の厚み、 $5 \sim 10 \mu\text{m}$  の長さ（方向 D R 1 における長さ）および  $0.0003 \sim 10 \mu\text{m}$  の高さを有する。

[0034] このように、グラフェンは、シリコン基板 1 の凸部 1 1 の長さ方向に沿って配列される。

[0035] ソース電極 3 は、チャネル層 2（グラフェン）の厚み方向に平行な側面 2 A に接するようにシリコン基板 1 の凸部 1 1 上に配置される。

[0036] ドレイン電極 4 は、チャネル層 2（グラフェン）の厚み方向に平行な側面 2 A に対向する側面 2 B に接するようにシリコン基板 1 の凸部 1 1 上に配置される。

[0037] このように、チャネル層 2、ソース電極 3 およびドレイン電極 4 は、シリコン基板 1 の凸部 1 1 の長さ方向（方向 D R 1）に沿って直線状に配置される。

[0038] 所望の電圧をゲート電極 6 に印加すると、チャネル層 2 を構成するグラフ

エンのシリコン基板 1 側に電子または正孔が誘起される。そして、電子または正孔が誘起された状態で所望の電圧をソース電極 3 とドレイン電極 4 との間に印加すると、グラフェンの電子または正孔が誘起された領域を介して、電流がソース電極 3 とドレイン電極 4 との間に流れる。この場合、ソース電極 3 とドレイン電極 4 との間に流れる電流値は、ゲート電極 6 に印加される電圧によって制御される。

[0039] 薄膜トランジスタ 10 においては、チャネル層 2 がグラフェンからなり、ソース電極 3 およびドレイン電極 4 が金属カーボンナノウォール薄膜からなるので、チャネル層 2、ソース電極 3 およびドレイン電極 4 は、炭素原子が配列された同じ材料からなる。その結果、チャネル層 2 とソース電極 3 およびドレイン電極 4 との間に電位的な障壁が存在しない。

[0040] 従って、チャネル層 2 に電流を流すためにソース電極 3 とドレイン電極 4 との間に印加する駆動電圧を低くできる。

[0041] このように、薄膜トランジスタ 10 は、グラフェンをチャネル層 2 として用いた薄膜トランジスタである。また、薄膜トランジスタ 10 は、ゲート電極 6 がチャネル層 2 の下側に配置されたバックゲート型の薄膜トランジスタである。

[0042] 図 4 は、図 1 に示すチャネル層 2 を構成するグラフェンと、ソース電極 3 およびドレイン電極 4 を構成する金属カーボンナノウォール薄膜とを製造するプラズマ装置の構成を示す断面図である。図 4 を参照して、プラズマ装置 100 は、真空容器 20 と、天板 26 と、排気口 27 と、ガス導入部 28 と、ホルダ 32 と、ヒータ 34 と、軸 36 と、軸受部 38 と、マスク 42 と、仕切り板 44 と、平面導体 50 と、給電電極 52 と、終端電極 54 と、絶縁フランジ 56 と、パッキン 57, 58 と、シールドボックス 60 と、高周波電源 62 と、整合回路 64 と、接続導体 68, 69 とを備える。

[0043] 真空容器 20 は、金属製であり、排気口 27 を介して真空排気装置に接続される。また、真空容器 20 は、電氣的に接地ノードに接続される。天板 26 は、真空容器 20 の上側を塞ぐように真空容器 20 に接して配置される。

この場合、真空容器 20 と天板 26 との間には、真空シール用のパッキン 57 が配置される。

[0044] ガス導入部 28 は、真空容器 20 内において仕切り板 44 よりも上側に配置される。軸 36 は、軸受部 38 を介して真空容器 20 の底面に固定される。ホルダ 32 は、軸 36 の一方端に固定される。ヒータ 34 は、ホルダ 32 内に配置される。マスク 42 は、ホルダ 32 の周縁部においてホルダ 32 上に配置される。仕切り板 44 は、ホルダ 32 よりも上側において真空容器 20 とホルダ 32 との間を塞ぐように真空容器 20 の側壁に固定される。

[0045] 給電電極 52 および終端電極 54 は、絶縁フランジ 56 を介して天板 26 に固定される。この場合、天板 26 と絶縁フランジ 56 との間には、真空シール用のパッキン 58 が配置される。

[0046] 平面導体 50 は、X 方向における両端部がそれぞれ給電電極 52 および終端電極 54 に接するように配置される。

[0047] 給電電極 52 および終端電極 54 は、後述するように Y 方向（図 4 の紙面に垂直な方向）において平面導体 50 とほぼ同じ長さを有する。そして、給電電極 52 は、接続導体 68 によって整合回路 64 の出力バー 66 に接続される。終端電極 54 は、接続導体 69 を介してシールドボックス 60 に接続される。平面導体 50、給電電極 52 および終端電極 54 は、例えば、銅およびアルミニウム等からなる。

[0048] シールドボックス 60 は、真空容器 20 の上側に配置され、天板 26 に接する。高周波電源 62 は、整合回路 64 と接地ノードとの間に接続される。整合回路 64 は、シールドボックス 60 上に配置される。

[0049] 接続導体 68、69 は、Y 方向において給電電極 52 および終端電極 54 とほぼ同じ長さを有する板形状からなる。

[0050] ガス導入部 28 は、ガスポンペ（図示せず）から供給されたメタン（ $\text{CH}_4$ ）ガスおよび水素（ $\text{H}_2$ ）ガス等のガス 29 を真空容器 20 内に供給する。ホルダ 32 は、シリコン基板 1 を支持する。ヒータ 34 は、シリコン基板 1 を所望の温度に加熱する。軸 36 は、ホルダ 32 を支持する。マスク 42 は、

シリコン基板 1 の周縁部を覆う。これによって、生成物がシリコン基板 1 の周縁部に形成されるのを防止できる。仕切り板 4 4 は、プラズマ 7 0 がシリコン基板 1 の保持機構に達するのを防止する。

[0051] 給電電極 5 2 は、接続導体 6 8 から供給された高周波電流を平面導体 5 0 に流す。終端電極 5 4 は、平面導体 5 0 の端部を直接またはキャパシタを介して接地ノードに接続し、高周波電源 6 2 から平面導体 5 0 にかけて高周波電流の閉ループを作る。

[0052] 高周波電源 6 2 は、例えば、13.56 MHz の高周波電力を整合回路 6 4 へ供給する。整合回路 6 4 は、高周波電源 6 2 から供給された高周波電力を反射を抑制して接続導体 6 8 に供給する。

[0053] 図 5 は、図 4 に示す整合回路 6 4 側から見た平面導体 5 0、給電電極 5 2 および終端電極 5 4 の平面図である。図 5 を参照して、平面導体 5 0 は、例えば、長方形の平面形状からなり、辺 5 0 a、5 0 b を有する。辺 5 0 a は、辺 5 0 b よりも長い。そして、辺 5 0 a は、X 方向に沿って配置され、辺 5 0 b は、Y 方向に沿って配置される。

[0054] 給電電極 5 2 および終端電極 5 4 は、それぞれ、平面導体 5 0 の辺 5 0 b に沿って平面導体 5 0 の X 方向の両端部に配置される。給電電極 5 2 および終端電極 5 4 の Y 方向の長さは、高周波電流 1 6 を Y 方向においてできる限り一様に流すために、平面導体 5 0 の Y 方向に平行な辺 5 0 b の長さに近づける（例えば、辺 5 0 b の長さを実質的に同じにする）のが好ましいが、辺 5 0 b の長さよりも幾分短くてもよいし、長くてもよい。数値で表せば、給電電極 5 2 および終端電極 5 4 の Y 方向の長さは、辺 5 0 b の長さの 85% 以上の長さに設定すればよい。

[0055] このように、給電電極 5 2 および終端電極 5 4 は、ブロック状の電極からなるので、Y 方向において平面導体 5 0 にほぼ一様に高周波電流 1 6 を流すことができる。

[0056] 平面導体 5 0 に点状の電極を用いて高周波電流を供給した場合、高周波電流は、平面導体 5 0 を一様に流れない。一般的に、平面導体に高周波電力を

供給しても、平面導体の近傍にプラズマが存在しない状態では、表皮効果等によって、高周波電流は、平面導体の通電方向に直交する断面の四隅に集中して流れる。これは、高周波のインピーダンスの分布が平面導体の四隅で小さく、その他の部分で大きくなるからである。

[0057] 図6は、Y方向の平面導体50の断面図およびプラズマ密度を示す図である。プラズマ装置100においては、平面導体50の近傍にプラズマ70が発生する。即ち、図6に示すように、高周波電流16を平面導体50に流すと、高周波磁界17が平面導体50の周囲に発生し、それによって高周波電流16と逆方向に誘導電界18が発生する。そして、この誘導電界18によって電子が加速されて平面導体50の近傍のガス29（図4参照）を電離させ、プラズマ70が平面導体50の近傍に発生し、そのプラズマ中を誘導電流19が誘導電界18と同じ方向（即ち、高周波電流16と逆方向）に流れる。

[0058] このように、プラズマ70が平面導体50の近傍に発生し、そのプラズマ70中を誘導電流19が高周波電流16と逆方向に流れると、平面導体50を流れる高周波電流16は、通電方向と直交するY方向において一様化するようになる。その理由は、次のとおりである。

[0059] 配電の技術分野においては、ブスバーのような平面導体に流れる電流に近接した別の導体に逆方向に電流が流れる場合、導体のインピーダンスの分布が相互に変化し、低インピーダンス化およびインピーダンスの一様化が生じることが知られている。これは、電流が互いに逆方向に流れることによって、磁束の鎖交数が減少することが関係していると考えられる。プラズマ装置100においては、このような現象を平面導体とプラズマとの関係に応用したものである。

[0060] 従って、図6に示すように、平面導体50の近傍にプラズマ、特に高密度のプラズマ70が発生すると、平面導体50内を流れる高周波電流16の分布は、Y方向において一様化する。このことと、上述したブロック状の給電電極52および終端電極54を有していることが相俟って、高周波電流1

6は、平面導体50内をY方向においてほぼ一様に分布して流れるようになる。それによって、平面導体50のプラズマ70生成側の面の近傍に、通電方向であるX方向のみならず、X方向と直交するY方向においてもほぼ一様に分布した誘導電界18および誘導電流19が発生し、この誘導電界18によって、平面導体50の面に沿う広範囲に亘って均一性の良いプラズマを発生させることができる。そのプラズマ密度分布D1は、図6に示すようにほぼ一様である。

[0061] このように、プラズマ装置100は、高周波電流16を平面導体50に一樣に流すことによって誘導結合型のプラズマを発生する。

[0062] 図7および図8は、それぞれ、図1および図2に示す薄膜トランジスタ10の製造方法を示す第1および第2の工程図である。なお、工程(c)～工程(i)においては、図3に示すB方向から見たシリコン基板1を示す。

[0063] 図7を参照して、薄膜トランジスタ10の製造が開始されると、n型単結晶シリコンからなるシリコン基板30をエタノール等で洗浄して脱脂し、その後、シリコン基板30をフッ酸(HF)によって洗浄する(工程(a)参照)。これによって、シリコン基板30の表面は、水素によって終端される。

[0064] そして、シリコン基板30の裏面を熱酸化してSiO<sub>2</sub>からなる絶縁膜5を形成する(工程(b)参照)。この場合、熱酸化は、例えば、シリコン基板30を酸素(O<sub>2</sub>)ガス雰囲気中で1000℃で熱処理することによって行われる。

[0065] 工程(b)の後、シリコン基板30の一主面(＝絶縁膜5が形成された面と反対側の面)を電子ビームリソグラフィによってパターンニングし、反応性イオンエッチングによってシリコン基板30の一主面をエッチングして凸部11および凹部12をシリコン基板30の一主面に形成する(工程(c)参照)。これによって、シリコン基板1が形成される。

[0066] この場合、レジストをシリコン基板30の一主面に塗布し、その塗布したレジストを電子ビームリソグラフィによってパターンニングしてレジストパ

ターンを形成し、その形成したレジストパターンをマスクとして反応性イオンエッチングによってシリコン基板30の一主面をエッチングする。

[0067] 工程(c)の後、シリコン基板1を真空容器20内のホルダ32上に配置し、ヒータ34を用いてシリコン基板1を600℃以上に昇温する。そして、ガス導入部28は、50 s c c mのCH<sub>4</sub>ガスおよび50 s c c mのH<sub>2</sub>ガス、または100 s c c mのCH<sub>4</sub>ガスを真空容器20内に供給する。即ち、真空容器20内に炭素原子を含む材料ガスを導入する。そして、真空容器20内の圧力を1.33 Paに調整する。

[0068] その後、高周波電源62は、13.56 MHzの周波数を有する1 kWの高周波電力を整合回路64および接続導体68を介して平面導体50に印加する。

[0069] これによって、プラズマ70が真空容器20内に発生し、グラフェン21がシリコン基板1の凸部11上に自己組織的に形成される。この場合、グラフェン21の形成時間は、数分である。

[0070] 高周波電力を印加し始めてから数分が経過すると、高周波電力の印加を停止し、CH<sub>4</sub>ガスおよびH<sub>2</sub>ガス（またはCH<sub>4</sub>ガス）の供給を停止する。このように、グラフェン21は、誘導結合型のプラズマを用いて製造される。

[0071] 工程(d)の後、レジストをグラフェン21上に塗布し、その塗布したレジストをフォトリソグラフィによってパターンニングしてレジストパターン40を形成する（工程(e)参照）。

[0072] 図8を参照して、工程(e)の後、レジストパターン40をマスクとしてグラフェン21をエッチングする（工程(f)参照）。これによって、グラフェンからなるチャンネル層2が形成される。

[0073] そして、試料を真空容器20内のホルダ32上に配置し、ヒータ34を用いてシリコン基板1を600℃以上に昇温する。ガス導入部28は、50 s c c mのCH<sub>4</sub>ガスおよび50 s c c mのH<sub>2</sub>ガス、または100 s c c mのCH<sub>4</sub>ガスを真空容器20内に供給する。即ち、真空容器20内に炭素原子を含む材料ガスを導入する。そして、真空容器20内の圧力を1.33 Paに

調整する。

[0074] その後、高周波電源62は、13.56MHzの周波数を有する1kWの高周波電力を整合回路64および接続導体68を介して平面導体50に印加する。

[0075] これによって、プラズマ70が真空容器20内に発生し、チャンネル層2の両側において、金属カーボンナノウォール薄膜がチャンネル層2に接してシリコン基板1の凸部11上に自己組織的に形成される。この場合、金属カーボンナノウォール薄膜の形成時間は、10～30分である。また、金属カーボンナノウォール薄膜41がレジストパターン40上に形成される。

[0076] 高周波電力を印加し始めてから10～30分が経過すると、高周波電力の印加を停止し、CH<sub>4</sub>ガスおよびH<sub>2</sub>ガス（またはCH<sub>4</sub>ガス）の供給を停止する。これによって、金属カーボンナノウォール薄膜からなるソース電極3およびドレイン電極4が形成される（工程（g）参照）。このように、ソース電極3およびドレイン電極4を構成する金属カーボンナノウォール薄膜は、誘導結合型のプラズマを用いて製造される。また、ソース電極3およびドレイン電極4を構成する金属カーボンナノウォール薄膜は、グラフェン21を形成するときの基板温度、材料ガス、高周波電力および反応圧力と同じ基板温度、材料ガス、高周波電力および反応圧力を用いて、形成時間を数分から10～30分に長くすることによって形成される。

[0077] 工程（g）の後、1-メチル-2-ピロリドンを用いてレジストパターン40を除去する（工程（h）参照）。これによって、金属カーボンナノウォール薄膜41は、リフトオフによって除去される。

[0078] そして、電子ビーム蒸着によってTiおよびAuを絶縁膜5上に順次積層してゲート電極6を形成する。これによって、薄膜トランジスタ10が完成する（工程（i）参照）。

[0079] なお、図7および図8に示す工程図においては、チャンネル層2を形成した後にソース電極3およびドレイン電極4を形成すると説明したが、実施の形態1においては、これに限らず、ソース電極3およびドレイン電極4を形成



した後にチャネル層 2 を形成するようにしてもよい。

[0080] なお、上記においては、シリコン基板 1 は、ストライプ状に形成された凹凸形状を有すると説明したが、実施の形態 1 においては、これに限らず、シリコン基板 1 は、碁盤目状に形成された凹凸形状を有していてもよい。この場合、碁盤目状の凹凸形状は、ストライプ状の凹凸形状と同じ方法によって形成される。また、碁盤目状の凹凸形状を有するシリコン基板 1 を用いて薄膜トランジスタ 10 を製造する場合、図 7 に示す工程 (c) において、シリコン基板 1 の一主面に碁盤目状の凹凸形状が形成される。

[0081] [実施の形態 2]

図 9 は、実施の形態 2 による薄膜トランジスタの構成を示す断面図である。また、図 10 は、図 9 に示す A 方向から見た薄膜トランジスタの平面図である。

[0082] 図 9 および図 10 を参照して、実施の形態 2 による薄膜トランジスタ 200 は、図 1 および図 2 に示す薄膜トランジスタ 10 の絶縁膜 5 を絶縁膜 210 に代え、ゲート電極 6 をゲート電極 220 に代えたものであり、その他は、薄膜トランジスタ 10 と同じである。

[0083] 絶縁膜 210 は、一般的には、誘電体からなり、チャネル層 2 の上側にチャネル層 2 に接して配置される。誘電体は、例えば、酸化シリコン、チタン酸バリウムおよびイオン液体等からなる。

[0084] ゲート電極 220 は、上述したゲート電極 6 と同じ材料からなり、絶縁膜 210 に接して絶縁膜 210 上に配置される。

[0085] このように、薄膜トランジスタ 200 は、ゲート電極 220 がチャネル層 2 よりも上側に配置されたトップゲート型の薄膜トランジスタである。

[0086] 所望の電圧をゲート電極 220 に印加すると、チャネル層 2 を構成するグラフェンの絶縁膜 210 側に電子または正孔が誘起される。そして、電子または正孔が誘起された状態で所望の電圧をソース電極 3 とドレイン電極 4 との間に印加すると、グラフェンの電子または正孔が誘起された領域を介して、電流がソース電極 3 とドレイン電極 4 との間に流れる。この場合、ソース

電極 3 とドレイン電極 4 との間に流れる電流値は、ゲート電極 220 に印加される電圧によって制御される。

[0087] 薄膜トランジスタ 200 においては、チャネル層 2 がグラフェンからなり、ソース電極 3 およびドレイン電極 4 が金属カーボンナノウォール薄膜からなるので、チャネル層 2、ソース電極 3 およびドレイン電極 4 は、炭素原子が配列された同じ材料からなる。その結果、チャネル層 2 とソース電極 3 およびドレイン電極 4 との間に電位的な障壁が存在しない。

[0088] 従って、チャネル層 2 に電流を流すためにソース電極 3 とドレイン電極 4 との間に印加する駆動電圧を低くできる。

[0089] 図 11 から図 13 は、それぞれ、図 9 および図 10 に示す薄膜トランジスタ 200 の製造方法を示す第 1 から第 3 の工程図である。なお、工程 (c) ~ 工程 (l) においては、図 3 に示す B 方向から見たシリコン基板 1 を示す。

[0090] 図 11 を参照して、薄膜トランジスタ 200 の製造が開始されると、図 7 に示す工程 (a) と同じ工程が実行される (工程 (a) 参照)。

[0091] そして、図 7 に示す工程 (c) と同じ工程を実行してシリコン基板 1 を形成する (工程 (b) 参照)。

[0092] その後、図 7 に示す工程 (d), (e) および図 8 に示す工程 (f), (g), (h) と同じ工程を順次実行する (図 11 に示す工程 (c) ~ 工程 (e) および図 12 に示す工程 (f), (g) 参照)。

[0093] 図 12 を参照して、工程 (g) の後、レジストをチャネル層 2、ソース電極 3 およびドレイン電極 4 上に塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングし、レジストパターン 201 を形成する (工程 (h) 参照)。

[0094] そして、レジストパターン 201 をマスクとしてチャネル層 2 上に絶縁膜 210 を形成する (工程 (i) 参照)。この場合、絶縁膜 202 がレジストパターン 201 上に形成される。

[0095] 図 13 を参照して、工程 (i) の後、1-メチル-2-ピロリドンを用い

てレジストパターン201を除去する（工程（j）参照）。これによって、絶縁膜202がリフトオフによって除去される。

[0096] そして、レジストをソース電極3、ドレイン電極4および絶縁膜210上に塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングし、レジストパターン203を形成する（工程（k）参照）。

[0097] その後、レジストパターン203をマスクとして電子ビーム蒸着によってTiおよびAuを絶縁膜210上に順次積層し、1-メチル-2-ピロリドンを用いてレジストパターン203を除去する。これによって、ゲート電極220が絶縁膜210上に形成され、薄膜トランジスタ200が完成する（工程（l）参照）。

[0098] なお、図11から図13に示す工程図においては、チャネル層2を形成した後にソース電極3およびドレイン電極4を形成すると説明したが、実施の形態2においては、これに限らず、ソース電極3およびドレイン電極4を形成した後にチャネル層2を形成するようにしてもよい。

[0099] 上述したように、薄膜トランジスタ200は、薄膜トランジスタ10と同じ構成からなるチャネル層2、ソース電極3およびドレイン電極4を備える。

[0100] 従って、チャネル層2に電流を流すためにソース電極3とドレイン電極4との間に印加する駆動電圧を低くできる。

[0101] 実施の形態2におけるその他の説明は、実施の形態1における説明と同じである。

[0102] [実施の形態3]

図14は、実施の形態3による薄膜トランジスタの構成を示す断面図である。また、図15は、図14に示すA方向から見た薄膜トランジスタの平面図である。

[0103] 図14および図15を参照して、実施の形態3による薄膜トランジスタ300は、シリコン基板301と、チャネル層302と、ソース電極303と

、ドレイン電極304と、絶縁膜305と、ゲート電極306とを備える。

[0104] シリコン基板301は、シリコン基板1と同じようにストライプ状に形成された凸部11および凹部12を一主面に有する（図3参照）。そして、シリコン基板301は、チャンネル層301に接する領域の厚みがソース電極303およびドレイン電極304に接する領域の厚みよりも薄い。シリコン基板301についてのその他の説明は、シリコン基板1についての説明と同じである。

[0105] チャンネル層302は、シリコン基板301の凸部11の長さ方向に沿って凸部11上に配置される。そして、チャンネル層302は、カーボンナノウォール薄膜からなり、シリコン基板301に略垂直に配置される。

[0106] なお、この明細書においては、カーボンナノウォール薄膜とは、複数のグラフェンが積層された構造からなる薄膜を言い、半導体特性を示すものを言う。半導体特性とは、ゲート電圧によりドレインーソース電流が変化する特性のことである。

[0107] ソース電極303は、シリコン基板301の面内方向において、チャンネル層302の一方端側でチャンネル層302に接して配置される。そして、ソース電極303は、金属カーボンナノウォール薄膜からなる。ドレイン電極304は、シリコン基板301の面内方向において、ソース電極303に対向するようにチャンネル層302の他方端側でチャンネル層302に接して配置される。そして、ドレイン電極304は、金属カーボンナノウォール薄膜からなる。

[0108] 絶縁膜305は、シリコン基板301の裏面（チャンネル層302が形成される面と反対側の面）に接して配置される。絶縁膜305についてのその他の説明は、絶縁膜5についての説明と同じである。

[0109] ゲート電極306は、絶縁膜305に接して配置される。ゲート電極306についてのその他の説明は、ゲート電極6についての説明と同じである。

[0110] 図16は、図14および図15に示すシリコン基板301、チャンネル層302、ソース電極303およびドレイン電極304の斜視図である。

- [0111] 図16を参照して、チャネル層302を構成するカーボンナノウォール薄膜は、シリコン基板301の凸部11の長さ方向（＝方向DR1）に沿って凸部11上に形成される。
- [0112] そして、カーボンナノウォール薄膜は、10～15nmの厚み、5～10μmの長さ（方向DR1における長さ）および60～2500nmの高さを有する。
- [0113] このように、カーボンナノウォール薄膜は、シリコン基板301の凸部11の長さ方向に沿って配列される。
- [0114] ソース電極303は、チャネル層302（カーボンナノウォール薄膜）の厚み方向に平行な側面302Aに接してチャネル層302と一体的にシリコン基板301の凸部11上に形成される。
- [0115] ドレイン電極304は、チャネル層302（カーボンナノウォール薄膜）の厚み方向に平行な側面302Aに対向する側面302Bに接してチャネル層302と一体的にシリコン基板301の凸部11上に形成される。
- [0116] このように、チャネル層302、ソース電極303およびドレイン電極304は、シリコン基板301の凸部11の長さ方向（方向DR1）に沿って一体的に形成される。
- [0117] なお、図16においては、チャネル層302、ソース電極303およびドレイン電極304が一体的に形成されていることを示すために、チャネル層302とソース電極303との間、およびチャネル層302とドレイン電極304との間を点線によって示す。
- [0118] 所望の電圧をゲート電極306に印加すると、チャネル層302を構成するカーボンナノウォール薄膜のシリコン基板1側に電子または正孔が誘起される。そして、電子または正孔が誘起された状態で所望の電圧をソース電極303とドレイン電極304との間に印加すると、カーボンナノウォール薄膜の電子または正孔が誘起された領域を介して、電流がソース電極303とドレイン電極304との間に流れる。そして、ソース電極303とドレイン電極304との間に流れる電流値は、ゲート電極306に印加される電圧に

よって制御される。

[0119] この場合、チャネル層 302 がカーボンナノウォール薄膜からなり、ソース電極 303 およびドレイン電極 304 が金属カーボンナノウォール薄膜からなり、チャネル層 302、ソース電極 303 およびドレイン電極 304 が一体的に形成されているので、チャネル層 302 と、ソース電極 303 およびドレイン電極 304 との間に電位的な障壁が存在しない。

[0120] 従って、チャネル層 302 に電流を流すためにソース電極 303 とドレイン電極 304 との間に印加する駆動電圧を低くできる。

[0121] このように、薄膜トランジスタ 300 は、カーボンナノウォール薄膜をチャネル層 302 として用いた薄膜トランジスタである。また、薄膜トランジスタ 300 は、薄膜トランジスタ 10 と同じようにバックゲート型の薄膜トランジスタである。

[0122] 図 17 は、図 14 および図 15 に示す薄膜トランジスタ 300 の製造方法を示す工程図である。なお、図 17 の工程 (c) においては、図 16 に示す A 方向および B 方向から見たシリコン基板 301 の 2 つの側面図が示されている。また、工程 (d) ~ 工程 (f) においては、図 16 に示す B 方向から見たシリコン基板 301 を示す。

[0123] 図 17 を参照して、薄膜トランジスタ 300 の製造が開始されると、図 7 に示す工程 (a)、(c) と同じ工程が実行され、シリコン基板 1 が形成される (工程 (a)、(b) 参照)。

[0124] そして、シリコン基板 1 の裏面にレジストを塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングし、ソース電極 303 およびドレイン電極 304 に対向するシリコン基板 1 の領域を覆うようにレジストパターンを形成する。そして、その形成したレジストパターンをマスクとしてシリコン基板 1 の裏面側をエッチングし、凹部 3011 を形成する。これによって、シリコン基板 301 が形成される (工程 (c) 参照)。

[0125] その後、レジストパターンを除去し、シリコン基板 301 の裏面を O<sub>2</sub> が

ス雰囲気中で1000℃の温度で酸化し、絶縁膜305を形成する（工程（d）参照）。

[0126] そして、シリコン基板301／絶縁膜305を真空容器20内のホルダ32上に配置し、ヒータ34を用いてシリコン基板301／絶縁膜305を600℃以上に昇温する。この場合、シリコン基板301は、凹部3012を有するため、凹部3012に対向するシリコン基板301の領域301Aは、600℃以上に昇温されず、400～500℃に設定され、領域301Aに隣接する2つの領域301B、301Cは、600℃以上に設定される。なお、領域301Aの温度が400～500℃よりも昇温される場合は、窒素（N<sub>2</sub>）ガスおよびアルゴン（Ar）ガスを凹部3012に流し、領域301Aの温度を400～500℃に設定してもよい。

[0127] その後、ガス導入部28は、50sccmのCH<sub>4</sub>ガスおよび50sccmのH<sub>2</sub>ガス、または100sccmのCH<sub>4</sub>ガスを真空容器20内に供給する。即ち、真空容器20内に炭素原子を含む材料ガスを導入する。そして、真空容器20内の圧力を1.33Paに調整する。

[0128] そして、高周波電源62は、13.56MHzの周波数を有する1kWの高周波電力を整合回路64および接続導体68を介して平面導体50に印加する。

[0129] これによって、プラズマ70が真空容器20内に発生し、カーボンナノウォール薄膜および金属カーボンナノウォール薄膜がシリコン基板301の凸部11上に自己組織的に形成される。この場合、シリコン基板301の領域301A上には、カーボンナノウォール薄膜が形成され、2つの領域301B、301C上には、金属カーボンナノウォール薄膜が形成される。即ち、カーボンナノウォール薄膜からなるチャネル層302と、金属カーボンナノウォール薄膜からなるソース電極303およびドレイン電極304とが一体的に形成される（工程（e）参照）。そして、カーボンナノウォール薄膜および金属カーボンナノウォール薄膜の形成時間は、10～30分である。

[0130] 高周波電力を印加し始めてから10～30分が経過すると、高周波電力の

印加を停止し、 $\text{CH}_4$  ガスおよび  $\text{H}_2$  ガス（または  $\text{CH}_4$  ガス）の供給を停止する。このように、カーボンナノウォール薄膜および金属カーボンナノウォール薄膜は、誘導結合型のプラズマを用いて製造される。

[0131] 工程（e）の後、図 8 に示す工程（i）と同じ工程を実行してゲート電極 306 を絶縁膜 305 に接して形成する。これによって、薄膜トランジスタ 300 が完成する（工程（f）参照）。

[0132] このように、薄膜トランジスタ 300 においては、チャネル層 302、ソース電極 303 およびドレイン電極 304 は、1 つの工程で一体的に形成されるので、チャネル層 302 とソース電極 303 およびドレイン電極 304 との間には、電位的な障壁が全く存在しない。

[0133] 従って、チャネル層 302 に電流を流すための駆動電圧を非常に低くできる。

[0134] また、図 17 に示す工程図においては、チャネル層 302、ソース電極 303 およびドレイン電極 304 は、1 つの工程で同時に形成されるので（工程（e）参照）、薄膜トランジスタ 10、200 に比べて少ない工程数で薄膜トランジスタ 300 を製造できる。

[0135] 図 18 は、実施の形態 3 による別の薄膜トランジスタの構成を示す断面図である。また、図 19 は、図 18 に示す A 方向から見た薄膜トランジスタの平面図である。

[0136] 実施の形態 3 による薄膜トランジスタは、図 18 および図 19 に示す薄膜トランジスタ 300A であってもよい。

[0137] 図 18 および図 19 を参照して、薄膜トランジスタ 300A は、図 14 および図 15 に示す薄膜トランジスタ 300 のシリコン基板 301、絶縁膜 305 およびゲート電極 306 をそれぞれシリコン基板 1、絶縁膜 5 およびゲート電極 6 に代えたものであり、その他は、薄膜トランジスタ 300 と同じである。

[0138] 薄膜トランジスタ 300A においては、チャネル層 302、ソース電極 303 およびドレイン電極 304 は、シリコン基板 1 の凸部 11 の長さ方向に



沿って凸部 11 上に一体的に形成される。シリコン基板 1、絶縁膜 5 およびゲート電極 6 については、図 1 および図 2 において説明したとおりである。従って、ゲート電極 6 は、チャネル層 302 の下側に配置される。

[0139] このように、薄膜トランジスタ 300A は、薄膜トランジスタ 10 と同じようにバックゲート型の薄膜トランジスタである。

[0140] 図 20 および図 21 は、それぞれ、図 18 および図 19 に示す薄膜トランジスタ 300A の製造方法を示す第 1 および第 2 の工程図である。なお、工程 (c) ～工程 (h) においては、図 3 に示す B 方向から見たシリコン基板 1 を示す。

[0141] 図 20 を参照して、薄膜トランジスタ 300A の製造が開始されると、図 7 に示す工程 (a) ～工程 (c) と同じ工程を実行する (工程 (a) ～工程 (c) 参照)。

[0142] そして、工程 (c) の後、シリコン基板 1 / 絶縁膜 5 を真空容器 20 内のホルダ 32 上に配置し、ヒータ 34 を用いてシリコン基板 1 / 絶縁膜 5 を 600℃ 以上に昇温する。

[0143] その後、ガス導入部 28 は、50 sccm の  $\text{CH}_4$  ガスおよび 50 sccm の  $\text{H}_2$  ガス、または 100 sccm の  $\text{CH}_4$  ガスを真空容器 20 内に供給する。即ち、真空容器 20 内に炭素原子を含む材料ガスを導入する。そして、真空容器 20 内の圧力を 1.33 Pa に調整する。

[0144] そうすると、高周波電源 62 は、13.56 MHz の周波数を有する 1 kW の高周波電力を整合回路 64 および接続導体 68 を介して平面導体 50 に印加する。

[0145] これによって、プラズマ 70 が真空容器 20 内に発生し、金属カーボンナノウォール薄膜 310 がシリコン基板 1 の凸部 11 上に自己組織的に形成される (工程 (d) 参照)。この場合、金属カーボンナノウォール薄膜 310 の形成時間は、10 ～ 30 分である。

[0146] 高周波電力を印加し始めてから 10 ～ 30 分が経過すると、高周波電力の印加を停止し、 $\text{CH}_4$  ガスおよび  $\text{H}_2$  ガス (または  $\text{CH}_4$  ガス) の供給を停止す

る。このように、金属カーボンナノウォール薄膜 310 は、誘導結合型のプラズマを用いて製造される。

[0147] 工程 (d) の後、金属カーボンナノウォール薄膜 310 上にレジストを塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングし、レジストパターン 320 を形成する (工程 (e) 参照)。

[0148] 図 21 を参照して、工程 (e) の後、レジストパターン 320 をマスクとして金属カーボンナノウォール薄膜 310 にドーパントをプラズマ CVD 法によってドーピングする (工程 (f) 参照)。

[0149] この場合、ドーパントは、ヨウ素、炭酸ガス、不活性元素およびボロンのいずれかからなる。ヨウ素は、金属カーボンナノウォール薄膜 310 を構成する炭素配列の骨格に入る。また、炭酸ガスは、金属カーボンナノウォール薄膜 310 の表面に吸着する。更に、不活性元素は、例えば、Ar からなり、金属カーボンナノウォール薄膜 310 中に欠陥を生成する。ボロンも、不活性元素と同じように、金属カーボンナノウォール薄膜 310 中に欠陥を生成する。

[0150] このように、ヨウ素、炭酸ガス、不活性元素およびボロン等を金属カーボンナノウォール薄膜 310 中にドーピングすることによって、金属カーボンナノウォール薄膜 310 が半導体特性を有するカーボンナノウォール薄膜になる。

[0151] 工程 (f) の後、1-メチル-2-ピロリドンを用いてレジストパターン 320 を除去する。その結果、カーボンナノウォール薄膜からなるチャネル層 302 と、金属カーボンナノウォール薄膜からなるソース電極 303 およびドレイン電極 304 とが形成される (工程 (g) 参照)。

[0152] そして、図 8 に示す工程 (i) と同じ工程を実行してゲート電極 6 を絶縁膜 5 に接して形成する。これによって、薄膜トランジスタ 300A が完成する (工程 (h) 参照)。

[0153] このように、シリコン基板 1 上に金属カーボンナノウォール薄膜 310 を

形成し、その形成した金属カーボンナノウォール薄膜 310 の一部を半導体特性を有するカーボンナノウォール薄膜に変化させることによって、チャンネル層 302、ソース電極 303 およびドレイン電極 304 を形成する（工程（f）、（g）参照）。

[0154] その結果、チャンネル層 302、ソース電極 303 およびドレイン電極 304 は、炭素原子が配列された同じ材料からなるので、チャンネル層 302 とソース電極 303 およびドレイン電極 304 との間に、電位的な障壁が全く存在しなくなる。

[0155] 従って、チャンネル層 302 に電流を流すための駆動電圧を非常に低くできる。

[0156] 実施の形態 3 におけるその他の説明は、実施の形態 1 における説明と同じである。

[0157] [実施の形態 4]

図 22 は、実施の形態 4 による薄膜トランジスタの構成を示す断面図である。また、図 23 は、図 22 に示す A 方向から見た薄膜トランジスタの平面図である。

[0158] 図 22 および図 23 を参照して、実施の形態 4 による薄膜トランジスタ 400 は、図 14 および図 15 に示す薄膜トランジスタ 300 の絶縁膜 305 およびゲート電極 306 をそれぞれ絶縁膜 410 およびゲート電極 420 に代えたものであり、その他は、薄膜トランジスタ 300 と同じである。

[0159] 絶縁膜 410 は、チャンネル層 302 のシリコン基板 301 側と反対側においてチャンネル層 302 に接してチャンネル層 302 上に配置される。そして、絶縁膜 410 は、絶縁膜 210（図 9 参照）と同じ材料からなる。

[0160] ゲート電極 420 は、絶縁膜 410 に接して絶縁膜 410 上に配置される。そして、ゲート電極 420 は、ゲート電極 6 と同じ材料からなる。

[0161] このように、薄膜トランジスタ 400 においては、ゲート電極 420 は、チャンネル層 302 の上側に配置される。従って、薄膜トランジスタ 400 は、トップゲート型の薄膜トランジスタである。

- [0162] 図24および図25は、それぞれ、図22および図23に示す薄膜トランジスタ400の製造方法を示す第1および第2の工程図である。なお、図24の工程(c)においては、図16に示すA方向およびB方向から見たシリコン基板301の2つの側面図が示されている。また、工程(d)～工程(h)においては、図16に示すB方向から見たシリコン基板301を示す。
- [0163] 図24を参照して、薄膜トランジスタ400の製造が開始されると、図17に示す工程(a)～工程(c)と同じ工程が実行され、シリコン基板301が作成される(工程(a)～工程(c)参照)。
- [0164] そして、図17に示す工程(e)と同じ工程を実行して、チャンネル層302、ソース電極303およびドレイン電極304をシリコン基板301上に同時に形成する(工程(d)参照)。
- [0165] その後、チャンネル層302、ソース電極303およびドレイン電極304上にレジストを塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングし、レジストパターン430をソース電極303およびドレイン電極304上に形成する(工程(e)参照)。
- [0166] 図25を参照して、工程(e)の後、レジストパターン430をマスクとして絶縁膜410をチャンネル層302上に形成する(工程(f)参照)。この場合、絶縁膜450がレジストパターン430上に形成される。
- [0167] そして、1-メチルー2-ピロリドンを用いてレジストパターン430を除去する。これによって、絶縁膜450がリフトオフによって除去される。
- [0168] その後、ソース電極303、ドレイン電極304および絶縁膜410上にレジストを塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングし、レジストパターン460をソース電極303、ドレイン電極304、および絶縁膜410の一部の上に形成する(工程(g)参照)。
- [0169] そして、レジストパターン460をマスクとして、電子ビーム蒸着によってTiおよびAuを絶縁膜410上に順次積層してゲート電極420を形成する。そして、1-メチルー2-ピロリドンを用いてレジストパターン46

0を除去する。これによって、薄膜トランジスタ400が完成する（工程（h）参照）。

[0170] このように、薄膜トランジスタ400においては、チャネル層302、ソース電極303およびドレイン電極304は、1つの工程で一体的に形成されるので（工程（d）参照）、チャネル層302とソース電極303およびドレイン電極304との間には、電位的な障壁が全く存在しない。

[0171] 従って、チャネル層302に電流を流すための駆動電圧を非常に低くできる。

[0172] また、図24および図25に示す工程図においては、チャネル層302、ソース電極303およびドレイン電極304は、1つの工程で同時に形成されるので（工程（d）参照）、薄膜トランジスタ10、200に比べて少ない工程数で薄膜トランジスタ400を製造できる。

[0173] 図26は、実施の形態4による別の薄膜トランジスタの構成を示す断面図である。また、図27は、図26に示すA方向から見た薄膜トランジスタの平面図である。

[0174] 実施の形態4による薄膜トランジスタは、図26および図27に示す薄膜トランジスタ400Aであってもよい。

[0175] 図26および図27を参照して、薄膜トランジスタ400Aは、図22および図23に示す薄膜トランジスタ400のシリコン基板301をシリコン基板1に代えたものであり、その他は、薄膜トランジスタ400と同じである。

[0176] 薄膜トランジスタ400Aにおいては、チャネル層302、ソース電極303およびドレイン電極304は、シリコン基板1の凸部11の長さ方向に沿って凸部11上に一体的に形成される。

[0177] シリコン基板1については、上述したとおりである。

[0178] このように、薄膜トランジスタ400Aにおいては、ゲート電極420は、チャネル層302の上側に配置される。従って、薄膜トランジスタ400Aは、トップゲート型の薄膜トランジスタである。

- [0179] 図28から図30は、それぞれ、図26および図27に示す薄膜トランジスタ400Aの製造方法を示す第1から第3の工程図である。なお、工程(c)～工程(j)においては、図3に示すB方向から見たシリコン基板1を示す。
- [0180] 図28を参照して、薄膜トランジスタ400Aの製造が開始されると、図24に示す工程(a)，(b)と同じ工程を実行してシリコン基板1を作成する(工程(a)，(b)参照)。
- [0181] そして、工程(b)の後、図20に示す工程(d)と同じ工程を実行して金属カーボンナノウォール薄膜310をシリコン基板1上に形成する(工程(c)参照)。
- [0182] その後、図20に示す工程(e)および図21に示す工程(f)，(g)と同じ工程を実行してチャネル層302、ソース電極303およびドレイン電極304をシリコン基板1上に形成する(図28の工程(d)，(e)および図29の工程(f)参照)。
- [0183] そして、図24に示す工程(e)および図25に示す工程(f)，(g)，(h)と同じ工程を実行して絶縁膜410およびゲート電極420を形成する。これによって、薄膜トランジスタ400Aが完成する(図29の工程(g)，(h)，(i)および図30の工程(j)参照)。
- [0184] このように、シリコン基板1上に金属カーボンナノウォール薄膜310を形成し、その形成した金属カーボンナノウォール薄膜310の一部を半導体特性を有するカーボンナノウォール薄膜に変化させることによって、チャネル層302、ソース電極303およびドレイン電極304を形成する(工程(e)，(f)参照)。
- [0185] その結果、チャネル層302、ソース電極303およびドレイン電極304は、炭素原子が配列された同じ材料からなるので、チャネル層302とソース電極303およびドレイン電極304との間に、電位的な障壁が全く存在しない。
- [0186] 従って、チャネル層302に電流を流すための駆動電圧を非常に低くでき

る。

[0187] 実施の形態４におけるその他の説明は、実施の形態１における説明と同じである。

[0188] 上述した実施の形態１においては、グラフェンからなるチャンネル層２と、金属カーボンナノウォール薄膜からなるソース電極３およびドレイン電極４とを備えるバックゲート型の薄膜トランジスタ１０について説明した。

[0189] また、実施の形態２においては、グラフェンからなるチャンネル層２と、金属カーボンナノウォール薄膜からなるソース電極３およびドレイン電極４とを備えるトップゲート型の薄膜トランジスタ２００について説明した。

[0190] 更に、実施の形態３においては、カーボンナノウォール薄膜からなるチャンネル層３０２と、金属カーボンナノウォール薄膜からなるソース電極３０３およびドレイン電極３０４とを備えるバックゲート型の薄膜トランジスタ３００、３００Ａについて説明した。

[0191] 更に、実施の形態４においては、カーボンナノウォール薄膜からなるチャンネル層３０２と、金属カーボンナノウォール薄膜からなるソース電極３０３およびドレイン電極３０４とを備えるトップゲート型の薄膜トランジスタ４００、４００Ａについて説明した。

[0192] 従って、この発明の実施の形態による薄膜トランジスタは、一主面に凹凸形状がストライプ状または碁盤目状に形成されたシリコン基板と、凹凸形状の凸部の長さ方向に沿って凸部上に配置され、シリコン基板の法線方向に成長したグラフェンまたはカーボンナノウォール薄膜からなるチャンネル層と、グラフェンまたはカーボンナノウォール薄膜においてグラフェンまたはカーボンナノウォール薄膜の厚み方向に平行な第１の側面に接し、金属カーボンナノウォール薄膜からなるソース電極と、グラフェンまたはカーボンナノウォール薄膜の面内方向においてソース電極に対向するように配置され、グラフェンまたはカーボンナノウォール薄膜において第１の側面に対向する第２の側面に接し、金属カーボンナノウォール薄膜からなるドレイン電極と、ゲート電極と、グラフェンまたはカーボンナノウォール薄膜とゲート電極との

間に配置された絶縁膜とを備えていればよい。

[0193] チャネル層、ソース電極およびドレイン電極が炭素原子が配列された同じ材料からなっていれば、チャネル層とソース電極およびドレイン電極との間に、電位的な障壁が存在せず、チャネル層に電流を流すためにチャネル層とソース電極およびドレイン電極との間に印加する駆動電圧を低くできるからである。

[0194] また、この発明の実施の形態による薄膜トランジスタの製造方法は、カーボンナノウォール薄膜をチャネル層として用いた薄膜トランジスタの製造方法であって、シリコン基板の一主面に凹凸形状をストライプ状または碁盤目状に形成する第1の工程と、チャネル層となるカーボンナノウォール薄膜と、ソース電極となる第1の金属カーボンナノウォール薄膜と、ドレイン電極となる第2の金属カーボンナノウォール薄膜とを、凹凸形状の凸部の長さ方向に沿って凸部上に同時に形成する第2の工程と、チャネル層のカーボンナノウォール薄膜に対向して絶縁膜を形成する第3の工程と、絶縁膜に接してゲート電極を形成する第4の工程とを備えていればよい。

[0195] 更に、この発明の実施の形態による薄膜トランジスタの製造方法は、カーボンナノウォール薄膜をチャネル層として用いた薄膜トランジスタの製造方法であって、シリコン基板の一主面に凹凸形状をストライプ状または碁盤目状に形成する第1の工程と、金属カーボンナノウォール薄膜を凹凸形状の凸部の長さ方向に沿って凸部上に形成する第2の工程と、金属カーボンナノウォール薄膜の一部にドーパントをドーピングして一部分を半導体特性を有するカーボンナノウォール薄膜に変化させ、カーボンナノウォール薄膜からなるチャネル層と、第1の金属カーボンナノウォール薄膜からなるソース電極と、第2の金属カーボンナノウォール薄膜からなるドレイン電極とを凸部上に形成する第3の工程と、チャネル層のカーボンナノウォール薄膜に対向して絶縁膜を形成する第4の工程と、絶縁膜に接してゲート電極を形成する第5の工程とを備えていればよい。

[0196] これらの製造方法によれば、チャネル層、ソース電極およびドレイン電極



を炭素原子が配列された同じ材料によって構成でき、チャネル層に電流を流すためにチャネル層とソース電極およびドレイン電極との間に印加する駆動電圧を低くできるからである。

[0197] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

### 産業上の利用可能性

[0198] この発明は、薄膜トランジスタおよびその製造方法に適用される。

## 請求の範囲

- [請求項1]           一主面に凹凸形状がストライプ状または碁盤目状に形成されたシリコン基板と、
- 前記凹凸形状の凸部の長さ方向に沿って前記凸部上に配置され、前記シリコン基板の法線方向に成長したグラフェンまたはカーボンナノウォール薄膜からなるチャネル層と、
- 前記グラフェンまたは前記カーボンナノウォール薄膜において前記グラフェンまたは前記カーボンナノウォール薄膜の厚み方向に平行な第1の側面に接し、金属カーボンナノウォール薄膜からなるソース電極と、
- 前記グラフェンまたは前記カーボンナノウォール薄膜の面内方向において前記ソース電極に対向するように配置され、前記グラフェンまたは前記カーボンナノウォール薄膜において前記第1の側面に対向する第2の側面に接し、金属カーボンナノウォール薄膜からなるドレイン電極と、
- ゲート電極と、
- 前記グラフェンまたは前記カーボンナノウォール薄膜と前記ゲート電極との間に配置された絶縁膜とを備える薄膜トランジスタ。
- [請求項2]           前記絶縁膜は、前記シリコン基板の前記一主面と反対側の表面に接して配置され、
- 前記ゲート電極は、前記絶縁膜に接して配置され、
- 前記ソース電極および前記ドレイン電極は、前記凹凸形状の凸部の長さ方向に沿って配置される、請求項1に記載の薄膜トランジスタ。
- [請求項3]           前記絶縁膜は、前記グラフェンまたは前記カーボンナノウォール薄膜において前記シリコン基板側と反対側で前記グラフェンまたは前記カーボンナノウォール薄膜の厚み方向に平行な第3の側面に接して配置され、
- 前記ゲート電極は、前記絶縁膜に接して配置され、

前記ソース電極および前記ドレイン電極は、前記凹凸形状の凸部の長さ方向に沿って配置される、請求項 1 に記載の薄膜トランジスタ。

[請求項4]

カーボンナノウォール薄膜をチャネル層として用いた薄膜トランジスタの製造方法であって、

シリコン基板の一主面に凹凸形状をストライプ状または碁盤目状に形成する第 1 の工程と、

チャネル層となるカーボンナノウォール薄膜と、ソース電極となる第 1 の金属カーボンナノウォール薄膜と、ドレイン電極となる第 2 の金属カーボンナノウォール薄膜とを、前記凹凸形状の凸部の長さ方向に沿って前記凸部上に同時に形成する第 2 の工程と、

前記チャネル層のカーボンナノウォール薄膜に対向して絶縁膜を形成する第 3 の工程と、

前記絶縁膜に接してゲート電極を形成する第 4 の工程とを備える薄膜トランジスタの製造方法。

[請求項5]

カーボンナノウォール薄膜をチャネル層として用いた薄膜トランジスタの製造方法であって、

シリコン基板の一主面に凹凸形状をストライプ状または碁盤目状に形成する第 1 の工程と、

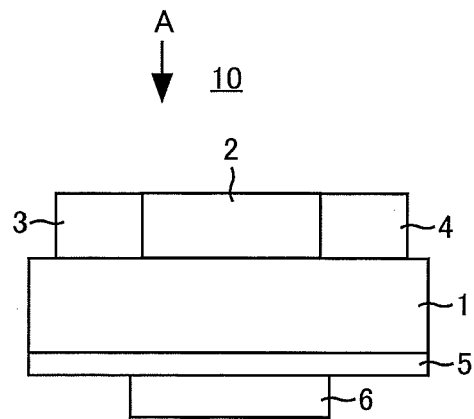
金属カーボンナノウォール薄膜を前記凹凸形状の凸部の長さ方向に沿って前記凸部上に形成する第 2 の工程と、

前記金属カーボンナノウォール薄膜の一部にドーパントをドーピングして前記一部分を半導体特性を有するカーボンナノウォール薄膜に変化させ、前記カーボンナノウォール薄膜からなるチャネル層と、第 1 の金属カーボンナノウォール薄膜からなるソース電極と、第 2 の金属カーボンナノウォール薄膜からなるドレイン電極とを前記凸部上に形成する第 3 の工程と、

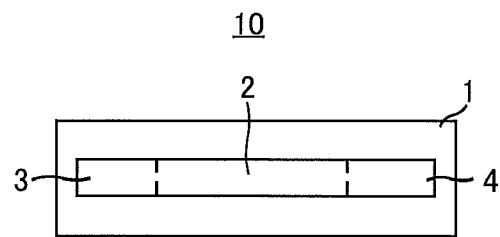
前記チャネル層のカーボンナノウォール薄膜に対向して絶縁膜を形成する第 4 の工程と、

前記絶縁膜に接してゲート電極を形成する第5の工程とを備える薄膜トランジスタの製造方法。

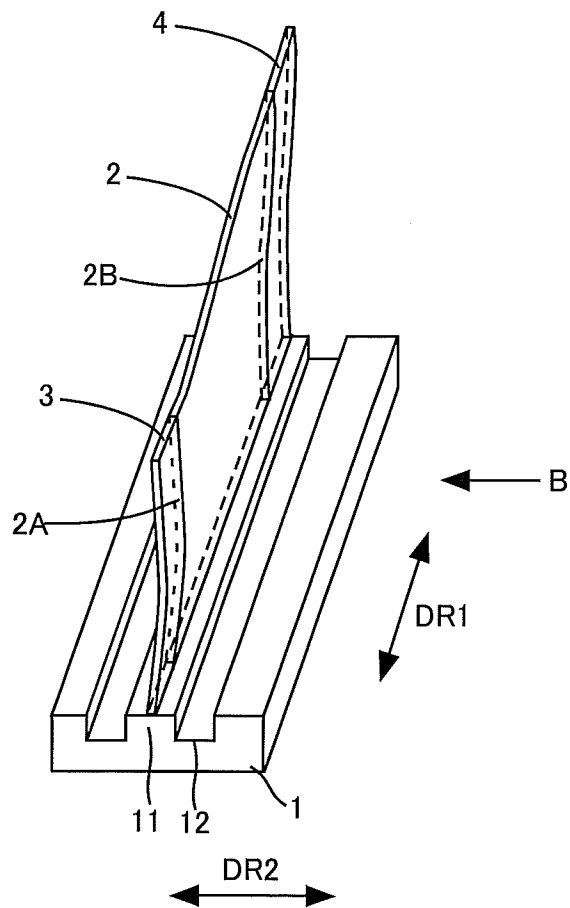
[図1]

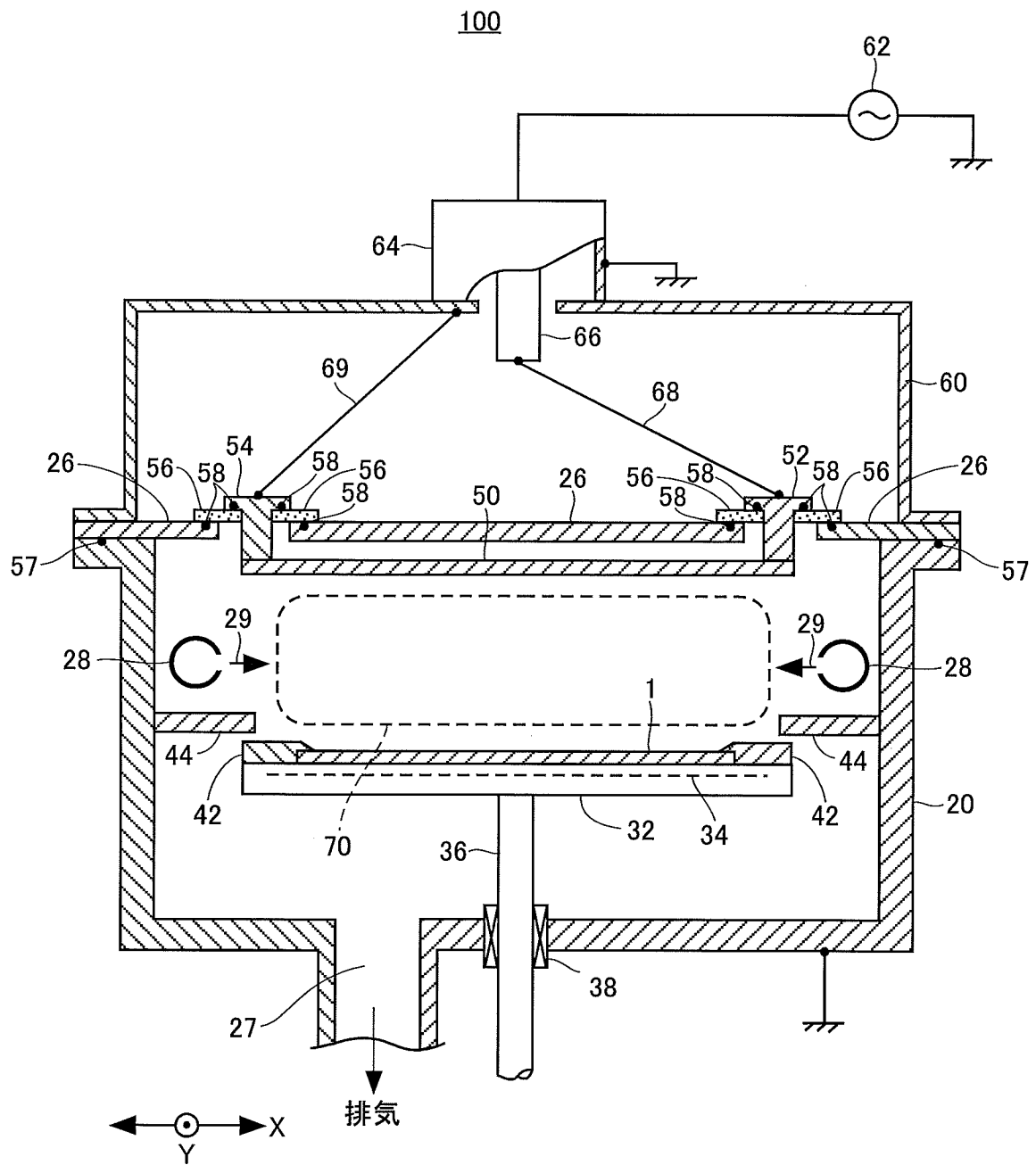


[図2]

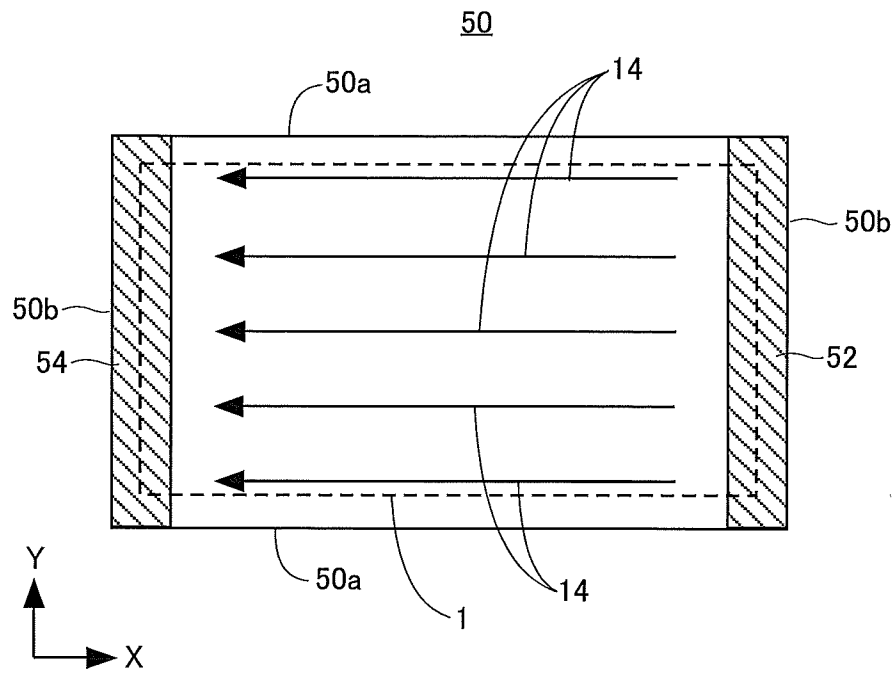


[図3]

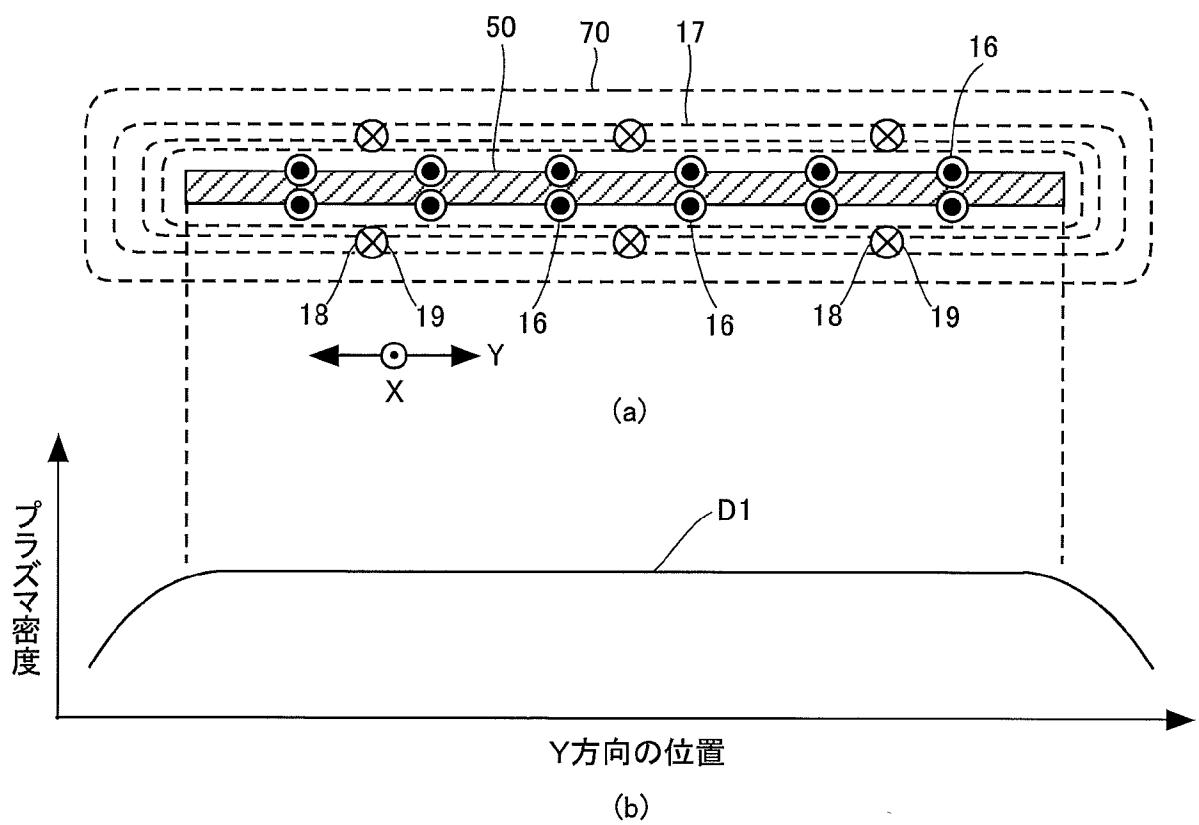




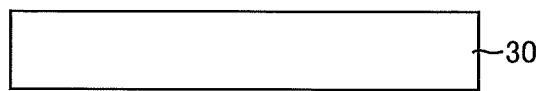
[図5]



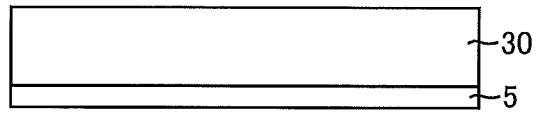
[図6]



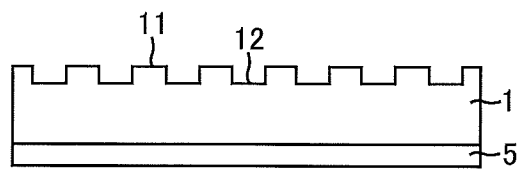
[図7]



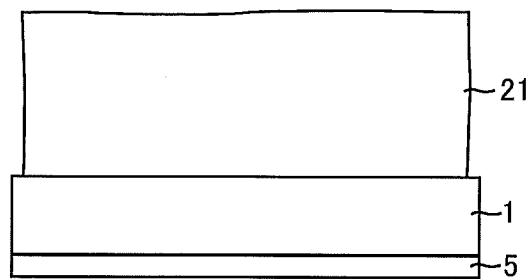
(a)



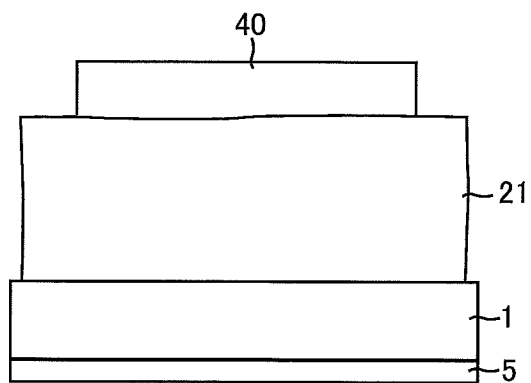
(b)



(c)



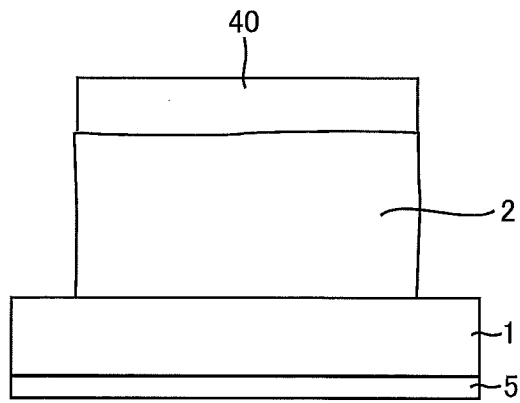
(d)



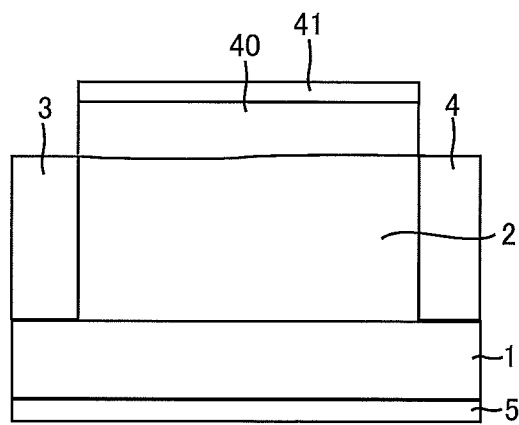
(e)



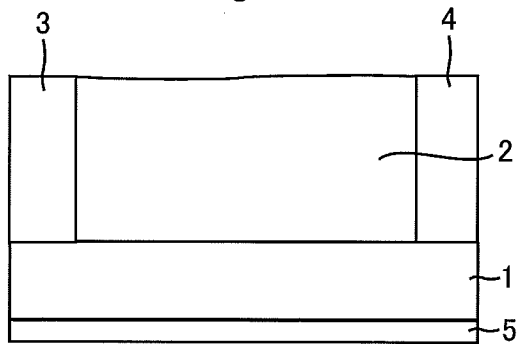
[図8]



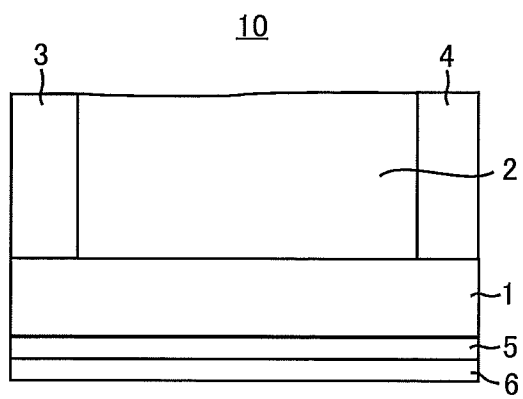
(f)



(g)

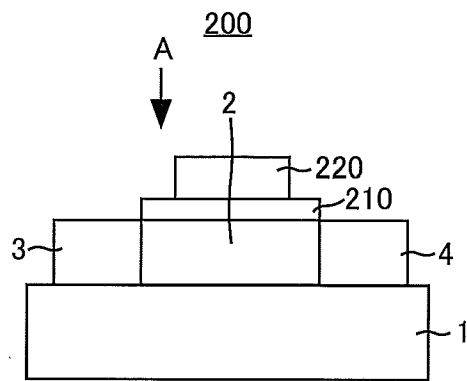


(h)

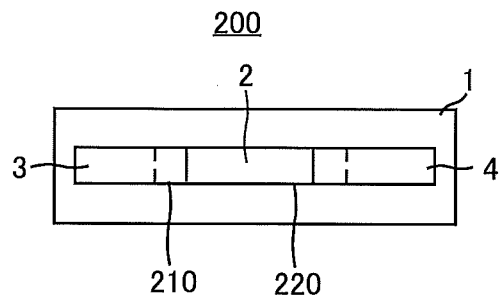


(i)

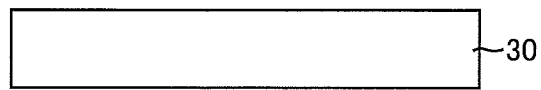
[図9]



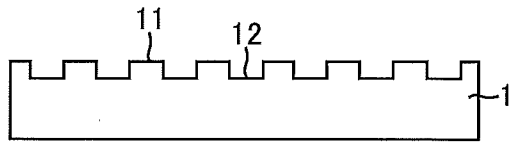
[図10]



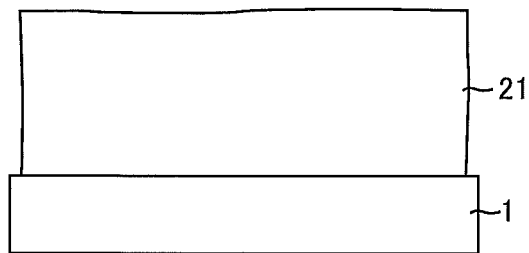
[図11]



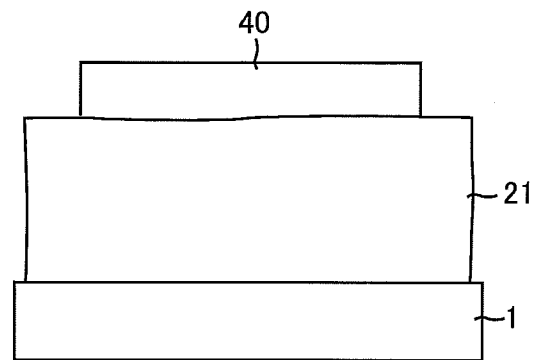
(a)



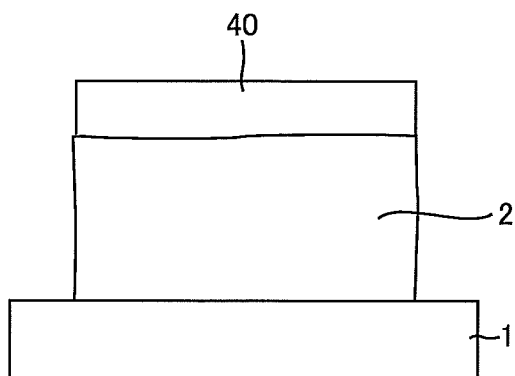
(b)



(c)

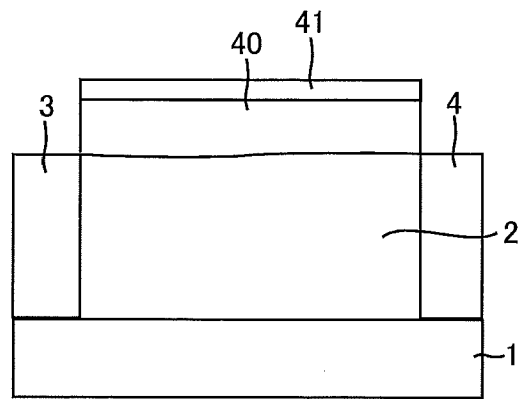


(d)

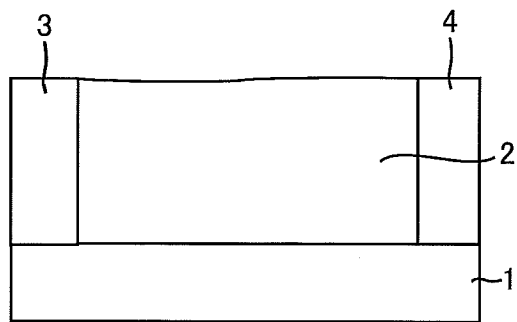


(e)

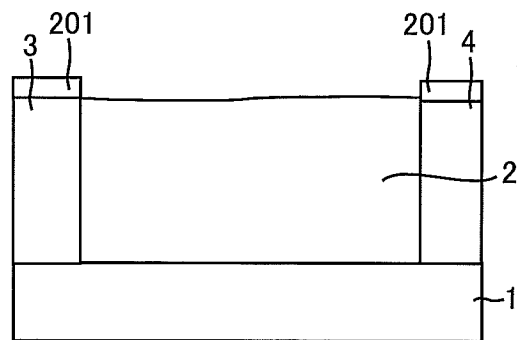
[図12]



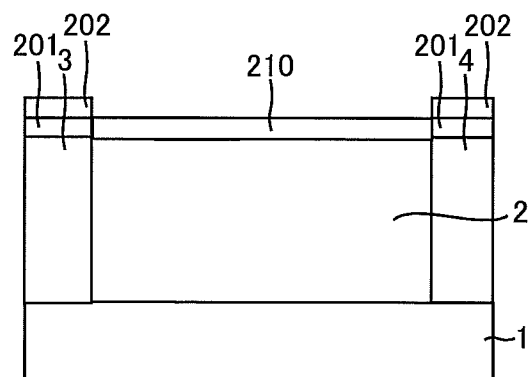
(f)



(g)

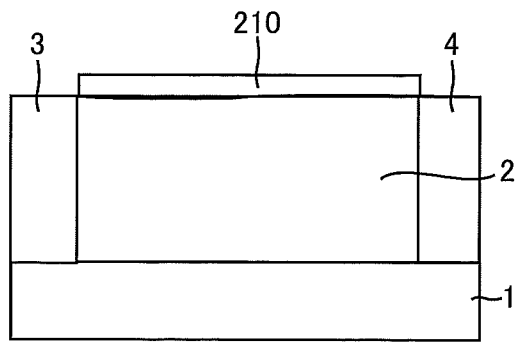


(h)

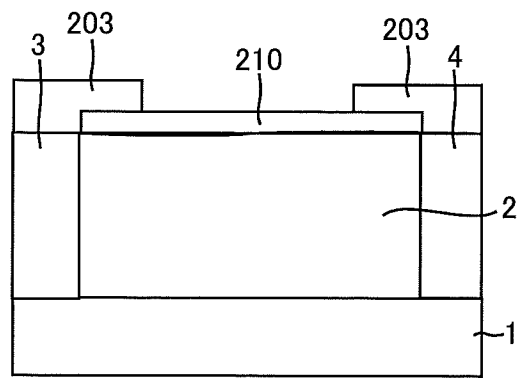


(i)

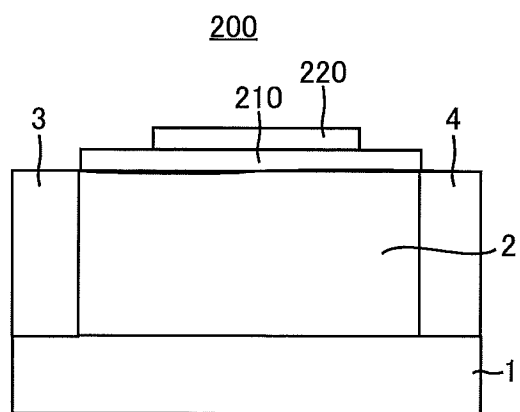
[図13]



(j)



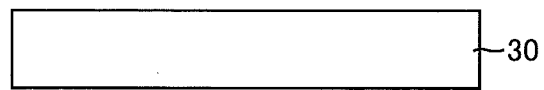
(k)



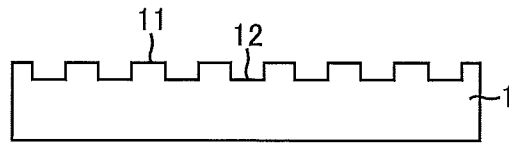
(l)



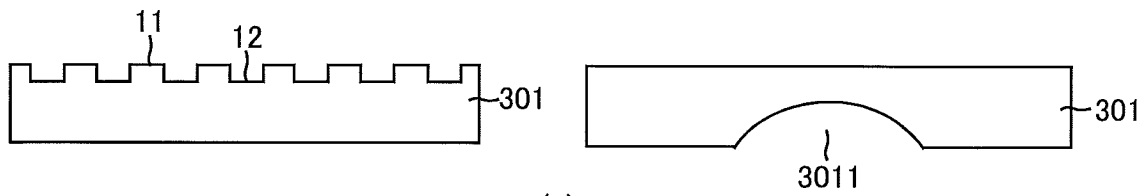
[図17]



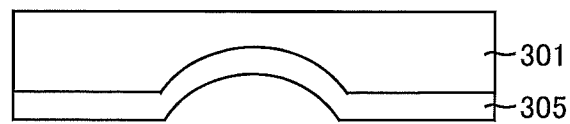
(a)



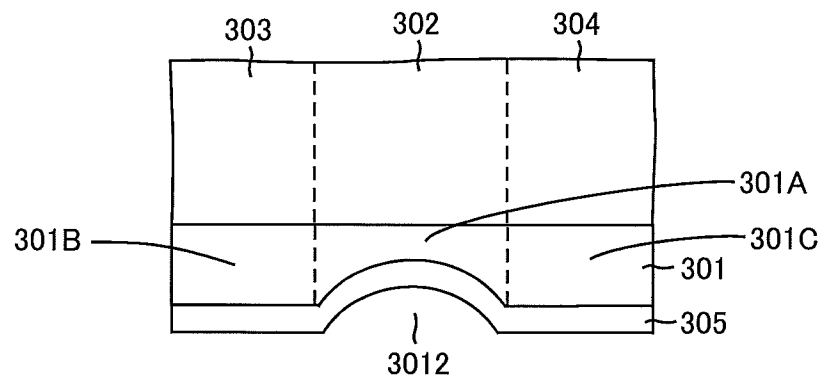
(b)



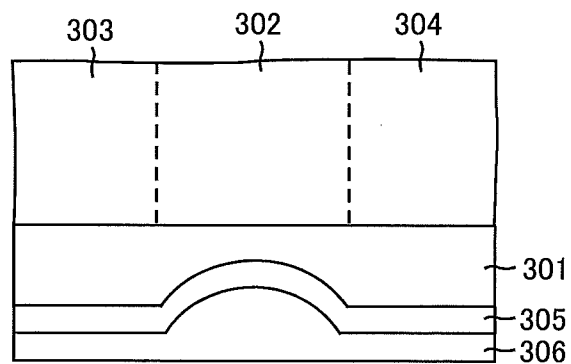
(c)



(d)

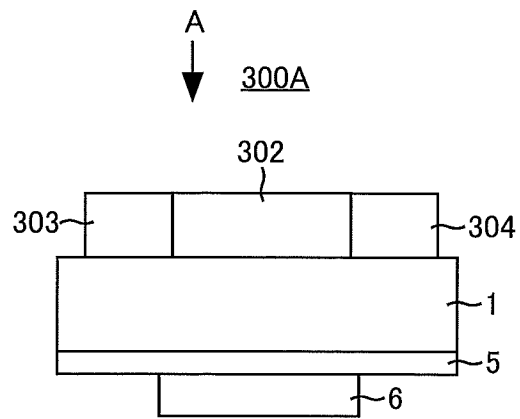


(e)

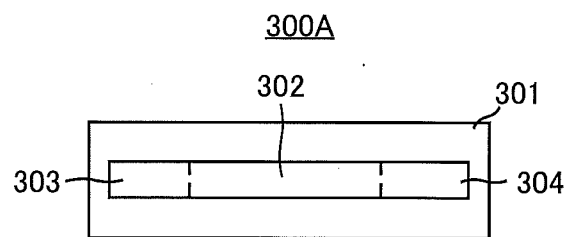
300

(f)

[図18]

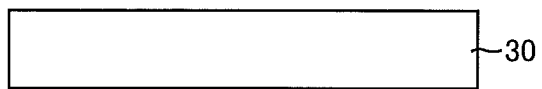


[図19]

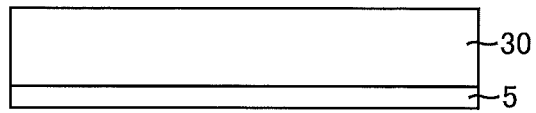




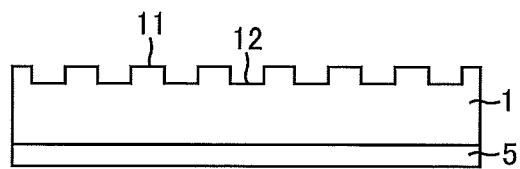
[図20]



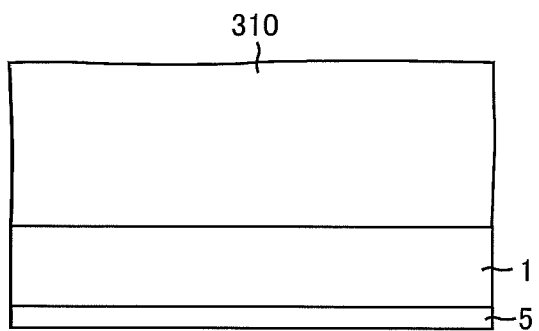
(a)



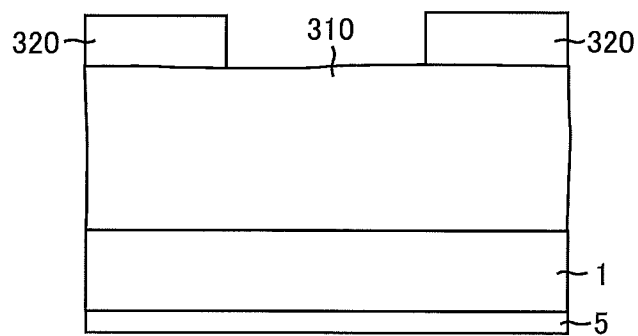
(b)



(c)

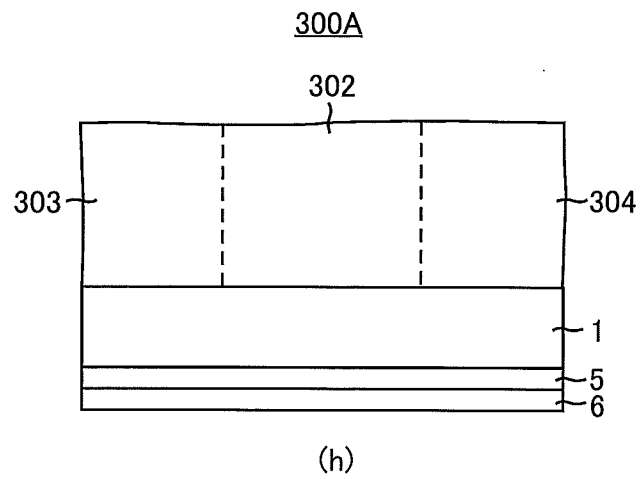
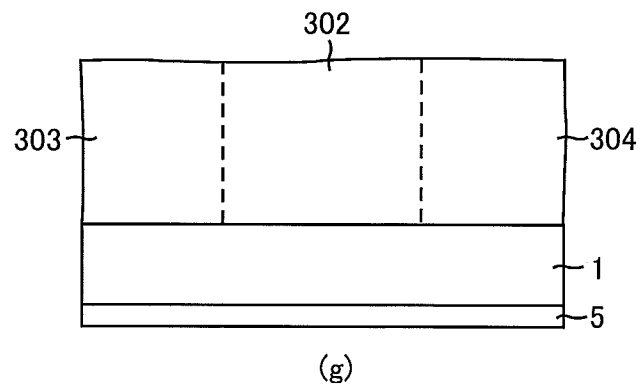
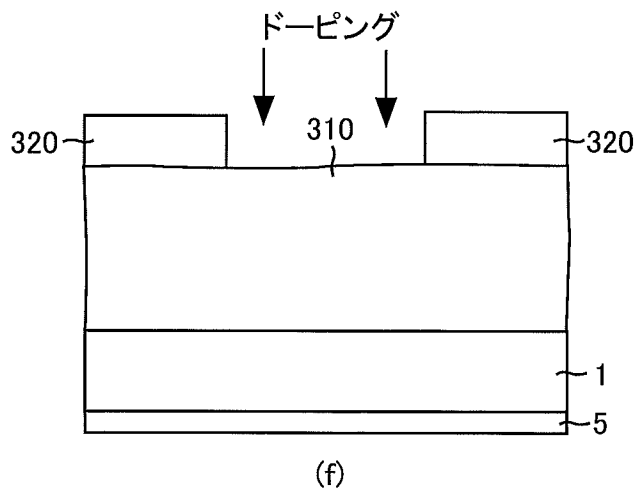


(d)

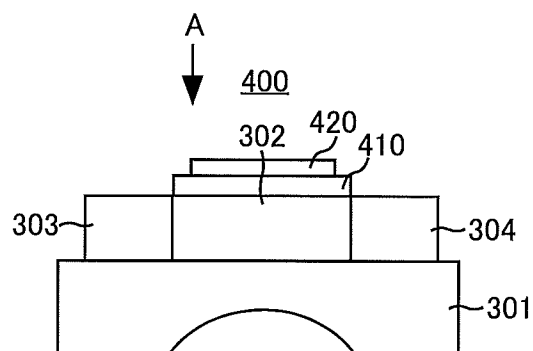


(e)

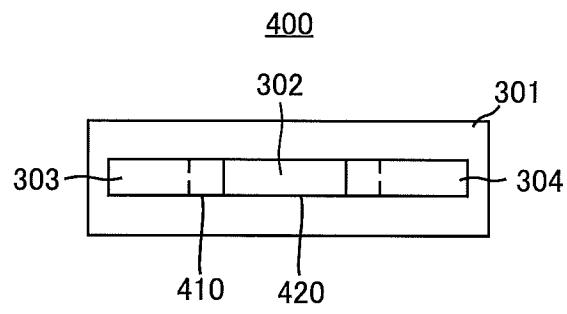
[図21]



[図22]



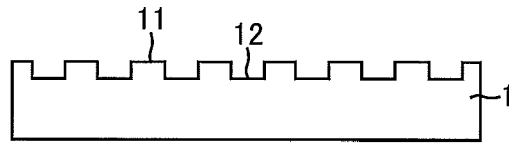
[図23]



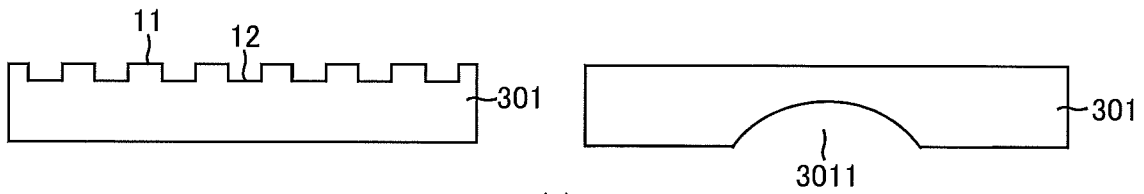
[図24]



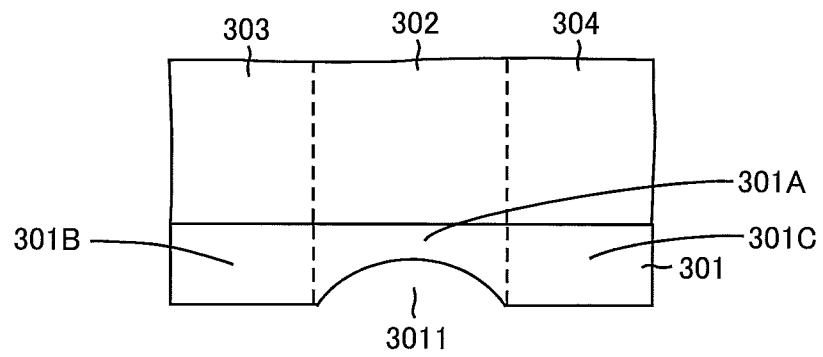
(a)



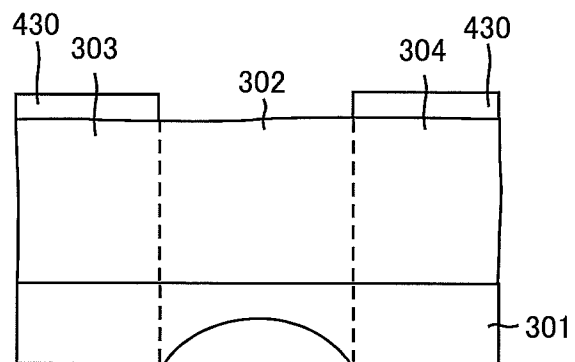
(b)



(c)

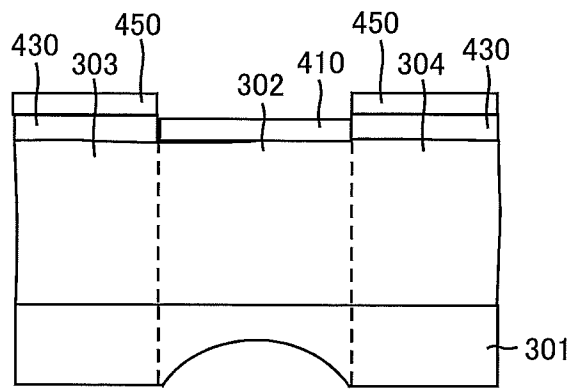


(d)

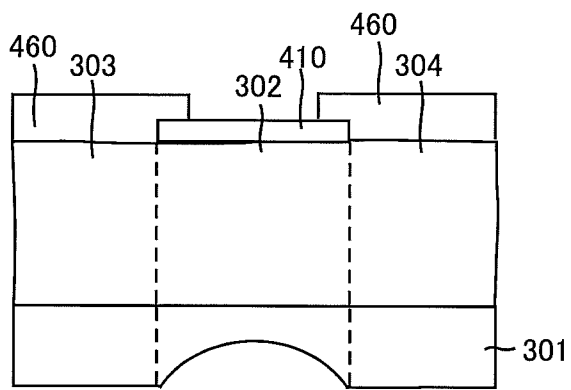


(e)

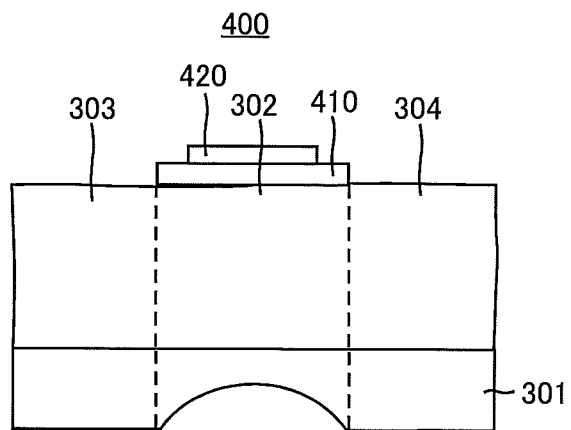
[図25]



(f)

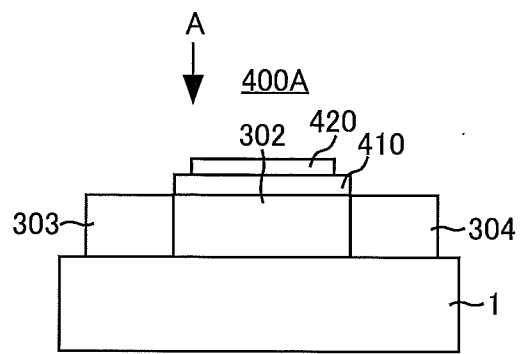


(g)

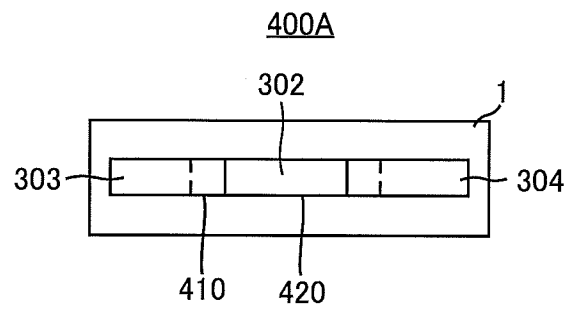


(h)

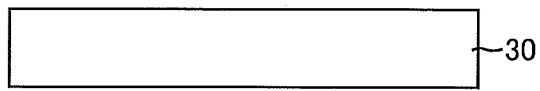
[図26]



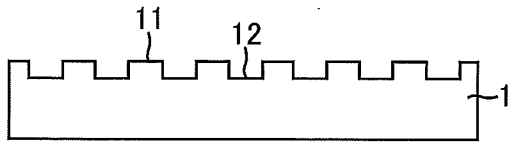
[図27]



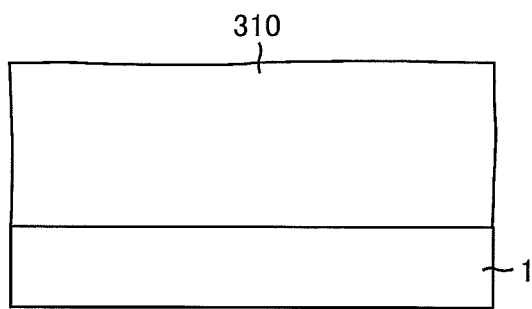
[図28]



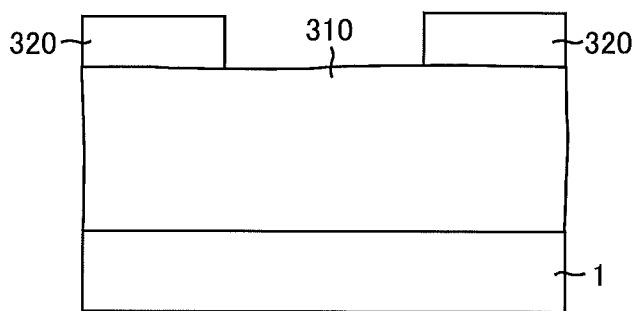
(a)



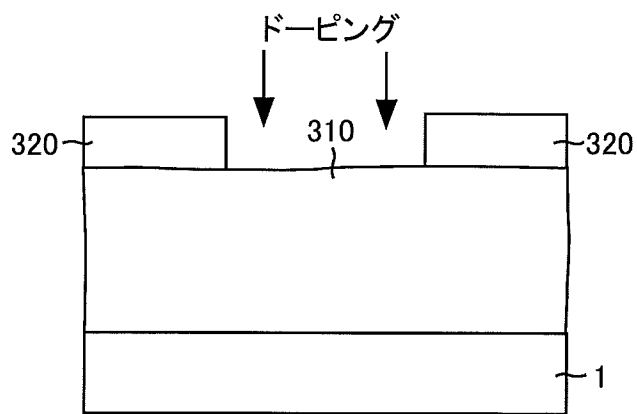
(b)



(c)

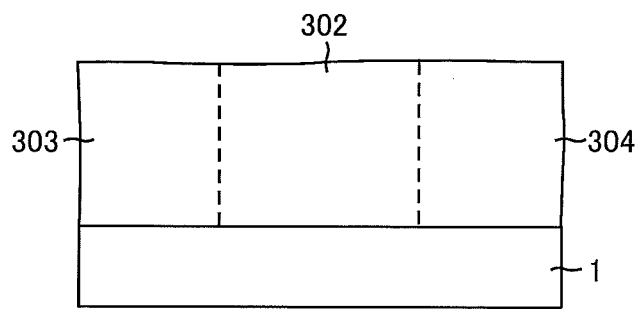


(d)

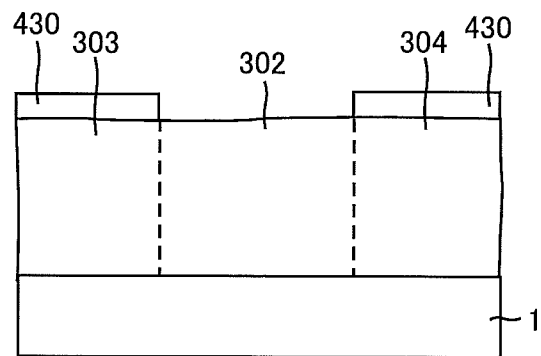


(e)

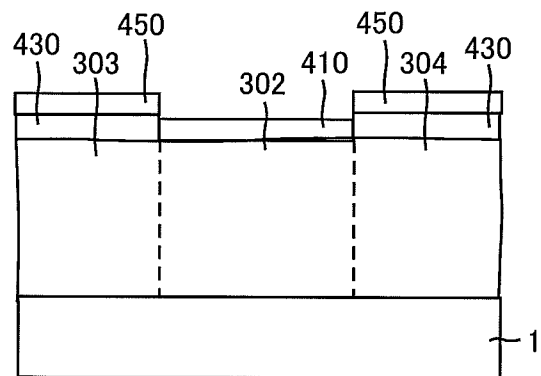
[図29]



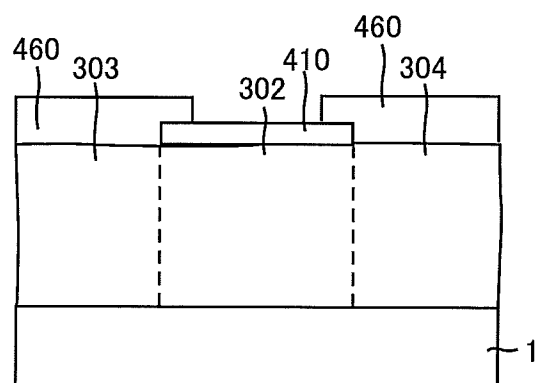
(f)



(g)



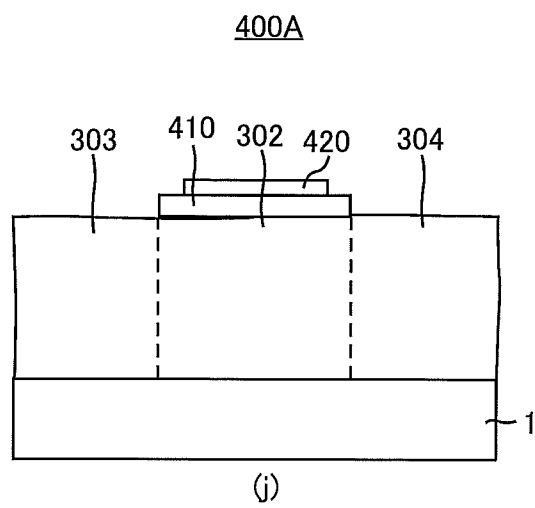
(h)



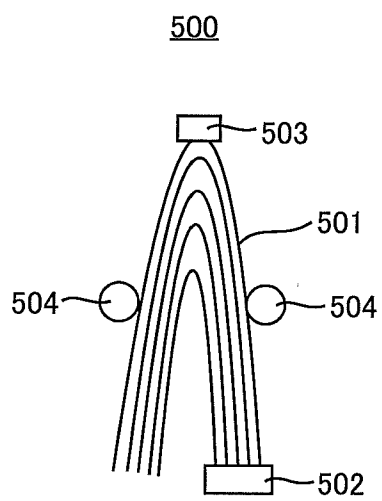
(i)



[図30]



[図31]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054213

## A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/205(2006.01)i, H01L21/336(2006.01)i,  
H01L29/78(2006.01)i, H01L51/05(2006.01)i, H01L51/30(2006.01)i, H01L51/40  
(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/205, H01L21/336, H01L29/78, H01L51/05, H01L51/30,  
H01L51/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2014 |
| Kokai Jitsuyo Shinan Koho | 1971-2014 | Toroku Jitsuyo Shinan Koho | 1994-2014 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                              | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | Toshio KAWAHARA et al., "Carbon Nanowall no Jiko Hairetsuka Seicho to Denkai Koka Soshi no Sakusei", Dai 73 Kai Extended Abstracts; the Japan Society of Applied Physics, pages 17 to 097, 2012 | 1-5                   |
| A         | US 2012/0326126 A1 (INTERNATIONAL BUSINESS MACHINES CORP.),<br>27 December 2012 (27.12.2012),<br>entire text; all drawings<br>& WO 2012/177328 A1                                               | 1-5                   |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
14 March, 2014 (14.03.14)

Date of mailing of the international search report  
25 March, 2014 (25.03.14)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2014/054213

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                        | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | US 2012/0276718 A1 (SHANGHAI INSTITUTE OF MICROSYSTEM AND INFORMATION TECHNOLOGY, CHINESE ACADEMY),<br>01 November 2012 (01.11.2012),<br>entire text; all drawings<br>& WO 2012/145951 A & CN 102184849 A | 1-5                   |
| A         | JP 2006-272491 A (Toyota Motor Corp., Masaru HORI, Mineo HIRAMATSU),<br>12 October 2006 (12.10.2006),<br>entire text; all drawings<br>(Family: none)                                                      | 1-5                   |
| A         | JP 2011-190156 A (Nagoya University, NU Eco Engineering Co., Ltd.),<br>29 September 2011 (29.09.2011),<br>entire text; all drawings<br>(Family: none)                                                     | 1-5                   |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i, H01L21/205(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i,  
H01L51/05(2006.01)i, H01L51/30(2006.01)i, H01L51/40(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, H01L21/205, H01L21/336, H01L29/78, H01L51/05, H01L51/30, H01L51/40

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 4 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 4 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 4 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                   | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------------------------------------------------|----------------|
| A               | 河原敏男他，カーボンナノウォールの自己配列化成長と電界効果素子の作製，第 73 回応用物理学会学術講演会 講演予稿集，第 17-097 ページ，2012                        | 1-5            |
| A               | US 2012/0326126 A1 (INTERNATIONAL BUSINESS MACHINES CORP.)<br>2012.12.27, 全文、全図 & WO 2012/177328 A1 | 1-5            |

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 3 . 2 0 1 4

国際調査報告の発送日

2 5 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

大橋 達也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

4 6 8 8

| C (続き) . 関連すると認められる文献 |                                                                                                                                                            |                |
|-----------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                          | 関連する<br>請求項の番号 |
| A                     | US 2012/0276718 A1 (SHANGHAI INSTITUTE OF MICROSYSTEM AND INFORMATION TECHNOLOGY, CHINESE ACADEMY) 2012. 11. 01, 全文、全図 & WO 2012/145951 A & CN 102184849 A | 1-5            |
| A                     | JP 2006-272491 A (トヨタ自動車株式会社、堀勝、平松美根男) 2006. 10. 12, 全文、全図 (ファミリーなし)                                                                                       | 1-5            |
| A                     | JP 2011-190156 A (国立大学法人名古屋大学、NUエコ・エンジニアリング株式会社) 2011. 09. 29, 全文、全図 (ファミリーなし)                                                                             | 1-5            |