(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월11일
(11) 등록번호 10-0800979
(24) 등록일자 2008년01월29일

(51) Int. Cl.
G02F 1/136 (2006.01)
(21) 출원번호 10-2001-0011461
(22) 출원일자 2001년03월06일
심사청구일자 2006년03월06일
(65) 공개번호 10-2001-0087348
(43) 공개일자 2001년09월15일
(30) 우선권주장
2000-061297 2000년03월06일 일본(JP)
(56) 선행기술조사문헌
JP05175500 A
(뒷면에 계속)

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키순페이
일본국가나가와켄243-0036아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼(내)
코야마준
일본국가나가와켄243-0036아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼(내)
나카지마세츠오
일본국가나가와켄243-0036아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼(내)
(74) 대리인
장훈

전체 청구항 수 : 총 6 항 심사관 : 양성지

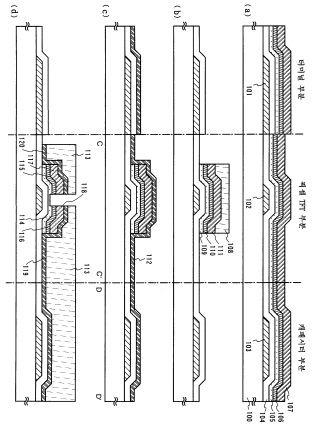
(54) 디스플레이 장치

(57) 요 약

종래 기술의 액정 디스플레이 장치는 TFTs가 적어도 5 개의 포토-마스크를 사용하여 제조되었기 때문에 높은 제조 비용이 들었다.

역 스태거 타입(inverse stagger type)의 n-채널 TFT를 갖는 픽셀 TFT 부분과 유지 캐패시터를 포함하는 액정 디스플레이 장치는 픽셀 전극(119), 소스 영역(117) 및 드레인 영역(116)이 제 3 포토-마스크에 의해 형성되는 방법으로 3개의 포토리소그래픽 단계에 의해 실현될 수 있다.

대표도 - 도2



(56) 선행기술조사문헌
JP06045354 A
JP06148683 A
JP11133455 A
JP11160735 A
JP2000341242 A

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

디스플레이 장치에 있어서,

절연 표면상에 형성된 몰리브덴막 및 알루미늄막을 포함하는 게이트 배선으로서, 테이퍼형의 측면들을 갖는, 상기 게이트 배선,

상기 게이트 배선 위에 형성된 절연막,

상기 절연막 위에 형성된 반도체막,

상기 반도체막 위에 형성된 제 1 및 제 2 불순물 영역들,

상기 제 1 및 제 2 불순물 영역들 중 하나 위에 형성된 제 1 부분 및 상기 게이트 배선에 대하여 수직 방향으로 연장하는 제 2 부분을 포함하는 소스 배선,

상기 제 1 및 제 2 불순물 영역들 중 다른 하나 위에 형성된 전극, 및

상기 전극 위에 형성된 픽셀 전극을 포함하고,

상기 반도체막 및 n형 도전성을 부여하는 불순물 원소를 포함하는 반도체막은 상기 소스 배선의 상기 제 2 부분의 아래에 적층되는, 디스플레이 장치.

청구항 35

디스플레이 장치에 있어서,

절연 표면상에 형성된 도전막을 포함하는 게이트 배선으로서, 테이퍼형의 측면들을 갖는, 상기 게이트 배선,

상기 게이트 배선 위에 형성된 절연막,

상기 절연막 위에 형성된 반도체막,

상기 반도체막 위에 형성된 제 1 및 제 2 불순물 영역들,

상기 제 1 및 제 2 불순물 영역들 중 하나 위에 형성된 제 1 부분 및 상기 게이트 배선에 대하여 수직 방향으로 연장하는 제 2 부분을 포함하는 소스 배선,

상기 제 1 및 제 2 불순물 영역들 중 다른 하나 위에 형성된 전극,

상기 전극 위에 형성된 픽셀 전극, 및

커패시터부로서,

상기 절연 표면상의 도전 재료를 포함하는 층,

상기 층 위에 형성된 상기 절연막, 및

상기 절연막 위에 연장되는 상기 픽셀 전극을 포함하는, 상기 커패시터부를 포함하고,

상기 도전막은 몰리브덴막 및 알루미늄막을 포함하고,

상기 반도체막 및 n형 도전성을 부여하는 불순물 원소를 포함하는 반도체막은 상기 소스 배선의 상기 제 2 부분의 아래에 적층되는, 디스플레이 장치.

청구항 36

디스플레이 장치에 있어서,

절연 표면상에 형성된 도전막을 포함하는 게이트 배선으로서, 테이퍼형의 측면들을 갖는, 상기 게이트 배선,

상기 게이트 배선 위에 형성된 절연막,

상기 절연막 위에 형성된 반도체막,

상기 반도체막 위에 형성된 제 1 및 제 2 불순물 영역들,

상기 제 1 및 제 2 불순물 영역들 중 하나 위에 형성된 제 1 부분 및 상기 게이트 배선에 대하여 수직 방향으로 연장하는 제 2 부분을 포함하는 소스 배선,

상기 제 1 및 제 2 불순물 영역들 중 다른 하나 위에 형성된 전극,

상기 전극 위에 형성된 픽셀 전극, 및

상기 절연 표면상의 도전 재료를 포함하는 층을 포함하는 단자부를 포함하고,

상기 도전막은 몰리브덴막 및 알루미늄막을 포함하고,

상기 반도체막 및 n형 도전성을 부여하는 불순물 원소를 포함하는 반도체막은 상기 소스 배선의 상기 제 2 부분의 아래에 적층되는, 디스플레이 장치.

청구항 37

제 34 항 내지 제 36 항 중 어느 한 항에 있어서,

상기 제 1 불순물 영역의 하나의 단부면(end surface)은 상기 반도체막 및 상기 제 2 부분의 단부면과 같은 평면에 있고, 상기 제 2 불순물 영역의 하나의 단부면은 상기 반도체막 및 상기 전극의 단부면과 같은 평면에 있는, 디스플레이 장치.

청구항 38

제 34 항 내지 제 36 항 중 어느 한 항에 있어서,

상기 디스플레이 장치는 퍼스널 컴퓨터, 비디오 카메라, 휴대용 정보 단말, 디지털 카메라, 디지털 비디오 디스크 플레이어 및 전자 오락 장치로 구성된 그룹으로부터 선택된 장치인, 디스플레이 장치.

청구항 39

제 34 항 내지 제 36 항 중 어느 한 항에 있어서,

상기 제 1 불순물 영역의 다른 단부면은 상기 제 1 부분의 단부면과 같은 평면에 있고, 상기 제 2 불순물 영역의 다른 단부면은 상기 전극의 단부면 및 상기 픽셀 전극의 단부면과 같은 평면에 있는, 디스플레이 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<16> 본 출원의 발명은 박막 트랜지스터들(이하, "TFTs"라 명명)로 구성되는 회로를 갖는 반도체 장치와 그 제조 방법에 관한 것이다. 예를 들면, 액정 디스플레이 패널에 의해 대표되는 전자 광학 장치, 및 그러한 전자 광학 장치가 구성 요소로서 설치되는 전자 장비에 관한 것이다.

<17> 부수적으로, 본 명세서에서, "반도체 장치"는 반도체 특성들을 이용함으로써 기능할 수 있는 일반적인 장치를 의미하도록 의도되며, 전자 광학 장치들, 반도체 회로들 및 전자 장비는 모두 반도체 장치들이다.

<18> 최근에, 박막 트랜지스터(TFTs)가 절연막을 갖는 기판 위에 형성된 반도체 박막(수 ~ 수백 ㎚ 정도의 두께를 갖는)을 사용하여 구성되는 기술이 주목된다. TFTs는 전자 광학 장치와 같은 전자 장치와 ICs에 널리 적용되며, 이미지 디스플레이 장치의 스위칭 소자들로서 그것들을 개발하는 것이 특히 시급하다.

<19> 지금까지, 액정 디스플레이 장치는 이미지 디스플레이장치로서 공지되었다. 활성 매트릭스 타입의 액정 디스플레이 장치는, 수동형의 액정 디스플레이 장치 보다 더 높은 선명도(definition)의 이미지가 얻어질 수 있기 때

문에, 종종 이용되어 왔다. 활성 매트릭스 타입 액정 디스플레이 장치에서, 디스플레이 패턴은 매트릭스의 형태로 배열된 픽셀 전극들을 구동함으로써 스크린 위에 형성된다. 특히, 전압은 픽셀 전극들의 선택된 전극과 선택된 픽셀 전극에 대응하는 카운터 전극의 전극 사이에 인가되며, 그에 따라 픽셀 전극과 카운터 전극 사이에 삽입된 액정 층은 광학적으로 변조되며, 광학 변조는 관찰자에 의해 디스플레이 패턴으로서 인식된다.

<20> 그러한 활성 매트릭스 타입 액정 디스플레이 장치의 응용들은 넓어졌고, 더 높은 선명도, 더 높은 개구 효율(aperture efficiency) 및 더 높은 신뢰도는 스크린 크기의 더 넓은 영역과 함께 더 요구되어 왔다. 게다가, 생산성의 개선 및 비용 면의 감소는 또한 더 요구되어 왔다.

<21> 종래 기술에서, 비정질 실리콘 막은 낮은 온도 또는 300℃ 아래에서 거대한 영역의 기판 위에 형성될 수 있기 때문에 비정질 반도체막으로서 적절히 이용된다. 또한, 비정질 반도체막으로 형성된 영역을 형성하는 채널을 각각 갖는 역 스태거 타입(또는 바닥 게이트 타입)의 TFTs는 종종 이용된다.

발명이 이루고자 하는 기술적 과제

<22> 지금까지, 활성 매트릭스 타입의 액정 디스플레이 장치는 TFTs가 포토리소그래피(photolithographic) 기술에 따라 적어도 5 개의 포토-마스크를 사용함으로써 기판 위에 제조되었기 때문에 그 제조 비용 면에서 높았다. 생산성 및 이용 가능 비율을 증진시키기 위해, 단계들의 수를 감소시키는 것은 효율적인 수단으로서 고려된다.

<23> 구체적으로, TFTs의 제조에 요구되는 포토-마스크의 수를 감소시키는 것이 필요하다. 포토-마스크는 포토리소그래피 기술에서 기판 위에 에칭 단계의 마스크로 사용되는 포토레지스트 패턴을 형성하기 위해 이용된다.

<24> 각각의 포토-마스크들을 사용하여, 레지스트 코팅, 프리-배킹(pre-baking), 광 노출, 이미지 전개 및 포스트-배킹과 같은 단계들이 수행되고, 막의 형성(formation) 및 에칭과 같은 단계 및 레지스트 스트리핑, 워싱 및 드라잉과 같은 부가 단계들은 처음 설명된 단계들의 연속하는 단계로서 부가된다. 이들 단계들은 복잡하고, 문제가 있다.

<25> 더욱이, 기판이 절연체이므로, 정전기가 제조 공정 동안 마찰 등에 의해 발생한다. 정전기가 발생될 때, 단락(short-circuiting)은 기판 위에 놓인 배선들의 삽입부에서 일어나거나, TFTs는, 디스플레이 결점들 또는 이미지 품질의 저하가 액정 디스플레이 장치에 발생하도록, 정전기에 의해 저하되거나 파괴된다. 특히, 제조 공정에서 수행되는 액정 오리엔테이션 공정의 러빙동안, 정전기는 나타나며, 문제가 된다.

<26> 본 발명은 그러한 문제들에 응답하기 위한 것이고, 활성 매트릭스 타입의 액정 디스플레이 장치에 의해 대표되는 반도체 장치에 대한 것이며, 본 발명의 목적은 TFTs를 제조하기 위한 단계들의 수를 줄이고, 그에 의해 제조 비용 면의 감소와 이용 가능 비율의 증진을 실현하는 것이다.

<27> 또한, 정전기에 기인한 TFTs의 파괴 또는 특성 저하의 문제를 해결할 수 있는 구조 및 그 구조의 제조 방법을 제공하는 것이 목적이다.

발명의 구성 및 작용

<28> 이러한 문제들을 해결하기 위해, 본 발명에 따라, 각각의 게이트 배선은 처음에 제 1 포토-마스크에 의해 형성된다.

<29> 이어서, 게이트 절연막, 비도핑된 비정질 실리콘 막(이하, "a-Si 막"으로 불리는), n 형 불순물 원소를 포함하는 비정질 실리콘 막(이하, "n^+a-Si 막"으로 불리는), 및 전기-도전 막은 연속하여 형성된다.

<30> 이어서, 활성층, a-Si 막으로 이루어진 소스 배선(전극을 포함하는) 및 드레인 전극은 제 2 포토-마스크에 의해 패터닝되고 형성된다.

<31> 그 후에, 투명 전기-도전 막은 형성되고, 그 위에 투명 도전 막으로 된 픽셀 전극이 제 3 포토-마스크에 의해 형성된다. 또한, n^+a-Si 막으로 된 소스 영역 및 드레인 영역은 형성되고, 동일한 시간 동안, a-Si 막의 부분이 제거된다.

<32> 그러한 구성에 기인하여, 포토리소그래피 기술에 사용하는 포토-마스크의 수는 3개가 될 수 있다.

<33> 더욱이, 소스 배선은 픽셀 전극과 동일한 재료인 투명 도전 막으로 덮여있고, 그에 의해 전체 기판이 외부 정전기 등으로부터 보호되는 구조를 형성한다. 보호 회로가 투명 도전 막으로 형성되는 구조를 형성하도록 또한 허가된다. 그러한 구성에 기인하여, 제조 장치와 절연체 기판 사이의 마찰에 기인한 정전기의 발생은 제조 공정

동안 방지될 수 있다. 특히, TFTs 등은 제조 공정에서 수행되는 액정 오리엔테이션 공정의 러빙 동안 나타나는 정전기로부터 보호될 수 있다.

<34> 본 명세서에 기술된 발명의 구성은,

<35> 게이트 배선, 소스 배선, 및 픽셀 전극을 갖는 반도체 장치에 있어서,

<36> 절연 표면 위에 형성되는 상기 게이트 배선(102)과,

<37> 상기 게이트 배선 위에 형성되는 절연막(104)과,

<38> 상기 절연막 위에 형성되는 비정질 반도체막(114)과,

<39> 상기 비정질 반도체막 위에 형성되는 소스 영역(115) 및 드레인 영역(116)과,

<40> 상기 소스 영역 또는 상기 드레인 영역 위에 형성되는 상기 소스 배선(117) 또는 전극(118)과,

<41> 상기 전극 위에 형성되는 상기 픽셀 전극(119)을 포함하며,

<42> 상기 드레인 영역(116) 또는 상기 소스 영역(115)의 단부면(end face)은 상기 비정질 반도체막(114)의 단부면 및 상기 전극(118)의 일단과 개략 일치하여 놓이는 것을 특징으로 하는 반도체 장치로 구성된다.

<43> 더욱이, 다른 발명의 구성은,

<44> 게이트 배선, 소스 배선, 및 픽셀 전극을 갖는 반도체 장치에 있어서,

<45> 절연 표면 위에 형성되는 상기 게이트 배선(102)과,

<46> 상기 게이트 배선 위에 형성되는 절연막(104)과,

<47> 상기 절연막 위에 형성되는 비정질 반도체막(114)과,

<48> 상기 비정질 반도체막 위에 형성되는 소스 영역(115) 및 드레인 영역(116)과,

<49> 상기 소스 영역 및 상기 드레인 영역 위에 형성되는 상기 소스 배선(117) 또는 전극(118)과,

<50> 상기 전극 위에 형성되는 상기 픽셀 전극(119)을 포함하며,

<51> 상기 드레인 영역(115) 또는 상기 소스 영역(116)의 단부면은 상기 비정질 반도체막의 단부면(114) 및 상기 전극(118)의 일단과 개략 일치하여 놓이고, 다른 단부면은 상기 픽셀 전극(119)의 단부면 및 상기 전극(118)의 다른 일단과 개략 일치하여 놓이는 것을 특징으로 하는, 반도체 장치로 구성된다.

<52> 또한, 다른 발명의 구성은,

<53> 게이트 배선, 소스 배선, 및 픽셀 전극을 갖는 반도체 장치에 있어서,

<54> 절연 표면 위에 형성되는 상기 게이트 배선(102)과,

<55> 상기 게이트 배선 위에 형성되는 절연막(104)과,

<56> 상기 절연막 위에 형성되는 비정질 반도체막(114)과,

<57> 상기 비정질 반도체막 위에 형성되는 소스 영역(115) 및 드레인 영역(116)과,

<58> 상기 소스 영역 또는 상기 드레인 영역 위에 형성되는 상기 소스 배선(117) 또는 전극(118)과,

<59> 상기 전극 위에 형성되는 상기 픽셀 전극(119)을 포함하며,

<60> 상기 비정질 반도체막, 및 n 형 불순물 원소를 포함하는 비정질 반도체막은 상기 소스 배선(117) 아래에 적층되는 것을 특징으로 하는, 반도체 장치로 구성된다.

<61> 또한 각각의 위의 구성에서, 반도체 장치는 상기 소스 영역 및 상기 드레인 영역이 n형 불순물 원소를 포함하는 비정질 반도체막으로 이루어지는 것을 특징으로 한다.

<62> 또한 각각의 위의 구성에서, 반도체 장치는 상기 절연막, 상기 비정질 반도체막, 상기 소스 영역 및 상기 드레인 영역이 대기에 노출되지 않고 연속적으로 형성되는 것을 특징으로 한다.

<63> 또한 각각의 위의 구성에서, 반도체 장치는 상기 절연막, 상기 비정질 반도체막, 상기 소스 영역 또는 상기 드

레인 영역이 스퍼터링 공정에 의해 형성되는 것을 특징으로 한다.

<64> 또한 각각의 위의 구성에서, 반도체 장치는 도 2의 (D)에 도시된 바와 같이, 상기 소스 영역(115) 및 상기 드레인 영역(116)이 상기 비정질 반도체막(114)과 상기 전극(118)과 동일한 마스크에 의해 형성되는 것을 특징으로 한다. 선택적으로 반도체 장치는 상기 소스 영역 및 상기 드레인 영역이 상기 소스 배선(117)과 동일한 마스크에 의해 형성되는 것을 특징으로 한다.

<65> 또한 각각의 위의 구성에서, 반도체 장치는, 도 2의 (D)에 도시된 바와 같이, 상기 소스 영역(115) 및 상기 드레인 영역(116)이 상기 소스 배선(117) 및 상기 픽셀 전극(119)과 동일한 마스크에 의해 형성되는 것을 특징으로 한다.

<66> 또한 각각의 위의 구성에서, 도 2의 (D)의 에칭 단계에 기인하여, 반도체 장치는, 상기 소스 영역 및 상기 드레인 영역에 인접하는 상기 비정질 반도체막의 영역들 내의 막 두께는 상기 소스 영역에 인접하는 영역과 상기 드레인 영역에 인접하는 영역 사이에 놓이는 상기 비정질 반도체막의 영역 내의 막 두께보다 더 큰 구조, 즉, 채널 에칭 타입의 바닥 게이트 구조를 갖는다.

<67> 더욱이, 위의 구조를 실현하기 위한 발명의 구성은,

<68> 반도체 장치 제조 방법에 있어서,

<69> 제 1 마스크를 이용함으로써 각각의 게이트 배선(102)을 형성하는 제 1 단계와,

<70> 상기 게이트 배선을 덮는 절연막(104)을 형성하는 제 2 단계와,

<71> 상기 절연막 위에 제 1 비정질 반도체막(105)을 형성하는 제 3 단계와,

<72> 상기 비정질 반도체막 위에, n 형 불순물 원소를 포함하는 제 2 비정질 반도체막(106)을 형성하는 제 4 단계와,

<73> 상기 제 2 비정질 반도체막 위에 제 1 전기-도전 막(107)을 형성하는 제 5 단계와,

<74> 상기 제 1 비정질 반도체막, 상기 제 2 비정질 반도체막 및 상기 제 1 도전 막이 제 2 마스크를 이용함으로써 선택적으로 제거되는 방법으로 배선(111)(소스 배선 및 전극)을 형성하는 제 6 단계와,

<75> 서로 접촉하여 상기 배선(111)(소스 배선 및 전극) 위에 놓인 제 2 전기-도전 막을 형성하는 제 7 단계와,

<76> 상기 제 1 비정질 반도체막(109), 상기 제 2 비정질 반도체막(110), 상기 제 1 도전 막(111) 및 상기 제 2 도전 막(112)의 부분이 제 3 마스크를 이용함으로써 선택적으로 제거되는 방법으로, 사기 제 2 비정질 반도체막으로 이루어진 소스 영역(115) 및 드레인 영역(116)과, 상기 제 2 도전 막으로 이루어진 픽셀 전극(119)을 형성하는 제 8 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법으로 구성된다.

<77> 또한, 위의 구성에서, 상기 방법은, 상기 제 2 단계부터 상기 제 5 단계까지는 대기에 노출 없이 연속적으로 수행되는 것을 특징으로 한다.

<78> 또한 각각의 위의 구성에서, 상기 방법은, 상기 제 2 단계부터 상기 제 5 단계까지는 동일한 챔버 내에서 연속적으로 수행되는 것을 특징으로 한다.

<79> 또한, 각각의 위의 구성에서, 상기 절연막은 플라즈마 CVD 공정 또는 스퍼터링 공정에 의해 형성될 수 있다.

<80> 또한, 각각의 위의 구성에서, 상기 제 1 비정질 반도체막은 플라즈마 CVD 공정 또는 스퍼터링 공정에 의해 형성될 수 있다.

<81> 또한, 각각의 위의 구성에서, 상기 제 2 비정질 반도체막은 플라즈마 CVD 공정 또는 스퍼터링 공정에 의해 형성될 수 있다.

<82> 또한, 각각의 위의 구성에서, 상기 방법은, 상기 제 2 도전 막이 반사성을 갖는 전기-도전 막 또는 투명 전기-도전 막인 것을 특징으로 한다.

<83> 본 출원의 발명을 수행하기 위한 모드는 아래에 설명될 것이다.

<84> 도 1은 본 발명의 활성 매트릭스 기판의 설계도를 예시하며, 매트릭스의 형태로 배열된 다수의 픽셀 중 하나의 구성은 간결하게 예시된다.

<85> 도 1에 도시된 바와 같이, 활성 매트릭스 기판은 서로 병렬로 놓인 다수의 게이트 배선과 개개의 게이트 배선에

직각으로 삽입하는 다수의 소스 배선을 갖는다.

<86> 더욱이, 투명 전기-도전 막으로 된 픽셀 전극(119)은 게이트 배선 및 소스 배선으로 둘러싸인 영역에 위치된다. 부가하여, 투명 전기-도전 막(120)은 픽셀 전극(119)을 오버랩하기 위해 소스 배선을 덮는다.

<87> 또한, 커패시터 배선(103)은 픽셀 전극(119) 아래에, 게이트 배선(102)과 병렬로 인접하는 2개의 게이트 배선 사이에 놓인다. 커패시터 배선(103)은 각각의 모든 픽셀에 배치되고, 픽셀 전극(119)과의 사이에 존재하는 절연막인 유전체와 함께 유지 캐패시터(retention capacitor)를 형성한다.

<88> 게다가, 스위칭 소자로서 TFT는 게이트 배선(102)과 소스 배선(117) 사이에 삽입부에 근접하여 배치된다. TFT는 비정질 구조(이하, "비정질 반도체막"이라 불리는)를 갖는 반도체막으로 형성된 영역을 형성하는 채널을 포함하는 역 스태거 타입(또는 바닥 게이트 타입) 중 하나이다.

<89> 부가하여, TFT는 게이트 전극(게이트 배선으로 완전히 형성된), 게이트 절연막, a-Si 막, n^+a-Si 막으로 된 드레인 영역뿐만 아니라 소스 영역, 및 전극(118)(이하, "드레인 전극"이라 불리는)뿐만 아니라 전극(소스 배선(117)으로 완전히 형성된)은 절연 기판 위에 연속으로 적층되고 형성된다.

<90> 또한, 게이트 절연막, a-Si 막, 및 n^+a-Si 막은 드레인 전극(118)뿐만 아니라 소스 배선(전극을 포함하는) 아래 절연 기판 위에 연속으로 적층되고 형성된다.

<91> 또한, 드레인 영역에 인접한 영역과 소스 영역에 인접한 영역 사이에 놓인 a-Si 막의 영역은 그 다른 영역과 비교하여 더 작은 막 두께를 갖는다. 더 작은 막 두께는, 에칭에 의해 n^+a-Si 막을 분리함으로써 소스 영역 및 드레인 영역을 형성함에 있어, a-Si 막의 일부는 제거되는 사실에 근거한다. 더욱이, 픽셀 전극의 단부면, 드레인 배선의 단부면 및 드레인 영역의 단부면은 에칭에 기인하여 일치하여 놓인다. 마찬가지로, 전극을 덮는 투명 도전 막의 단부면, 소스 영역의 단부면 및 소스 배선의 단부면은 일치하여 놓인다.

<92> 위에 서술된 바와 같이 구성된 본 출원의 발명은 아래 주어진 실시예와 함께 더 상세하게 설명될 것이다.

<93> (실시예 1)

<94> 본 발명의 실시예는 도 1 내지 6을 사용하여 설명된다. 실시예 1은 액정 디스플레이 장치를 제조하는 방법을 도시하며, 역 스태거 형(reverse stager type) TFT에 의해 기판 위에 픽셀 부분의 TFT를 형성하고, TFT에 접속된 저장 캐패시턴스를 제조하는 방법의 상세한 설명이 사용된 공정에 따라 이루어진다. 또한, 기판의 에지 부분 내에 형성된 터미널 섹션, 및 다른 기판 위에 형성된 회로의 배선(wirings)으로의 전기적 접속에 대한 제조 공정은 동일한 도면들 내에 동일 시간에 도시된다.

<95> 도 2의 (a)에서, 바륨 붕규산 유리(barium borosilicate glass) 또는 알루미늄 붕규산 유리(aluminum borosilicate glass)(전형적으로 코닝 회사(Corning Corp. #7059 또는 #1737)와 같은 것을 포함하는 유리 기판은 반투명성을 갖는 기판(100)으로 사용될 수 있다. 부가하여, 석영 기판 또는 플라스틱 기판과 같은 반투명 기판은 또한 사용될 수 있다.

<96> 이어서, 기판의 전체 표면 위에 도전 층을 형성한 후, 제 1 포토리소그래피 공정(a first photolithography process)이 수행되고, 레지스트 마스크(resist mask)가 수행되고, 불필요한 부분들은 에칭에 의해 제거되고, 배선 및 전극들(게이트 전극, 커패시터 배선(103) 및 터미널(101)을 포함하는 게이트 배선(102)이 형성된다. 에칭은 게이트 전극(102)의 적어도 하나의 에지 부분 내에 테이퍼 부분(tapered portion)을 형성하는 시간에 수행된다. 이러한 단계의 상부도가 도 4에 도시된다.

<97> 게이트 전극, 커패시터 배선(103), 및 알루미늄(Al)과 같은 낮은 저항 도전 재료로부터의 에지 부분 터미널(101)을 포함하는 게이트 배선(102)을 형성하는 것은 바람직하지만, 단일 Al은 보다 낮은 내열성(heat resistance) 및 쉽게 부식되는 성질 등과 같은 문제점들을 가지고 있으며, 그러므로, 상기 Al은 내열성 도전 재료와 결합되어 형성된다. 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr),네오디뮴(Nd) 또는 위의 원소들을 포함하는 합금으로 구성하는 그룹 또는 위의 원소들의 결합의 합금 막으로부터 선택된 한 원소, 또는 위의 원소들을 포함하는 질산 화합물은 내열성 도전 재료로서 형성된다. 더욱이, Ti, Si, Cr, 또는 Nd와 같은 내열성 도전 재료의 결합 내의 형성은 개선된 레벨(improved levelness) 때문에 바람직하다. 또한, 그러한 내열성 도전 재료만으로 또한 형성될 수 있는데, 예를 들면, Mo과 W의 결합이 형성될 수 있다.

<98> 액정 디스플레이 장치의 실현에서, 내열성 도전 재료와 낮은 저항 도전 재료의 결합에 의해 게이트 배선 및 게

이트 전극을 형성하는 것은 바람직하다. 이러한 경우에 적절한 결합이 설명된다.

<99> 화면 크기가 대각선으로 5인치 또는 그보다 작은 것으로 제공되면, 내열성 도전 재료의 질화물로 이루어진 도전 층(A), 및 내열성 도전 재료로 이루어진 도전 층(B)의 래미네이션(lamination)의 두 층 구조가 사용된다. 도전 층(B)은 Al, Ta, Ti, W, Nd, 및 Cr으로 구성되는 그룹, 또는 위의 원소들의 합금으로부터 선택된 원소, 또는 위의 원소들의 결합의 합금 막으로부터 형성되고, 도전 층(A)은 탄탈륨 질화물(TaN) 막, 텅스텐 질화물(WN) 막, 또는 티타늄 질화물(TiN) 막과 같은 막으로부터 형성된다. 예를 들면, 도전 층(A)으로서 Cr과 도전 층(B)으로서 Nd를 포함하는 Al의 래미네이션의 이중 층 구조를 사용하는 것이 바람직하다. 도전 층(A)은 10 내지 100 nm(양호하게 20에서 50 nm 사이)의 두께가 주어지고, 도전 층(B)은 200 내지 400 nm(양호하게 250에서 350 nm 사이)의 두께로 이루어진다.

<100> 한편, 거대한 화면에 적용되기 위해, 내열성 도전 재료로 이루어진 도전 층(A), 낮은 저항성 도전 재료로 이루어진 도전 층(B), 및 내열성 도전 재료로 이루어진 도전 층(C)의 래미네이션의 3 개 층 구조를 사용하는 것이 바람직하다. 낮은 저항성 도전 재료로 이루어진 도전 층(B)은 알루미늄(Al)을 포함하는 재료로부터 형성되고, 순수한 Al에 부가하여, 스칸듐(Sc), Ti, Nd, 또는 실리콘(Si)과 같은 원소의 0.01에서 5 원자% 사이를 포함하는 Al이 사용된다. 도전 층(C)은 도전 층(B)의 Al 내 토종(hillocks)의 생성을 방지하는데 효과적이다. 도전 층(A)은 10 내지 100 nm 두께(양호하게 250에서 350 nm 사이)로부터 이루어지고, 도전 층(C)은 10 내지 100 nm 두께(양호하게 20에서 50 nm 사이)로부터 이루어진다. 실시예 1에서, 도전 층(A)은 50 nm의 두께를 갖는, Ti 타깃과 함께 스퍼터링함으로써 이루어진 Ti 막으로부터 형성되고, 도전 층(B)은 200 nm의 두께를 갖는, Al 타깃과 함께 스퍼터링함으로써 이루어진 Al 막으로부터 형성되며, 도전 층(C)은 Ti 타깃과 함께 스퍼터링함으로써 이루어진 50 nm 두께 Ti 막으로부터 형성된다.

<101> 이어서, 절연막(104)은 전체 표면 위에 형성된다. 절연막(104)은, 스퍼터링을 사용하여 형성되고, 50 내지 200 nm의 막 두께를 갖는다.

<102> 예를 들면, 실리콘 산화질화물 막(silicon oxynitride film)은 절연막(104)으로서 사용되고, 150 nm의 두께로 형성된다. 물론, 게이트 절연막은 실리콘 산화질화물 막의 이러한 타입에 제한되지 않으며, 실리콘 산화물 막, 실리콘 질화물 막, 또는 탄탈륨 산화물 막과 같은 다른 절연막이 또한 사용될 수 있으며, 게이트 절연막은 이들 재료로 이루어진 래미네이션 구조 또는 단일 층으로 형성될 수 있다. 예를 들면, 하위 층(lower layer)으로서 실리콘 질화물 막과 상위 층(upper layer)으로서 실리콘 산화물 막을 갖는 래미네이션 구조가 사용될 수 있다.

<103> 이어서, 비정질 반도체막(105)은 스퍼터링 또는 플라즈마 CVD(도면에 도시 안됨)와 같은 공지된 방법을 사용함으로써 전체 표면 위에 절연막(104) 상에 50 내지 200 nm(양호하게 100에서 150 nm 사이)의 두께로 형성된다. 전형적으로, 수소화 비정질 실리콘(a-Si:H) 막은 스퍼터링에 의해 100 nm의 두께로 형성된다. 부가하여, 비정질 반도체막으로서, 비정질 실리콘 게르마늄 막, 등과 같은 비정질 구조를 갖는 화합물 반도체막 또는 미정질 반도체막을 적용하는 것이 또한 가능하다.

<104> 이어서, n 형을 첨가한 불순물 원소를 포함하는 비정질 반도체막(106)은 하나의 도전형(106)의 불순물 원소를 포함하는 반도체막으로서, 20 내지 80 nm의 두께로 형성된다. n 형(106)을 첨가한 불순물 원소를 포함하는 비정질 반도체막은 플라즈마 CVD 또는 스퍼터링과 같은 공지된 방법에 의해 전체 표면 위에 형성된다. 전형적으로, n^+a-Si:H 막은 형성될 수 있고, 막은 그러한 목적을 위해 인(P)이 부가된 타깃을 사용함으로써 증착된다. 선택적으로, n 형 불순물 원소(106)를 포함하는 비정질 반도체막은 수소화 미정질 실리콘 막(hydrogenated microcrystalline silicon film)(μc-Si:H)으로부터 또한 형성될 수 있다.

<105> 이어서, 도전 금속 막(107)은 진공 증착(vacuum evaporation) 또는 스퍼터링에 의해 형성된다. n^+a-Si:H 막(106)을 갖는 저항 접점(ohmic contact)이 만들어질 수 있도록 제공되면, 도전 금속 막(107)의 금속에 대한 특별한 제한은 없으며, Al, Cr, Ta 및 Ti으로 구성되는 그룹, 또는 위의 원소들을 포함하는 합금으로부터 선택된 원소, 및 위의 원소들 또는 동종의 결합의 합금 막이 제공될 수 있다. 스퍼터링은 실시예 1에서 사용되고, 50 내지 150 nm 두께의 Ti 막, Ti 막 위에 300에서 400 nm 사이의 두께를 갖는 알루미늄(Al) 막, 및 그 위에 100 내지 150 nm의 두께를 갖는 Ti 막이 금속 막(107)으로서 형성된다(도 2의 (A) 참조).

<106> 절연막(104), 비정질 반도체막(105), 하나의 도전형을 첨가한 불순물 원소를 포함하는 비정질 반도체막(106), 및 도전 금속 막(107)은 공지된 방법에 의해 모두 제조되고, 플라즈마 CVD 또는 스퍼터링에 의해 제조될 수 있다. 이들 막은 연속으로 스퍼터링하고, 실시예 1에 스퍼터링 가스 또는 타깃을 적절히 변화시킴으로써 형성된다. 스퍼터링 장치에서 동일한 반응 챔버, 또는 다수의 반응 챔버들은 이 때에 사용되고, 대기에 노출 없

이 연속하여 이들 막을 래미네이팅하는 것은 바람직하다. 따라서, 대기에 막을 노출하지 않음으로써, 불순물들의 혼합은 방지될 수 있다.

<107> 이어서, 제 2 포토리소그래피가 수행되고, 레지스트 마스크(108)가 형성되며, 에칭에 의해 불필요한 부분을 제거함으로써, 배선 및 전극들(소스 배선)은 형성된다. 습식 에칭(wet etching) 또는 건식 에칭(dry etching)은 이 때에 에칭 공정으로서 사용된다. 비정질 반도체막(105), 하나의 도전형을 첨가한 불순물 원소를 포함하는 반도체막(106), 및 도전 금속 막(107)은 에칭되고, 비정질 반도체막(109), 하나의 도전형을 첨가한 불순물 원소를 포함하는 반도체막(110), 및 도전 금속 막(111)은 픽셀 TFT 부분 내에 형성된다. 또한, 커패시터 배선(103) 및 절연막(104)은 캐패시터 부분 내에 잔존하며, 터미널(101) 및 절연막(104)은 또한 터미널 부분 내에 유사하게 잔존한다. 실시예 1에서, Ti 막, Al 막, 및 Ti 막이 순서대로 래미네이팅되는 금속 막(107)은 반응 가스로서 $SiCl_4$, Cl_2, 및 BCl_3의 가스 혼합을 사용한 건식 에칭에 의해 에칭되고, 반응 가스는 CF_4와 O_2의 가스 혼합과 대용되며, 비정질 반도체막(105)과 하나의 도전형을 첨가하기 위한 불순물 원소를 포함하는 반도체막(106)은 제거된다(도 2의 (B) 참조).

<108> 이어서, 레지스트 마스크(108)를 제거한 후에, 투명 도전 막(112)은 전체 표면 위에 증착된다(도 2의 (C)). 이 때의 상부도는 도 5에 도시된다. 전체 표면 위에 증착된 투명 도전 막(112)은 간단화(simplification)를 위해 도 5에 도시되지 않는다.

<109> 이러한 투명 도전 막(112)은 스퍼터링 또는 진공 증착과 같은 방법을 사용하여 인듐 산화물(In203) 또는 인듐 산화물 주석 산화물 합금(In_2O_3-SnO_2, 생략하여 ITO)과 같은 재료로부터 형성된다. 재료의 이러한 타입을 위한 에칭 공정은 염산 타입의 용액을 사용하여 수행된다. 그러나, 나머지는 특히 ITO 에칭에 의해 쉽게 생성되고, 그러므로, 인듐 산화물 아연 산화물 합금(In_2O_3-ZnO)은 에칭 가동성을 개선하기 위해 사용될 수 있다. 인듐 산화물 아연 산화물 합금은 특성을 평활화(smoothing)하는 우수한 표면을 가지며, ITO에 비교하여 우수한 열 안정성(thermal stability)을 가지며, 그러므로, 전극이 Al 막으로 이루어질 지라도, 부식 반응은 방지될 수 있다. 유사하게, 아연 산화물(ZnO)은 또한 안정한 재료이며, 부가하여, 가시광의 투과율을 증가시키고, 도전성을 증가시키기 위해, 갈륨(Ga)이 부가된 아연 산화물(ZnO:Ga)과 같은 재료가 사용될 수 있다.

<110> 레지스트 마스크(113)는 제 3 포토리소그래피 공정에 의해 이어서 형성된다. 불필요한 부분들은 에칭에 의해 제거되고, 비정질 반도체막(114), 소스 영역(115), 드레인 영역(116), 소스 전극(117), 드레인 전극(118), 및 픽셀 전극(119)을 형성한다(도 2의 (D) 참조).

<111> 제 3 포토리소그래피 공정은 투명 도전 막을 패터닝하고, 동일한 시간에 에칭에 의해 도전 금속 막(111), n+a-Si 막(110) 및 비정질 반도체막(109)의 일부를 제거하고, 개구(opening)를 형성한다. 실시예 1에서, ITO로 이루어진 픽셀 전극은 먼저 질산 및 염산의 혼합액, 또는 철 염화물 용액을 사용하여 습식 에칭에 의해 선택적으로 제거되고, 도전 금속 막(111), n^+a-Si 막(110) 및 비정질 반도체막(109)의 부분은 건식 에칭에 의해 에칭된다. 습식 에칭 및 건식 에칭은 실시예 1에서 사용되지만, 조작자는 반응 가스를 적절히 선택함으로써 단지 건식 에칭만을 수행할 수 있고, 반응 용액을 적절히 선택함으로써 단지 습식 에칭만을 수행할 수도 있다.

<112> 개구의 낮은 부분은 비정질 반도체막에 도달하고, 오목한 부분을 갖는 비정질 반도체막(114)은 형성된다. 도전 금속 막(111)은 소스 배선(117) 및 드레인 전극(118) 내로 개구에 의해 분리되고, n^+a-Si 막(110)은 소스 영역(115) 및 드레인 영역(116) 내로 분리된다. 더욱이, 소스 전극(117)을 접촉하는 투명 도전 막(120)은 소스 배선을 덮고, 연속적인 제조 공정 동안, 특히 러빙 공정(rubbing process) 동안, 전개로부터 정전기를 방지하는 역할을 수행한다. 소스 배선 위에 투명 도전 막(120)을 형성하는 예는 실시예 1에 도시되지만, 투명 도전 막(120)은 상술된 ITO 막의 에칭 동안, 또한 제거될 수 있다. 또한, 정전기로부터의 보호를 위한 회로는 ITO 막의 에칭에서 위의 ITO 막을 이용함으로써 형성될 수 있다.

<113> 더욱이, 저장 캐패시터는 커패시터 배선(103) 및 유전체로서 캐패시터 부분 내에 절연막(104)을 갖는 픽셀 전극(119)에 의한 제 3 포토리소그래피 공정에서 형성된다.

<114> 부가하여, 터미널 부분에 형성된 투명 도전 막은 제 3 포토리소그래피 공정에 의해 제거된다.

<115> 이어서, 레지스트 마스크(113)의 제거 후에, 레지스트 마스크는 쉐도우 마스크를 사용함으로써 형성되고, 터미널 부분의 터미널(101)을 덮는 절연막은 선택적으로 제거된다(도 3의 (A)). 부가하여, 레지스트 마스크는 쉐도우 마스크 대신에 스크린 프린팅에 의해 형성된다. 도 1이 하나의 픽셀의 상부도이고, 도 3의 (A)가 라인(A-A'

및 B-B')을 따라 이루어진 횡단면에 대응한다는 것을 주목한다.

<116> 따라서, 3 개의 포토마스크를 사용하고, 3 개의 포토리소그래피 공정을 수행함으로써, 역 스태거 형 n-채널 TFT(201)를 갖는 픽셀 TFT 부분과 저장 캐패시터(202)는 완성될 수 있다. 각각의 픽셀에 대응하는 매트릭스 상태에서 이들을 교체하여, 픽셀 부분을 구성함으로써, 하나의 기판은 활성 매트릭스 액정 디스플레이 장치를 제조하기 위해 이루어질 수 있다. 편의를 위해, 이러한 타입의 기판은 본 명세서를 통해 활성 매트릭스 기판으로 불린다.

<117> 이어서, 얼라인먼트 막(121)은 활성 매트릭스 기판의 단지 픽셀 부분 내에 선택적으로 형성된다. 스크린 프린팅은 얼라인먼트 막(121)을 선택적으로 형성하는 방법으로서 사용될 수 있고, 레지스트 마스크가, 얼라인먼트 막의 응용이 또한 사용된 후에, 쉐도우 마스크를 사용하여 형성된다. 통상적으로, 폴리이미드 합성 수지(polyimide resin)는 액정 디스플레이 소자의 얼라인먼트 막에 종종 사용된다. 본 실시예가 터미널 부분의 터미널(101)을 덮는 절연막을 선택적으로 제거한 후에 얼라인먼트 막을 형성하는 실시예를 도시하였지만, 터미널 부분 내의 절연막 및 얼라인먼트 막은, 터미널 부분의 터미널(101)을 덮는 절연막 위에 얼라인먼트 막을 래미네이팅한 후, 동일한 시간에 제거될 수 있다.

<118> 이어서, 러빙 공정은 임의의 고정된 프리-틸트 각(pre-tilt angle)을 처리하기 위해 액정 소자를 오리엔팅(orienting)하는 얼라인먼트 막(121) 위에 수행된다.

<119> 이어서, 활성 매트릭스 기판, 및 반대 전극(opposing electrode)(122) 및 얼라인먼트 막(123)이 형성되는 반대 기판(124)은, 액정 재료(125)가 활성 매트릭스 기판과 반대 기판 사이의 공간 내로 주입된 후에, 스페이서를 사용하여 기판들 사이의 갭을 유지하는 동안 실런트(sealant)에 의해 함께 결합된다. 공지된 재료는 액정 재료(125)에 응용될 수 있고, TN 액정이 통상적으로 사용된다. 액정 재료를 주입한 후에, 주입 입구(injecting entrance)가 합성 수지 재료에 의해 밀봉(sealed)된다.

<120> 이어서, 플렉시블 인쇄 회로(flexible printed circuit)(FPC)는 터미널 부분의 터미널(101)에 접속된다. FPC는 폴리이미드와 같은 유기적인 합성 수지 막(organic resin film)(129) 위에 구리 배선(128)에 의해 형성되며, 이방성 도전 접착제(anisotropic conductive adhesive)는 내부에 혼합된 금과 같은 재료에 의해 플레이트된 도전 표면을 갖고, 수십 내지 수백 μm의 반경을 갖는 입자들(particles)(127) 및 접착제(126)를 포함한다. 입자들(127)은 입력 터미널(101)과 구리 배선(128)을 접속함으로써 이러한 부분 내에 전기적 접속을 형성한다. 부가하여, 이러한 영역의 기계적인 강도를 증가시키기 위해, 합성 수지 층(130)이 형성된다(도 3의 (B) 참조).

<121> 도 6은 픽셀 부분의 배치와 활성 매트릭스 기판의 터미널 부분을 설명하는 다이어그램이다. 픽셀 부분(211)은 기판 위에 형성되고, 게이트 배선(208) 및 소스 배선(207)은 픽셀 부분 위에 교차하여 형성되며, 이에 접속된 n-채널 TFT(201)는 각각의 픽셀에 대응하여 형성된다. 픽셀 전극(119) 및 저장 캐패시턴스(202)는 n-채널 TFT(201)의 드레인 측면에 접속되고, 저장 캐패시터의 다른 터미널은 커패시터 배선(209)에 접속된다. n-채널 TFT(201)과 저장 캐패시터(202)의 구조는 도 3의 (A)에 도시된 n-채널 TFT(201) 및 저장 캐패시터(202)의 그것과 동일하다.

<122> 주사 신호(scanning signal)를 입력하기 위한 입력 터미널 부분(205)은 기판의 한 에지 부분 내에 형성되고, 접속 배선(206)에 의해 게이트 배선(208)에 접속된다. 더욱이, 이미지 신호를 입력하기 위한 입력 터미널 부분(203)은 다른 에지 부분에 형성되고, 접속 배선(204)에 의해 소스 배선(207)에 접속된다. 다수의 게이트 배선(208), 소스 배선(207), 및 커패시터 배선(209)은 픽셀 밀도에 따라 형성되고, 그들의 수는 상술된 바와 같다. 더욱이, 입력 신호를 입력하기 위한 입력 터미널 부분(212) 및 접속 배선(213)은 형성될 수 있고, 입력 터미널 부분(203)과 함께 선택적으로 소스 배선에 접속될 수 있다. 입력 터미널 부분(203, 205, 및 212)의 임의의 수(arbitrary number)는 조작자에 의해 적절하게 결정되도록 형성된다.

<123> (실시예 2)

<124> 도 7은 액정 디스플레이 장치를 설치하는 방법의 한 예이다. 액정 디스플레이 장치는 TFTs가 형성되는 기판의 한 에지 부분 내에 형성된 입력 터미널 부분(302)을 가지며, 실시예 1에 의해 도시된 바와 같이, 이 것은 게이트 배선으로서 동일한 재료로부터 형성된 터미널(303)에 의해 형성된다. 반대 기판(304)은 스페이서(306)를 막으로 싼(encapsulating) 실런트(305)에 의해 기판(301)에 결합되고, 부가하여, 편광판(polarizing plate)(307 및 308)이 형성된다. 이어서, 스페이서(322)에 의해 케이스(321)에 고정된다.

<125> 비정질 반도체막에 의해 형성된 활성 층을 갖는 실시예 1에서 얻어진 TFT는 낮은 전계 효과 이동성을 갖고, 단

지 약 1cm^2/Vsec가 얻어진다는 것을 주목한다. 그러므로, 이미지 디스플레이를 수행하기 위한 드라이버 회로는 LSI 칩에 의해 형성되고, TAB(tape automated bonding) 방법 또는 COG(chip on glass) 방법에 의해 설치된다. 실시예 2에서, LSI 칩(313) 내 드라이버 회로를 형성하고, TAB 방법을 사용함으로써 설치되는 한 예가 도시된다. 플랙시블 인쇄 회로(FPC)가 사용되며, FPC는 폴리이미드와 같은 유기적인 합성 수지 막(309) 위에 구리 배선에 의해 형성되며, 이방성 도전 접착제에 의해 입력 터미널(302)에 접속된다. 이방성 도전 접착제는 내부에 혼합되는 재료에 의해 플레이트된 도전 표면을 갖고, 수십 내지 수백 μm의 반경을 갖는 입자들 및 접착제(311)에 의해 구성된다. 입자들(312)은 입력 터미널(302)과 구리 배선(310)을 접속함으로써 이러한 부분 내에 전기적인 접속을 형성한다. 부가하여, 이러한 영역의 기계적인 강도를 증가시키기 위해, 합성 수지 층(318)이 형성된다.

<126> LSI 칩(313)은 범프(314)에 의해 구리 배선(310)에 접속되고, 합성 수지 재료(315)에 의해 밀봉된다. 이어서, 구리 배선(310)은 접속 터미널(316)을 통해 신호 처리 회로, 증폭 회로, 전원 회로와 같은 다른 회로가 형성되는 인쇄 기판(317)에 접속된다. 광 소스(319) 및 광 도전체(320)는 반대 기판(304) 위에 형성되고, 투과형 액정 디스플레이 장치 내에 후광(back light)으로서 사용된다.

<127> (실시예 3)

<128> 실시예 1에서 절연막, 비정질 반도체막, n 형 도전율을 첨가한 불순물 원소를 포함하는 비정질 반도체막, 및 스퍼터링에 의한 금속 막의 래미네이션을 형성하는 한 예가 센터링되지만, 실시예 3은 막을 형성하도록 플라즈마 CVD를 사용하는 한 예를 도시한다.

<129> 절연막, 비정질 반도체막, 및 n 형 도전율을 첨가한 불순물 원소를 포함하는 비정질 반도체막은 실시예 3에서 플라즈마 CVD에 의해 형성된다.

<130> 실시예 3에서, 실리콘 산화질화물 막은 절연막으로서 사용되며, 플라즈마 CVD에 의해 150 nm의 두께로 형성된다. 플라즈마 CVD는 13 내지 70 MHz의 전원 주파수, 양호하게 27에서 60 MHz 사이를 갖는 지점에서 수행된다. 27 내지 60 MHz의 전원 주파수를 사용함으로써, 조밀한 절연막은 형성될 수 있고, 전압 저항은 게이트 절연막으로서 증가될 수 있다. 더욱이, O_2에 SiH_4 및 N_2O를 부가함으로써 제조된 실리콘 산화질화물 막은 막 내의 고정 전기 전하 밀도(fixed electric charge density) 내에서 감소하며, 그러므로, 이러한 사용에 바람직한 재료이다. 물론, 게이트 절연막은 이러한 타입의 실리콘 산화질화물 막에 제한되지 않으며, 단일 층 또는 실리콘 산화물 막, 실리콘 질화물 막, 또는 탄탈륨 질화물 막과 같은 다른 절연막들을 사용하는 래미네이션 구조는 형성될 수 있다. 또한 하위 층 내의 실리콘 질화물 막과 상위 층 내의 실리콘 산화물 막의 래미네이션 구조는 사용될 수 있다.

<131> 예를 들면, 실리콘 산화물 막을 사용할 때, 그것은 0.5 내지 0.8 W/cm2의 높은 주파수(13.56 MHz) 전력 밀도에서의 방전(discharge)과, 250 내지 350℃의 기판 온도와, 40Pa로 설정된 반응 압력을 가진 테트라에틸 오소실리케이트(TEOS)와 O_2의 혼합을 사용하여 플라즈마 CVD에 의해 형성될 수 있다. 게이트 절연막으로서 좋은 특성은 실리콘 산화물 막을 위해 얻어질 수 있으며, 따라서 300 내지 400℃에서 연속하는 열적 가열에 의해 형성된다.

<132> 통상적으로, 수소화 비정질 실리콘(a-Si:H) 막은 비정질 반도체막으로서 플라즈마 CVD에 의해 100 nm의 두께로 형성된다. 이러한 점에서, 플라즈마 CVD는 플라즈마 CVD 장치 내에서 13 내지 70 MHz, 양호하게 27에서 60 MHz 사이의 전원 주파수와 함께 수행될 수 있다. 27 내지 60 MHz의 전력 주파수를 사용함으로써, 막 증착 속도를 증가시키는 것이 가능해지며, 증착된 막은, 그것이 낮은 결점 밀도를 갖는 a-Si 막이 되기 때문에, 바람직하다. 부가하여, 비정질 반도체막으로서, 비정질 실리콘 게르마늄 막과 같은 비정질 구조를 갖는 화합물 반도체막과 미정질 반도체막을 적용하는 것이 또한 가능하다.

<133> 더욱이, 100 내지 100kHz 펄스 변조 방전이 절연막과 비정질 반도체막의 플라즈마 CVD 막 증착에서 수행된다면, 플라즈마 CVD 가스 위상 반응에 기인한 입자 생성은 방지될 수 있고, 형성된 막 내에 핀홀(pinhole) 발생은 또한 방지될 수 있으며, 그러므로 바람직하다.

<134> 또한, 실시예 3에서, n 형 도전율을 첨가한 불순물 원소를 포함한 비정질 반도체막은 단일 도전형 불순물 원소를 포함한 반도체막으로서 20 내지 80 nm의 두께로 형성된다. 예를 들면, n 형 불순물 원소를 포함한 a-Si:H 막은 형성될 수 있고, 그렇게 하기 위해, 수소화인(PH_3)이 0.1 내지 5% 농도로 실란(SiH_4)에 부가된다. 선택적으로, 수소화 미정질 실리콘 막(μc-Si:H)은 n 형 도전율을 첨가한 불순물 원소를 포함하는 비정질 반도체막(106)에 대용으로서 또한 사용될 수 있다.

<135> 이들 막은 반응 가스를 절절히 변화시킴으로써 연속하여 형성될 수 있다. 또한, 이들 막은 플라즈마 CVD 장치내의 동일한 반응 챔버 또는 다수의 반응 챔버들을 사용함으로써 이 때에 대기에 노출 없이 연속적으로 래미네이트될 수 있다. 따라서, 대기에 막을 노출하지 않고 이들 막을 연속적으로 증착함으로써, 불순물들의 제 1 비정질 반도체막으로의 혼합은 방지될 수 있다.

<136> 실시예 4를 실시예 2와 결합하는 것이 가능함을 주목한다.

<137> (실시예 4)

<138> 실시예 4에서, 보호 막을 형성하는 예가 도 6에 도시된다. 실시예 4가 도 2의 (D) 상태를 통해 실시에 1과 동일하다는 것을 주목한다. 그러므로 유일한 차이점들이 설명된다. 또한, 동일한 부호들은 도 2의 (D)의 그것과 대응하는 위치에 사용된다.

<139> 먼저, 실시예 1에 따라 도 2의 (D)의 상태를 얻은 후에, 얇은 무기 절연막은 전체 표면 위에 형성된다. 얇은 무기 절연막, 단일한 층 또는 래미네이트 구조는 실리콘 산화물 막, 실리콘 질화물 막, 실리콘 산화질화물 막 또는 탄탈륨 산화물 막과 같은 무기 절연막을 사용함으로써 형성될 수 있다.

<140> 레지스트 마스크를 형성하는 제 4 포토리소그래피 공정은 다음에 수행되고, 불필요한 부분들은 픽셀 TFT 부분내의 절연막과 터미널 부분 내에 무기 절연막(402)을 형성하는 에칭에 의해 제거된다. 이들 무기 절연막(401 및 402)은 부동태 막(passivation film)으로 기능한다. 또한, 터미널 부분 내에, 얇은 무기 절연막(402)과 무기 절연막(104)은 제 4 리소그래피 공정에 의해 같은 시간에 제거되고, 터미널 부분의 터미널(101)은 노출될 수 있다.

<141> 따라서, 무기 절연막에 의해 보호되는 역 스태거 형 n-채널 타입 TFT와 저장 캐패시터는 총 4 번 4 개의 포토마스크를 사용하여 포토리소그래피 공정을 수행함으로써 실시예 4에서 완성될 수 있다. 따라서, 각각의 픽셀에 대응하는 매트릭스 상태로 이들을 배열함으로써 픽셀 부분을 구성함에 의해, 활성 매트릭스 전자-광학 장치를 제조하기 위한 하나의 기판은 이루어질 수 있다.

<142> 실시예 1 내지 3의 구성의 임의의 하나와 실시예 4의 구성을 자유롭게 결합하는 것이 가능함을 주목한다.

<143> (실시예 5)

<144> 투과형의 액정 디스플레이 장치에 대응하는 활성 매트릭스 기판을 제조하는 방법이 실시예 1에서 설명된 반면, 반사 타입의 액정 디스플레이 장치에 대응하는 예는 본 실시예에서 설명될 것이다.

<145> 먼저, 도 2의 (B)에 도시된 단계는 실시예 1과 같은 방법으로 수행된다. 게다가, 반사성을 갖는 전기 도전 막(Al, Ag 등의)은 투명 전기 도전 막 대신에 형성된다. 게다가, 레지스트 마스크 패턴은 실시예 1에서와 같은 방법으로 제 3 포토리소그래피 단계에 의해 형성되며, 반사 도전 막으로 된 픽셀 전극이 에칭에 의해 형성된다. 픽셀 전극은 전극(118)을 오버랩하기 위해 형성된다.

<146> 연속하는 단계는 실시예 1의 그것과 유사하며, 그러므로 상세한 설명에서 생략한다. 이러한 방법으로, 반사 타입 액정 디스플레이 장치에 대응하는 활성 매트릭스 기판은 3 개의 포토리소그래피 단계들에 의해 3 개의 포토-마스크들을 사용하여 제조될 수 있다.

<147> 실시예 4와 본 실시예의 결합이 또한 가능하다.

<148> (실시예 6)

<149> 본 발명을 구현함으로써 형성된 CMOS 회로들 및 픽셀 부분은 다양한 전자-광학 장치들(활성 매트릭스 액정 디스플레이 장치 및 활성 매트릭스 EC 디스플레이 장치와 같은)에 사용될 수 있다. 즉, 본 발명은 이들 전자-광학 장치가 디스플레이 부분으로 설치되는 모든 전자 장치에 구현될 수 있다.

<150> 다음은 그러한 전자 장치로서 주어질 수 있다: 비디오 카메라, 디지털 카메라, 투사기(projector)(후방형, 전방형), 헤드-첨가 디스플레이(고글 타입 디스플레이), 차량 항법 시스템, 차량 스테레오, PC, 및 휴대용 정보 단말(모바일 컴퓨터, 휴대 전화 또는 전자 서적과 같은). 이들의 예는 도 9, 10 및 11에 도시된다.

<151> 도 9의 (A)는 개인용 컴퓨터이고, 그것은 주 몸체(2001), 이미지 입력 부분(2002), 디스플레이 부분(2003), 및 키보드(2004) 등을 포함한다. 본 발명은 이미지 입력 부분(2002), 디스플레이 부분(2003) 또는 다른 신호 드라이버 회로들에 적용될 수 있다.

<152> 도 9의 (B)는 비디오 카메라이고, 그것은 주 몸체(2101), 디스플레이 부분(2102), 오디오 입력 부분92103), 작동 스위치(2104), 배터리(2105), 및 이미지 수신 부분(2106), 등을 포함한다. 본 발명은 디스플레이 부분(2102) 또는 다른 신호 드라이버 회로들에 적용될 수 있다.

<153> 도 9의 (C)는 모바일 컴퓨터이고, 그것은 주 몸체(2201), 카메라 부분(2202), 이미지 수신 부분(2203), 작동 스위치(2204), 및 디스플레이 부분(2205)을 포함한다. 본 발명은 디스플레이 부분(2205) 또는 다른 신호 드라이버 회로들에 적용될 수 있다.

<154> 도 9의 (D)는 고글 타입 디스플레이이고, 그것은 주 몸체(2301), 디스플레이 부분(2302), 암 부분(2303), 등을 포함한다. 본 발명은 디스플레이 부분(2302) 또는 다른 신호 드라이버 회로들에 적용될 수 있다.

<155> 도 9의 (E)는 프로그램이 기록되는(이하 기록 매체라 부른다) 기록 매체를 사용하는 플레이어이며, 플레이어는 주 몸체(2401), 디스플레이 부분(2402), 스피커 부분(2403), 기록 매체(2404), 및 작동 스위치(2405), 등을 포함한다. 이러한 플레이어는 DVD(디지털 범용성 디스크) 또는 CD와 같은 기록 매체를 사용하고, 음악의 감상, 영화 감상, 게임 플레잉 및 인터넷이 수행될 수 있다는 것을 주의한다. 본 발명은 디스플레이 부분(2402) 또는 다른 신호 드라이버 회로들에 적용될 수 있다.

<156> 도 9의 (F)는 디지털 카메라이고, 그것은 주 몸체(2501), 디스플레이 부분(2502), 접안 렌즈 부분(2503), 작동 스위치(2504), 및 이미지 수신 부분(도면에 도시 안됨), 등을 포함한다. 본 발명은 디스플레이 부분(2502) 또는 다른 신호 드라이버 회로들에 적용될 수 있다.

<157> 도 10의 (A)는 전방 투사기(front projector)이고, 그것은 투사 시스템(2601), 스크린(2602), 등을 포함한다. 본 발명은 일부의 투사 시스템(2601), 또는 다른 신호 드라이버 회로를 구성하는 액정 디스플레이 장치(2808)에 적용될 수 있다.

<158> 도 10의 (B)는 후방 투사기이고, 그것은 주 몸체(2701), 투사 시스템(2702), 거울(2703), 스크린(2704), 등을 포함한다. 본 발명은 일부의 투사 시스템(2702) 또는 다른 신호 드라이버 회로들을 구성하는 액정 디스플레이 장치(2808)에 적용될 수 있다.

<159> 도 10의 (C)는 도 10의 (A) 및 (B)의 투사 시스템(2601 및 2702)의 구조의 한 예를 도시하는 다이어그램이다. 투사 시스템(2601 및 2702)은 광학 광 소스 시스템(2801), 거울(2802 및 2804 내지 2806), 이색성 거울(2803), 프리즘(2807), 액정 디스플레이 장치(2808), 위상 차 플레이트(2809) 및 투사 광학 시스템(2810)을 포함한다. 투사 광학 시스템(2810)은 투사 렌즈를 포함하는 광학 시스템을 포함한다. 본 실시예는 3 개의 플레이트 타입을 도시했지만, 이러한 구조에 제한되지 않으며, 예를 들어, 단일 플레이트 타입일 수 있다. 또한, 조작자는 도 10의 (C)에 화살에 의해 도시된 광학 경로에서 광학 렌즈, 광 편광 기능을 갖는 막, 위상 차를 조정하는 막, 및 IR 막과 같은 광학 시스템을 개시한다.

<160> 도 10의 (D)는 도 10의 (C)의 광학 광 소스 시스템(2801)의 구조의 한 예를 도시하는 다이어그램이다. 본 실시예에서, 광학 광 소스 시스템(2801)은 반사기(2811), 광 소스(2812), 렌즈 어레이(2813 및 2814), 광 편광 변환 요소(2815) 및 콘덴서 렌즈(2816)를 포함한다. 도 10의 (D)에 도시된 광학 광 소스 시스템은 단지 예일 뿐이며, 특별히 제한되지 않는다. 예를 들면, 조작자는 광학 광 소스 시스템에서 광학 렌즈, 광 편광 기능을 갖는 막, 위상 차를 조정하기 위한 막, IR 막, 등과 같은 광학 시스템을 개시한다.

<161> 그러나, 전송형 전자-광학 장치를 사용하는 경우를 도시한 도 10에 도시된 투사기가 제공될 때, 반사형 전자-광학 장치의 응용 예는 도면에 도시되지 않는다.

<162> 도 11의 (A)는 휴대용 전화이고, 그것은 주 몸체(2901), 오디오 출력 부분(2902), 오디오 입력 부분(2903), 디스플레이 부분(2904), 작동 스위치(2905), 및 안테나(2906), 등을 포함한다. 본 발명은 오디오 출력 부분(2902), 오디오 입력 부분(2903), 디스플레이 부분(2904) 또는 다른 신호 드라이버 회로들에 적용될 수 있다.

<163> 도 11의 (B)는 휴대용 서적(전자 서적)이며, 그것은 주 몸체(3001), 디스플레이 부분(3002 및 3003), 기록 매체(3004), 작동 스위치(3005), 안테나(3006), 등을 포함한다. 본 발명은 디스플레이 부분(3002 및 3003) 또는 다른 신호 드라이버 회로들에 적용될 수 있다.

<164> 도 11의 (C)는 디스플레이이이며, 그것은 주 몸체(3101),지지 스탠드(3102), 및 디스플레이 부분(3103), 등을 포함한다. 본 발명은 디스플레이 부분(3103)에 적용될 수 있다. 본 발명의 디스플레이는 특히 거대한 크기의 스크린에 유리하며, 반대 각에서 10인치(특히 30인치보다 크거나 같은)보다 크거나 같은 디스플레이에 유리하다.

<165> 따라서, 본 발명의 적용 범위는 매우 폭넓고, 본 발명을 모든 분야의 전자 장치에 적용하는 것이 가능하다. 또한, 실시예 6의 전자 장치는 실시예 1 내지 5의 임의의 결합의 구성을 사용함으로써 실현될 수 있다.

발명의 효과

<166> 본 발명에 따라, 역 스태거 타입의 n-채널 TFT를 갖는 픽셀 TFT 부분과 유지 캐패시터(retention capacitor)를 포함하는 액정 디스플레이 장치는 3개의 포토리소그래픽 단계에 의해 3 개의 포토-마스크를 사용하여 실현될 수 있다.

<167> 게다가, 보호 막을 형성하는 경우에, 무기 절연막에 의해 보호된 역 스태거 타입의 n-채널 TFT를 갖는 픽셀 TFT 부분과 유지 캐패시터를 포함하는 액정 디스플레이 장치는 4개의 포토리소그래픽 단계에 의해 4개의 포토-마스크를 사용하여 실현될 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 발명 내에 상부 설계(top plan)를 도시한 도면.

<2> 도 2는 AM-LCD를 제조하는 단계를 도시한 단면도.

<3> 도 3은 AM-LCD를 제조하는 단계를 도시한 단면도.

<4> 도 4는 AM-LCD를 제조하는 단계를 도시한 단면도.

<5> 도 5는 AM-LCD를 제조하는 단계를 도시한 단면도.

<6> 도 6은 액정 디스플레이 장치(liquid crystal display device)의 픽셀 부분과 입력 터미널 부분의 배열을 설명하기 위한 상부 설계도.

<7> 도 7은 액정 디스플레이 장치의 패키징 구조(packaging structure)를 도시한 단면도.

<8> 도 8은 AM-LCD를 제조하는 단계를 도시한 단면도.

<9> 도 9는 전자 장치(electronic equipment)의 예를 도시한 도면.

<10> 도 10은 전자 장치의 예를 도시한 도면.

<11> 도 11은 전자 장치의 예를 도시한 도면.

<12> * 도면의 주요부분에 대한 부호의 설명 *

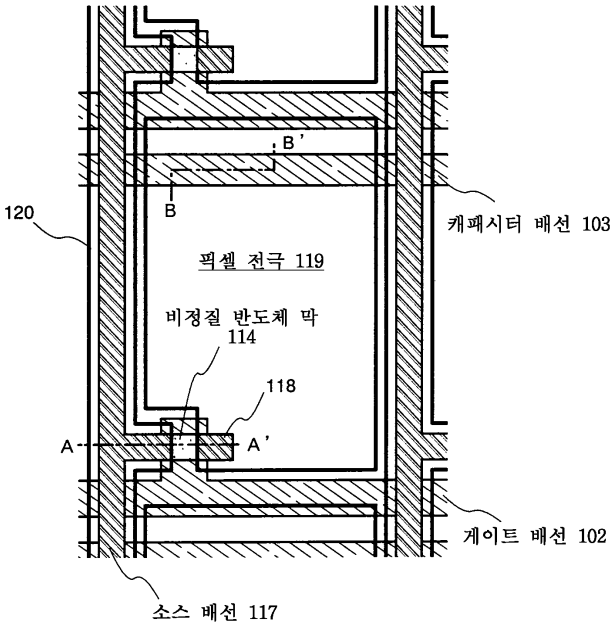
<13> 102; 게이트 배선 104; 절연막

<14> 105; 비정질 반도체막 115; 소스 영역

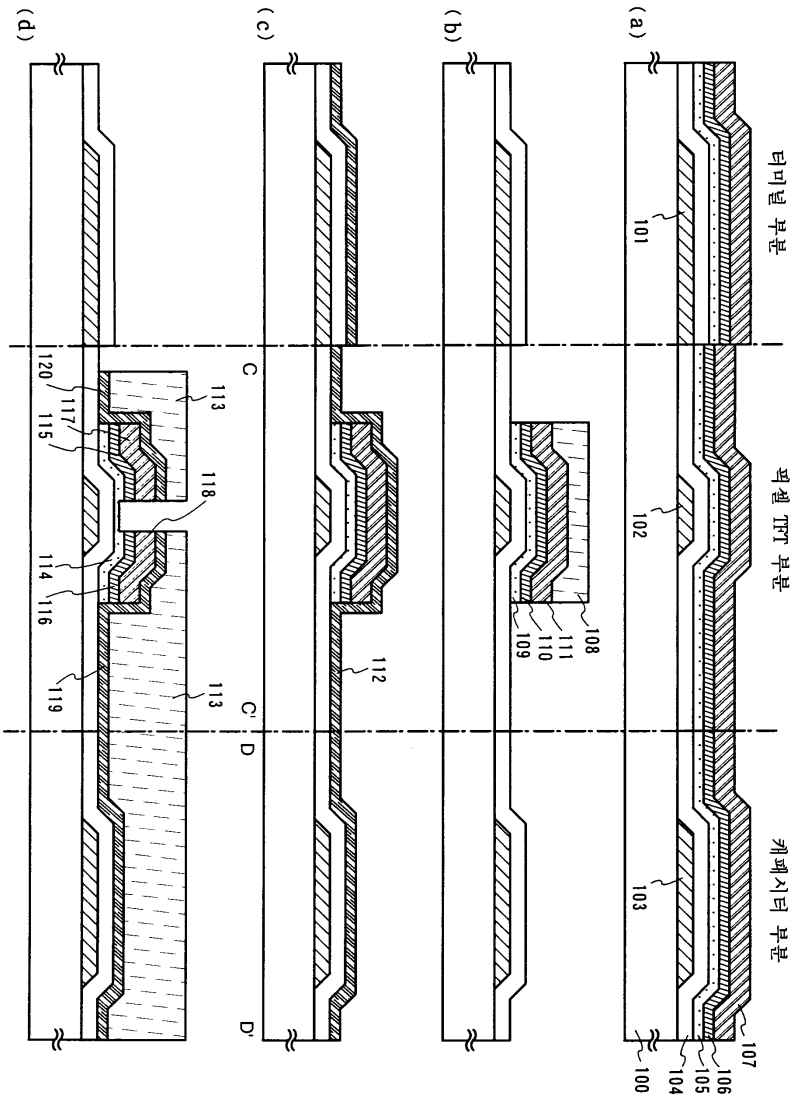
<15> 116; 드레인 영역 119; 픽셀 전극

도면

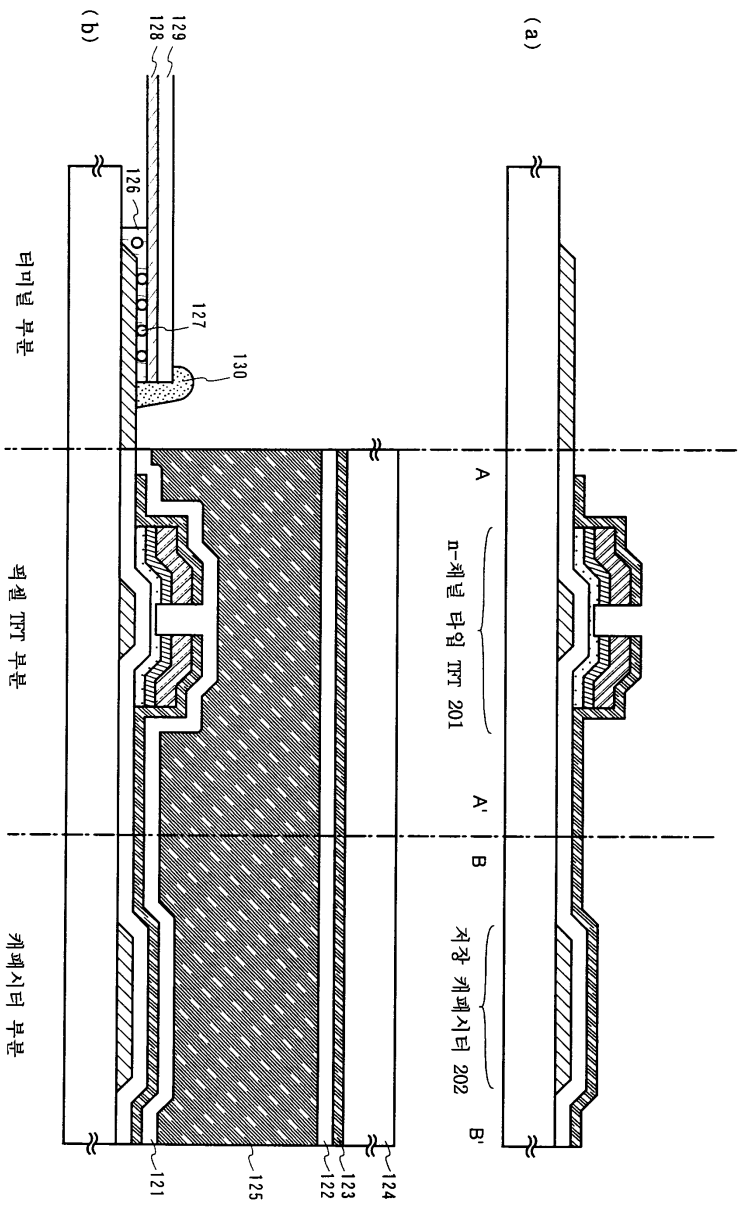
도면1


B'
B
120
캐패시터 배선 103
픽셀 전극 119
비정질 반도체 막
114
118
A
A'
게이트 배선 102
소스 배선 117

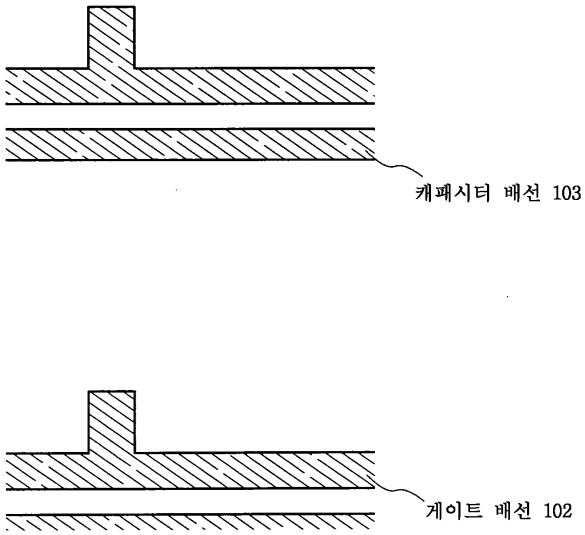
도면2


(a)
(b)
(c)
(d)
터미널 부분
픽셀 TFT 부분
캐패시터 부분
100
101
102
103
104
105
106
107
108
109
110
111
112
113
114
115
116
117
118
119
120
C
C'
D
D'

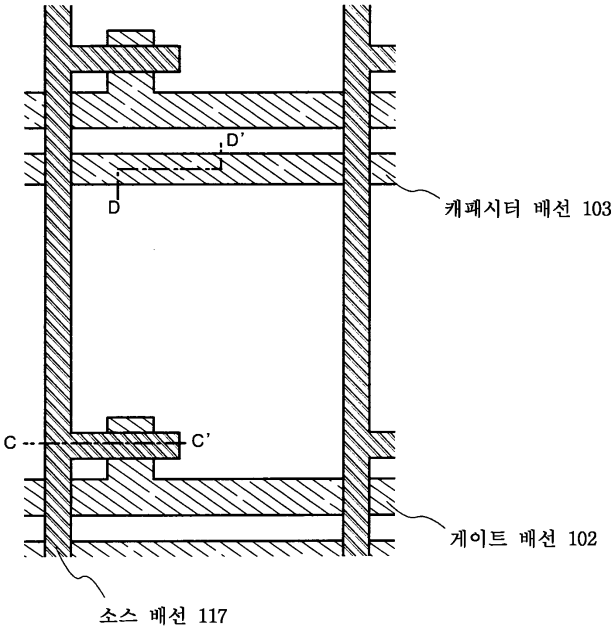
도면3


(a)
(b)
A
A'
B
B'
n-채널 타입 TFT 201
저장 캐패시터 202
터미널 부분
픽셀 TFT 부분
캐패시터 부분
121
122
123
124
125
126
127
128
129
130

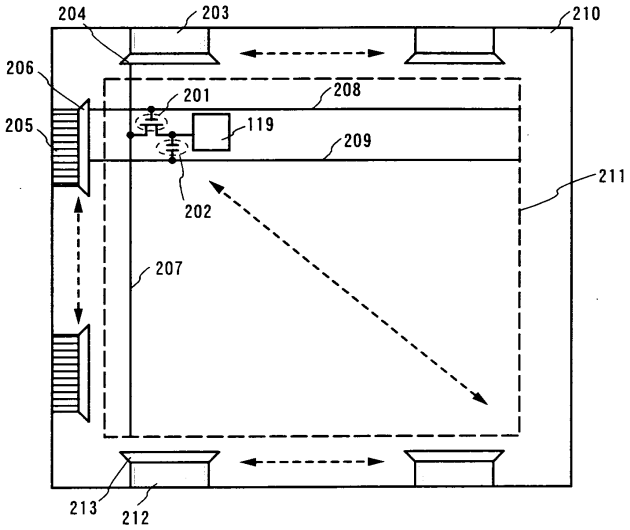
도면4



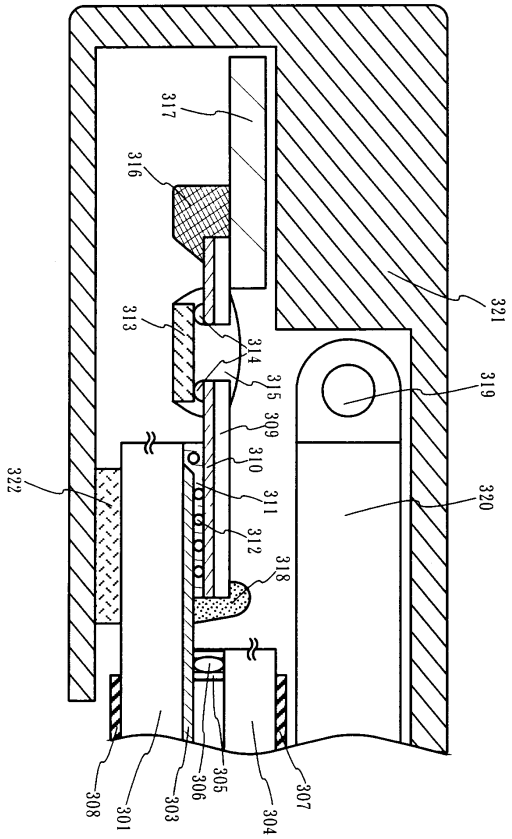
도면5



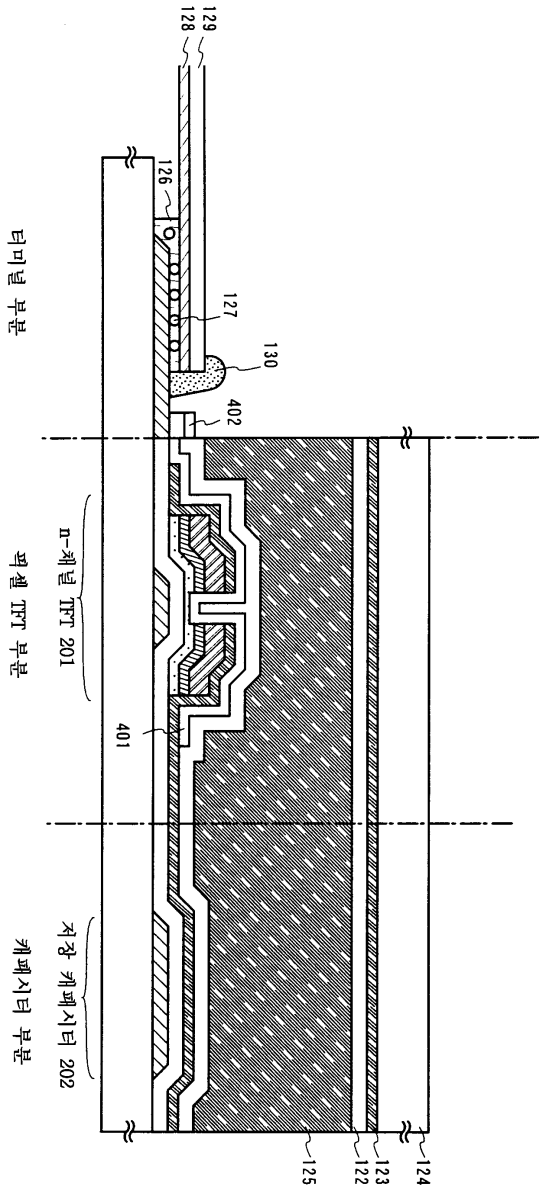
도면6


204
203
210
206
201
208
205
119
209
211
202
207
213
212

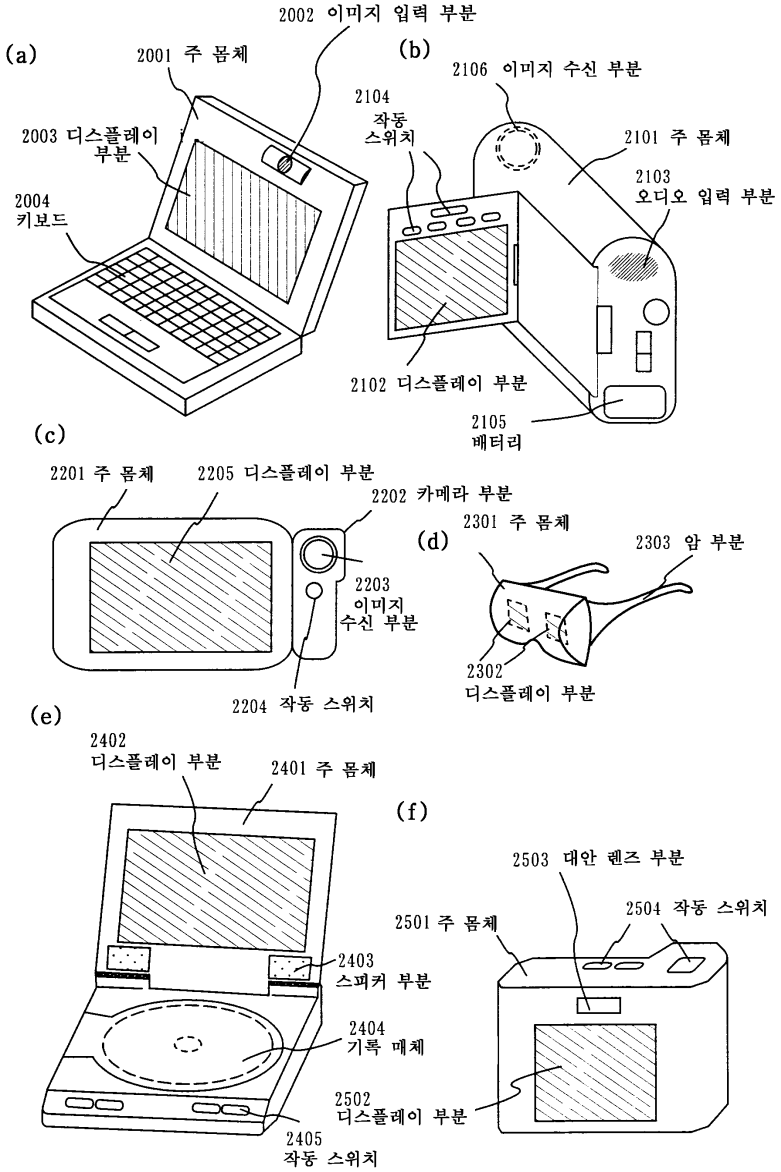
도면7


317
316
321
313
314
315
319
309
310
322
311
320
312
318
308
301
303
306
305
304
307

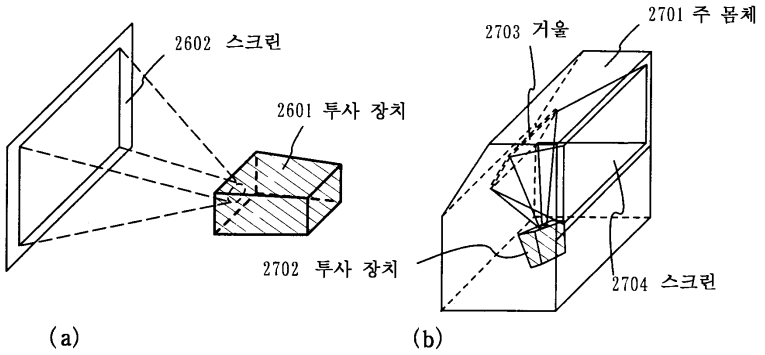
도면8


129
128
126
127
130
402
401
125
122
123
124
터미널 부분
픽셀 TFT 부분
n-채널 TFT 201
저장 캐패시터 202
캐패시터 부분

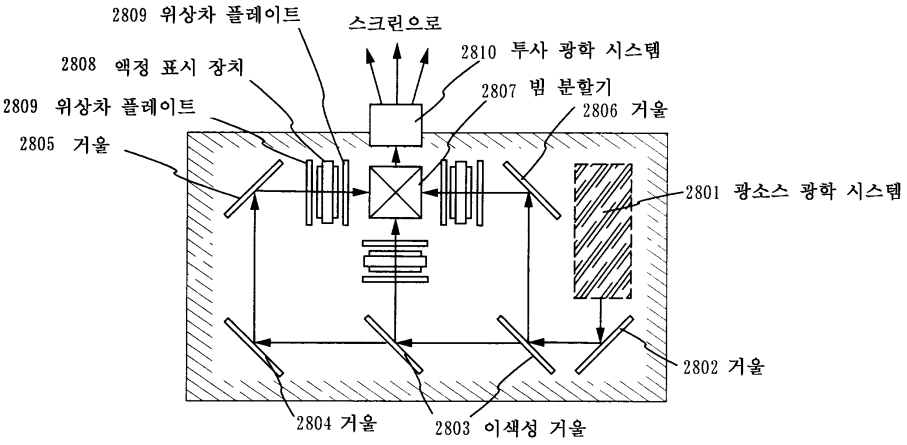
도면9


(a)
2001 주 몸체
2002 이미지 입력 부분
2003 디스플레이 부분
2004 키보드
(b)
2106 이미지 수신 부분
2104 작동 스위치
2101 주 몸체
2103 오디오 입력 부분
2102 디스플레이 부분
2105 배터리
(c)
2201 주 몸체
2205 디스플레이 부분
2202 카메라 부분
2203 이미지 수신 부분
2204 작동 스위치
(d)
2301 주 몸체
2303 암 부분
2302 디스플레이 부분
(e)
2402 디스플레이 부분
2401 주 몸체
2403 스피커 부분
2404 기록 매체
2405 작동 스위치
(f)
2503 대안 렌즈 부분
2504 작동 스위치
2501 주 몸체
2502 디스플레이 부분

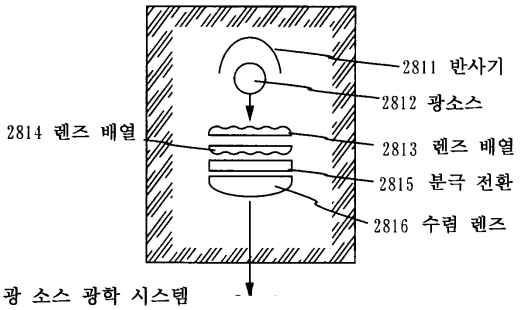
도면10



(a) (b)

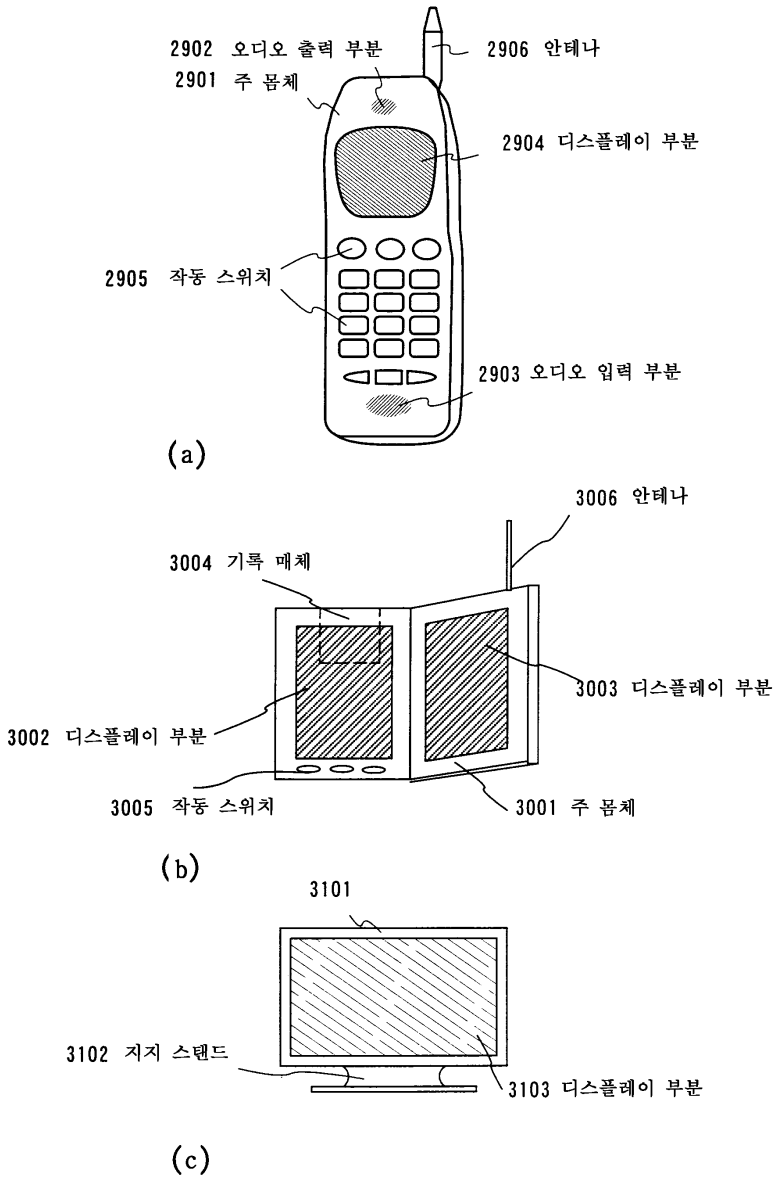


(c) 투사 장치(3-플레이트 시스템)



(d) 광 소스 광학 시스템

도면11


2902 오디오 출력 부분
2906 안테나
2901 주 몸체
2904 디스플레이 부분
2905 작동 스위치
2903 오디오 입력 부분
(a)
3006 안테나
3004 기록 매체
3003 디스플레이 부분
3002 디스플레이 부분
3005 작동 스위치
3001 주 몸체
(b)
3101
3102 지지 스탠드
3103 디스플레이 부분
(c)