

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成26年9月25日(2014.9.25)

【公開番号】特開2013-50681(P2013-50681A)

【公開日】平成25年3月14日(2013.3.14)

【年通号数】公開・登録公報2013-013

【出願番号】特願2011-189928(P2011-189928)

【国際特許分類】

G 09 G 3/36 (2006.01)

G 09 G 3/20 (2006.01)

G 02 F 1/133 (2006.01)

【F I】

G 09 G 3/36

G 09 G 3/20 6 4 1 E

G 09 G 3/20 6 1 1 D

G 09 G 3/20 6 4 2 A

G 09 G 3/20 6 2 3 C

G 09 G 3/20 6 4 1 P

G 09 G 3/20 6 2 4 B

G 02 F 1/133 5 5 0

G 02 F 1/133 5 7 5

【手続補正書】

【提出日】平成26年8月12日(2014.8.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置における各画素を駆動する駆動回路であって、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するとともに、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割部と、

互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づける補正を行う補正部と、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

を含む

駆動回路。

【請求項2】

前記補正部は、階調を維持した上で、一方の画素に対応する階調データのビット配列を、他方の画素に対応する階調データのビット配列に近づけた後、依然として双方のビット配列が異なっている部分がある場合には、階調の高い方の階調データを、階調がより高く

なるように補正する

請求項 1 に記載の駆動回路。

【請求項 3】

前記補正部は、フレームごとに、全画素に対応する階調データに対して、全画素共通の補正値を加算するとともに、補正値を周期的に変更する

請求項 1 または請求項 2 に記載の駆動回路。

【請求項 4】

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示領域と、

各画素を駆動する駆動回路と

を備え、

前記駆動回路は、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで 1 フレーム期間を分割するとともに、期間の相対的に長い 1 または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割部と、

互いに隣接する 2 つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づける補正を行う補正部と、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1 フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

を有する

表示装置。

【請求項 5】

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置の駆動方法であって、階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで 1 フレーム期間を分割するとともに、期間の相対的に長い 1 または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割ステップと、

互いに隣接する 2 つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づける補正を行う補正ステップと、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1 フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御ステップと

を含む

表示装置の駆動方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 9

【補正方法】変更

【補正の内容】

【0 0 3 9】

水平駆動回路 6 0 は、信号データ 3 0 A の高ビット側のサブフィールドを、信号データ 3 0 A の低ビット側のサブフィールドの期間と同じ期間の分割サブフィールドに分割するようになっている（図 8 の S 1 0 2）。水平駆動回路 6 0 は、信号データ 3 0 A として、5 ビットによって 3 2 階調が表現された階調データ（図 2 2 ( A ) 参照）が入力された場合、例えば、図 2 2 ( B ) に示したように、階調データの 4 ビット目および 5 ビット目に対応するサブフィールド S F 4 , S F 5 を、サブフィールド S F 4 よりも期間の相対的に短いサブフィールド S F 3 の期間と等しい期間に分割するようになっている。これにより

、サブフィールド S F 4 から、2つの分割サブフィールド S F 4 - 1 , S F 4 - 2 が生成され、サブフィールド S F 5 から、4つの分割サブフィールド S F 5 - 1 , S F 5 - 2 , S F 5 - 3 , S F 5 - 4 が生成される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 5

【補正方法】変更

【補正の内容】

【0 0 5 5】

< 2 . 変形例 >

[変形例1]

ところで、上述したように、階調を維持した上で、一方の画素 1 1 に対応する階調データのビット配列に対して、他方の画素 1 1 に対応する階調データのビット配列に近づける補正がなされた後、依然として位相が異なっている部分が残ることがある。図 18 ( A ) は、図 4 ( B ) を引き移したものであり、上述の補正後に依然として位相が異なっている部分を破線で囲んだものである。図 18 ( B ) は、図 7 ( B ) を引き移したものであり、上述の補正後に依然として位相が異なっている部分を破線で囲んだものである。図 18 ( A ) , ( B ) に示したように、位相が異なっている部分が残留している場合には、その残留量によっては、視認できる程度に液晶乱れが生じてしまうことがある。その場合には、必要に応じて、階調の高い方の階調データが、階調がより高くなるように補正される。例えば、図 18 ( C ) に示した例では、画素 B の方が画素 A よりも階調が高いので、画素 B に対応する階調データが、階調がより高くなるように補正される。これにより、液晶乱れが低減されるので、高い映像品質を得ることができる。

【手続補正4】

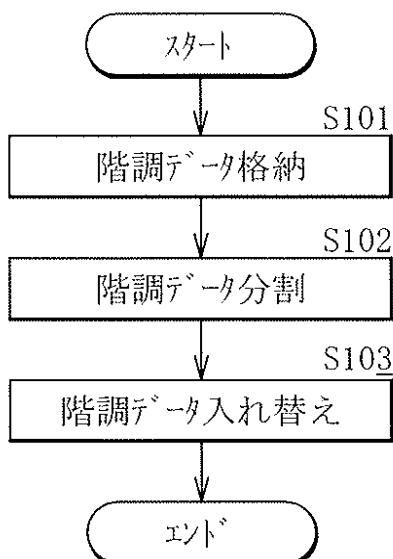
【補正対象書類名】図面

【補正対象項目名】図 8

【補正方法】変更

【補正の内容】

【図 8】



【手続補正5】

【補正対象書類名】図面

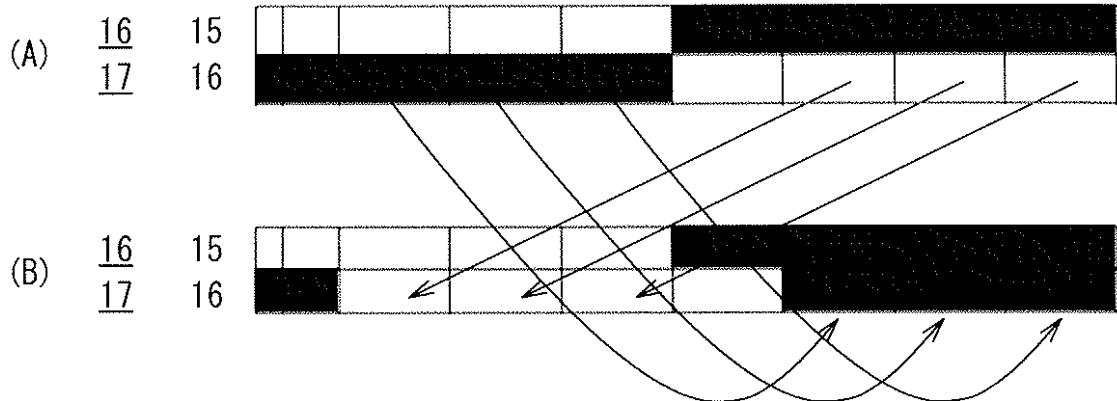
【補正対象項目名】図13

【補正方法】変更

【補正の内容】

【図13】

ライン 階調 SF1 SF2 SF3 SF4-1 SF4-2 SF5-1 SF5-2 SF5-3 SF5-4



【手続補正6】

【補正対象書類名】図面

【補正対象項目名】図14

【補正方法】変更

【補正の内容】

【図14】

ライン 階調 SF1 SF2 SF3 SF4-1 SF4-2 SF5-1 SF5-2 SF5-3 SF5-4

