



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년04월06일
(11) 등록번호 10-1846147
(24) 등록일자 2018년04월02일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1334 (2006.01)
- (21) 출원번호 10-2011-0046857
- (22) 출원일자 2011년05월18일
심사청구일자 2016년05월18일
- (65) 공개번호 10-2011-0128146
- (43) 공개일자 2011년11월28일
- (30) 우선권주장
JP-P-2010-116014 2010년05월20일 일본(JP)
- (56) 선행기술조사문헌
JP10333131 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
쿠보타 다이스케
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
야마시타 아키오
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
장훈

전체 청구항 수 : 총 9 항

심사관 : 김민수

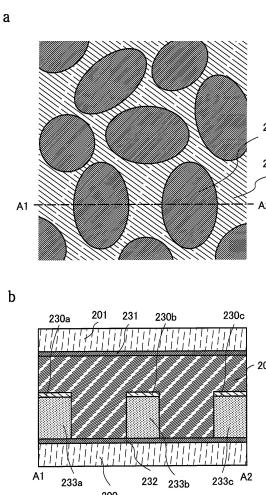
(54) 발명의 명칭 **액정 표시 장치**

(57) 요약

본 발명은 액정에 의한 광의 산란광을 이용하여 표시를 행하는 액정 표시 장치에 있어서, 더 저소비 전력화를 달성하는 것을 목적의 하나로 한다. 시인성이 더 양호하고 고화질의 액정 표시 장치를 제공하는 것을 목적의 하나로 한다.

고분자 분산형 액정(PDLC) 또는 고분자 네트워크형 액정(PNLC)을 액정층에 사용하여 액정에 의한 광의 산란광을 이용하여 백색 표시(밝은 표시)를 행한다. 제 1 공통 전극층과 제 2 공통 전극층으로 협지된 액정층 중앙에 화소 전극층을 배치함으로써, 제 1 공통 전극층, 액정층, 및 화소 전극층으로 이루어진 제 1 액정 소자와 화소 전극층, 액정층, 및 제 2 공통 전극층으로 이루어진 제 2 액정 소자라는 2개의 광학 소자를 적층하는 구조로 할 수 있다.

대 표 도 - 도1



(72) 발명자

후카이 슈지

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내

히라카타 요시하루

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

제 1 기판과;

제 2 기판과;

고분자 분산형 액정 재료를 포함하고, 상기 제 1 기판과 상기 제 2 기판 사이에 협진된 액정층과;

상기 제 1 기판과 상기 액정층 사이에 설치된 제 1 공통 전극층과;

투광성을 가지며 상기 제 2 기판과 상기 액정층 사이에 설치된 제 2 공통 전극층과;

개구를 갖고 상기 제 1 공통 전극층과 상기 액정층 사이에 적층되는 구조체 및 화소 전극층을 포함하고,

상기 액정층에서, 상기 화소 전극층은 상기 구조체에 의해 상기 제 1 공통 전극층과 상기 제 2 공통 전극층 사이에 배치되고,

상기 구조체는 절연성 재료를 포함하고,

상기 구조체는 역테이퍼 형상을 포함하고,

상기 화소 전극층과 접하는 상기 구조체의 영역은 상기 제 1 공통 전극층과 접하는 상기 구조체의 영역보다 넓은, 액정 표시 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 기판과;

제 2 기판과;

고분자 분산형 액정 재료를 포함하고, 상기 제 1 기판과 상기 제 2 기판 사이에 협진된 액정층과;

투광성을 가지며 상기 제 1 기판과 상기 액정층 사이에 설치된 제 1 공통 전극층과;

투광성을 가지며 상기 제 2 기판과 상기 액정층 사이에 설치된 제 2 공통 전극층과;

개구를 갖고 상기 제 1 공통 전극층과 상기 액정층 사이에 적층되는 구조체 및 화소 전극층과;

상기 제 1 기판과 상기 제 1 공통 전극층 사이에 설치된 착색층을 포함하고,

상기 액정층에서, 상기 화소 전극층은 상기 구조체에 의해 상기 제 1 공통 전극층과 상기 제 2 공통 전극층 사이에 배치되고,

상기 구조체는 절연성 재료를 포함하고,

상기 구조체는 역테이퍼 형상을 포함하고,

상기 화소 전극층과 접하는 상기 구조체의 영역은 상기 제 1 공통 전극층과 접하는 상기 구조체의 영역보다 넓

은, 액정 표시 장치.

청구항 6

제 5 항에 있어서,

상기 착색층은 흑색층인, 액정 표시 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

제 1 기판과;

상기 제 1 기판 위의 제 1 공통 전극층과;

상기 제 1 공통 전극층 위의 구조체와;

상기 구조체 위의 화소 전극층과;

상기 화소 전극층 위의 제 2 공통 전극층과;

상기 제 1 공통 전극층과 상기 제 2 공통 전극층 사이에 협지된 액정층과;

상기 제 2 공통 전극층 위의 제 2 기판을 포함하고,

상기 액정층은 고분자 분산형 액정 재료를 포함하고,

상기 구조체는 절연성 재료를 포함하고,

상기 구조체는 역테이퍼 형상을 포함하고,

상기 화소 전극층과 접하는 상기 구조체의 영역은 상기 제 1 공통 전극층과 접하는 상기 구조체의 영역보다 넓은, 액정 표시 장치.

청구항 11

제 10 항에 있어서,

상기 구조체 및 상기 화소 전극층은 개구를 포함하는, 액정 표시 장치.

청구항 12

제 10 항에 있어서,

상기 제 1 공통 전극층 및 상기 제 2 공통 전극층은 투광성을 갖는, 액정 표시 장치.

청구항 13

제 1 항, 제 5 항 및 제 10 항 중 어느 한 항에 있어서,

상기 화소 전극층은 반사성을 갖는, 액정 표시 장치.

청구항 14

제 1 항, 제 5 항 및 제 10 항 중 어느 한 항에 있어서,

상기 화소 전극층은 투광성을 갖는, 액정 표시 장치.

청구항 15

제 1 항, 제 5 항 및 제 10 항 중 어느 한 항에 있어서,

상기 제 1 기판과 상기 제 1 공통 전극층 사이의 트랜지스터를 더 포함하고,

상기 트랜지스터는 상기 화소 전극층에 전기적으로 접속되는, 액정 표시 장치.

발명의 설명

기술 분야

[0001]

본 발명은 액정 표시 장치 및 액정 표시 장치의 제작 방법에 관한 것이다.

배경 기술

[0002]

박형, 경량화를 도모한 표시 장치(소위 플랫 패널 디스플레이)에는 액정 소자를 갖는 액정 표시 장치, 자발광 소자를 갖는 발광 장치, 펠드 이미션 디스플레이(FED) 등이 경합하여 개발이 진행되고 있다.

[0003]

또한, 액정 표시 장치는 편광판이나 백 라이트 등 많은 광학 부재를 사용하기 때문에, 비용이나 소비 전력 등도 저감해야 한다는 과제가 있다.

[0004]

상술한 과제에 대한 대책으로서 편광판이나 백 라이트가 필요없는, 액정에 의한 광의 산란광을 이용하여 표시하는 고분자 분산형 액정을 사용하는 액정 표시 장치가 연구되어 있다(예를 들어 비특허 문헌 1 참조).

선행기술문헌

비특허문헌

[0005]

(비특허문헌 0001) M. Minoura 외, SID 06 DIGEST, p.769-772

발명의 내용

해결하려는 과제

[0006]

액정에 의한 광의 산란광을 이용하여 표시하는 액정 표시 장치에 있어서, 한층 더 저소비 전력화를 달성하는 것을 목적의 하나로 한다.

[0007]

시인성이 더 양호하고 고화질의 액정 표시 장치를 제공하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0008]

고분자 분산형 액정(PDLC(Polymer Dispersed Liquid Crystal), 고분자 분산 액정, 폴리머 분산형 액정이라고도 함) 또는 고분자 네트워크형 액정(PNLC(Polymer Network Liquid Crystal))을 액정층에 사용하고 액정에 의한 광의 산란광을 이용하여 백색 표시(밝은 표시)를 행한다. 액정층은 고분자 네트워크를 형성하는 고분자층 내에 액정립이 분산된 구성이 된다.

[0009]

같은 고정 전위가 인가된 제 1 공통 전극층과 제 2 공통 전극층을 액정층을 협지하도록 형성하고, 제 1 공통 전극층과 제 2 공통 전극층 사이의 액정층 내에 화소 전극층을 형성한다. 화소 전극층을 액정층의 중앙에 설치함으로써, 화소 전극층은 제 1 공통 전극층 및 제 2 공통 전극층 각각과 액정층을 개재하여 적층하는 구성이 된다.

[0010]

액정층에 있어서, 화소 전극층과 공통 전극층에 전압을 인가하지 않는 경우(오프 상태라고도 함)에는, 고분자층 내에 분산되는 액정립은 불규칙하게 배열되고 고분자의 굴절률과 액정 분자의 굴절률이 상이하기 때문에, 입사한 광은 액정립으로 산란되어 액정층은 불투명하고 백탁 상태가 된다. 따라서, 시인 측에서 확인할 수 있는 표시도 백색 표시가 된다.

- [0011] 한편, 화소 전극층과 공통 전극층에 전압을 인가한 경우(온 상태라고도 함)에는, 액정층에 전계가 형성되며, 액정립 내의 액정 분자는 전계 방향으로 배열되어 고분자의 굴절률과 액정 분자 단축의 굴절률이 거의 일치하기 때문에, 입사한 광은 액정립으로 산란되지 않고 액정층을 투과한다. 따라서, 액정층은 투광성이며 투명한 상태가 된다. 액정층이 투광성 상태가 된 경우에는 시인 측에서 확인할 수 있는 표시는 액정층 전후에 설치되는 재료에 의존한다. 그러므로 액정층의 건너편(시인 측과 반대편)에 흑색층 또는 착색층을 설치하면, 흑색층 또는 착색층을 시인할 수 있다. 이로써, 시인 측에서 확인할 수 있는 표시면에서, 상기 화소가 흑색을 표시하게 되어 흑색 표시(어두운 표시)를 행할 수 있다. 또한, 본 명세서에서, 착색(층)이란 흑백 이외의 다른 색을 나타내는 층으로 한다.
- [0012] 액정층을 개재하여 적층하는 화소 전극층과 제 1 공통 전극층과 제 2 공통 전극층의 거리는 화소 전극층, 제 1 공통 전극층 및 제 2 공통 전극층에 각각 소정의 전압을 인가했을 때, 화소 전극층과 제 1 공통 전극층 사이, 및 화소 전극층과 제 2 공통 전극층 사이에 개재하는 액정층의 액정이 응답하는 거리로 한다. 또한, 상기 거리에 따라 인가하는 전압을 적절히 제어한다.
- [0013] 구조체를 어느 한쪽의 공통 전극층(본 명세서에서는 소자 기판에 설치되는 제 1 공통 전극층으로 함) 위에 액정층으로 돌출하도록 설치하고, 상기 구조체 위에 화소 전극층을 설치함으로써 화소 전극층을 액정층 내에 배치할 수 있다. 또한, 액정층 내의 화소 전극층의 위치 및 형상은 구조체의 막 두께 및 형상을 선택함으로써 제어할 수 있다.
- [0014] 액정층에 더 균일한 전계를 형성하기 위해서, 화소 전극층은 액정층에서 제 1 공통 전극층 및 제 2 공통 전극층과 각각 같은 간격(거리)을 갖고 배치되는 것이 바람직하다. 따라서, 화소 전극층 아래에 형성되는 구조체의 막 두께는 액정층의 두께의 최대값(액정 표시 장치의 셀 갭이라고도 함)의 거의 반으로 하는 것이 바람직하다.
- [0015] 액정층을 협지하는 제 1 공통 전극층 및 제 2 공통 전극층은 평면 형상이며 평탄한(flat) 형상을 갖는다. 또한, 모든 화소에 공통 전압이 공급되는 제 1 공통 전극층 및 제 2 공통 전극층은 복수의 화소를 포함하는 화소 영역에 연속하는 평판 형상의 도전막으로서 형성할 수 있다.
- [0016] 한편, 화소 전극층 및 구조체는 평판 형상이 아니라 다양한 개구 패턴(슬릿)을 갖는 굴곡부나 갈라진 빗살 형상을 포함하는 형상이며, 화소 전극층 및 구조체에 형성된 개구에 액정층을 충전할 수 있다. 또한, 화소 전극층 및 구조체의 개구에서는 제 1 공통 전극층이 노출된다.
- [0017] 본 명세서의 액정 표시 장치에 있어서는, 액정층 내에 불규칙하게 배열되고 분산되는 액정립이 입사광을 산란함으로써 백색 표시를 행한다. 종이와 가까운 양호한 백색 표시를 행하기 위해서는, 강한 광산란 강도를 갖는 액정층으로 하는 것이 바람직하다. 액정층의 광산란 강도는 액정층 내에 분산되는 액정립에 대한 광의 충돌 횟수가 증가할수록 더 강하게 되기 때문에, 액정층의 막 두께를 두껍게 하여 액정층에 더 많은 액정립을 포함시킴으로써, 액정층으로 입사하는 광의 액정립에 대한 충돌 횟수를 증가시켜, 액정층에서의 광산란 강도를 높이는 것이 효과적이다.
- [0018] 그러나, 액정층의 막 두께를 두껍게 하면, 액정 분자를 응답시키고 상기 액정 소자를 구동시키기 위해서 더 높은 구동 전압이 필요하게 되어, 소비 전력이 증가되어 버린다. 또한, 액정층의 막 두께를 두껍게 한 액정 소자에서 구동 전압을 낮게 하면, 온 상태의 액정 소자에서 액정 분자의 응답이 충분하지 않게 되어 광 투과율이 저하되기 때문에, 액정 표시 장치의 콘트라스트가 저하되어 버린다.
- [0019] 제 1 공통 전극층과 제 2 공통 전극층으로 협지한 액정층 중앙에 화소 전극층을 배치함으로써, 제 1 공통 전극층, 액정층, 및 화소 전극층으로 이루어진 제 1 액정 소자와, 화소 전극층, 액정층, 및 제 2 공통 전극층으로 이루어진 제 2 액정 소자라는 2개의 광학 소자를 적층한 구조로 할 수 있다.
- [0020] 액정층에 있어서, 제 1 공통 전극층과 화소 전극층 사이에 개재되는 액정층은 제 1 공통 전극층과 화소 전극층 사이에 형성되는 전계로 제어되고, 화소 전극층과 제 2 공통 전극층 사이에 개재되는 액정층은 화소 전극층과 제 2 공통 전극층 사이에 형성되는 전계로 제어된다. 액정층은 제 1 액정 소자와 제 2 액정 소자를 적층함으로써 두껍게 할 수 있기 때문에, 높은 광산란 효과를 얻을 수 있고 양호한 백색 표시를 행할 수 있게 된다. 더구나, 상기 제 1 액정 소자와 상기 제 2 액정 소자는 회로로서는 병렬이기 때문에, 상기 제 1 액정 소자와 상기 제 2 액정 소자를 구동시키는 전압은 제 1 액정 소자 또는 제 2 액정 소자 중 어느 하나를 구동시키기 위한 전압과 마찬가지이다.
- [0021] 따라서, 더 양호한 백색 표시를 행하기 위해서 액정층의 막 두께를 두껍게 하여도 액정 소자의 구동 전압을 증

가시키지 않고 액정 분자를 응답시킬 수 있다. 따라서, 액정 표시 장치에서 콘트라스트비의 향상, 저소비 전력화를 달성할 수 있다.

[0022] 구조체는 절연성 재료(유기 재료 및 무기 재료)를 사용한 절연체로 형성할 수 있다. 대표적으로는 가시광 경화성, 자외선 경화성 또는 열경화성 수지를 사용하는 것이 바람직하다. 예를 들어 아크릴 수지, 에폭시 수지, 아민 수지 등을 사용할 수 있다. 또한, 구조체는 복수의 박막을 적층한 구조라도 좋다.

[0023] 구조체의 형상은 주상(柱狀), 정상부가 평면이고 단면이 사다리꼴형의 원뿔형 또는 피라미드형, 정상부가 등근동 형상의 원뿔형 또는 피라미드형 등을 사용할 수 있다. 본 명세서에 있어서, 구조체는 제 1 공통 전극층과 화소 전극층 사이에 설치되고, 제 1 공통 전극층과 화소 전극층을 절연하기 때문에, 제 1 공통 전극층과 화소 전극층이 접하기 어려운 형상으로 하는 것이 바람직하다. 예를 들어, 단면이 사다리꼴형의 형상이라도 제 1 공통 전극층과 접하는 저면(底面)보다 화소 전극층과 접하는 저면이 면적이 큰 역테이퍼 형상을 갖는 주상 구조체 등이 바람직하다.

[0024] 구조체는 가시광의 광에 대해서 투광성을 갖는 재료를 사용하면, 액정층이 투명한 상태가 된 경우에 구조체 아래(시인 측과 반대 측)에 설치하는 흑색층(또는 착색층)에 의한 표시를 방해하지 않는다. 또한, 구조체를 흑색이나 다른 색으로 착색된 재료에 의해 형성하고, 흑색층이나 착색층으로 하여도 좋다.

[0025] 또한, 구조체는 복수의 돌출한 볼록부를 갖는 연속막이라도 좋다.

[0026] 화소 전극층은 반사성을 갖는 도전층으로 형성하여도 좋고, 투광성을 갖는 도전층으로 형성하여도 좋다. 백색 표시를 행할 때 화소 전극층이 반사성을 가지면, 입사한 광이 산란되지 않고 액정층을 투과하더라도 화소 전극 층에 의해 액정층 측에 다시 반사되기 때문에, 액정층에서 효율 좋게 광이 산란되고 백색 표시의 시인성을 향상 시킬 수 있다. 한편, 화소 전극층이 투광성을 가지면, 액정층이 투명한 상태가 된 경우에 화소 전극층 아래(시인 측과 반대 측)에 설치하는 흑색층(또는 착색층)에 의한 표시를 방해하지 않는다.

[0027] 시인 측에 설치되는 제 2 공통 전극층은 투광성을 갖는 도전층으로 형성한다. 시인 측과 반대 측에 설치되는 제 1 공통 전극층은 투광성을 갖는 도전층으로 형성하여도 좋고, 흑색의 도전 재료를 사용하여 흑색을 나타내는 도전층으로 형성하고 흑색층으로서의 기능을 겸하게 하여도 좋다.

[0028] 착색층을 설치하는 위치는 액정층이 투광성이 된 경우에 시인할 수 있고 색표시할 수 있도록 배치하면 좋다. 바람직하게는 화소 전극층이나 제 1 공통 전극층 아래(시인 측과 반대 측)에 설치할 수 있다. 또한, 구조체나, 제 1 공통 전극층 아래에 설치되는 층간막이 착색층을 겸할 수도 있다.

[0029] 착색층으로서 흑색층을 설치하면, 흑백(모노크롬) 표시의 액정 표시 장치로 할 수 있다. 또한, 흑색층 대신에 적색층, 녹색층, 청색층 등 다른 컬러색의 착색층을 사용하면, 그 컬러색을 표시할 수 있다. 따라서, 착색층의 색을 복수 선택함으로써, 풀 컬러 표시의 액정 표시 장치로 할 수도 있다.

[0030] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 고분자 분산형 액정 재료를 포함하는 액정층을 협지하는 제 1 기판 및 제 2 기판과, 제 1 기판과 액정층 사이에 설치된 평판 형상의 제 1 공통 전극층과, 제 2 기판과 액정 층 사이에 설치된 평판 형상이며 투광성의 제 2 공통 전극층과, 제 1 공통 전극층과 액정층 사이에 적층되어 형성되는 개구를 갖는 구조체 및 화소 전극층을 갖고, 액정층에서 화소 전극층은 구조체에 의해 제 1 공통 전극층과 제 2 공통 전극층 사이에 배치되는 액정 표시 장치이다.

[0031] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는 고분자 분산형 액정 재료를 포함하는 액정층을 협지하는 제 1 기판 및 제 2 기판과, 제 1 기판과 액정층 사이에 형성된 평판 형상이며 투광성의 제 1 공통 전극층과, 제 2 기판과 액정층 사이에 설치된 평판 형상이며 투광성의 제 2 공통 전극층과, 제 1 공통 전극층과 액정층 사이에 적층되어 형성되는 개구를 갖는 구조체 및 화소 전극층과, 제 1 기판과 제 1 공통 전극층 사이에 설치된 착색층을 갖고, 액정층에서 화소 전극층은 구조체에 의해 제 1 공통 전극층과 제 2 공통 전극층 사이에 배치되는 액정 표시 장치이다.

발명의 효과

[0032] 제 1 공통 전극층과 제 2 공통 전극층으로 협지한 액정층 중앙에 화소 전극층을 배치함으로써, 제 1 공통 전극 층, 액정층, 및 화소 전극층으로 이루어진 제 1 액정 소자와, 화소 전극층, 액정층, 및 제 2 공통 전극층으로 이루어진 제 2 액정 소자라는 2개의 광학 소자를 적층하는 구조로 할 수 있다.

[0033] 따라서, 더 양호한 백색 표시를 행하기 위해서, 액정층의 막 두께를 두껍게 하더라도 액정 소자의 구동 전압을

증가시키지 않고 액정 분자를 응답시킬 수 있다. 따라서, 액정 표시 장치에서 콘트라스트비의 향상, 저소비 전력화를 달성할 수 있다.

[0034] 시인성이 더 양호하고 고화질의 액정 표시 장치를 제공할 수 있다.

도면의 간단한 설명

[0035] 도 1a 및 도 1b는 액정 표시 장치의 일 형태를 설명하는 도면.

도 2a 내지 도 2c는 액정 표시 장치의 일 형태를 설명하는 도면.

도 3은 액정 표시 장치의 일 형태를 설명하는 도면.

도 4a 및 도 4b는 액정 표시 장치의 일 형태를 설명하는 도면.

도 5a 내지 도 5c는 액정 표시 모듈의 일 형태를 설명하는 도면.

도 6은 액정 표시 모듈의 일 형태를 설명하는 도면.

도 7a 내지 도 7d는 액정 표시 장치에 적용할 수 있는 트랜지스터의 일 형태를 설명하는 도면.

도 8a 내지 도 8e는 액정 표시 장치에 적용할 수 있는 트랜지스터 및 트랜지스터의 제작 방법의 일 형태를 설명하는 도면.

도 9는 액정 표시 장치의 일 형태를 설명하는 도면.

도 10은 액정 표시 장치의 일 형태를 설명하는 도면.

도 11은 액정 표시 장치의 구동 방법의 일 형태를 설명하는 타이밍 차트.

도 12a 및 도 12b는 액정 표시 장치의 구동 방법의 일 형태를 설명하는 타이밍 차트.

도 13은 액정 표시 장치의 구동 방법의 일 형태를 설명하는 도면.

도 14a 및 도 14b는 전자 기기를 설명하는 도면.

도 15a 및 도 15b는 전자 기기를 설명하는 도면.

도 16a 내지 도 16d는 액정 표시 장치의 일 형태를 설명하는 도면.

도 17a 및 도 17b는 액정 표시 장치의 전계 모드의 계산 결과를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0036] 실시형태에 대해서, 도면을 사용하여 자세히 설명한다. 다만, 이하의 설명에 한정되지 않고, 축지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 이하에 제시하는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 이하에 설명하는 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일 부호를 상이한 도면간에서 공통으로 사용하고, 그 반복 설명은 생략한다.

[0037] 또한, '제 1', '제 2', '제 3' 등이라고 붙이는 서수사(序數詞)는 편의상 사용하는 것이며, 공정 순서 또는 적층 순서 등을 나타내는 것이 아니다. 또한, 본 명세서에 있어서, 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것이 아니다.

[0038] (실시형태 1)

[0039] 본 명세서에서 개시하는 발명의 구성의 일 형태인 액정 표시 장치를 도 1a 내지 도 3을 사용하여 설명한다. 도 1a는 액정 표시 장치의 평면도이며, 도 1b, 도 2a 내지 도 2c, 및 도 3은 도 1a에서의 선 A1-A2의 단면도에 대응한다. 또한, 도 1a의 평면도는 제 1 기판(200) 측을 도시한 것이며, 액정층(208), 제 2 공통 전극층(231), 제 2 기판(201)은 생략한다. 도 1a 내지 도 3에서 액정층(208)의 제 2 기판(201) 측이 시인 측이고, 제 1 기판(200) 측이 시인 측과 반대 측이다.

[0040] 도 1a 및 도 1b는 제 1 공통 전극층(232), 화소 전극층(230: 230a 내지 230c), 및 구조체(233: 233a 내지 233c)가 설치된 제 1 기판(200)과, 제 2 공통 전극층(231)이 설치된 제 2 기판(201)이 액정층(208)을 사이에 협

지하고 대향하도록 배치된 액정 표시 장치이다.

[0041] 또한, 도 1a의 평면도에서 도시하는 화소 전극층(230)은 개구 패턴을 갖는 형상이기 때문에, 도 1b 내지 도 3의 단면도에서는, 분단된 복수의 화소 전극층(230a 내지 230c)으로서 도시된다. 마찬가지로, 도 1a의 평면도에서 화소 전극층(230) 아래에 형성되는 구조체(233)(도 1a에는 도시하지 않음)도 개구 패턴을 갖는 형상이기 때문에, 도 1b 내지 도 3의 단면도에서는 분단된 복수의 구조체(233a 내지 233c)로서 도시된다. 이와 같이 본 명세서에 있어서, 개구 패턴을 갖는 화소 전극층 및 구조체는 평면도에서는 연속한 막으로 도시하지만, 평면도에서 개구를 획단하는 선의 단면도의 경우에는, 분단된 복수의 화소 전극층, 또는 복수의 구조체로서 도시하기로 한다.

[0042] 같은 고정 전위가 인가된 제 1 공통 전극층(232)과 제 2 공통 전극층(231)을 사이에 협지하도록 설치하고, 제 1 공통 전극층(232) 및 제 2 공통 전극층(231) 사이의 액정층(208) 내에 화소 전극층(230a 내지 230c)이 설치된다. 화소 전극층(230a 내지 230c)을 액정층(208)의 중앙에 설치함으로써, 화소 전극층(230a 내지 230c)은 제 1 공통 전극층(232) 및 제 2 공통 전극층(231) 각각과 액정층(208)을 사이에 두고 적층되는 구성이 된다.

[0043] 액정층(208)을 협지하는 제 1 공통 전극층(232) 및 제 2 공통 전극층(231)은 평면 형상이며 평탄한(flat) 형상을 갖는다. 또한, 모든 화소에 공통의 전압이 공급되는 제 1 공통 전극층(232) 및 제 2 공통 전극층(231)은 복수의 화소를 포함하는 화소 영역에 연속하는 평판 형상의 도전막으로서 형성할 수 있다.

[0044] 한편, 화소 전극층(230) 및 구조체(233)는 평판 형상이 아니라 다양한 개구 패턴(슬릿)을 갖는 굴곡부나 갈라진 빗살 형상을 포함하는 형상이며, 화소 전극층(230) 및 구조체(233)에 형성된 개구에 액정층(208)을 충전할 수 있다. 또한, 화소 전극층(230) 및 구조체(233)의 개구에서는 제 1 공통 전극층(232)이 노출된다.

[0045] 제 1 공통 전극층(232)(제 2 공통 전극층(231)도 마찬가지임) 및 화소 전극층(230)의 예를 도 16a 내지 도 16d에 도시한다. 도 16a 내지 도 16d에 도시하는 바와 같이 제 1 공통 전극층(232d 내지 232g)과 화소 전극층(230d 내지 230g)은 겹치도록 배치되고, 제 1 공통 전극층(232d 내지 232g)과 화소 전극층(230d 내지 230g) 사이에는 구조체가 형성된다.

[0046] 도 16a 내지 도 16d의 상면도에 도시하는 바와 같이, 제 1 공통 전극층(232d 내지 232g) 위에 다양한 패턴으로 가공된 화소 전극층(230d 내지 230g)이 형성되며, 도 16a에서는 제 1 공통 전극층(232d) 위의 화소 전극층(230d)은 굴곡된 '〈' 모양이고, 도 16b에서는 제 1 공통 전극층(232e) 위의 화소 전극층(230e)은 동심원 형상이고, 도 16c에서는 제 1 공통 전극층(232f) 위의 화소 전극층(230f)은 빗살 형상이며 전극들이 맞물리는 형상이고, 도 16d에서는 제 1 공통 전극층(232g) 위의 화소 전극층(230g)은 빗살 형상이다. 또한, 도시하지 않지만, 제 1 공통 전극층(232d 내지 232g)과 대향하는 제 2 공통 전극층(231d 내지 231g)은 제 1 공통 전극층(232d 내지 232g)과 같은 평판 형상의 도전층이다.

[0047] 액정층(208)으로서 고분자 분산형 액정(PDLC(Polymer Dispersed Liquid Crystal), 고분자 분산 액정, 폴리머 분산형 액정이라고도 함) 또는 고분자 네트워크형 액정(PNLC(Polymer Network Liquid Crystal))을 사용하여 액정에 의한 광의 산란광을 이용하여 백색 표시(밝은 표시)를 행한다. 액정층(208)은 고분자 네트워크를 형성하는 고분자층 내에 액정립이 분산된 구성이 된다.

[0048] 고분자 분산형 액정의 동작 원리를 설명한다. 액정층(208)에 있어서, 화소 전극층(230a 내지 230c)과 제 1 공통 전극층(232), 제 2 공통 전극층(231)에 전압을 인가하지 않는 경우(오프 상태라고도 함)에는, 고분자층 내에 분산되는 액정립은 불규칙하게 배열되고 고분자의 굴절률과 액정 분자의 굴절률이 상이하기 때문에, 입사한 광은 액정립으로 산란되어 액정층(208)은 불투명하고 백탁 상태가 된다. 따라서, 시인 측에서 확인할 수 있는 표시도 백색 표시가 된다.

[0049] 한편, 화소 전극층(230a 내지 230c)과 제 1 공통 전극층(232), 제 2 공통 전극층(231)에 전압을 인가한 경우(온 상태라고도 함)에는, 액정층(208)에 전계가 형성되며, 액정립 내의 액정 분자는 전계 방향으로 배열되고 고분자의 굴절률과 액정 분자 단축의 굴절률이 거의 일치하기 때문에, 입사한 광은 액정립으로 산란되지 않고 액정층(208)을 투과한다. 따라서, 액정층(208)은 투광성이며 투명한 상태가 된다.

[0050] 액정층(208)을 개재하여 적층하는 화소 전극층(230)과 제 1 공통 전극층(232)과 제 2 공통 전극층(231)의 거리는 화소 전극층(230), 제 1 공통 전극층(232) 및 제 2 공통 전극층(231)에 각각 소정의 전압을 인가했을 때, 화소 전극층(230)과 제 1 공통 전극층(232) 사이, 및 화소 전극층(230)과 제 2 공통 전극층(231) 사이에 개재되는

액정층(208)의 액정이 응답하는 거리로 한다. 또한, 상기 거리에 따라 인가하는 전압을 적절히 제어한다.

[0051] 구조체(233)를 어느 한쪽의 공통 전극층(본 실시형태에서는 제 1 기판(200)에 설치되는 제 1 공통 전극층(232)으로 함) 위에 액정층(208)으로 돌출하도록 설치하고, 상기 구조체(233) 위에 화소 전극층(230)을 설치함으로써 화소 전극층(230)을 액정층(208) 내에 배치할 수 있다. 또한, 액정층(208) 내의 화소 전극층(230)의 위치 및 형상은 구조체(233)의 막 두께 및 형상을 선택함으로써 제어할 수 있다.

[0052] 액정층(208)에 더 균일한 전계를 형성하기 위해서, 화소 전극층(230)은 액정층에서 제 1 공통 전극층(232) 및 제 2 공통 전극층(231)과 각각 같은 간격(거리)을 갖고 배치되는 것이 바람직하다. 따라서, 화소 전극층(230) 아래에 형성되는 구조체(233)의 막 두께는 액정층(208)의 두께의 최대값(액정 표시 장치의 셀 캡이라고도 함)의 거의 반으로 하는 것이 바람직하다.

[0053] 본 명세서에서 개시하는 발명의 구성의 일 형태의 액정 표시 장치에 있어서는, 액정층(208) 내에 불규칙하게 배열되고 분산되는 액정립이 입사광을 산란함으로써 백색 표시를 행한다. 종이와 가까운 양호한 백색 표시를 행하기 위해서는, 강한 광산란 강도를 갖는 액정층(208)으로 하는 것이 바람직하다. 액정층(208)의 광산란 강도는 액정층 내에 분산되는 액정립에 대한 광의 충돌 횟수가 증가할수록 더 강하게 되기 때문에, 액정층(208)의 막 두께를 두껍게 하여 액정층(208)에 더 많은 액정립을 포함시킴으로써, 액정층(208)으로 입사하는 광의 액정립에 대한 충돌 횟수를 증가시켜, 액정층(208)에서의 광산란 강도를 높이는 것이 효과적이다.

[0054] 그러나, 액정층(208)의 막 두께를 두껍게 하면, 액정 분자를 응답시키고 상기 액정 소자를 구동시키기 위해서 더 높은 구동 전압이 필요하게 되어, 소비 전력이 증가되어 버린다. 또한, 액정층(208)의 막 두께를 두껍게 한 액정 소자에서 구동 전압을 낮게 하면, 온 상태의 액정 소자에서 액정 분자의 응답이 충분하지 않게 되어 광 투과율이 저하되기 때문에, 액정 표시 장치의 콘트라스트가 저하되어 버린다.

[0055] 제 1 공통 전극층(232)과 제 2 공통 전극층(231)으로 협지한 액정층(208) 중앙에 화소 전극층(230)을 배치함으로써, 제 1 공통 전극층(232), 액정층(208), 및 화소 전극층(230)으로 이루어진 제 1 액정 소자와, 화소 전극층(230), 액정층(208), 및 제 2 공통 전극층(231)으로 이루어진 제 2 액정 소자라는 2개의 광학 소자를 적층하는 구조로 할 수 있다.

[0056] 액정 표시 장치에서의 전계의 인가 상태를 계산한 결과를 도 17b에 도시한다. 계산은 SHINTECH, Inc. 제작, LCD MASTER, 2s Bench를 사용하여 행하였다.

[0057] 도 17a는 계산한 액정 표시 장치의 구성을 도시하는 도면이다. 도 17a는 도 1b의 구조에 대응한다. 구조체(233a 내지 233c)로서는 유전율 4인 절연체를 사용하여 단면 폭은 $5\mu\text{m}$ 로 하였다. 구조체(233a 내지 233c)의 막 두께(높이)는 $10\mu\text{m}$ 이다. 또한, 여기서 말하는 구조체(233a 내지 233c)의 막 두께(높이)란 저면(제 1 기판(200))으로부터의 최대값이다.

[0058] 도 17a 및 도 17b에 있어서, 제 1 기판(200) 위에 형성된 제 1 공통 전극층(232)과, 제 2 기판(201) 위에 형성된 제 2 공통 전극층(231)이 액정층(208)을 협지하여 배치된다. 또한, 제 1 공통 전극층(232) 위에 구조체(233a 내지 233c) 및 화소 전극층(230a 내지 230c)이 적층된다. 화소 전극층(230a 내지 230c), 제 1 공통 전극층(232), 제 2 공통 전극층(231)의 막 두께는 $0.5\mu\text{m}$ 이다. 셀 캡(액정층의 최대 막 두께)에 상당하는 제 1 기판(200)으로부터 제 2 기판(201)까지의 거리는 $20\mu\text{m}$ 이다.

[0059] 도 17a의 구조에 대해서, 제 1 공통 전극층(232), 제 2 공통 전극층(231)을 0V, 화소 전극층(230a 내지 230c)은 10V로 설정하여 계산한 계산 결과를 도 17b에 도시한다.

[0060] 도 17b에 있어서, 실선은 등전위선을 나타내고, 등전위선은 제 1 공통 전극층(232)과 화소 전극층(230a 내지 230c) 사이, 화소 전극층(230a 내지 230c)과 제 2 공통 전극층(231) 사이에 제 1 기판(200) 및 제 2 기판(201) 표면과 평행하게 형성된다.

[0061] 전계는 등전위선에 수직의 방향으로 발현되기 때문에, 도 17b에 도시하는 바와 같이 액정층(208) 내에 제 1 기판(200) 및 제 2 기판(201)에 수직의 방향(세로 방향)의 전계가 인가되는 것을 확인할 수 있다.

[0062] 따라서, 액정층(208)에 있어서, 제 1 공통 전극층(232)과 화소 전극층(230) 사이에 개재되는 액정층(208)은 제 1 공통 전극층(232)과 화소 전극층(230) 사이에 형성되는 전계로 제어되고, 화소 전극층(230)과 제 2 공통 전극층(231) 사이에 개재되는 액정층(208)은 화소 전극층(230)과 제 2 공통 전극층(231) 사이에 형성되는 전계로 제어된다. 액정층(208)은 제 1 액정 소자와 제 2 액정 소자를 적층함으로써 두껍게 할 수 있기 때문에, 높은 광산란 효과를 얻을 수 있고 양호한 백색 표시를 행할 수 있게 된다. 더구나, 상기 제 1 액정 소자와 상기 제 2

액정 소자는 회로로서는 병렬이기 때문에, 상기 제 1 액정 소자와 상기 제 2 액정 소자를 구동시키는 전압은 제 1 액정 소자 또는 제 2 액정 소자 중 어느 하나를 구동시키기 위한 전압과 마찬가지이다.

[0063] 따라서, 더 양호한 백색 표시를 행하기 위해서 액정층(208)의 막 두께를 두껍게 하더라도 액정 소자의 구동 전압을 증가시키지 않고 액정 분자를 응답시킬 수 있다. 따라서, 액정 표시 장치에서 콘트라스트비의 향상, 저소비 전력화를 달성할 수 있다.

[0064] 액정층(208)으로서 사용할 수 있는 고분자 분산형 액정은 액정을 고분자 내에 분산시킨 층을 액정층으로서 사용하는 액정 방식이다. 액정은 그 직경이 약 $0.1\text{ }\mu\text{m}$ 이상 $20\text{ }\mu\text{m}$ 이하(대표적으로는 $1\text{ }\mu\text{m}$ 정도)의 미소립(微小粒)이다. 또한, 구동 방법으로서는 PDLC(Polymer Dispersed Liquid Crystal) 모드를 사용한다.

[0065] 또한, 고분자 네트워크형 액정(PNLC(Polymer Network Liquid Crystal))을 사용하여도 좋다. 고분자 네트워크형 액정 모드는 고분자 네트워크 내에 액정이 연속적으로 배치된 층을 액정층으로서 사용하는 액정 방식이다.

[0066] 액정층(208)은 고분자 네트워크를 형성하는 고분자층 내에 액정립이 분산된 구성이 되며, 액정립으로서는 네마틱 액정을 사용할 수 있다.

[0067] 또한, 고분자층(폴리머층)으로서는 광경화 수지를 사용할 수 있다. 광경화 수지는 아크릴레이트, 메타크릴레이트 등의 단관능 단위체라도 좋고, 디아크릴레이트, 트리아크릴레이트, 디메타크릴레이트, 트리메타크릴레이트 등의 다관능 단위체라도 좋고, 이들을 혼합시킨 것이라도 좋다. 또한, 액정성인 것이라도 비액정성인 것이라도 좋고, 이들을 혼합시켜도 좋다. 광경화 수지는, 사용하는 광중합 개시제가 반응하는 파장의 광으로 경화하는 수지를 선택하면 좋고, 대표적으로는 자외선 경화 수지를 사용할 수 있다.

[0068] 예를 들어, 액정층(208)은 네마틱 액정을 사용한 액정립, 광경화 수지를 사용한 고분자층, 및 광중합 개시제를 포함하는 액정 재료에 광경화 수지 및 광중합 개시제가 반응하는 파장의 광을 조사하여 경화시켜 형성할 수 있다.

[0069] 광중합 개시제는 광을 조사함으로써 라디칼을 발생시키는 라디칼 중합 개시제라도 좋고, 산(酸)을 발생시키는 산 발생제라도 좋고, 염기를 발생시키는 염기 발생제라도 좋다.

[0070] 액정층(208)을 형성하는 방법으로서 디스펜서법(적하법)이나 제 1 기판(200)과 제 2 기판(201)을 부착하고 나서 모세관 현상을 이용하여 액정을 주입하는 주입법을 사용할 수 있다.

[0071] 액정층(208)의 두께인 셀 갭은 $5\text{ }\mu\text{m}$ 이상 $30\text{ }\mu\text{m}$ 이하(바람직하게는 $10\text{ }\mu\text{m}$ 이상 $20\text{ }\mu\text{m}$ 이하)로 하면 좋다. 또한, 본 명세서에서는 셀 갭의 두께란 액정층의 두께(막 두께)의 최대값으로 한다.

[0072] 구조체(233)는 절연성 재료(유기 재료 및 무기 재료)를 사용한 절연체로 형성할 수 있다. 대표적으로는 가시광 경화성, 자외선 경화성 또는 열경화성 수지를 사용하는 것이 바람직하다. 예를 들어, 아크릴 수지, 에폭시 수지, 아민 수지 등을 사용할 수 있다. 또한, 구조체(233)는 복수의 박막을 적층한 구조라도 좋다.

[0073] 구조체(233)의 형상은 주상, 정상부가 평면이고 단면이 사다리꼴형의 원뿔형 또는 피라미드형, 정상부가 둥근 돔 형상의 원뿔형 또는 피라미드형 등을 사용할 수 있다. 본 명세서에 있어서, 구조체는 제 1 공통 전극층(232)과 화소 전극층(230) 사이에 설치되고, 제 1 공통 전극층(232)과 화소 전극층(230)을 절연하기 때문에, 제 1 공통 전극층(232)과 화소 전극층(230)이 접하기 어려운 형상으로 하는 것이 바람직하다.

[0074] 예를 들어, 도 3에 도시하는 바와 같이, 단면이 대략 사다리꼴형의 형상이라도 제 1 공통 전극층(232)과 접하는 저면보다 화소 전극층(230)과 접하는 저면이 면적이 큰 역테이퍼 형상을 갖는 주상 구조체(238a 내지 238c) 등이 바람직하다. 도 3에 도시하는 바와 같은 역테이퍼 형상을 갖는 주상 구조체(238a 내지 238c)라면, 주상 구조체(238a 내지 238c)의 개구에 충전되는 액정 영역을 넓게 할 수 있기 때문에, 개구에서 더 많은 액정 분자를 응답시킬 수 있다.

[0075] 구조체의 형성 방법은 특별히 한정되지 않고, 재료에 따라 증착법, 스퍼터링법, CVD법 등의 건식법, 또는 스판 코팅법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯법), 나노 임프린팅법, 각종 인쇄법(스크린 인쇄법, 오프셋 인쇄법) 등의 습식법을 사용하여, 필요에 따라 에칭법(드라이 에칭 또는 웨트 에칭)에 의해, 원하는 패턴으로 가공하면 좋다. 예를 들어 감광성 유기 수지에 포토리소그래피 공정을 행하여 구조체를 형성할 수 있다.

[0076] 또한, 구조체는 복수의 돌출된 볼록부를 갖는 연속막이라도 좋고, 평탄한 층간막 위에 리브(rib) 형상의 볼록부를 배열함으로써 요철을 형성하여도 좋다.

- [0077] 또한, 구조체 위에 형성되는 화소 전극층의 형상은 상기 구조체의 형상이 반영되고, 또 에칭 가공 방법에도 영향을 받는다.
- [0078] 구조체는 절연막 등의 막을 형성하고, 선택적으로 에칭 가공을 행함으로써 형성하면 좋다. 예를 들어, 감광성 유기 수지에 포토리소그래피 공정을 행하여 구조체를 형성할 수 있다.
- [0079] 구조체는 가시광의 광에 대해서 투광성을 갖는 재료를 사용하면, 액정층이 투명한 상태가 된 경우에 구조체 아래(시인 측과 반대 측)에 설치하는 흑색층(또는 착색층)에 의한 표시를 방해하지 않는다. 또한, 구조체를 흑색이나 다른 색으로 착색된 재료에 의해 형성하고, 흑색층이나 착색층으로 하여도 좋다.
- [0080] 액정층(208)이 투광성(투명한 상태)이 된 경우에는 시인 측으로부터 확인할 수 있는 표시는 액정층(208)의 전후에 형성되는 재료에 의존한다. 따라서, 액정층(208)의 건너편(시인 측과 반대 측)에 흑색층(또는 흑백 이외의 다른 색의 착색층)을 설치하면, 흑색층(또는 착색층)을 시인할 수 있다. 따라서, 시인 측에서 확인할 수 있는 표시면에 있어서, 상기 화소는 흑색(또는 착색층의 색)을 표시하게 되어 흑색 표시(또는 착색층의 색 표시)(어두운 표시)를 행할 수 있다.
- [0081] 화소 전극층(230)은 반사성을 갖는 도전층으로 형성하여도 좋고, 투광성을 갖는 도전층으로 형성하여도 좋다. 백색 표시를 행할 때 화소 전극층(230)이 반사성을 가지면, 입사한 광이 산란되지 않고 액정층(208)을 투과하더라도 화소 전극층(230)에 의해 액정층(208) 측에 다시 반사되기 때문에, 액정층(208)에서 효율 좋게 광이 산란되고 백색 표시의 시인성을 향상시킬 수 있다. 한편, 화소 전극층(230)이 투광성을 가지면, 액정층(208)이 투명한 상태가 된 경우에 화소 전극층(230) 아래(시인 측과 반대 측)에 설치하는 흑색층(또는 착색층)에 의한 표시를 방해하지 않는다.
- [0082] 액정층(208)의 시인 측에 설치하는 제 2 공통 전극층(231)은 투광성을 갖는 도전성 재료를 사용한다.
- [0083] 제 1 공통 전극층(232)은 반사성을 갖는 도전층으로 형성하여도 좋고, 투광성을 갖는 도전층으로 형성하여도 좋다. 백색 표시를 행할 때, 제 1 공통 전극층(232)이 반사성을 가지면, 입사한 광이 산란되지 않고 액정층(208)을 투과하더라도 제 1 공통 전극층(232)에 의해 액정층(208) 측에 다시 반사되기 때문에, 액정층(208)에서 효율 좋게 광이 산란되어 백색 표시의 시인성을 향상시킬 수 있다. 한편, 제 1 공통 전극층(232)이 투광성을 가지면, 액정층(208)이 투명한 상태가 된 경우에 제 1 공통 전극층(232) 아래(시인 측과 반대 측)에 형성하는 흑색층(또는 착색층)이나 착색된 기판에 의한 표시를 방해하지 않는 구성으로 할 수 있다.
- [0084] 도 2a 내지 도 2c에 흑색을 나타내는 막을 설치한 액정 표시 장치의 예를 도시한다. 도 2a는 제 1 기판(200)과 투광성의 제 1 공통 전극층(232) 사이에 흑색층(235)을 설치하는 예이다. 온 상태에서 액정층(208)이 투광성(투명한 상태)이 된 경우, 제 2 기판(201) 측으로부터 액정층(208) 및 제 1 공통 전극층(232)을 투과하여 흑색층(235)을 시인할 수 있기 때문에, 시인 측에서 확인할 수 있는 표시면에서는 흑색 표시가 된다.
- [0085] 또한, 액정 표시 장치에 포함되는 구조체, 전극층, 기판 등을 흑색(또는 흑백 이외의 다른 색의 착색층)으로 하여 흑색(또는 흑백 이외의 다른 색) 표시를 행하여도 좋다. 도 2b는 구조체(236a 내지 236c)를 흑색을 나타내는 재료로 형성하고, 흑색을 나타내는 구조체(236a 내지 236c)로 하는 예이다. 온 상태에서 액정층(208)이 투광성(투명한 상태)이 된 경우, 제 2 기판(201) 측으로부터 액정층(208) 및 화소 전극층(230a 내지 230c)을 투과하고 흑색을 나타내는 구조체(236a 내지 236c)를 시인할 수 있기 때문에, 시인 측에서 확인할 수 있는 표시면에서는 흑색 표시가 된다. 시인 가능한 흑색(착색) 영역의 위치나 면적은 흑색을 나타내는 구조체(236a 내지 236c)의 형상이나 배치에 의해 제어할 수 있다. 흑색을 나타내는 구조체(236a 내지 236c)는 액정층(208)을 투과할 때 흑색 표시가 되기 때문에, 화소 내에서 그 위치나 면적을 제어함으로써 흑색 표시시의 화상을 조절할 수 있다.
- [0086] 흑색층(235), 흑색을 나타내는 구조체(236a 내지 236c)는, 예를 들어 흑색 유기 수지를 사용할 수 있고, 감광성 또는 비감광성 폴리이미드 등의 수지 재료에 암료계 흑색 수지나 카본 블랙, 티타늄 블랙 등을 혼합시켜 형성하면 좋다. 또한, 흑색층(235)으로서 광을 흡수하는 차광성 금속막을 사용할 수도 있고, 예를 들어 크롬 등을 사용하면 좋다.
- [0087] 흑색층(235), 흑색을 나타내는 구조체(236a 내지 236c)의 형성 방법은 특별히 한정되지 않고, 재료에 따라 증착법, 스퍼터링법, CVD법 등의 전식법, 또는 스픬 코팅법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯, 스크린 인쇄법, 오프셋 인쇄법) 등의 습식법을 사용하여, 필요에 따라 에칭법(드라이 에칭 또는 웨트 에칭)에 의해, 원하는 패턴으로 가공하면 좋다.

- [0088] 도 2a 및 도 2b에 도시하는 액정 표시 장치는 흑색층을 설치하기 때문에 흑색 표시를 행하는 흑백(모노크롬) 표시의 액정 표시 장치이지만, 흑색층 대신에 적색층, 녹색층, 청색층 등 다른 컬러색을 사용하면, 그 컬러색을 표시할 수 있다. 액정층(208)에 전계가 형성되고 액정층(208)이 투광성이 되었을 때, 시인할 수 있는 위치에, 예를 들어 흑색층, 적색층, 녹색층, 및 청색층을 설치하면, 컬러 표시를 행하는 액정 표시 장치로 할 수 있다. 착색층으로서는 적색, 녹색, 청색 등 외에, 시안(cyan), 마젠타(magenta), 옐로우(yellow)(황색) 등을 사용하여도 좋다.
- [0089] 또한, 도 2c는 흑색층을 설치하지 않고, 흑색의 도전성 재료에 의해 형성된 흑색을 나타내는 제 1 공통 전극층(237)을 사용하는 예이다. 제 1 공통 전극층(237)은 투과율이 낮은 재료를 사용하면 좋고, 예를 들어 크롬 등을 사용하여 형성할 수 있다. 도 2c에서도 액정층(208)에 전계가 형성되고 액정층(208)이 투광성이 되었을 때, 흑색의 제 1 공통 전극층(237)을 시인할 수 있기 때문에, 흑색 표시를 행할 수 있다. 또한, 화소 전극층(230a 내지 230c)을 흑색 도전 재료를 사용하여 흑색을 나타내는 전극으로 하여도 좋다.
- [0090] 물론 구조체 및 흑색층(착색층)의 배치 및 형상은 본 실시형태에 한정되지 않고, 적절히 설정하면 좋다. 또한, 흑색층(착색층)의 색 표시를 액정층이 투광성이 되었을 때, 시인할 수 있도록 흑색층(착색층)은 시인 측으로부터 액정층보다 뒤쪽에 배치하고, 또 액정층과 흑색층(착색층) 사이에 설치되는 구성 부재(박막)는 적어도 일부에 투광성을 가질 필요가 있다.
- [0091] 화소 전극층(230) 또는 제 1 공통 전극층(232)으로서 반사성을 갖는 도전성 재료를 사용하는 경우, 예를 들어 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 그 금속 질화물 중 하나 또는 복수 종류를 사용하여 형성할 수 있다.
- [0092] 화소 전극층(230), 제 1 공통 전극층(232)으로서 투광성을 갖는 도전성 재료를 사용하는 경우, 및 제 2 공통 전극층(231)은, 예를 들어 인듐 주석 산화물(ITO), 산화인듐에 산화아연(ZnO)을 혼합한 IZO(Indium Zinc Oxide), 산화인듐에 산화실리콘(SiO₂)을 혼합한 도전성 재료, 유기 인듐, 유기 주석, 산화텅스텐을 함유하는 인듐 산화물, 산화텅스텐을 함유하는 인듐 아연 산화물, 산화티타늄을 함유하는 인듐 산화물, 산화티타늄을 함유하는 인듐 주석 산화물 등을 사용하여 형성할 수 있다.
- [0093] 제 1 기판(200), 제 2 기판(201)에는 바륨 보로실리케이트 유리나 알루미노 보로실리케이트 유리 등의 유리 기판, 석영 기판, 플라스틱 기판 등을 사용할 수 있다.
- [0094] 상술한 바와 같이 하여, 액정 표시 장치에 있어서, 콘트라스트비의 향상, 저소비 전력화를 달성할 수 있다.
- [0095] 시인성이 더 양호하고 고화질의 액정 표시 장치를 제공할 수 있다.
- [0096] 또한, 고분자 분산형 액정은 미리 액정을 배향시키지 않고 또 입사한 광에 편광을 행하지 않기 때문에, 배향막 및 편광판을 설치하지 않아도 좋다.
- [0097] 따라서, 고분자 분산형 액정을 사용한 액정 표시 장치는 배향막 및 편광판을 설치하지 않기 때문에, 배향막 및 편광판에 의한 광의 흡수가 없고, 더 고화도의 밝은 표시 화면으로 할 수 있다. 따라서, 광의 이용 효율이 좋기 때문에, 저소비 전력화에도 기여한다. 배향막 및 편광판에 관련한 공정이나 비용을 삐감할 수 있기 때문에, 더 높은 스루풋, 저비용을 실현할 수 있다. 또한, 배향막을 설치하지 않기 때문에, 러빙 처리도 필요없게 되고 러빙 처리로 인한 정전 파괴를 방지할 수 있어서, 제작 공정시의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서, 액정 표시 장치를 고수율로 제작할 수 있고 생산성을 향상시킬 수 있다. 특히, 트랜지스터는 정전기의 영향에 의해 트랜지스터의 전기적 특성이 현저히 변동하여 설계 범위를 벗어날 우려가 있다. 따라서, 트랜지스터를 갖는 액정 표시 장치에 고분자 분산형 액정 재료를 사용하는 것은 더 효과적이다.
- [0098] (실시형태 2)
- [0099] 본 명세서에 개시하는 발명을 적용한 액티브 매트릭스형 액정 표시 장치의 예를 도 4a 및 도 4b를 사용하여 설명한다.
- [0100] 도 4a는 액정 표시 장치의 평면도이며 하나의 화소를 도시한다. 도 4b는 도 4a의 선 X1-X2에서의 단면도이다.
- [0101] 도 4a에 있어서, 복수의 소스 배선층(소스 전극층(405a)을 포함함)이 서로 평행(도면에서는 상하 방향으로 연장)하며 서로 이격한 상태로 배치된다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은 소스 배선층에 대략 직교하는 방향(도면에서는 좌우 방향)으로 연장하며 서로 이격하도록 배치된다. 용량 배선층(408)은

복수의 게이트 배선층 각각에 인접한 위치에 배치되고, 게이트 배선층에 대략 평행한 방향, 즉 소스 배선층에 대략 직교하는 방향(도면에서는 좌우 방향)으로 연장한다. 소스 배선층과 게이트 배선층이 대략 직사각형의 공간을 둘러싸지만, 이 공간에 액정 표시 장치의 제 1 공통 전극층인 제 2 전극층(449), 구조체(445), 화소 전극 층인 제 1 전극층(447)이 배치되고, 액정층(444)을 개재하여 제 2 공통 전극층인 제 3 전극층(448)이 배치된다. 화소 전극층을 구동하는 트랜지스터(460)는 도면의 왼쪽 위 모서리에 배치된다. 화소 전극층 및 트랜지스터는 매트릭스 형상으로 복수 배치된다.

[0102] 또한, 도 4a의 평면도는 소자 기판인 제 1 기판(441) 측을 도시한 것이며 액정층(444), 제 3 전극층(448), 제 2 기판(442)은 생략한다.

[0103] 도 4a 및 도 4b의 액정 표시 장치에 있어서, 트랜지스터(460)와 전기적으로 접속되는 제 1 전극층(447)이 화소 전극층으로서 기능하고, 제 2 전극층(449)이 제 1 공통 전극층으로서 기능하고, 제 3 전극층(448)이 제 2 공통 전극층으로서 기능한다. 또한, 제 1 전극층(447), 제 2 전극층(449), 및 용량 배선층(408)에 의해 용량이 형성된다.

[0104] 화소 전극층(제 1 전극층(447))에는 트랜지스터(460)의 반도체층과 전기적으로 접속되는 드레인 전극층(405b) 및 배선층(446)을 통하여 화상 신호의 전위가 공급된다. 한편, 액정 소자의 공통 전극층(제 2 전극층(449), 제 3 전극층(448))에는, 화소 전극층(제 1 전극층(447))에 공급되는 화상 신호의 전위에 대해서 기준이 되는 고정 전위(일례로서는 그라운드 전위(접지 전위))가 공급된다. 공통 전위는 데이터로서 송신되는 화상 신호의 중간 전위 근방에서 플리커가 발생하지 않는 레벨로 설정하는 것이 바람직하다. 또한, 공통 전극층(제 2 전극층(449), 제 3 전극층(448))은 부유(floating) 상태(전기적으로 고립된 상태)로서 동작시킬 수도 있다.

[0105] 본 실시형태에서는 제 1 전극층(447)은 제 2 전극층(449)과 같은 공정으로 형성되는 배선층(446)을 개재하여 트랜지스터(460)의 드레인 전극층(405b)과 접하고, 구조체(445) 위까지 연속적으로 성막되는 예이지만, 드레인 전극층(405b)에 이르는 개구를 형성하고 상기 개구에서 제 1 전극층(447)이 드레인 전극층(405b)과 직접 접하는 구성으로 하여도 좋다.

[0106] 도 4a 및 도 4b는 트랜지스터(460) 위에 층간막(417)을 개재하여 제 2 전극층(449), 구조체(445), 제 1 전극층(447)이 설치된 제 1 기판(441)과, 제 3 전극층(448)이 설치된 제 2 기판(442)이 액정층(444)을 사이에 협지하여 대향하도록 배치된 액정 표시 장치이다.

[0107] 액정층(444)을 개재하여 적층되는 제 1 전극층(447)과 제 2 전극층(449)의 거리와, 제 1 전극층(447)과 제 3 전극층(448)의 거리는 제 1 전극층(447), 제 2 전극층(449) 및 제 3 전극층(448)에 각각 소정의 전압을 인가하였을 때, 제 1 전극층(447)과 제 2 전극층(449) 사이, 및 제 1 전극층(447)과 제 3 전극층(448) 사이에 개재되는 액정층(444)의 액정이 응답하는 거리로 한다. 또한, 상기 거리에 따라, 인가하는 전압을 적절히 제어한다.

[0108] 구조체(445)를 어느 한쪽의 공통 전극층(본 실시형태에서는 제 1 기판(441)에 설치되는 제 2 전극층(449)으로 함) 위에 액정층(444)으로 돌출하도록 설치하고, 상기 구조체(445) 위에 제 1 전극층(447)을 설치함으로써 제 1 전극층(447)을 액정층(444) 내에 배치할 수 있다. 또한, 제 1 전극층(447)의 액정층(444)에서의 위치 및 형상은 구조체(445)의 막 두께 및 형상을 선택함으로써 제어할 수 있다.

[0109] 본 실시형태에서는 구조체(445) 및 제 1 전극층(447)은 도 4a에 도시하는 바와 같이, 개구 패턴을 갖는 형상이며, 상기 개구는 구조체(445) 및 제 1 전극층(447)에 얼룩 무늬로 형성되는 예이다. 구조체(445) 및 제 1 전극층(447)에 형성된 개구에 액정층(444)을 충전할 수 있다. 구조체(445)는 실시형태 1에 제시하는 구조체(233)와 같은 재료 및 방법으로 형성하면 좋다.

[0110] 액정층(444)에 더욱 균일한 전계를 형성하기 위해서, 제 1 전극층(447)은 액정층에서 제 2 전극층(449) 및 제 3 전극층(448)과 각각 같은 간격(거리)을 갖고 배치되는 것이 바람직하다. 따라서, 제 1 전극층(447) 아래에 형성되는 구조체(445)의 막 두께는 액정층(444)의 두께의 최대값(액정 표시 장치의 셀 갭이라고도 함)의 거의 반으로 하는 것이 바람직하다.

[0111] 한편, 제 2 전극층(449) 및 제 3 전극층(448)은 평면 형상이며 평탄한(flat) 형상을 갖는다. 또한, 모든 화소에 공통의 전압이 공급되는 제 2 전극층(449) 및 제 3 전극층(448)은 복수의 화소를 포함하는 화소 영역에 연속하는 평판 형상의 도전막으로서 형성할 수 있다.

[0112] 액정층(444)으로서 고분자 분산형 액정(PDLC)을 사용한다. 또는, 고분자 네트워크 액정(PNLC)을 사용하여도 좋다. 액정층(444)은 실시형태 1에서 제시한 액정층(208)과 같은 재료 및 방법으로 형성하면 좋다.

- [0113] 액정층(444)에 있어서, 제 1 전극층(447), 제 2 전극층(449) 및 제 3 전극층(448)에 전압을 인가하지 않는 경우(오프 상태라고도 함)에는, 고분자층 내에 분산되는 액정립은 불균일하게 배열하고 고분자의 굴절률과 액정 분자의 굴절률이 상이하기 때문에, 입사한 광은 액정립으로 산란되어 액정층(444)은 불투명하고 백탁 상태가 된다. 따라서, 시인 측에서 확인할 수 있는 표시도 백색 표시가 된다.
- [0114] 한편, 제 1 전극층(447), 제 2 전극층(449) 및 제 3 전극층(448)에 전압을 인가한 경우(온 상태라고도 함)에는, 액정층(444)에 전계가 형성되며, 액정립 내의 액정 분자는 전계 방향으로 배열하고 고분자의 굴절률과 액정 분자 단축의 굴절률이 거의 일치하기 때문에, 입사한 광은 액정립으로 산란되지 않고 액정층(444)을 투과한다. 따라서, 액정층(444)은 투광성이며 투명한 상태가 된다.
- [0115] 본 명세서의 액정 표시 장치에 있어서는, 액정층(444) 내에 불규칙하게 배열되고 분산되는 액정립이 입사광을 산란함으로써 백색 표시를 행한다. 종이와 가까운 양호한 백색 표시를 행하기 위해서는, 강한 광산란 강도를 갖는 액정층(444)으로 하는 것이 바람직하다. 액정층(444)의 광산란 강도는 액정층(444) 내에 분산되는 액정립에 대한 광의 충돌 횟수가 증가할수록 더 강하게 되기 때문에, 액정층(444)의 막 두께를 두껍게 하여 액정층(444)에 더 많은 액정립을 포함시킴으로써, 액정층(444)으로 입사하는 광의 액정립에 대한 충돌 횟수를 증가시켜, 액정층(444)에서의 광산란 강도를 높이는 것이 효과적이다.
- [0116] 그러나, 액정층(444)의 막 두께를 두껍게 하면, 액정 분자를 응답시키고 상기 액정 소자를 구동시키기 위해서 더 높은 구동 전압이 필요하게 되어, 소비 전력이 증가되어 버린다. 또한, 액정층(444)의 막 두께를 두껍게 한 액정 소자에서 구동 전압을 낮게 하면, 온 상태의 액정 소자에서 액정 분자의 응답이 충분하지 않게 되어 광 투과율이 저하되기 때문에, 액정 표시 장치의 콘트라스트가 저하되어 버린다.
- [0117] 제 2 전극층(449)과 제 3 전극층(448)으로 협지한 액정층(444) 중앙에 제 1 전극층(447)을 배치함으로써, 제 2 전극층(449), 액정층(444), 및 제 1 전극층(447)으로 이루어진 제 1 액정 소자와, 제 1 전극층(447), 액정층(444), 및 제 3 전극층(448)으로 이루어진 제 2 액정 소자라는 2개의 광학 소자를 적층하는 구조로 할 수 있다.
- [0118] 따라서, 액정층(444)에 있어서, 제 2 전극층(449)과 제 1 전극층(447) 사이에 개재되는 액정층(444)은 제 2 전극층(449)과 제 1 전극층(447) 사이에 형성되는 전계로 제어되고, 제 1 전극층(447)과 제 3 전극층(448) 사이에 개재되는 액정층(444)은 제 1 전극층(447)과 제 3 전극층(448) 사이에 형성되는 전계로 제어된다. 액정층(444)은 제 1 액정 소자와 제 2 액정 소자를 적층함으로써 두껍게 할 수 있기 때문에, 높은 광산란 효과를 얻을 수 있고 양호한 백색 표시를 행할 수 있게 된다. 더구나, 상기 제 1 액정 소자와 상기 제 2 액정 소자는 회로로서는 병렬이기 때문에, 상기 제 1 액정 소자와 상기 제 2 액정 소자를 구동시키는 전압은 제 1 액정 소자 또는 제 2 액정 소자 중 어느 하나를 구동시키기 위한 전압과 마찬가지이다.
- [0119] 따라서, 더 양호한 백색 표시를 행하기 위해서 액정층(444)의 막 두께를 두껍게 하더라도 액정 소자의 구동 전압을 증가시키지 않고 액정 분자를 응답시킬 수 있다. 따라서, 액정 표시 장치에서 콘트라스트비의 향상, 저소비 전력화를 달성할 수 있다.
- [0120] 액정층(444)의 두께인 셀 갭은 $5\text{ }\mu\text{m}$ 이상 $30\text{ }\mu\text{m}$ 이하(바람직하게는 $10\text{ }\mu\text{m}$ 이상 $20\text{ }\mu\text{m}$ 이하)로 하면 좋다. 또한, 본 명세서에서는 셀 갭의 두께란 액정층의 두께(막 두께)의 최대값으로 한다.
- [0121] 구조체는 가시광의 광에 대해서 투광성을 갖는 재료를 사용하면, 액정층이 투명한 상태가 된 경우에 구조체 아래(시인 측과 반대 측)에 설치하는 흑색층(또는 착색층)에 의한 표시를 방해하지 않는다. 또한, 구조체를 흑색이나 다른 색으로 착색된 재료에 의해 형성하고, 흑색층이나 착색층으로 하여도 좋다.
- [0122] 액정층(444)이 투광성(투명한 상태)이 된 경우에는, 시인 측으로부터 확인할 수 있는 표시는 액정층(444)의 전후에 형성되는 재료에 의존한다. 따라서, 액정층(444)의 건너편(시인 측과 반대 측)에 흑색층(또는 흑백 이외의 다른 색의 착색층)을 설치하면, 흑색층(또는 착색층)을 시인할 수 있다. 따라서, 시인 측에서 확인할 수 있는 표시면에 있어서, 상기 화소는 흑색(또는 착색층의 색)을 표시하게 되어 흑색 표시(또는 착색층의 색 표시)(어두운 표시)를 행할 수 있다.
- [0123] 착색층으로서 흑색층을 설치하면 흑백(모노크롬) 표시의 액정 표시 장치로 할 수 있다. 또한, 흑색층 대신에 적색층, 녹색층, 청색층 등의 다른 컬러색의 착색층을 사용하면, 그 컬러색을 표시할 수 있다. 따라서, 착색층의 색을 복수 선택함으로써 풀 컬러 표시의 액정 표시 장치로 할 수도 있다.
- [0124] 도 4a 및 도 4b에서는 충간막(417)에 흑색을 나타내는 흑색층을 사용하여 흑색 표시를 행하는 흑백(모노크롬) 표시의 액정 표시 장치의 예이지만, 흑색층 대신에 적색층, 녹색층, 청색층 등의 다른 컬러색을 사용하면, 그

컬러색의 표시로 할 수 있다.

[0125] 제 1 전극층(447)은 반사성을 갖는 도전층으로 형성하여도 좋고, 투광성을 갖는 도전층으로 형성하여도 좋다. 백색 표시를 행할 때 제 1 전극층(447)이 반사성을 가지면, 입사한 광이 산란되지 않고 액정층(444)을 투과하더라도 제 1 전극층(447)에 의해 액정층(444) 측에 다시 반사되기 때문에, 액정층(444)에서 효율 좋게 광이 산란되고 백색 표시의 시인성을 향상시킬 수 있다. 한편, 제 1 전극층(447)이 투광성을 가지면, 액정층(444)이 투명한 상태가 된 경우에 제 1 전극층(447) 아래(시인 측과 반대 측)에 설치하는 흑색층(또는 착색층)에 의한 표시를 방해하지 않는다. 또한, 제 1 전극층(447)은 흑색의 도전 재료를 사용하여 흑색을 나타내는 도전층으로 형성하고 흑색층으로서의 기능을 겸하게 하여도 좋다.

[0126] 제 2 전극층(449)은 반사성을 갖는 도전층으로 형성하여도 좋고, 투광성을 갖는 도전층으로 형성하여도 좋다. 백색 표시를 행할 때 제 2 전극층(449)이 반사성을 가지면, 입사한 광이 산란되지 않고 액정층(444)을 투과하더라도 제 2 전극층(449)에 의해 액정층(444) 측에 다시 반사되기 때문에, 액정층(444)에서 효율 좋게 광이 산란되고 백색 표시의 시인성을 향상시킬 수 있다. 한편, 제 2 전극층(449)이 투광성을 가지면, 액정층(444)이 투명한 상태가 된 경우에 제 2 전극층(449) 아래(시인 측과 반대 측)에 설치하는 흑색층(또는 착색층)에 의한 표시를 방해하지 않는다.

[0127] 액정층(444)의 시인 측에 설치하는 제 3 전극층(448)은 투광성을 갖는 도전성 재료를 사용한다.

[0128] 트랜지스터(460)는 역스태거형 박막 트랜지스터이며, 절연 표면을 갖는 기판인 제 1 기판(441) 위에 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 소스 전극층(405a), 드레인 전극층(405b)을 포함한다.

[0129] 트랜지스터(460)를 덮어 반도체층(403)과 접하는 절연막(407), 보호 절연층인 절연층(409)이 형성되고, 절연층(409) 위에 층간막(417)이 적층된다.

[0130] 층간막(417)의 형성 방법은 특별히 한정되지 않고, 그 재료에 따라 스판 코팅법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등) 등의 방법, 룰 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다.

[0131] 제 1 기판(441)과 제 2 기판(442)의 고착 공정은 액정층(444)을 험지시켜 씰재에 의해 행한다.

[0132] 씰재로서는, 대표적으로는 가시광 경화성, 자외선 경화성 또는 열경화성 수지를 사용하는 것이 바람직하다. 대표적으로는, 아크릴 수지, 에폭시 수지, 아민 수지 등을 사용할 수 있다. 또한, 광(대표적으로는 자외선) 중합 개시제, 열경화제, 필러, 커플링제를 포함하여도 좋다.

[0133] 하지막이 되는 절연막을 제 1 기판(441)과 게이트 전극층(401) 사이에 설치하여도 좋다. 하지막은 제 1 기판(441)으로부터 불순물 원소가 확산되는 것을 방지하는 기능이 있고, 질화실리콘막, 산화실리콘막, 질화산화실리콘막, 또는 산화질화실리콘막 중에서 선택된 하나 또는 복수의 막의 적층 구조로 형성할 수 있다.

[0134] 게이트 전극층(401)의 재료는 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여, 단층 구조 또는 적층 구조로 형성할 수 있다.

[0135] 예를 들어 게이트 전극층(401)의 2층 적층 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층 적층 구조, 또는 구리층 위에 몰리브덴층이 적층된 2층 적층 구조, 또는 구리층 위에 질화티타늄층 또는 질화탄탈층이 적층된 2층 적층 구조, 질화티타늄층과 몰리브덴층이 적층된 2층 적층 구조로 하는 것이 바람직하다. 3층 적층 구조로서는, 텉스텐층 또는 질화 텉스텐층과, 알루미늄과 실리콘의 합금층 또는 알루미늄과 티타늄의 합금층과, 질화 티타늄층 또는 티타늄층을 적층한 적층 구조로 하는 것이 바람직하다.

[0136] 게이트 절연층(402)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 질화산화실리콘층, 산화알루미늄층, 질화알루미늄층, 산화질화알루미늄층, 질화산화알루미늄층, 또는 산화하프늄층을 단층 구조 또는 적층 구조로 형성할 수 있다. 또한, 게이트 절연층(402)으로서 유기 실란 가스를 사용한 CVD법으로 산화실리콘층을 형성할 수도 있다. 유기 실란 가스로서는, 규산에틸(TEOS: 화학식 $Si(OC_2H_5)_4$), 테트라메틸실란(TMS: 화학식 $Si(CH_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 핵사메틸디실라잔(HMDS), 트리에톡시실란($SiH(OC_2H_5)_3$), 트리스디메틸아미노실란($SiH(N(CH_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.

[0137] 반도체층, 전극층, 배선층의 제작 공정에 있어서, 박막을 원하는 형상으로 가공하기 위해서 에칭 공정을 사용한

다. 에칭 공정은 드라이 에칭이나 웨트 에칭을 사용할 수 있다.

[0138] 드라이 에칭에 사용하는 에칭 장치로서는, 반응성 이온 에칭법(RIE법)을 사용한 에칭 장치나 ECR(Electron Cyclotron Resonance)이나 ICP(Inductively Coupled Plasma) 등의 고밀도 플라즈마원을 사용한 드라이 에칭 장치를 사용할 수 있다.

[0139] 원하는 가공 형상으로 에칭할 수 있도록 에칭 조건(코일형 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)을 적절히 조절한다.

[0140] 원하는 가공 형상으로 에칭할 수 있도록 재료에 따라 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적절히 조절한다.

[0141] 소스 전극층(405a) 또는 드레인 전극층(405b)의 재료로서는, Al, Cr, Ta, Ti, Mo, W 중에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 열처리를 하는 경우에는, 도전막이 이 열처리에 견딜 수 있을 만큼 내열성을 갖는 것이 바람직하다. 예를 들어 Al 단체(單體)는 내열성이 부족하고 부식(腐蝕)하기 쉽다는 등의 문제점이 있으므로, 내열성 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.

[0142] 또한, 트랜지스터(460)의 반도체층(403)은 일부만 에칭되어 홈부(오목부)를 갖는 반도체층의 예이다.

[0143] 트랜지스터(460)를 덮는 절연막(407), 절연층(409)은 건식법이나 습식법으로 형성되는 무기 절연막, 유기 절연막을 사용할 수 있다. 예를 들어, CVD법이나 스퍼터링법 등을 사용하여 얻어지는 질화실리콘막, 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화탄탈막 등을 사용할 수 있다. 또한, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 봉소 유리) 등을 사용할 수 있다.

[0144] 또한, 실록산계 수지란 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서 유기기(예를 들어 알킬기나 아릴기)나 플루오르기를 사용하여도 좋다. 또한, 유기기는 플루오르기를 가져도 좋다. 실록산계 수지는 도포법으로 성막하여 소성함으로써 절연막(407)으로서 사용할 수 있다.

[0145] 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연막(407), 절연층(409)을 형성하여도 좋다. 예를 들어, 무기 절연막 위에 유기 수지막을 적층하는 구조로 하여도 좋다.

[0146] 또한, 다계조 마스크에 의해 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크 수를 줄일 수 있기 때문에 공정 간략화, 저비용화를 도모할 수 있다.

[0147] 상술한 바와 같이, 고분자 분산형 액정 재료를 사용한 액정 표시 장치에 있어서, 콘트라스트비를 높일 수 있다.

[0148] 상술한 바와 같이 하여, 액정 표시 장치에 있어서, 콘트라스트비의 향상, 저소비 전력화를 달성할 수 있다.

[0149] 시인성이 더 양호하고 고화질의 액정 표시 장치를 제공할 수 있다.

[0150] 또한, 고분자 분산형 액정은 미리 액정을 배향시킬 필요가 없고 또 입사한 광에 편광을 행하지 않기 때문에, 배향막 및 편광판을 설치하지 않아도 좋다.

[0151] 따라서, 고분자 분산형 액정을 사용한 액정 표시 장치는 배향막 및 편광판을 설치하지 않기 때문에, 배향막 및 편광판에 의한 광의 흡수가 없고, 더 고화도의 밝은 표시 화면으로 할 수 있다. 따라서, 광의 이용 효율이 좋기 때문에, 저소비 전력화에도 기여한다. 배향막 및 편광판에 관련한 공정이나 비용을 삭감할 수 있기 때문에, 더 높은 스루풋, 저비용을 실현할 수 있다. 또한, 배향막을 설치하지 않기 때문에, 러빙 처리도 필요없게 되고 러빙 처리로 인한 정전 파괴를 방지할 수 있어서, 제작 공정시의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서, 액정 표시 장치를 고수율로 제작할 수 있고 생산성을 향상시킬 수 있다. 특히, 트랜지스터는 정전기의 영향에 의해 트랜지스터의 전기적 특성이 현저히 변동하여 설계 범위를 벗어날 우려가 있다. 따라서, 트랜지스터를 갖는 액정 표시 장치에 고분자 분산형 액정 재료를 사용하는 것은 더 효과적이다.

[0152] (실시형태 3)

[0153] 본 실시형태에서는 실시형태 1 또는 실시형태 2에 조합함으로써 더 저소비 전력화를 도모할 수 있는 액정 표시

장치의 구동 밤법을 제시한다. 실시형태 1과 동일 부분 또는 같은 기능을 갖는 부분 및 공정은 실시형태 1과 마찬가지로 행할 수 있고, 반복 설명은 생략한다. 또한, 같은 개소의 상세한 설명은 생략한다.

[0154] 액정 표시 장치는 복수의 프레임 기간으로 시분할한 복수의 화상을 고속으로 전환하여 동작시켜 화면에 표시를 행한다. 그러나, 복수의 프레임 기간으로 시분할한 복수의 화상을 고속으로 전환하여 동작시켜도, 연속하는 프레임 기간, 예를 들어 n 프레임째와 $(n+1)$ 프레임째에서 변화하지 않는 화상 표시(정지 화상 표시라고도 함)의 경우가 있다. 또한, 본 명세서에서는 정지 화상 표시시에 표시되는 화상을 정지 화상이라고도 불린다.

[0155] 본 실시형태에서는 연속하는 프레임의 화상 신호가 상이한 표시(동영상 표시라고도 함)의 경우에는 각 프레임마다 화상 신호가 기록되지만, 연속하는 프레임의 화상 신호가 동일한 정지 화상 표시의 경우에는 새로운 화상 신호를 기록하지 않고, 액정 소자에 전압을 인가하는 화소 전극 및 공통 전극의 전위를 부유 상태(플로팅 상태)로 하여 액정 소자에 인가되는 전압을 유지하고, 새로운 전위를 공급하지 않고 정지 화상의 표시를 행하는 표시 모드를 사용한다. 또한, 본 명세서에 있어서, 동영상 표시란 연속하는 프레임의 화상 신호가 상이하여 새로운 화상 데이터를 기록할 필요가 있는 표시의 경우를 가리키고, 1프레임의 재기록이라도, '동영상 표시를 행한다'고 표현한다.

[0156] 본 실시형태에서의 액정 표시 장치, 및 액정 표시 장치의 표시 모드의 전환에 대해서, 도 9 내지 도 13을 사용하여 설명한다.

[0157] 본 실시형태의 액정 표시 장치(100)의 각 구성을 도 9의 블록도를 사용하여 설명한다. 액정 표시 장치(100)는 화소에서 외광의 반사를 이용하여 표시를 행하는 반사형 액정 표시 장치이며, 화상 처리 회로(110), 전원(116), 및 표시 패널(120)을 갖는다.

[0158] 액정 표시 장치(100)는 접속된 외부 기기로부터 화상 신호(화상 신호 Data)가 공급된다. 또한, 전원 전위(고전원 전위 Vdd, 저전원 전위 Vss, 및 공통 전위 Vcom)는 액정 표시 장치의 전원(116)을 온 상태로 하여 전력 공급을 개시함으로써 공급되고, 제어 신호(스타트 웨스 SP 및 클록 신호 CK)는 표시 제어 회로(113)로부터 공급된다. 또한, 전원 전위(고전원 전위 Vdd, 저전원 전위 Vss, 및 공통 전위 Vcom)의 공급 정지는 전원(116)을 오프 상태로 하여 표시 패널에 대한 전원 전위의 공급을 정지한다.

[0159] 또한, 화상 신호가 아날로그 신호인 경우에는 A/D 컨버터 등을 통하여 디지털 신호로 변환하고 액정 표시 장치(100)의 화상 처리 회로(110)에 공급하는 구성으로 하면, 나중에 화상 신호의 차분을 검출할 때, 용이하게 검출할 수 있어서 바람직하다.

[0160] 화상 처리 회로(110)의 구성 및 화상 처리 회로(110)가 신호를 처리하는 순서에 대해서 설명한다.

[0161] 화상 처리 회로(110)는 기억 회로(111), 비교 회로(112), 표시 제어 회로(113), 및 선택 회로(115)를 갖는다. 화상 처리 회로(110)는 입력된 디지털 화상 신호 Data로부터 표시 패널 화상 신호를 생성한다. 표시 패널 화상 신호는 표시 패널(120)을 제어하는 화상 신호이다. 또한, 공통 전극(128)을 제어하는 신호를 스위칭 소자(127)에 출력한다.

[0162] 기억 회로(111)는 복수의 프레임에 관한 화상 신호를 기억하기 위한 복수의 프레임 메모리를 갖는다. 기억 회로(111)가 갖는 프레임 메모리 수는 특별히 한정되지 않고 복수의 프레임에 관한 화상 신호를 기억할 수 있는 소자라면 좋다. 또한, 프레임 메모리는, 예를 들어 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 기억 소자를 사용하여 구성하면 좋다.

[0163] 또한, 프레임 메모리는 프레임 기간마다 화상 신호를 기억하는 구성이라면 좋고, 프레임 메모리 수는 특별히 한정되지 않는다. 또한, 프레임 메모리의 화상 신호는 비교 회로(112) 및 표시 제어 회로(113)에 의해 선택적으로 판독되는 것이다. 또한, 도면 내의 프레임 메모리(111b)는 1프레임당 메모리 영역을 개념적으로 도시하는 것이다.

[0164] 비교 회로(112)는 기억 회로(111)에 기억된 연속하는 프레임 기간의 화상 신호를 선택적으로 판독하고, 상기 화상 신호의 연속하는 프레임간의 비교를 화소마다 행하고, 차분을 검출하기 위한 회로이다.

[0165] 또한, 본 실시형태에서는 프레임간의 화상 신호의 차분의 유무(有無)에 따라 표시 제어 회로(113) 및 선택 회로(115)의 동작을 결정한다. 상기 비교 회로(112)가 프레임간의 어느 화소에서 차분을 검출한 경우(차분이 있는 경우), 비교 회로(112)는 화상 신호가 정지 화상이 아니라고 판단하고, 차분을 검출한 연속한 프레임 기간을 동영상이라고 판단한다.

- [0166] 또한, 일부 화소에서만 프레임 간의 차분이 검출된 경우, 상기 차분이 검출된 화소만 화상 데이터를 기록하는 구성으로 하여도 좋다. 이 경우에는, 구동 회로부(121)의 게이트선 층 구동 회로(121A) 및 소스선 층 구동 회로(121B)로서 디코더 회로를 사용한다.
- [0167] 한편, 비교 회로(112)에서의 화상 신호의 비교에 의해, 모든 화소에서 차분이 검출되지 않는 경우(차분이 없는 경우), 상기 차분을 검출하지 않은 연속하는 프레임 기간은 정지 화상이라고 판단한다. 즉, 비교 회로(112)는 연속하는 프레임 기간의 화상 신호의 차분의 유무를 검출함으로써, 동영상을 표시하기 위한 화상 신호인지 또는 정지 화상을 표시하기 위한 화상 신호인지 판단하는 것이다.
- [0168] 또한, 상기 비교에 의해, '차분이 있다'고 검출되는 기준은 차분의 크기가 일정한 수준을 초과했을 때 '차분이 있다'고 검출되었다고 판단되도록 설정하여도 좋다. 또한, 비교 회로(112)가 검출하는 차분은 차분의 절대값으로 판단하는 설정으로 하면 좋다.
- [0169] 또한, 본 실시형태에 있어서는, 액정 표시 장치(100) 내부에 설치된 비교 회로(112)가 연속하는 프레임 기간의 화상 신호의 차분을 검출함으로써 상기 화상이 화상 데이터를 기록할 필요가 있는 동영상인지 또는 정지 화상인지 판단하는 구성에 대해서 제시하였지만, 이 구성에 한정되지 않고 외부로부터 동영상인지 정지 화상인지의 신호를 공급하는 구성으로 하여도 좋다.
- [0170] 선택 회로(115)는, 예를 들어 트랜지스터로 형성되는 복수의 스위치를 설치하는 구성으로 한다. 비교 회로(112)가 연속하는 프레임간에 차분을 검출한 경우, 즉, 화상이 동영상인 경우, 기억 회로(111) 내의 프레임 메모리로부터 동영상의 화상 신호를 선택하고 표시 제어 회로(113)에 출력한다.
- [0171] 또한, 선택 회로(115)는 비교 회로(112)가 연속하는 프레임간에 차분을 검출하지 않는 경우, 즉, 화상이 정지 화상인 경우, 기억 회로(111) 내의 프레임 메모리로부터 표시 제어 회로(113)에 화상 신호를 출력하지 않는다. 화상 신호를 프레임 메모리에 의해 표시 제어 회로(113)에 출력하지 않는 구성으로 함으로써, 액정 표시 장치의 소비 전력을 감소할 수 있다.
- [0172] 또한, 본 실시형태의 액정 표시 장치에 있어서, 비교 회로(112)가 화상을 정지 화상이라고 판단하여 행하는 동작이 정지 화상 표시 모드이고, 비교 회로(112)가 화상을 동영상이라고 판단하여 행하는 동작이 화상 표시 모드이다.
- [0173] 표시 제어 회로(113)는 표시 패널(120)에 선택 회로(115)에서 선택된 화상 신호, 및 제어 신호(구체적으로는 스타트 웨일스 SP, 및 클록 신호 CK 등의 제어 신호의 공급 또는 정지 전환을 제어하기 위한 신호), 전원 전위(고전원 전위 Vdd, 저전원 전위 Vss, 및 공통 전위 Vcom)를 공급하는 회로이다.
- [0174] 또한, 본 실시형태에서 예시되는 화상 처리 회로는 표시 모드 전환 기능을 가져도 좋다. 표시 모드 전환 기능은 상기 액정 표시 장치의 이용자가 수동(手動) 또는 외부 접속 기기를 사용하여 상기 액정 표시 장치의 동작 모드를 선택함으로써 동영상 표시 모드 또는 정지 화상 표시 모드를 전환하는 기능이다.
- [0175] 선택 회로(115)는 표시 모드 전환 회로로부터 입력되는 신호에 따라, 화상 신호를 표시 제어 회로(113)에 출력할 수도 있다.
- [0176] 예를 들어, 정지 화상 표시 모드에서 동작할 때, 표시 모드 전환 회로로부터 선택 회로(115)에 모드 전환 신호가 입력된 경우, 비교 회로(112)가 연속하는 프레임 기간에서의 화상 신호의 차분을 검출하지 않는 경우라도 선택 회로(115)는 입력되는 화상 신호를 순차적으로 표시 제어 회로(113)에 출력하는 모드, 즉, 동영상 표시 모드를 실행할 수 있다. 또한, 동영상 표시 모드에서 동작할 때, 표시 모드 전환 회로로부터 선택 회로(115)에 모드 전환 신호가 입력된 경우, 비교 회로(112)가 연속하는 프레임 기간에서의 화상 신호의 차분을 검출하는 경우라도 선택 회로(115)는 선택한 1프레임의 화상 신호만을 출력하는 모드, 즉 정지 화상 표시 모드를 실행할 수 있다. 따라서, 본 실시형태의 액정 표시 장치에는 동영상 중 1프레임이 정지 화상으로서 표시된다.
- [0177] 본 실시형태에서는 표시 패널(120)은 화소부(122) 외에, 스위칭 소자(127)를 갖는다. 본 실시형태에서는 표시 패널(120)은 제 1 기판과 제 2 기판을 갖고, 제 1 기판에는 구동 회로부(121), 화소부(122), 및 스위칭 소자(127)가 설치된다.
- [0178] 또한, 화소(123)는 스위칭 소자로서 트랜지스터(144), 상기 트랜지스터(144)에 접속된 용량 소자(140), 및 액정 소자(145)를 갖는다(도 10 참조).
- [0179] 트랜지스터(144)는 오프 전류가 저감된 트랜지스터를 사용하는 것이 바람직하다. 트랜지스터(144)가 오프 상태

인 경우, 오프 전류가 저감된 트랜지스터(144)에 접속된 액정 소자(145), 및 용량 소자(140)에 축적된 전하는 트랜지스터(144)를 통하여 누설하기 어렵고, 트랜지스터(144)가 오프 상태가 되기 전에 기록된 상태를 오랜 시간 동안 유지할 수 있다.

[0180] 본 실시형태에서는 액정은 제 1 기판에 설치된 화소 전극과 대향하는 제 2기판에 설치된 공통 전극에 의해 형성된 세로 방향의 전계로 제어된다.

[0181] 스위칭 소자(127)는 표시 제어 회로(113)가 출력하는 제어 신호에 따라 공통 전위 Vcom을 공통 전극(128)에 공급한다. 스위칭 소자(127)로서는 트랜지스터를 사용할 수 있다. 트랜지스터의 게이트 전극 및 소스 전극 또는 드레인 전극의 한쪽을 표시 제어 회로(113)에 접속하고, 소스 전극 또는 드레인 전극의 한쪽에 단자부(126)를 통하여 표시 제어 회로(113)로부터 공통 전위 Vcom이 공급되도록 하고, 다른 쪽을 공통 전극(128)에 접속하면 좋다. 또한, 스위칭 소자(127)는 구동 회로부(121) 또는 화소부(122)와 같은 기판에 형성되는 것이라도 좋고, 다른 기판에 형성되는 것이라도 좋다.

[0182] 스위칭 소자(127)로서 오프 전류가 저감된 트랜지스터를 사용함으로써, 액정 소자(145)의 양쪽 단자에 인가되는 전압이 경시적으로 저하되는 현상을 억제할 수 있다.

[0183] 공통 접속부는 스위칭 소자(127)의 소스 전극 또는 드레인 전극과 접속된 단자와 공통 전극(128)을 전기적으로 접속한다.

[0184] 스위칭 소자의 일 형태인 트랜지스터를 사용하는 스위칭 소자(127)의 소스 전극 또는 드레인 전극 중 한쪽은 트랜지스터(144)와 접속되지 않는 용량 소자(140)의 다른 쪽의 전극, 및 액정 소자(145)의 다른 쪽의 전극과 접속되고, 스위칭 소자(127)의 소스 전극 또는 드레인 전극 중 다른 쪽은 공통 접속부를 통하여 단자(126B)에 접속된다. 또한, 스위칭 소자(127)의 게이트 전극은 단자(126A)에 접속된다.

[0185] 다음에, 화소에 공급되는 신호에 대해서, 도 10에 도시하는 액정 표시 장치의 등가 회로도 및 도 11에 도시하는 타이밍 차트를 사용하여 설명한다.

[0186] 도 11에 표시 제어 회로(113)가 게이트선 구동 회로(121A)에 공급하는 클록 신호 GCK, 및 스타트 펄스 GSP를 도시한다. 또한, 표시 제어 회로(113)가 소스선측 구동 회로(121B)에 공급하는 클록 신호 SCK, 및 스타트 펄스 SSP를 도시한다. 또한, 클록 신호의 출력의 타이밍을 설명하기 위해서, 도 11에서는 클록 신호의 파형을 단순한 구형(矩形)파로 도시한다.

[0187] 또한, 도 11에 소스선(Data line)(125)의 전위, 화소 전극의 전위, 단자(126A)의 전위, 단자(126B)의 전위, 및 공통 전극의 전위를 도시한다.

[0188] 도 11에 있어서, 기간(1401)은 동영상을 표시하기 위한 화상 신호를 기록하는 기간에 상당한다. 기간(1401)에서는 화상 신호, 공통 전위가 화소부(122)의 각 화소, 공통 전극에 각각 공급되도록 동작한다.

[0189] 또한, 기간(1402)은 정지 화상을 표시하는 기간에 상당한다. 기간(1402)에서는 화소부(122)의 각 화소에 대한 화상 신호, 공통 전극에 대한 공통 전위를 정지하게 된다. 또한, 도 11에 도시하는 기간(1402)에서는 구동 회로부의 동작을 정지하도록 각 신호를 공급하는 구성에 대해서 도시하였지만, 기간(1402)의 길이 및 리프레쉬 레이트에 의해 정기적으로 화상 신호를 기록함으로써 정지 화상의 화상 열화를 방지하는 구성으로 하는 것이 바람직하다.

[0190] 우선, 기간(1401)에서의 타이밍 차트를 설명한다. 기간(1401)에서는 클록 신호 GCK로서 상시적으로 클록 신호가 공급되고, 스타트 펄스 GSP로서 수직 동기 주파수에 따른 펄스가 공급된다. 또한, 기간(1401)에서는 클록 신호 SCK로서 상시적으로 클록 신호가 공급되고, 스타트 펄스 SSP로서 1게이트 선택 기간에 따른 펄스가 공급된다.

[0191] 또한, 각 행의 화소에 화상 신호 Data가 소스선(125)을 통하여 공급되고, 게이트선(124)의 전위에 따라 화소 전극에 소스선(125)의 전위가 공급된다.

[0192] 또한, 표시 제어 회로(113)가 스위칭 소자(127)의 단자(126A)에 스위칭 소자(127)를 도통 상태로 하는 전위를 공급하고, 단자(126B)를 통하여 공통 전극에 공통 전위를 공급한다.

[0193] 한편, 기간(1402)은 정지 화상을 표시하는 기간이다. 다음에, 기간(1402)에서의 타이밍 차트를 설명한다. 기간(1402)에서는 클록 신호 GCK, 스타트 펄스 GSP, 클록 신호 SCK, 및 스타트 펄스 SSP는 모두 같이 정지한다. 또한, 기간(1402)에 있어서, 소스선(125)에 공급되었던 화상 신호 Data는 정지한다. 클록 신호 GCK 및 스타트

펄스 GSP가 모두 같이 정지하는 기간(1402)에서는 트랜지스터(144)가 비도통 상태가 되어 화소 전극의 전위가 부유 상태가 된다.

[0194] 또한, 표시 제어 회로(113)가 스위칭 소자(127)의 단자(126A)에 스위칭 소자(127)를 비도통 상태로 하는 전위를 공급하여 공통 전극의 전위를 부유 상태로 한다.

[0195] 기간(1402)에서는 액정 소자(145)의 양쪽 전극, 즉 화소 전극 및 공통 전극의 전위를 부유 상태로 하고, 새로운 전위를 공급하지 않고 정지 화상을 표시할 수 있다.

[0196] 또한, 케이트선 구동 회로(121A), 및 소스선 측 구동 회로(121B)에 공급하는 클록 신호, 및 스타트 펄스를 정지 함으로써, 저소비 전력화를 도모할 수 있다.

[0197] 특히, 트랜지스터(144) 및 스위칭 소자(127)로서 오프 전류가 저감된 트랜지스터를 사용함으로써, 액정 소자(145)의 양쪽 단자에 인가되는 전압이 경시적으로 저하되는 현상을 억제할 수 있다.

[0198] 다음에, 동영상으로부터 정지 화상으로 전환하는 기간(도 11에 도시하는 기간(1403)), 및 정지 화상으로부터 동영상으로 전환하는 기간(도 11에 도시하는 기간(1404))에서의 표시 제어 회로의 동작을 도 12a, 도 12b를 사용하여 설명한다. 도 12a, 도 12b는 표시 제어 회로가 출력하는 고전원 전위 Vdd, 클록 신호(여기서는 GCK), 스타트 펄스 신호(여기서는 GSP), 및 단자(126A)의 전위를 도시한다.

[0199] 동영상으로부터 정지 화상으로 전환하는 기간(1403)의 표시 제어 회로의 동작을 도 12a에 도시한다. 표시 제어 회로는 스타트 펄스 GSP를 정지한다(도 12a의 E1, 제 1 단계). 다음에, 스타트 펄스 GSP의 정지후, 펄스 출력이 시프트 레지스터의 마지막단까지 도달한 후에 복수의 클록 신호 GCK를 정지한다(도 12a의 E2, 제 2 단계). 다음에, 전원 전압의 고전원 전위 Vdd를 저전원 전위 Vss로 한다(도 12a의 E3, 제 3 단계). 다음에, 단자(126A)의 전위를 스위칭 소자(127)가 비도통 상태가 되는 전위로 한다(도 12a의 E4, 제 4 단계).

[0200] 상술한 차례에 의해, 구동 회로부(121)의 오동작을 일으키지 않고 구동 회로부(121)에 공급하는 신호를 정지할 수 있다. 동영상으로부터 정지 화상으로 전환할 때의 오동작은 노이즈(noise)를 발생시키고, 노이즈는 정지 화상으로서 유지되기 때문에, 오동작이 적은 표시 제어 회로를 탑재한 액정 표시 장치는 화상 열화가 적은 정지 화상을 표시할 수 있다.

[0201] 다음에, 정지 화상으로부터 동영상으로 전환하는 기간(1404)의 표시 제어 회로의 동작을 도 12b에 도시한다. 표시 제어 회로는 단자(126A)의 전위를 스위칭 소자(127)가 도통 상태가 되는 전위로 한다(도 12b의 S1, 제 1 단계). 다음에, 전원 전압을 저전원 전위 Vss로부터 고전원 전위 Vdd로 한다(도 12b의 S2, 제 2 단계). 다음에, 클록 신호 GCK로 하고 먼저 high 전위를 인가한 후, 복수의 클록 신호 GCK를 공급한다(도 12b의 S3, 제 3 단계). 다음에, 스타트 펄스 GSP를 공급한다(도 12b의 S4, 제 4 단계).

[0202] 상술한 차례에 의해, 구동 회로부(121)의 오동작을 일으키지 않고 구동 회로부(121)에 구동 신호의 공급을 재개 할 수 있다. 각 배선의 전위를 적절히 순차적으로 동영상 표시시로 돌아가도록 함으로써 오동작 없이 구동 회로부를 구동할 수 있다.

[0203] 또한, 도 13에 동영상을 표시하는 기간(601), 또는 정지 화상을 표시하는 기간(602)에서의 프레임 기간마다 화상 신호의 기록 빈도를 모식적으로 도시한다. 도 13에 있어서 'W'는 화상 신호의 기록 기간인 것을 나타내고, 'H'는 화상 신호를 유지하는 기간인 것을 나타낸다. 또한, 도 13에 있어서, 기간(603)은 1프레임 기간을 나타낸 것이지만, 다른 기간이라도 좋다.

[0204] 상술한 바와 같이 본 실시형태의 액정 표시 장치의 구성에 있어서, 기간(602)에서 표시되는 정지 화상의 화상 신호는 기간(604)에 기록되고, 기간(604)에서 기록된 화상 신호는 기간(602)의 다른 기간에서 유지된다.

[0205] 본 실시형태에 예시한 액정 표시 장치는, 정지 화상을 표시하는 기간에서 화상 신호의 기록 빈도를 저감할 수 있다. 결과적으로, 정지 화상을 표시할 때의 저소비 전력화를 도모할 수 있다.

[0206] 또한, 동일 화상을 복수회 재기록하고 정지 화상을 표시하는 경우, 화상 전환이 시인되면, 사람은 눈에 피로감을 느낄 수도 있다. 본 실시형태의 액정 표시 장치는 화상 신호의 기록 빈도가 삭감되기 때문에, 눈의 피로감을 줄일 수 있다는 효과도 있다.

[0207] 특히, 본 실시형태의 액정 표시 장치는 오프 전류가 저감된 트랜지스터를 각 화소, 및 공통 전극의 스위칭 소자에 적용함으로써, 유지 용량으로 전압을 유지할 수 있는 기간(시간)을 길게 할 수 있다. 이로써, 화상 신호의 기록 빈도를 획기적으로 저감할 수 있게 되고, 정지 화상을 표시할 때의 저소비 전력화, 및 눈의 피로 저감에

현저한 효과를 갖는다.

[0208] 액정 소자로서는, 실시형태 1 또는 실시형태 2에서 제시한 전극층의 구성 및 고분자 분산형 액정(PDLC)을 사용한 액정 소자를 적용한다. 실시형태 1 또는 실시형태 2에서 제시한 액정 표시 장치에서, 콘트라스트비의 향상, 저소비 전력화를 달성할 수 있다.

[0209] 시인성이 더 양호하고, 고화질의 액정 표시 장치를 제공할 수 있다.

[0210] 또한, 고분자 분산형 액정을 사용한 액정 표시 장치는 배향막 및 편광판을 설치하지 않아도 좋기 때문에, 배향막 및 편광판에 의한 광의 흡수가 없고, 더 고휘도의 밝은 표시 화면으로 할 수 있다. 따라서, 광의 이용 효율이 좋기 때문에, 저소비 전력화에도 기여한다. 배향막 및 편광판에 관련한 공정이나 비용을 삭감할 수 있기 때문에, 더 높은 스루풋, 저비용을 실현할 수 있다. 또한, 배향막을 설치하지 않기 때문에, 러빙 처리도 필요없게 되고 러빙 처리로 인한 정전 파괴를 방지할 수 있어서, 제작 공정시의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서, 액정 표시 장치를 고수율로 제작할 수 있고 생산성을 향상시킬 수 있다.

[0211] (실시형태 4)

[0212] 본 실시형태에서는 본 명세서에 개시하는 액정 표시 장치에 적용할 수 있는 트랜지스터의 예를 제시한다. 본 명세서에 개시하는 액정 표시 장치에 적용할 수 있는 트랜지스터의 구조는 특별히 한정되지 않고, 예를 들어 톱 게이트 구조, 또는 보텀 게이트 구조의 스태거형 및 플래너형 등을 사용할 수 있다. 또한, 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조라도 좋고, 2개 형성되는 더블 게이트 구조 또는 3개 형성되는 트리플 게이트 구조라도 좋다. 또한, 채널 영역 위아래에 게이트 절연층을 개재하여 배치된 2개의 게이트 전극층을 갖는, 듀얼 게이트형이라도 좋다. 또한, 도 7a 내지 도 7d를 사용하여 트랜지스터의 단면 구조의 일례를 이하에 제시한다.

[0213] 도 7a에 도시하는 트랜지스터(410)는 보텀 게이트 구조의 박막 트랜지스터의 하나이며, 역스태거형 박막 트랜지스터라고도 한다.

[0214] 트랜지스터(410)는 절연 표면을 갖는 기판(400) 위에 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 소스 전극층(405a), 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(410)를 덮어 반도체층(403)에 접층되는 절연막(407)이 형성된다. 절연막(407) 위에는 절연층(409)이 더 형성된다.

[0215] 도 7b에 도시하는 트랜지스터(420)는 채널 보호형(채널 스탬핑이라고도 함)이라고 불리는 보텀 게이트 구조의 하나이며, 역스태거형 박막 트랜지스터라고도 한다.

[0216] 트랜지스터(420)는 절연 표면을 갖는 기판(400) 위에 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 반도체층(403)의 채널 형성 영역을 덮는 채널 보호층으로서 기능하는 반도체층(427), 소스 전극층(405a), 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(420)를 덮어 절연층(409)이 형성된다.

[0217] 도 7c에 도시하는 트랜지스터(430)는 보텀 게이트형 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(400) 위에 게이트 전극층(401), 게이트 절연층(402), 소스 전극층(405a), 드레인 전극층(405b), 및 반도체층(403)을 포함한다. 또한, 트랜지스터(430)를 덮어 반도체층(403)에 접하는 절연막(407)이 형성된다. 절연막(407) 위에는 절연층(409)이 더 형성된다.

[0218] 트랜지스터(430)에 있어서는 게이트 절연층(402)은 기판(400) 및 게이트 전극층(401) 위에 접하여 형성되고, 게이트 절연층(402) 위에 소스 전극층(405a), 드레인 전극층(405b)이 접하여 형성된다. 그리고, 게이트 절연층(402), 및 소스 전극층(405a), 드레인 전극층(405b) 위에 반도체층(403)이 형성된다.

[0219] 도 7d에 도시하는 트랜지스터(440)는 톱 게이트 구조의 박막 트랜지스터의 하나이다. 트랜지스터(440)는 절연 표면을 갖는 기판(400) 위에 절연층(437), 반도체층(403), 소스 전극층(405a), 및 드레인 전극층(405b), 게이트 절연층(402), 게이트 전극층(401)을 포함하고, 소스 전극층(405a), 드레인 전극층(405b)에 각각 배선층(436a), 배선층(436b)이 접하여 형성되고 전기적으로 접속된다.

[0220] 절연 표면을 갖는 기판(400)에 사용할 수 있는 기판에 큰 제한은 없지만, 바륨 보로실리케이트 유리나 알루미노 보로실리케이트 유리 등의 유리 기판을 사용한다.

[0221] 보텀 게이트 구조의 트랜지스터(410, 420, 430)에 있어서, 하지막이 되는 절연막을 기판과 게이트 전극층 사이에 설치하여도 좋다. 하지막은 기판(441)으로부터 불순물 원소가 확산되는 것을 방지하는 기능이 있고, 질화실리콘막, 산화실리콘막, 질화산화실리콘막, 또는 산화질화실리콘막 중에서 선택된 하나 또는 복수의 막의 적층

구조로 형성할 수 있다.

[0222] 게이트 전극층(401)의 재료는 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여, 단층 구조 또는 적층 구조로 형성할 수 있다.

[0223] 게이트 절연층(402)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화실리콘층, 질화실리콘층, 산화질화실리콘층 또는 질화산화실리콘층, 산화알루미늄층, 질화알루미늄층, 산화질화알루미늄층, 질화산화알루미늄층, 또는 산화하프늄층을 단층 구조 또는 적층 구조로 형성할 수 있다. 예를 들어, 제 1 게이트 절연층으로서 플라즈마 CVD법으로 막 두께 50nm 이상 200nm 이하의 질화실리콘층(SiN_y ($y > 0$))을 형성하고, 제 1 게이트 절연층 위에 제 2 게이트 절연층으로서 막 두께 5nm 이상 300nm 이하의 산화실리콘층(SiO_x ($x > 0$))을 적층하여 총 막 두께 200nm의 게이트 절연층으로 한다.

[0224] 소스 전극층(405a), 드레인 전극층(405b)에 사용하는 도전막으로서는, 예를 들어 Al, Cr, Cu, Ta, Ti, Mo, W 중에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나 상술한 원소를 조합한 합금막 등을 사용할 수 있다. 또한, Al, Cu 등의 금속층의 하측, 또는 상측 중 한쪽 또는 양쪽에 Ti, Mo, W 등의 고용접 금속층을 적층시킨 구조으로 하여도 좋다. 또한, Al막에 생기는 힐록(hilllock)이나 위스커(wisker)의 발생을 방지하는 원소(Si, Nd, Sc 등)가 첨가된 Al 재료를 사용함으로써 내열성을 향상시킬 수 있다.

[0225] 소스 전극층(405a), 드레인 전극층(405b)에 접속하는 배선층(436a), 배선층(436b)과 같은 도전막에도 소스 전극층(405a), 드레인 전극층(405b)과 같은 재료를 사용할 수 있다.

[0226] 또한, 소스 전극층(405a), 드레인 전극층(405b)(이것과 같은 층으로 형성되는 배선층을 포함함)이 되는 도전막으로서는 도전성 금속 산화물로 형성하여도 좋다. 도전성 금속 산화물로서는 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐-산화주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기함), 산화인듐-산화아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$) 또는 이를 금속 산화물 재료에 산화실리콘을 함유시킨 것을 사용할 수 있다.

[0227] 절연막(407, 427, 437)은 대표적으로는 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 또는 산화질화알루미늄막 등의 무기 절연막을 사용할 수 있다.

[0228] 절연층(409)은 질화실리콘막, 질화알루미늄막, 질화산화실리콘막, 질화산화알루미늄막 등의 무기 절연막을 사용할 수 있다.

[0229] 또한, 절연층(409) 위에 트랜지스터에 기인한 표면 요철을 저감하기 위해서, 평탄화 절연막을 형성하여도 좋다. 평탄화 절연막으로서는 폴리이미드, 아크릴, 벤조사이클로부텐 등의 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연막을 형성하여도 좋다.

[0230] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0231] (실시형태 5)

[0232] 상기 실시형태 2 내지 실시형태 4에 있어서, 트랜지스터의 반도체층에 사용할 수 있는 예로서 산화물 반도체를 설명한다.

[0233] 실시형태 4에서 제시한 도 7a 내지 도 7d의 트랜지스터(410, 420, 430, 440)에 있어서, 반도체층(403)으로서 산화물 반도체층을 사용할 수 있다.

[0234] 반도체층(403)에 사용하는 산화물 반도체로서는, 4원계 금속 산화물인 In-Sn-Ga-Zn-O 계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O 계 산화물 반도체, In-Sn-Zn-O 계 산화물 반도체, In-Al-Zn-O 계 산화물 반도체, Sn-Ga-Zn-O 계 산화물 반도체, Al-Ga-Zn-O 계 산화물 반도체, Sn-Al-Zn-O 계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O 계 산화물 반도체, Sn-Zn-O 계 산화물 반도체, Al-Zn-O 계 산화물 반도체, Zn-Mg-O 계 산화물 반도체, Sn-Mg-O 계 산화물 반도체, In-Mg-O 계 산화물 반도체나, In-Ga-O 계 산화물 반도체, In-O 계 산화물 반도체, Sn-O 계 산화물 반도체, Zn-O 계 산화물 반도체 등을 사용할 수 있다. 또한, 상기 산화물 반도체가 SiO_2 를 포함하여도 좋다. 여기서, 예를 들어 In-Ga-Zn-O 계 산화물 반도체란 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물막이라는 뜻이며, 그 조성비는 특별히 불문한다. 또한, In, Ga, Zn 이외의 원소를 포함하여도 좋다.

[0235] 또한, 산화물 반도체층은 화학식 InMO_3 (ZnO)_m($m > 0$)으로 표기되는 박막을 사용할 수 있다. 여기서, M은 Ga, Al,

Mn 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로서 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.

[0236] 또한, 산화물 반도체로서 In-Zn-O계 재료를 사용하는 경우, 원자수 비율을 $In/Zn=0.5$ 내지 50, 바람직하게는 $In/Zn=1$ 내지 20, 더 바람직하게는 $In/Zn=1.5$ 내지 15로 한다. Zn의 원자수 비율을 바람직한 상기 범위로 함으로써, 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다. 또한, 화합물의 원자수 비율이 $In:Zn:O=X:Y:Z$ 일 때, $Z>1.5X+Y$ 로 한다.

[0237] 반도체층(403)에 사용하는 산화물 반도체로서는 인듐을 포함하는 산화물 반도체, 인듐 및 갈륨을 포함하는 산화물 반도체 등을 적합하게 사용할 수 있다.

[0238] 산화물 반도체층을 사용한 트랜지스터(410, 420, 430, 440)는 오프 상태시의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 실시형태 4에서 제시한 구동 방법을 사용하는 경우, 도 10의 트랜지스터(144)에 산화물 반도체층을 사용한 트랜지스터를 사용하면, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고, 전원 온 상태에서는 기록 간격도 길게 설정할 수 있다. 따라서, 리프레쉬 동작의 빈도를 적게 할 수 있기 때문에, 소비 전력을 더 억제하는 효과를 갖는다.

[0239] 또한, 반도체층(403)으로서 산화물 반도체층을 사용한 트랜지스터(410, 420, 430, 440)는 비교적 높은 전계 효과 이동도를 얻을 수 있기 때문에, 고속 구동이 가능하다. 따라서, 액정 표시 장치의 화소부에 상기 트랜지스터를 사용함으로써, 고화질 화상을 제공할 수 있다. 또한, 상기 트랜지스터를 사용하여 동일 기판 위에 구동 회로부 또는 화소부를 나누어 제작할 수 있기 때문에, 액정 표시 장치의 부품수를 삭감할 수 있다.

[0240] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0241] (실시형태 6)

[0242] 본 실시형태에서는 산화물 반도체층을 포함하는 트랜지스터 및 제작 방법의 다른 일례를 도 8a 내지 도 8e를 사용하여 상세하게 설명한다. 상술한 실시형태와 동일 부분 또는 같은 기능을 갖는 부분 및 공정은 상술한 실시 형태와 마찬가지로 행할 수 있고, 반복 설명은 생략한다. 또한, 같은 개소의 상세한 설명은 생략한다.

[0243] 도 8a 내지 도 8e에 트랜지스터의 단면 구조의 일례를 도시한다. 도 8a 내지 도 8e에 도시하는 트랜지스터(510)는 도 7a에 도시하는 트랜지스터(410)와 같은 보텀 케이트 구조의 역스태거형 박막 트랜지스터이다.

[0244] 본 실시형태의 반도체층에 사용하는 산화물 반도체는 n형 불순물인 수소를 산화물 반도체로부터 제거하고, 산화물 반도체의 주성분 이외의 불순물이 가능한 한 포함되지 않도록 고순도화함으로써, I형(진성(眞性)) 산화물 반도체, 또는 I형(진성)에 가능한 한 가까운 산화물 반도체로 한 것이다. 즉, 불순물을 첨가하여 I형화하는 것이 아니라, 수소나 물 등의 불순물을 극력 제거함으로써, 고순도화된 I형(진성) 반도체 또는 그것에 가깝게 하는 것을 특징으로 한다. 그렇게 함으로써 페르미 준위(Ef)를 진성 페르미 준위(Ei)와 같은 수준으로 할 수 있다. 따라서, 트랜지스터(510)가 갖는 산화물 반도체층은 고순도화 및 전기적으로 I형(진성)화된 산화물 반도체층이다.

[0245] 또한, 고순도화된 산화물 반도체 내에는 캐리어가 매우 적고(제로에 가깝고), 캐리어 농도가 $1\times10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1\times10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1\times10^{11}/\text{cm}^3$ 미만이다.

[0246] 산화물 반도체 내에 캐리어가 매우 적기 때문에, 트랜지스터는 오프 전류를 적게 할 수 있다. 오프 전류는 적으면 적을수록 바람직하다.

[0247] 구체적으로는, 상술한 산화물 반도체층을 구비하는 트랜지스터(510)는 오프 상태시의 전류값(오프 전류값)을 채널폭 $1\mu\text{m}$ 당 $10\text{zA}/\mu\text{m}$ 미만, 85°C 에서 $100\text{zA}/\mu\text{m}$ 미만 수준까지 낮게 할 수 있다.

[0248] 오프 상태시의 전류값(오프 전류값)이 매우 작은 트랜지스터를 실시형태 4에 제시한 화소부의 트랜지스터로서 사용함으로써, 정지 화상 영역에서의 리프레쉬 동작을 적은 화상 데이터의 기록 횟수로 행할 수 있다.

[0249] 또한, 상술한 산화물 반도체층을 구비하는 트랜지스터(510)는 온 전류의 온도 의존성이 거의 없고, 오프 전류도 매우 작게 유지된다. 또한, 광 열화에 의한 트랜지스터 특성의 변동도 적다.

[0250] 이하에서는 도 8a 내지 도 8e를 사용하여 기판(505) 위에 트랜지스터(510)를 제작하는 공정을 설명한다.

[0251] 우선, 절연 표면을 갖는 기판(505) 위에 도전막을 형성한 후, 제 1 포토리소그래피 공정으로 케이트 전극층

(511)을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면, 포토 마스크를 사용하지 않기 때문에, 제조 비용을 절감할 수 있다.

[0252] 절연 표면을 갖는 기판(505)은 상술한 실시형태에 제시한 기판(400)과 같은 기판을 사용할 수 있다. 본 실시형태에서는 기판(505)으로서 유리 기판을 사용한다.

[0253] 하지막이 되는 절연막을 기판(505)과 게이트 전극층(511) 사이에 설치하여도 좋다. 하지막은 기판(505)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화실리콘막, 산화실리콘막, 질화산화실리콘막, 또는 산화질화실리콘막 중에서 선택된 하나 또는 복수의 막에 의한 적층 구조로 형성할 수 있다.

[0254] 또한, 게이트 전극층(511)의 재료는 몰리브덴, 티타늄, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여, 단층 구조 또는 적층 구조로 형성할 수 있다.

[0255] 다음에, 게이트 전극층(511) 위에 게이트 절연층(507)을 형성한다. 게이트 절연층(507)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 질화산화실리콘층, 산화알루미늄층, 질화알루미늄층, 산화질화알루미늄층, 질화산화알루미늄층, 산화하프늄층, 또는 산화갈륨층을 단층 구조 또는 적층 구조로 형성할 수 있다.

[0256] 본 실시형태의 산화물 반도체는 불순물이 제거되어, I형화 또는 실질적으로 I형화된 산화물 반도체를 사용한다. 이러한 고순도화된 산화물 반도체는 계면 준위, 계면 전하에 대해서 매우 민감하기 때문에, 산화물 반도체층과 게이트 절연층의 계면은 중요하다. 그렇기 때문에, 고순도화된 산화물 반도체에 접하는 게이트 절연층은 고품질화가 요구된다.

[0257] 예를 들어 μ 파(예를 들어 주파수 2.45GHz)를 사용한 고밀도 플라즈마 CVD는 치밀하고 절연 내압이 높은 고품질의 절연층을 형성할 수 있어서 바람직하다. 고순도화된 산화물 반도체와 고품질 게이트 절연층이 밀접함으로써, 계면 준위를 저감하여 계면 특성을 양호한 것으로 할 수 있기 때문이다.

[0258] 물론, 게이트 절연층으로서 양질의 절연층을 형성할 수 있는 것이라면, 스퍼터링법이나 플라즈마 CVD법 등 다른 성막 방법을 적용할 수 있다. 또한, 성막 후의 열처리에 의해 게이트 절연층의 막질, 산화물 반도체와의 계면 특성이 개질되는 절연층이라도 좋다. 하여간, 게이트 절연층으로서의 막질이 양호한 것은 물론이고, 산화물 반도체와의 계면 준위 밀도를 저감하고 양호한 계면을 형성할 수 있는 것이라면 좋다.

[0259] 또한, 게이트 절연층(507), 산화물 반도체막(530)에 수소, 수산기 및 수분이 가능한 한 포함되지 않도록 하기 위해서, 산화물 반도체막(530)의 형성 전처리로서 스퍼터링 장치의 예비 가열실에서 게이트 전극층(511)이 형성된 기판(505), 또는 게이트 절연층(507)까지 형성된 기판(505)을 예비 가열하고, 기판(505)에 흡착한 수소, 수분 등의 불순물을 탈리하고 배기하는 것이 바람직하다. 또한, 예비 가열실에 설치하는 배기 수단은 크라이오펌프가 바람직하다. 또한, 이 예비 가열 처리는 생략할 수도 있다. 또한, 이 예비 가열은 절연층(516)의 형성 전에 소스 전극층(515a) 및 드레인 전극층(515b)까지 형성한 기판(505)에도 마찬가지로 행하여도 좋다.

[0260] 다음에, 게이트 절연층(507) 위에 막 두께 2nm 이상 200nm 이하, 바람직하게는 5nm 이상 30nm 이하의 산화물 반도체막(530)을 형성한다(도 8a 참조).

[0261] 또한, 산화물 반도체막(530)을 스퍼터링법으로 형성하기 전에 아르곤 가스를 도입하고 플라즈마를 발생시키는 역스퍼터링을 행하여, 게이트 절연층(507) 표면에 부착하는 분말상 물질(파티클, 먼지라고도 함)을 제거하는 것이 바람직하다. 역스퍼터링이란 타깃 측에 전압을 인가하지 않고 아르곤 분위기하에서 기판 측에 RF 전원을 사용하여 전압을 인가하고 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 사용하여도 좋다.

[0262] 산화물 반도체막(530)에 사용하는 산화물 반도체는 실시형태 5에 제시한 4원계 금속 산화물이나, 3원계 금속 산화물이나, 2원계 금속 산화물이나, In-0계, Sn-0계, Zn-0계 등의 산화물 반도체를 사용할 수 있다. 또한, 상기 산화물 반도체가 SiO_2 를 포함하여도 좋다. 본 실시형태에서는 산화물 반도체막(530)으로서 In-Ga-Zn-0계 산화물 타깃을 사용하여 스퍼터링법으로 형성한다. 이 단계에서의 단면도가 도 8a에 상당한다. 또한, 산화물 반도체막(530)은 희 가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희 가스와 산소의 혼합 분위기하에서 스퍼터링법으로 형성할 수 있다.

[0263] 산화물 반도체막(530)을 스퍼터링법으로 제작하기 위한 타깃으로서는, 예를 들어 조성 비율이 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1:1:1$ [mol수비]의 산화물 타깃을 사용하여 In-Ga-Zn-0막을 형성한다. 다만, 이 타깃의 재료 및 조성에 한

정되지 않고, 예를 들어 $In_2O_3: Ga_2O_3: ZnO=1:1:2$ [mol수비]의 산화물 타깃을 사용하여도 좋다. 산화물 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타깃을 사용함으로써, 형성한 산화물 반도체막은 치밀한 막이 된다.

[0264] 산화물 반도체막(530)을 성막할 때 사용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.

[0265] 깁암 상태로 유지된 성막실 내에 기판을 유지하고, 기판 온도를 100°C 이상 600°C 이하, 바람직하게는 200°C 이상 400°C 이하로 한다. 기판을 가열하면서 성막함으로써, 형성한 산화물 반도체막에 함유되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 그리고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타깃을 사용하여 기판(505) 위에 산화물 반도체막(530)을 형성한다. 성막실 내의 잔류 수분을 제거하기 위해서는 흡착형 진공 펌프, 예를 들어 크라이오 펌프(cryopump), 이온 펌프, 티타늄 서블리메이션 펌프(titanium sublimation pump)를 사용하는 것이 바람직하다. 또한, 배기 수단으로서는 터보 펌프에 콜드 트랩(cold trap)을 장착한 것이라도 좋다. 크라이오 펌프를 사용하여 배기한 성막실은, 예를 들어 수소 원자나 물(H_2O) 등 수소 원자를 포함하는 화합물(더 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 상기 성막실에서 형성한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다.

[0266] 성막 조건의 일례로서는, 기판과 타깃 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량 비율 100%) 분위기하의 조건이 적용된다. 또한, 펄스 직류 전원을 사용하면, 성막시에 발생하는 분말상 물질(파티클, 먼지라고도 함)을 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다.

[0267] 다음에, 산화물 반도체막(530)을 제 2 포토리소그래피 공정으로 섬 형상의 산화물 반도체층으로 가공한다. 또한, 섬 형상의 산화물 반도체층을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면, 포토 마스크를 사용하지 않기 때문에 제조 비용을 저감할 수 있다.

[0268] 또한, 케이트 절연층(507)에 콘택트 홀을 형성하는 경우, 그 공정은 산화물 반도체막(530) 가공시에 동시에 행할 수 있다.

[0269] 또한, 여기서의 산화물 반도체막(530)의 에칭은 드라이 에칭이라도 좋고 웨트 에칭이라도 좋고 양쪽 모두 사용하여도 좋다. 예를 들어, 산화물 반도체막(530)의 웨트 에칭에 사용하는 에칭액으로서는 인산과 아세트산과 질산을 섞은 용액, 암모니아과수(31wt% 과산화수소수: 28wt% 암모니아수: 물=5:2:2) 등을 사용할 수 있다. 또한, ITO07N(KANTO CHEMICAL Co., Inc 제조)를 사용하여도 좋다.

[0270] 다음에, 산화물 반도체층에 제 1 가열 처리를 행한다. 이 제 1 가열 처리에 의해 산화물 반도체층의 탈수화 또는 탈수소화를 행할 수 있다. 제 1 가열 처리의 온도는 400°C 이상 750°C 이하, 또는 400°C 이상 기판의 변형 점 미만으로 한다. 여기서는 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대해서 질소 분위기하, 450°C에서 1시간의 가열 처리를 행한 후, 대기에 노출하지 않고 산화물 반도체층에 물이나 수소가 다시 혼입하는 것을 방지하고, 산화물 반도체층(531)을 얻는다(도 8b 참조).

[0271] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열 전도 또는 열 복사에 의해 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 빛(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온 가스를 사용하여 가열 처리하는 장치이다. 고온 가스로서는 아르곤 등의 희 가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.

[0272] 예를 들어 제 1 가열 처리로서 650°C 내지 700°C의 고온으로 가열한 불활성 가스 중에 기판을 이동시켜 놓고, 몇분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스 중으로부터 꺼내는 GRTA를 실시하여도 좋다.

[0273] 또한, 제 1 가열 처리에서는 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

- [0274] 또한, 제 1 가열 처리로 산화물 반도체층을 가열한 후, 같은 노(爐)에 고순도 산소 가스, 고순도 N₂O 가스, 또는 초건조 에어(노점이 -40°C 이하, 바람직하게는 -60°C 이하)를 도입하여도 좋다. 산소 가스 또는 N₂O 가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는 N₂O 가스의 순도를 6N 이상, 바람직하게는 7N 이상(즉 산소 가스 또는 N₂O 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 산소 가스 또는 N₂O 가스의 작용으로 인하여, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 의해, 동시에 감소되어 버린, 산화물 반도체를 구성하는 주성분 재료인 산소를 공급함으로써, 산화물 반도체층을 고순도화 및 전기적으로 I형(진성)화한다.
- [0275] 또한, 산화물 반도체층의 제 1 가열 처리는 섬 형상의 산화물 반도체층에 가공하기 전의 산화물 반도체막(530)에 행할 수도 있다. 이 경우에는, 제 1 가열 처리 후에 가열 장치로부터 기판을 꺼내서 포토리소그래피 공정을 행한다.
- [0276] 또한, 제 1 가열 처리는 상술한 타이밍 이외에도 산화물 반도체층 성막 후라면, 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 적층시킨 후, 또는 소스 전극층 및 드레인 전극층 위에 절연층을 형성한 후 중 어느 타이밍에 행하여도 좋다.
- [0277] 또한, 게이트 절연층(507)에 콘택트 홀을 형성하는 경우, 그 공정은 산화물 반도체막(530)에 제 1 가열 처리를 행하기 전이라도 좋고 처리한 후라도 좋다.
- [0278] 또한, 산화물 반도체층을 2번으로 나누어 성막하고, 2번으로 나누어 가열 처리를 행함으로써, 하지 부재의 재료가 산화물, 질화물, 금속 등 재료를 불문하고, 막 두께가 두꺼운 결정 영역(단결정 영역), 즉 막 표면에 수직으로 c축 배향한 결정 영역을 갖는 산화물 반도체층을 형성하여도 좋다. 예를 들어 3nm 이상 15nm 이하의 제 1 산화물 반도체막을 형성하고, 질소, 산소, 희ガ스, 또는 건조 공기의 분위기하에서 450°C 이상 850°C 이하, 바람직하게는 550°C 이상 750°C 이하의 제 1 가열 처리를 행하여, 표면을 포함하는 영역에 결정 영역(판 형상의 결정을 포함함)을 갖는 제 1 산화물 반도체막을 형성한다. 그리고, 제 1 산화물 반도체막보다 두꺼운 제 2 산화물 반도체막을 형성하고, 450°C 이상 850°C 이하, 바람직하게는 600°C 이상 700°C 이하의 제 2 가열 처리를 행하여, 제 1 산화물 반도체막을 결정 성장의 종(種)으로서 상방으로 결정 성장시켜서 제 2 산화물 반도체막의 전체를 결정화시키고, 결과적으로 막 두께가 두꺼운 결정 영역을 갖는 산화물 반도체층을 형성하여도 좋다.
- [0279] 다음에, 게이트 절연층(507) 및 산화물 반도체층(531) 위에 소스 전극층 및 드레인 전극층(이것과 같은 층으로 형성되는 배선을 포함함)이 되는 도전막을 형성한다. 소스 전극층 및 드레인 전극층에 사용하는 도전막으로서는 상기 실시형태에 제시한 소스 전극층(405a), 드레인 전극층(405b)에 사용하는 재료를 사용할 수 있다.
- [0280] 제 3 포토리소그래피 공정으로 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭하여 소스 전극층(515a), 드레인 전극층(515b)을 형성한 후, 레지스트 마스크를 제거한다(도 8c 참조).
- [0281] 제 3 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광에는 자외선이나 KrF 레이저 광이나 ArF 레이저 광을 사용하면 좋다. 산화물 반도체층(531) 위에서 인접한 소스 전극층의 하단부와 드레인 전극층의 하단부의 간격폭에 따라, 나중에 형성되는 트랜지스터의 채널 길이 L이 결정된다. 또한, 채널 길이 L=25nm 미만의 노광을 행하는 경우에는 수nm 내지 수십nm로 파장이 매우 짧은 초자외선(Extreme Ultraviolet)을 사용하여 제 3 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광을 행하면 좋다. 초자외선에 의한 노광은 해상도가 높고, 초점(焦點) 심도도 크다. 따라서, 나중에 형성되는 트랜지스터의 채널 길이 L을 10nm 이상 1000nm 이하로 할 수도 있고, 회로의 동작 속도를 고속화할 수 있다.
- [0282] 또한, 포토리소그래피 공정에서 사용하는 포토 마스크 수 및 공정수를 삭감하기 위해서, 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 형성된 레지스트 마스크를 사용하여 에칭 공정을 행하여도 좋다. 다계조 마스크를 사용하여 형성한 레지스트 마스크는 복수의 막 두께를 갖는 형상이 되고, 에칭함으로써 형상을 더 변형할 수 있으므로, 상이한 패턴으로 가공하는 복수의 에칭 공정에 사용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해 적어도 2종류 이상의 상이한 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크 수를 삭감할 수 있고 대응하는 포토리소그래피 공정도 삭감할 수 있기 때문에, 공정의 간략화가 가능하게 된다.
- [0283] 또한, 도전막을 에칭할 때, 산화물 반도체층(531)이 에칭되어 분단되지 않도록 에칭 조건을 최적화하는 것이 바람직하다. 그러나, 도전막만을 에칭하고 산화물 반도체층(531)을 전혀 에치하지 않는다는 조건은 얻기 어렵고, 도전막을 에칭할 때 산화물 반도체층(531)은 일부만이 에칭되고, 흄부(오목부)를 갖는 산화물 반도체층이 되는

경우도 있다.

- [0284] 본 실시형태에서는 도전막으로서 Ti막을 사용하고, 산화물 반도체층(531)에는 In-Ga-Zn-O계 산화물 반도체를 사용하기 때문에, 에칭액으로서 암모니아과수(암모니아, 물, 과산화수소수의 혼합액)를 사용한다.
- [0285] 다음에, N₂O, N₂, 또는 Ar 등의 가스를 사용한 플라즈마 처리를 행하여, 노출한 산화물 반도체층의 표면에 부착한 흡착수 등을 제거하여도 좋다. 플라즈마 처리를 행한 경우, 대기애 노출하지 않고, 산화물 반도체층의 일부에 접하는 보호 절연막이 되는 절연층(516)을 형성한다.
- [0286] 절연층(516)은 적어도 1nm 이상의 막 두께로 하고, 스퍼터링법 등 절연층(516)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 사용하여 형성할 수 있다. 절연층(516)에 수소가 포함되면, 그 수소가 산화물 반도체층으로 침입하거나 또는 수소에 의해 산화물 반도체층 내의 산소가 추출되어 산화물 반도체층의 백 채널이 저저항화(N형화)되고, 기생 채널이 형성될 우려가 있다. 따라서, 절연층(516)은 가능한 한 수소를 포함하지 않는 막이 되도록 성막 방법에 수소를 사용하지 않는 것이 중요하다.
- [0287] 본 실시형태에서는 절연층(516)으로서 막 두께 200nm의 산화실리콘막을 스퍼터링법을 사용하여 형성한다. 성막 시의 기관 온도는 실온 이상 300°C 이하로 하면 좋고, 본 실시형태에서는 100°C로 한다. 스퍼터링법에 의한 산화실리콘막의 형성은 희 가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희 가스와 산소의 혼합 분위기하에서 실시할 수 있다. 또한, 타깃으로서 산화실리콘 타깃 또는 실리콘 타깃을 사용할 수 있다. 예를 들어 실리콘 타깃을 사용하여 산소를 포함하는 분위기하에서 스퍼터링법으로 산화실리콘막을 형성할 수 있다. 산화물 반도체층에 접하여 형성되는 절연층(516)은 수분이나 수소 이온이나 OH⁻ 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 막는 무기 절연막을 사용하고, 대표적으로는 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화질화알루미늄막, 또는 산화갈륨막 등을 사용한다.
- [0288] 산화물 반도체막(530) 성막시와 마찬가지로, 절연층(516)의 성막실 내의 잔류 수분을 제거하기 위해서는 흡착형 진공 펌프(크라이오 펌프 등)를 사용하는 것이 바람직하다. 크라이오 펌프를 사용하여 배기한 성막실에서 형성한 절연층(516)에 포함되는 불순물의 농도를 저감할 수 있다. 또한, 절연층(516)의 성막실 내의 잔류 수분을 제거하기 위한 배기 수단으로서는 터보 펌프에 콜드 트랩을 더한 것이라도 좋다.
- [0289] 절연층(516)을 성막할 때 사용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0290] 다음에, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 제 2 가열 처리(바람직하게는 200°C 이상 400°C 이하, 예를 들어 250°C 이상 350°C 이하)를 행한다. 예를 들어 질소 분위기하에서 250°C, 1시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 행하면, 산화물 반도체층의 일부(채널 형성 영역)가 절연층(516)과 접한 상태에서 가열된다.
- [0291] 상술한 공정을 거침으로써, 산화물 반도체막에 대해서 제 1 가열 처리를 행하여 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 산화물 반도체층으로부터 의도적으로 배제하고, 또 불순물의 배제 공정에 의해 동시에 감소되는 산화물 반도체를 구성하는 주성분 재료의 하나인 산소를 공급할 수 있다. 따라서, 산화물 반도체층은 고순도화 및 전기적으로 I형(진성)화한다.
- [0292] 상술한 공정으로 트랜지스터(510)가 형성된다(도 8d 참조).
- [0293] 또한, 절연층(516)에 결함을 많이 포함하는 산화실리콘층을 사용하면, 산화실리콘층 형성 후의 가열 처리에 의해 산화물 반도체층 내에 포함되는 수소, 수분, 수산기 또는 수소화물 등의 불순물을 산화물 반도체층으로 확산시켜, 산화물 반도체층 내에 포함되는 상기 불순물을 더 저감시키는 효과를 갖는다.
- [0294] 절연층(516) 위에 보호 절연층(506)을 더 형성하여도 좋다. 예를 들어 RF 스퍼터링법을 사용하여 질화실리콘막을 형성한다. RF 스퍼터링법은 양산성이 좋기 때문에, 보호 절연층의 성막 방법으로서 바람직하다. 보호 절연층은 수분 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 막는 무기 절연막을 사용하여 질화실리콘막, 질화알루미늄막 등을 사용한다. 본 실시형태에서는 보호 절연층(506)을 질화실리콘막을 사용하여 형성한다(도 8e 참조).
- [0295] 본 실시형태에서는 보호 절연층(506)으로서 절연층(516)까지 형성된 기판(505)을 100°C 내지 400°C의 온도로 가열하고, 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하여 실리콘 반도체의 타깃을 사용하여 질화실리콘막을 형성한다. 이 경우에도, 절연층(516)과 마찬가지로, 처리실 내의 잔류 수분을 제거하면

서 보호 절연층(506)을 형성하는 것이 바람직하다.

[0296] 보호 절연층의 형성후, 대기 중에서 100°C 이상 200°C 이하, 1시간 이상 30시간 이하에서의 가열 처리를 더 행하여도 좋다. 이 가열 처리는 일정의 가열 온도를 유지하여 가열하여도 좋고, 실온으로부터 100°C 이상 200°C 이하의 가열 온도로의 승온과 가열 온도로부터 실온까지의 강온을 복수회 반복하여 가열하여도 좋다.

[0297] 이와 같이, 본 실시형태를 사용하여 제작한, 고순도화된 산화물 반도체층을 포함하는 트랜지스터를 사용함으로써, 오프 상태시의 전류값(오프 전류값)을 더 낮게 할 수 있다. 따라서, 실시형태 4에서 제시하는 바와 같은 구동 방법에서 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있어서 기록 간격도 길게 설정할 수 있다. 따라서, 리프레쉬 동작의 빈도를 더 적게 할 수 있기 때문에, 소비 전력을 억제하는 효과를 높일 수 있다.

[0298] 액정 표시 장치에 설치되는 유지 용량의 크기는 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 소정 기간 동안 전하를 유지할 수 있도록 설정된다. 유지 용량의 크기는 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 본 실시형태에서 제시한 고순도의 산화물 반도체층을 갖는 트랜지스터를 사용한다면, 각 화소의 액정 용량에 대해서 1/3 이하, 바람직하게는 1/5 이하의 용량 크기를 갖는 유지 용량을 형성하면 충분하다.

[0299] 또한, 고순도화된 산화물 반도체층을 포함하는 트랜지스터는 높은 전계 효과 이동도를 얻을 수 있기 때문에, 고속 구동이 가능하다. 따라서, 액정 표시 장치의 화소부에 상기 트랜지스터를 사용함으로써, 고화질 화상을 제공할 수 있다. 또한, 상기 트랜지스터에 의해 동일 기판 위에 구동 회로부 또는 화소부를 나누어 제작할 수 있기 때문에, 액정 표시 장치의 부품수를 삭감할 수 있다.

[0300] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0301] (실시형태 7)

[0302] 상기 실시형태 1 내지 실시형태 4에 있어서, 트랜지스터의 반도체층에 사용할 수 있는 다른 재료의 예를 설명한다.

[0303] 반도체 소자가 갖는 반도체층을 형성하는 재료는 실란이나 게르만으로 대표되는 반도체 재료 가스를 사용한 기상 성장법이나 스퍼터링법으로 제작되는 비정질(아모퍼스, 이하 “AS”라고도 함) 반도체, 상기 비정질 반도체를 광 에너지나 열 에너지를 이용하여 결정화시킨 다결정 반도체, 또는 미결정 반도체 등을 사용할 수 있다. 반도체층은 스퍼터링법, LP CVD법, 또는 플라즈마 CVD법 등으로 형성할 수 있다.

[0304] 미결정 반도체막은 주파수가 수십 MHz 내지 수백 MHz의 고주파 플라즈마 CVD법, 또는 주파수가 1GHz 이상의 마이크로파 플라즈마 CVD 장치로 형성할 수 있다. 대표적으로는, SiH₄, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등의 수소화 실리콘을 수소로 희석하여 형성할 수 있다. 또한, 수소화 실리콘 및 수소에 더하여, 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 한 종류 또는 복수 종류의 희 가스 원소로 희석하여 미결정 반도체막을 형성할 수 있다. 이럴 때의 수소화 실리콘에 대해서 수소의 유량비를 5배 이상 200배 이하, 바람직하게는 50배 이상 150배 이하, 더 바람직하게는 100배로 한다.

[0305] 비정질 반도체로서는 대표적으로는 수소화 비정질 실리콘, 결정성 반도체로서는 대표적으로는 폴리실리콘 등을 들 수 있다. 폴리실리콘(다결정 실리콘)에는, 800°C 이상의 프로세스 온도를 거쳐 형성되는 폴리실리콘을 주재료로 하여 사용한 소위 고온 폴리실리콘이나, 600°C 이하의 프로세스 온도로 형성되는 폴리실리콘을 주재료로서 사용한 소위 저온 폴리실리콘, 결정화를 촉진하는 원소 등을 사용하여 비정질 실리콘을 결정화시킨 폴리실리콘 등을 포함한다. 물론 상술한 바와 같이, 미결정 반도체 또는 반도체층의 일부에 결정상을 포함하는 반도체를 사용할 수도 있다.

[0306] 반도체층에 결정성 반도체막을 사용하는 경우, 그 결정성 반도체막의 제작 방법은 각종 방법(레이저 결정화법, 열 결정화법, 또는 니켈 등의 결정화를 촉진시키는 원소를 사용한 열 결정화법 등)을 사용하면 좋다. 또한, 미결정 반도체를 레이저 조사하여 결정화함으로써, 결정성을 높일 수도 있다. 결정화를 촉진시키는 원소를 도입하지 않는 경우에는, 비정질 실리콘막에 레이저광을 조사하기 전에 질소 분위기하, 500°C에서 1시간 동안 가열함으로써 비정질 실리콘막의 함유 수소 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 이하가 될 때까지 방출시킨다. 이것은 수소를 많이 함유한 비정질 실리콘막에 레이저광을 조사하면, 비정질 실리콘막이 파괴되기 때문이다.

[0307] 비정질 반도체막으로 금속 원소를 도입하는 방법으로서는 상기 금속 원소를 비정질 반도체막의 표면 또는 그 내부에 존재시킬 수 있는 방법이면 특별한 한정은 없고, 예를 들어 스퍼터링법, CVD법, 플라즈마 처리법(플라즈마 CVD법도 포함함), 흡착법, 금속염 용액을 도포하는 방법을 사용할 수 있다. 이들 중에서 용액을 사용하는 방법

이 간편하고 금속 원소의 농도를 조정하기가 용이하다는 점에서 유용하다. 또한, 이 때 비정질 반도체막의 표면의 습윤성을 개선하며 비정질 반도체막의 표면 전체에 수용액을 고루 퍼지게 하기 위해서, 산소 분위기 중에서 UV광을 조사하거나 열산화시키거나 또는 하이드록시 라디칼을 포함하는 오존수 또는 과산화 수소에 의한 처리 등으로 산화막을 형성하는 것이 바람직하다.

[0308] 또한, 비정질 반도체막을 결정화하고 결정성 반도체막을 형성하는 결정화 공정에서, 비정질 반도체막에 결정화를 촉진시키는 원소(촉매 원소, 금속 원소라고도 나타냄)를 첨가하고, 열처리(550°C 내지 750°C에서 3분 내지 24시간)로 결정화시켜도 좋다. 결정화를 촉진시키는 원소로서는, 철(Fe), 니켈(Ni), 코발트(Co), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt), 구리(Cu), 및 금(Au) 중에서 선택된 한 종류 또는 복수 종류를 사용할 수 있다.

[0309] 결정화를 촉진시키는 원소를 결정성 반도체막으로부터 제거 또는 저감하기 위해서 결정성 반도체막에 접하여 불순물 원소를 함유하는 반도체막을 형성하고, 게터링 싱크(gettering sink)로서 기능시킨다. 불순물 원소로서는 n형을 부여하는 불순물 원소, p형을 부여하는 불순물 원소나 희 가스 원소 등을 사용할 수 있고, 예를 들어 인(P), 질소(N), 비소(As), 안티몬(Sb), 비스무트(Bi), 봉소(B), 헬륨(He), 네온(Ne), 아르곤(Ar), 크립톤(Kr), 크세논(Xe) 중에서 선택된 한 종류 또는 복수 종류를 사용할 수 있다. 결정화를 촉진시키는 원소를 함유하는 결정성 반도체막에 희 가스 원소를 함유하는 반도체막을 형성하고, 열처리(550°C 내지 750°C에서 3분 내지 24시간)한다. 결정성 반도체막 내에 함유되는 결정화를 촉진시키는 원소는 희 가스 원소를 함유하는 반도체막 내로 이동하여, 결정성 반도체막 내의 결정화를 촉진시키는 원소는 제거 또는 저감된다. 그 후, 게터링 싱크가 된 희 가스 원소를 함유하는 반도체막을 제거한다.

[0310] 비정질 반도체막의 결정화는 열처리와 레이저광 조사에 의한 결정화를 조합하여도 좋고, 열처리나 레이저광 조사를 단독으로 복수회 행하여도 좋다.

[0311] 또한, 결정성 반도체막을 기판에 플라즈마법으로 직접 형성하여도 좋다. 또한, 플라즈마법을 사용하여 결정성 반도체막을 선택적으로 기판에 형성하여도 좋다.

[0312] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0313] (실시형태 8)

[0314] 액정 표시 장치의 일 형태에 상당하는 액정 표시 장치의 외관 및 단면에 대해서, 도 5a 내지 도 5c 및 도 6을 사용하여 설명한다. 도 5a 내지 도 5c는 제 1 기판(4001) 위에 형성된 트랜지스터(4010), 및 액정층(4008)을 포함하는 액정 소자(4013)를 제 2 기판(4006)과 협지하여 셀재(4005)로 밀봉한, 액정 표시 장치의 상면도이고, 도 6은 도 5a에 도시하는 M-N에서의 단면도에 상당한다.

[0315] 본 명세서에 개시하는 액정 표시 장치에 있어서는, 트랜지스터로서 실시형태 2 내지 실시형태 7 중 어느 것에서 제시한 트랜지스터를 사용할 수 있다. 트랜지스터는 화소부, 또한 구동 회로에 사용할 수 있다. 트랜지스터를 사용하여 구동 회로의 일부 또는 전체를 화소부와 같은 기판 위에 일체로 형성하고, 시스템 온 패널(system-on panel)을 형성할 수 있다.

[0316] 도 5a에 있어서, 제 1 기판(4001) 위에 설치된 화소부(4002)를 둘러싸도록 셀재(4005)가 설치되고, 제 2 기판(4006)으로 밀봉된다. 도 5a에서는 제 1 기판(4001) 위의 셀재(4005)에 의해 둘러싸이는 영역과 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 주사선 구동 회로(4004), 신호선 구동 회로(4003)가 실장된다. 또한, 별도 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004) 또는 화소부(4002)에 공급되는 각종 신호 또는 전위는 FPC(Flexible Printed Circuit)(4018a, 4018b)로부터 공급된다.

[0317] 도 5b 및 도 5c에 있어서, 제 1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 셀재가 설치된다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 제 1 기판(4001)과 셀재(4005)와 제 2 기판(4006)에 의해 표시 장치와 함께 밀봉된다. 도 5b 및 도 5c에 있어서는, 제 1 기판(4001) 위의 셀재(4005)에 의해 둘러싸이는 영역과 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다. 도 5b 및 도 5c에서는, 별도로 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004) 또는 화소부(4002)에 공급되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.

[0318] 또한, 도 5b 및 도 5c에서는 신호선 구동 회로(4003)를 별도로 형성하고 제 1 기판(4001)에 실장하는 예를 도시하지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하고 실장하여도 좋고, 신호선 구동 회로

의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하고 실장하여도 좋다.

[0319] 또한, 별도로 형성한 구동 회로의 접속 방법은 특별히 한정되는 것이 아니고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 이용할 수 있다. 도 5a는 COG 방법으로 신호선 구동 회로(4003), 주사선 구동 회로(4004)를 실장하는 예이고, 도 5b는 COG 방법으로 신호선 구동 회로(4003)를 실장하는 예이고, 도 5c는 TAB 방법으로 신호선 구동 회로(4003)를 실장하는 예이다.

[0320] 또한, 액정 표시 장치는 표시 소자가 밀봉된 상태인 패널과, 상기 패널에 컨트롤러를 포함하는 IC를 실장한 상태인 모듈을 포함한다.

[0321] 또한, 본 명세서에서의 표시 장치란 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어 FPC 또는 TAB 테이프, 또는 TCP가 부착된 모듈, TAB 테이프나 TCP 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG 방식으로 IC(접적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함되는 것으로 한다.

[0322] 또한, 제 1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동 회로(4004)는 트랜지스터를 복수 갖고, 실시형태 2 내지 실시형태 7 중 어느 것에서 제시한 트랜지스터를 사용할 수 있다. 도 6에서는 화소부(4002)에 포함되는 트랜지스터(4010)를 예시한다.

[0323] 또한, 도시하지 않지만, 절연층 위에서 구동 회로용 트랜지스터의 반도체층의 채널 형성 영역과 겹치는 위치에 도전층을 형성하여도 좋다. 도전층을 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 형성함으로써, 트랜지스터의 임계값 전압의 변동량을 절감할 수 있다. 또한, 도전층은 전위가 트랜지스터의 게이트 전극층과 마찬가지라도 좋고 상이하여도 좋으며, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층의 전위가 GND, 0V, 또는 부유 상태라도 좋다.

[0324] 또한, 상기 도전층은 외부의 전장(電場)을 차폐하는 기능, 즉 외부의 전장이 내부(트랜지스터를 포함하는 회로부)에 작용하지 않도록 하는 기능(특히, 정전기에 대한 정전 차폐 기능)도 갖는다. 도전층의 차폐 기능에 의해, 정전기 등 외부의 전장의 영향으로 트랜지스터의 전기적 특성이 변동하는 것을 방지할 수 있다.

[0325] 도 6에서는 접속 단자 전극(4015)이 화소 전극층(4030)과 같은 도전막으로 형성되고 단자 전극(4016)은 트랜지스터(4010)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성된다.

[0326] 접속 단자 전극(4015)은 FPC(4018a)가 갖는 단자와 이방성 도전막(4019)을 통하여 전기적으로 접속된다.

[0327] 또한, 4035는 절연막을 선택적으로 예칭함으로써 얻어지는 주상(柱狀) 스페이서이며, 액정층(4008)의 막 두께(셀 캡)를 제어하기 위해서 형성된다. 또한, 구(球) 형상 스페이서를 사용하여도 좋다.

[0328] 본 명세서에 있어서, 액정 표시 장치는 외광의 광을 입사함으로써 표시를 행하는 액정 표시 장치이다. 따라서, 적어도 화소 영역에서 시인 측에 설치되는 기판, 전극층이나 절연층은 광을 투과시킬 필요가 있다. 따라서, 광이 투과하는 화소 영역에 존재하는 기판, 절연층, 전극층 등의 박막은 모두 가시광의 파장 영역의 광에 대해서 투광성으로 한다. 한편, 시인 측과 반대 측에는 반사성을 갖는 전극층이나 막, 및 표시를 행하는 착색층 등을 형성할 수 있다.

[0329] 또한, 도 6의 액정 표시 장치는 제 2 기판(4006) 측이 시인 측이다.

[0330] 제 2 공통 전극층(4031)은 투광성 도전 재료를 사용하여 형성한다. 또한, 화소 전극층(4030), 제 1 공통 전극층(4051)은 반사성 도전 재료를 사용하여도 좋고, 투광성 도전 재료를 사용하여 형성하여도 좋다. 또한, 화소 전극층(4030), 제 1 공통 전극층(4051)은 흑색 도전 재료를 사용하여 흑색을 나타내는 도전층으로 형성하여 흑색층으로서의 기능을 겸하게 하여도 좋다.

[0331] 백색 표시를 행할 때, 화소 전극층(4030), 제 1 공통 전극층(4051)이 반사성을 가지면, 입사한 광이 산란되지 않고 액정층(4008)을 투과하더라도 화소 전극층(4030), 제 1 공통 전극층(4051)에 의해 액정층(4008) 측에 반사되기 때문에, 액정층(4008)으로 효율 좋게 광이 산란되고, 백색 표시의 시인성을 향상시킬 수 있다. 한편, 화소 전극층(4030), 제 1 공통 전극층(4051)이 투광성을 가지면, 액정층(4008)이 투명한 상태가 된 경우, 화소 전극층(4030), 제 1 공통 전극층(4051) 아래(시인 측과 반대 측)에 설치하는 흑색층(또는 착색층)에 의한 표시를 방해하지 않는다.

[0332] 화소 전극층(4030), 제 1 공통 전극층(4051), 제 2 공통 전극층(4031)에 사용할 수 있는 투광성 도전 재료로서는, 예를 들어 산화텅스텐을 함유하는 인듐산화물, 산화텅스텐을 함유하는 인듐아연산화물, 산화티타늄을 함유

하는 인듐산화물, 산화티타늄을 함유하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 함), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0333] 또한, 화소 전극층(4030), 제 1 공통 전극층(4051)에 사용할 수 있는 반사성 도전 재료로서는, 예를 들어 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 그 금속 질화물 중에서 하나, 또는 복수 종류를 사용하여 형성할 수 있다.

[0334] 또한, 화소 전극층(4030), 제 1 공통 전극층(4051), 및 제 2 공통 전극층(4031)으로서 도전성 고분자(도전성 폴리미라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다.

[0335] 액정 소자(4013)의 액정층(4008)으로서 고분자 분산형 액정(PDLC)을 사용한다. 또는, 고분자 네트워크 액정(PNLC)을 사용하여도 좋다. 액정층(4008)은 실시형태 1에서 제시한 액정(208)과 같은 재료 및 방법으로 형성하면 좋다.

[0336] 액정층(4008)에 있어서, 화소 전극층(4030), 제 1 공통 전극층(4051), 및 제 2 공통 전극층(4031)에 전압을 인가하지 않는 경우에는 고분자층 내에 분산되는 액정립에 의해 입사한 광이 산란되고, 액정층(4008)은 불투명하고 백탁 상태가 되고 백색 표시가 된다. 한편, 화소 전극층(4030), 제 1 공통 전극층(4051), 및 제 2 공통 전극층(4031)에 전압을 인가하는 경우에는 액정층(4008)에 전계가 형성되고, 액정립 내의 액정 분자는 전계 방향으로 배열하고, 입사한 광은 액정층(4008)을 투과한다. 따라서, 액정층(4008)은 투명한 상태가 되고, 화소 전극층(4030)도 투광성을 갖기 때문에, 표시 화면에서는 액정층(4008) 아래의 흑색층(4021)을 시인할 수 있게 된다.

[0337] 본 실시형태에서는 흑색층(4021)을 형성하기 때문에 흑색 표시이지만, 흑색층(4021)으로서 적색층, 녹색층, 청색층 등 다른 컬러색을 사용하면 그 컬러색의 표시로 할 수 있다.

[0338] 구조체(4052)를 어느 한쪽의 공통 전극층(본 실시형태에서는 제 1 기판(4001)에 형성되는 제 1 공통 전극층(4051)으로 함) 위에 액정층(4008)으로 돌출하도록 형성하고, 상기 구조체(4052) 위에 화소 전극층(4030)을 형성함으로써 화소 전극층(4030)을 액정층(4008) 내에 배치할 수 있다.

[0339] 제 1 공통 전극층(4051)과 제 2 공통 전극층(4031)으로 협지한 액정층(4008) 중앙에 화소 전극층(4030)을 배치함으로써, 제 1 공통 전극층(4051), 액정층(4008), 및 화소 전극층(4030)으로 이루어진 제 1 액정 소자와, 화소 전극층(4030), 액정층(4008), 및 제 2 공통 전극층(4031)으로 이루어진 제 2 액정 소자라는 2개의 광학 소자를 적층하는 구조로 할 수 있다.

[0340] 액정층(4008)에 있어서, 제 1 공통 전극층(4051)과 화소 전극층(4030) 사이에 개재되는 액정층(4008)은 제 1 공통 전극층(4051)과 화소 전극층(4030) 사이에 형성되는 전계로 제어되고, 화소 전극층(4030)과 제 2 공통 전극층(4031) 사이에 개재되는 액정층(4008)은 화소 전극층(4030)과 제 2 공통 전극층(4031) 사이에 형성되는 전계로 제어된다. 액정층(4008)은 제 1 액정 소자와 제 2 액정 소자를 적층함으로써 두껍게 할 수 있기 때문에, 높은 광산란 효과를 얻을 수 있고, 양호한 백색 표시를 행할 수 있게 된다. 또한, 상기 제 1 액정 소자와 상기 제 2 액정 소자는 회로로서 병렬이기 때문에, 상기 제 1 액정 소자와 상기 제 2 액정 소자를 구동시키는 전압은 제 1 액정 소자 또는 제 2 액정 소자 중 어느 하나를 구동시키기 위한 전압과 마찬가지이다.

[0341] 따라서, 더 양호한 백색 표시를 행하기 위해서 액정층(4008)의 막 두께를 두껍게 하더라도, 액정 소자의 구동 전압을 증가시키지 않고 액정 분자를 응답시킬 수 있다. 따라서, 액정 표시 장치에 있어서, 콘트라스트비의 향상, 저소비 전력화를 달성할 수 있다.

[0342] 시인성이 더 양호하고, 고화질의 액정 표시 장치를 제공할 수 있다.

[0343] 이와 같이, 고분자 분산형 액정은 액정을 미리 배향시키지 않고, 또 입사한 광을 편광시키지 않기 때문에, 배향 막 및 편광판을 설치하지 않아도 좋다.

[0344] 따라서, 고분자 분산형 액정을 사용한 액정 표시 장치는 배향막 및 편광판을 설치하지 않기 때문에, 배향막 및 편광판에 의한 광의 흡수가 없고 더 고화도의 밝은 화면으로 할 수 있다. 따라서, 광의 이용 효율이 좋기 때문에, 저소비 전력화에도 기여한다. 배향막 및 편광판에 관련한 공정이나 비용을 삭감할 수 있기 때문에, 더 높은 스루풋, 저비용을 실현할 수 있다. 또한, 배향막을 설치하지 않기 때문에, 러빙 처리도 필요없게 되고 러빙 처리로 인한 정전 파괴를 방지할 수 있어서, 제작 공정시의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서, 액정 표시 장치를 고수율로 제작할 수 있고 생산성을 향상시킬 수 있다. 특히, 트랜지스터는 정전기의

영향에 의해 트랜지스터의 전기적 특성이 현저히 변동하여 설계 범위를 벗어날 우려가 있다. 따라서, 트랜지스터를 갖는 액정 표시 장치에 고분자 분산형 액정 재료를 사용하는 것은 더 효과적이다.

[0345] 또한, 제 1 기판(4001), 제 2 기판(4006)으로서는 투광성을 갖는 유리, 플라스틱 등을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄포일을 PVF 필름이나 폴리에스테르 필름으로 협지한 구조의 시트를 사용할 수도 있다.

[0346] 또한, 4035는 절연막을 선택적으로 애칭함으로써 얻어지는 주상 스페이서이며, 액정층(4008)의 막 두께(셀 갭)를 제어하기 위해서 설치된다. 또한, 구 형상의 스페이서를 사용하여도 좋다. 액정층(4008)을 사용하는 액정 표시 장치에 있어서, 액정층의 두께인 셀 갭은 5 μm 이상 30 μm 이하(바람직하게는 10 μm 이상 20 μm 이하)로 하면 좋다.

[0347] 보호막으로서 기능하는 절연층(4020), 절연층(4041)으로 트랜지스터를 덮는 구성으로 하여도 좋지만, 특별히 한정되지 않는다. 또한, 본 실시형태에서는 흑색층(4021) 위에 절연층(4023)을 설치한다.

[0348] 또한, 보호막은 대기 중에 부유하는 유기물이나 금속물, 수증기 등 오염 불순물의 침입을 방지하기 위한 것이고 치밀한 막이 바람직하다. 보호막은 스퍼터링법을 사용하여 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 질화산화알루미늄막을 단층 구조 또는 적층 구조로 형성하면 좋다.

[0349] 또한, 평탄화 절연막으로서 투광성 절연층을 더 형성하는 경우, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료 (low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써 절연층을 형성하여도 좋다.

[0350] 적층하는 절연층의 형성 방법은 특별히 한정되지 않고, 그 재료에 따라 스퍼터링법, 스판 코트법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등) 등의 방법, 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등의 도구(설비)를 이용할 수 있다.

[0351] 또한, 액정 표시 장치에 있어서, 광학 부재(광학 기판) 등을 적절히 형성하여도 좋다.

[0352] 또한, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대해서 구동 회로를 보호하기 위한 보호 회로를 동일 기판 위에 설치하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 구성하는 것이 바람직하다.

[0353] 상술한 바와 같이, 액정 표시 장치에 있어서, 콘트라스트비의 향상, 저소비 전력화를 달성할 수 있다.

[0354] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0355] (실시형태 9)

[0356] 본 명세서에 개시하는 액정 표시 장치는 다양한 전자 기기에 적용할 수 있다. 특히 본 명세서에 개시하는 액정 표시 장치는 광산란에 의해 백색을 표시하고 종이와 같은 양질의 화질을 갖기 때문에, 사용자 눈이 편하고 전자 종이로서 적합하게 적용할 수 있다. 전자 종이는 정보를 표시하는 것이라면 모든 분야의 전자 기기에 이용할 수 있다. 예를 들어 전자 종이를 사용하여 전자 서적(전자 책), 포스터, 전철 등 탈것의 차내 광고, 신용 카드 등 각종 카드에서의 표시 등에 적용할 수 있다.

[0357] 또한, 다른 전자 기기로서는 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함) 등에 이용하여도 좋다. 상기 실시형태에서 설명한 액정 표시 장치를 구비하는 전자 기기의 예에 대해서 설명한다.

[0358] 도 14a는 전자 서적(E-book)이며, 케이스(9630), 표시부(9631), 조작 키(9632), 태양 전지(9633), 충방전 제어 회로(9634)를 구비할 수 있다. 도 14a에 도시한 전자 서적은 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 기능을 조작 또는 편집하는 기능, 다양한 소프트 웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 또한, 도 14a에서는 충방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(이하, 컨버터라고 약기함)(9636)를 갖는 구성에 대해서 도시한다. 실시형태 1 내지 실시형태 3 중 어느 것에서 제시한 액정 표시 장치를 표시부(9631)에 적용함으로써, 시인성이 더 양호하고 저소비 전력의 전자 서적으로 할 수 있다.

- [0359] 도 14a에 도시하는 구성으로 함으로써, 표시부(9631)로서 반사형 액정 표시 장치를 사용하는 경우, 비교적 밝은 상황하의 사용도 예상되고, 태양 전지(9633)에 의한 발전, 및 배터리(9635)에서의 충전을 효율 좋게 행할 수 있어서 적합하다. 또한, 태양 전지(9633)는 케이스(9630)의 나머지 스페이스(표면이나 이면)에 적절히 형성할 수 있기 때문에, 효율적으로 배터리(9635)를 충전하는 구성으로 할 수 있어서 적합하다. 또한, 배터리(9635)로서는 리튬 이온 전지를 사용하면, 소형화를 도모할 수 있는 등의 이점이 있다.
- [0360] 또한, 도 14a에 도시하는 충반전 제어 회로(9634)의 구성 및 동작에 대해서 도 14b에 블록도를 도시하고 설명한다. 도 14b에는 태양 전지(9633), 배터리(9635), 컨버터(9636), 컨버터(9637), 스위치 SW1 내지 SW3, 표시부(9631)에 대해서 도시하고, 배터리(9635), 컨버터(9636), 컨버터(9637), 스위치 SW1 내지 SW3이 충방전 제어 회로(9634)에 대응하는 개소가 된다.
- [0361] 우선, 외광에 의해 태양 전지(9633)로 발전되는 경우의 동작 예에 대해서 설명한다. 태양 전지로 발전한 전력은 배터리(9635)를 충전하기 위한 전압이 되도록 컨버터(9636)로 승압 또는 강압된다. 그리고, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 사용될 때는 스위치 SW1을 온으로 하고, 컨버터(9637)로 표시부(9631)에 필요한 전압으로 승압 또는 강압한다. 또한, 표시부(9631)에서의 표시를 행하지 않을 때는 스위치 SW1을 오프로 하고, 스위치 SW2를 온으로 하여 배터리(9635)를 충전하는 구성으로 하면 좋다.
- [0362] 다음에, 외광에 의해 태양 전지(9633)로 발전되지 않는 경우의 동작 예에 대해서 설명한다. 배터리(9635)에 충전된 전력은 스위치 SW3을 온으로 함으로써 컨버터(9637)에 의해 승압 또는 강압된다. 그리고, 표시부(9631)의 동작에 배터리(9635)로부터의 전력이 사용된다.
- [0363] 또한, 태양 전지(9633)에 대해서는 충전 수단의 일례로서 제시하였지만, 다른 수단에 의해 배터리(9635)를 충전하는 구성이라도 좋다. 또한, 다른 충전 수단을 조합하여 행하는 구성으로 하여도 좋다.
- [0364] 도 15a 및 도 15b는 상기 실시형태를 적용하여 형성되는 액정 표시 장치를, 가요성을 갖는 전자 서적에 적용한 예이다. 도 15a는 전자 서적을 펼친 상태이고, 도 15b는 전자 서적을 닫은 상태이다. 제 1 표시 패널(4311), 제 2 표시 패널(4312), 제 3 표시 패널(4313)에 상기 실시형태를 적용하여 형성되는 액정 표시 장치를 사용할 수 있다. 광산란에 의해 백색을 표시하는 액정 표시 장치를 적용함으로써, 시인성이 더 양호하고, 저소비 전력의 전자 서적으로 할 수 있다.
- [0365] 제 1 케이스(4305)는 제 1 표시부(4301)를 갖는 제 1 표시 패널(4311)을 갖고, 제 2 케이스(4306)는 조작부(4304) 및 제 2 표시부(4307)를 갖는 제 2 표시 패널(4312)을 갖고, 양면 표시형 패널인 제 3 표시 패널(4313)은 제 3 표시부(4302) 및 제 4 표시부(4310)를 갖고, 제 3 표시 패널(4313)은 제 1 표시 패널(4311)과 제 2 표시 패널(4312) 사이에 삽입된다. 제 1 케이스(4305), 제 1 표시 패널(4311), 제 3 표시 패널(4313), 제 2 표시 패널(4312), 및 제 2 케이스(4306)는 구동 회로가 내부에 형성된 힌지부(4308)에 의해 접속된다. 도 15a의 전자 책은 제 1 표시부(4301), 제 2 표시부(4307), 제 3 표시부(4302), 및 제 4 표시부(4310)의 4개의 표시화면을 갖는다.
- [0366] 제 1 케이스(4305), 제 1 표시 패널(4311), 제 3 표시 패널(4313), 제 2 표시 패널(4312), 및 제 2 케이스(4306)는 가요성을 갖고, 구부리기 쉽다. 또한, 제 1 케이스(4305), 제 2 케이스(4306)에 플라스틱 기판을 사용하고, 제 3 표시 패널(4313)에 얇은 필름을 사용하면, 박형 전자 서적으로 할 수 있다.
- [0367] 제 3 표시 패널(4313)은 제 3 표시부(4302) 및 제 4 표시부(4310)를 갖는 양면 표시형 패널이다. 제 3 표시 패널(4313)은 편면 사출형 표시 패널을 부착하여 사용하면 좋다. 또한, 제 3 표시 패널(4313)을 생략하고, 펼친 상태의 전자 서적으로 하여도 좋다.
- [0368] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

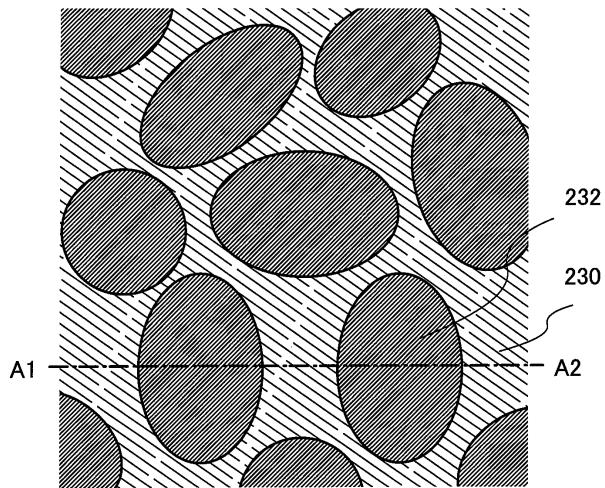
부호의 설명

- [0369] 200: 제 1 기판 201: 제 2 기판
 208: 액정층 230(230a, 230b, 230c): 화소 전극층
 231: 제 2 공통 전극층 232: 제 1 공통 전극층
 233(233a, 233b, 233c): 구조체

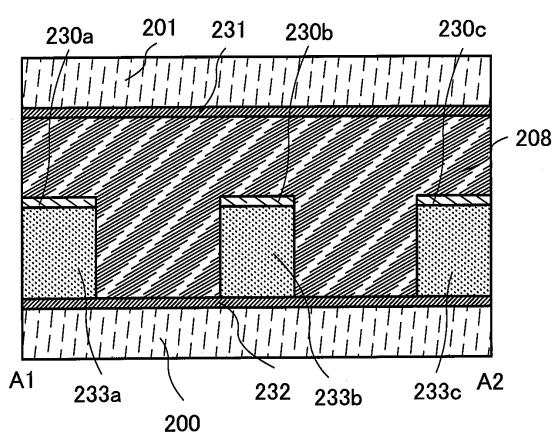
도면

도면1

a

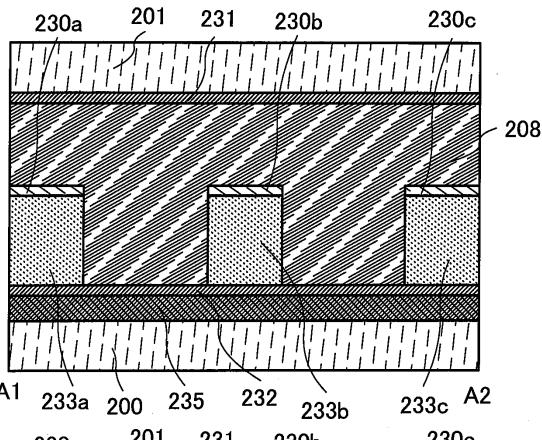


b

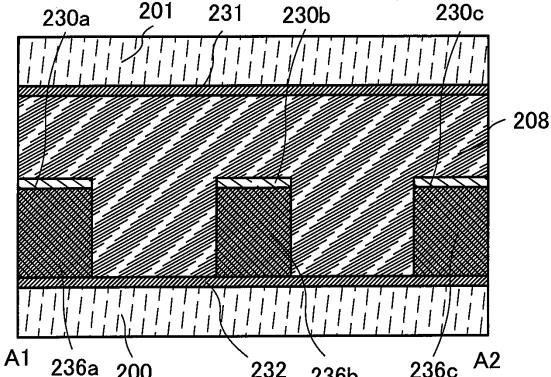


도면2

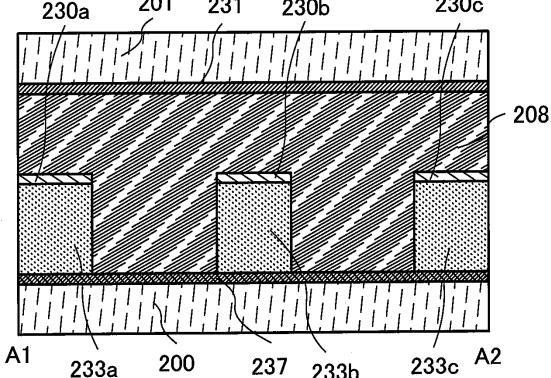
a



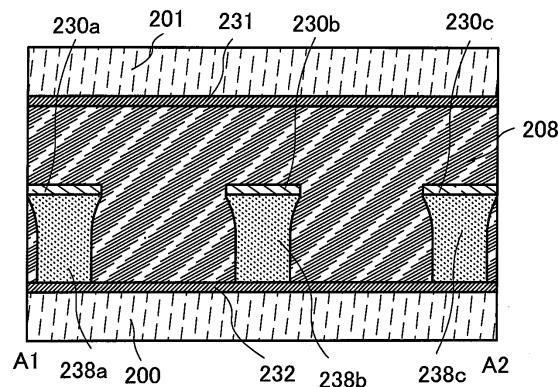
b



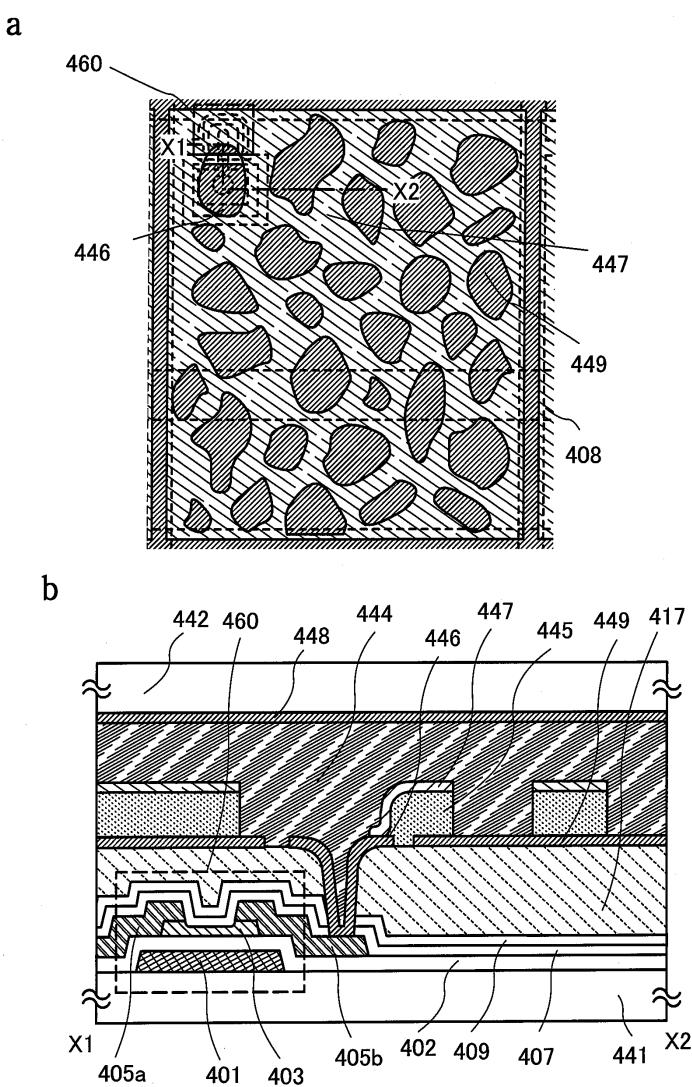
c



도면3

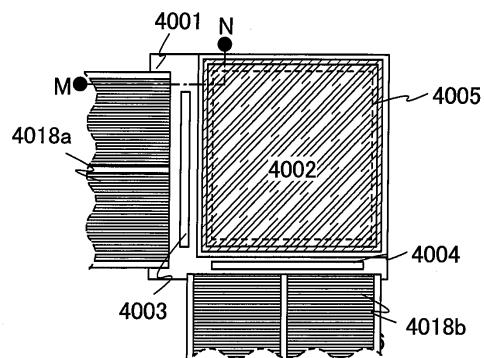


도면4

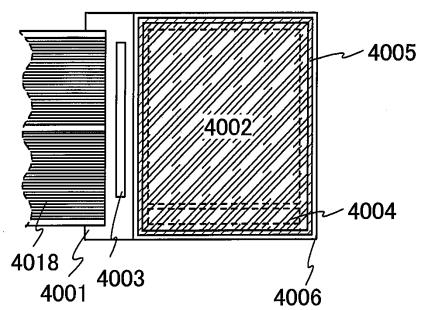


도면5

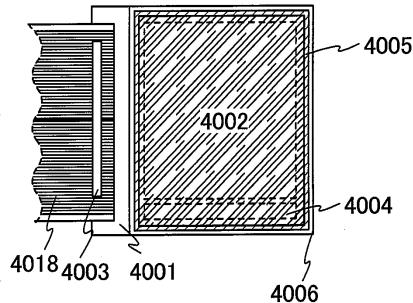
a



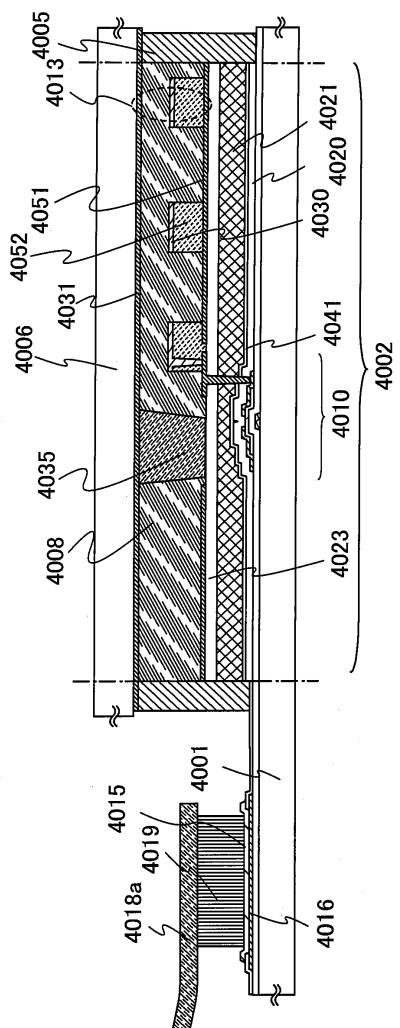
b



c

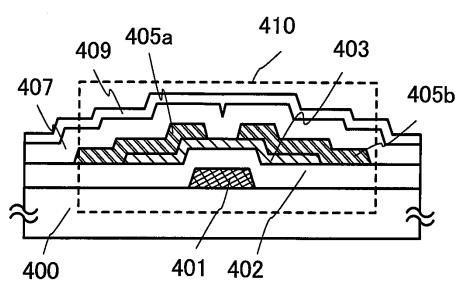


도면6

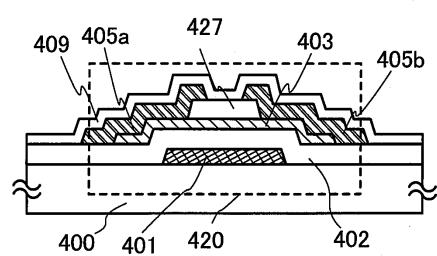


도면7

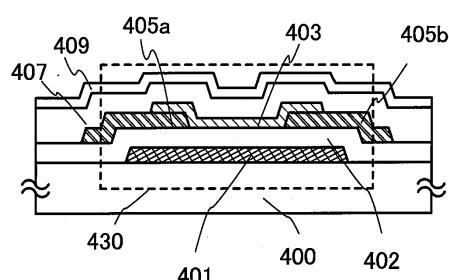
a



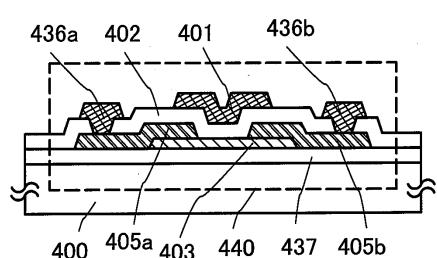
b



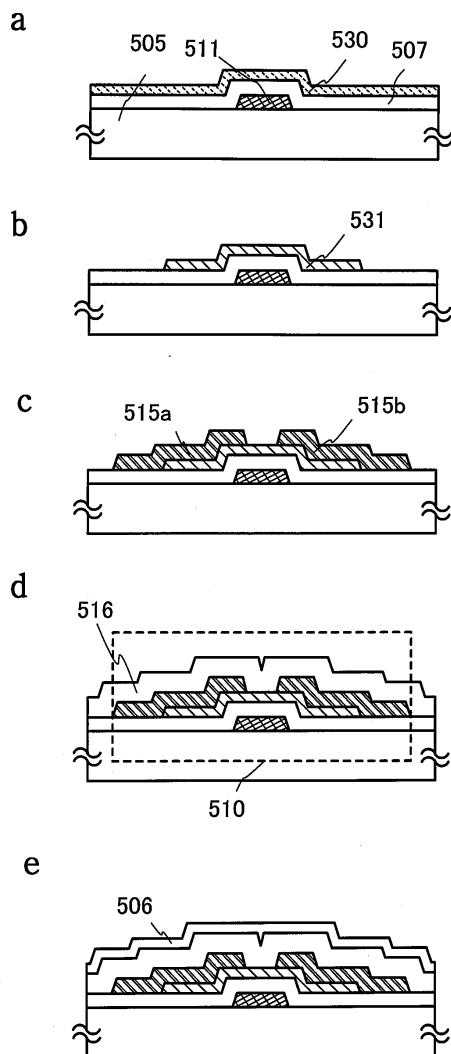
c



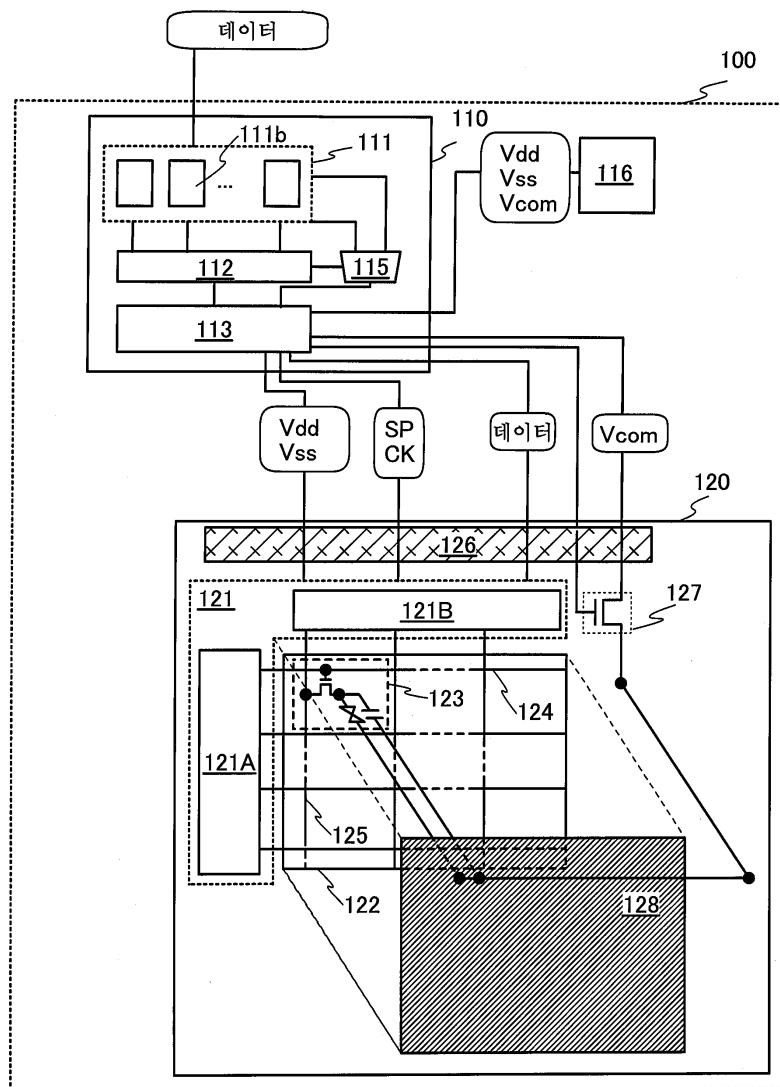
d



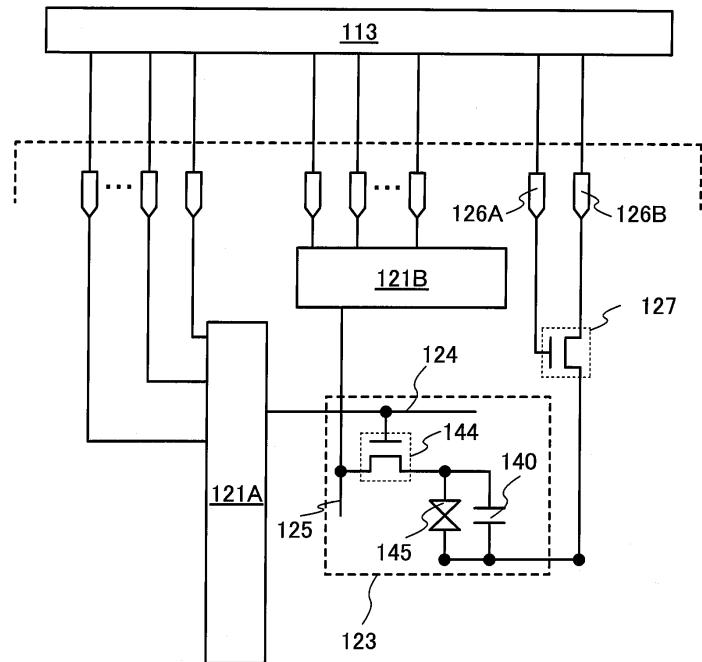
도면8



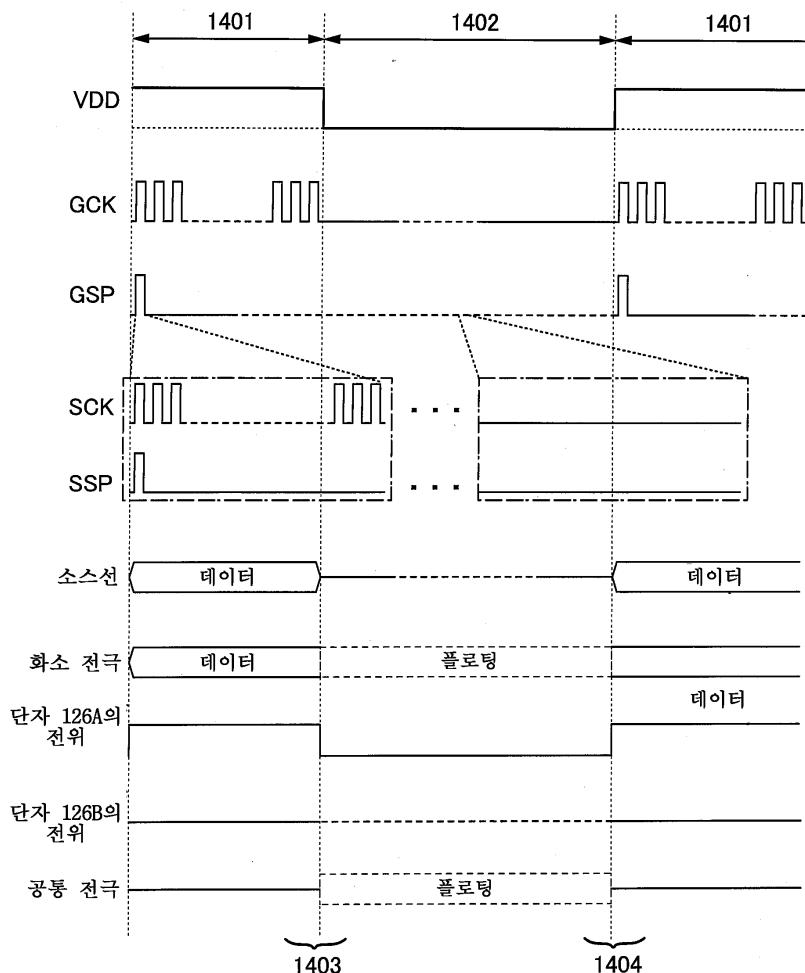
도면9



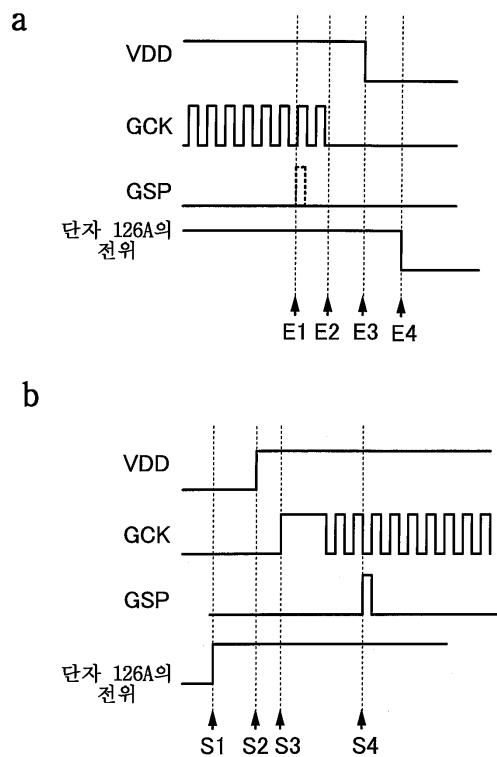
도면10



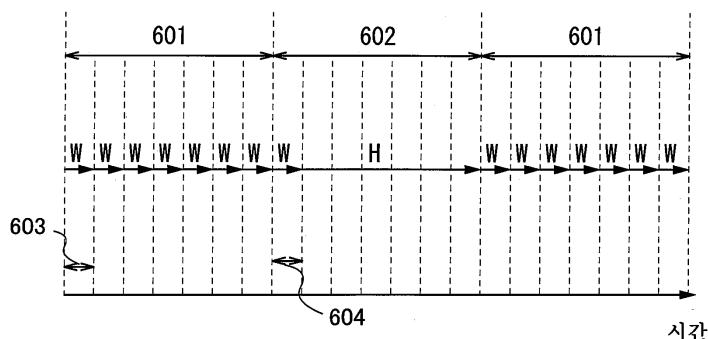
도면11



도면12

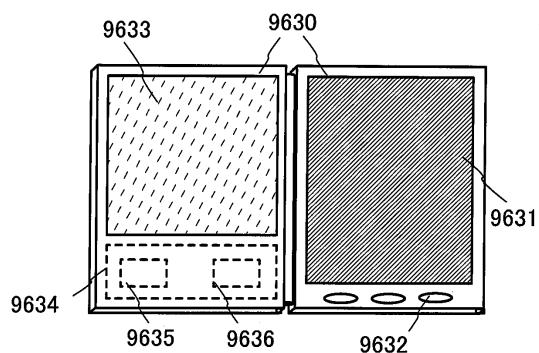


도면13

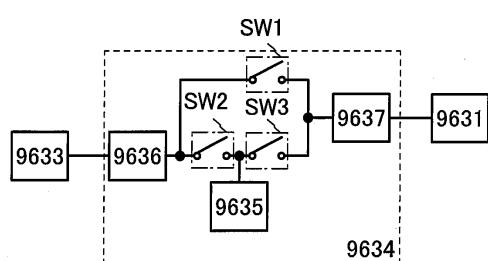


도면14

a

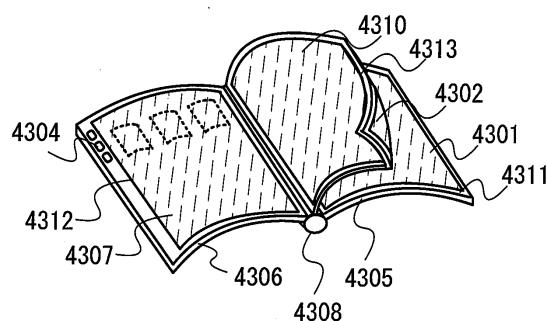


b

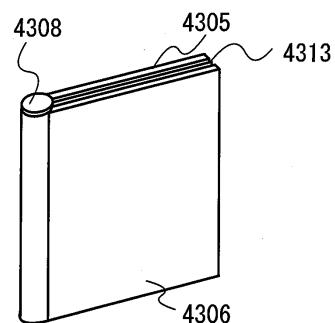


도면15

a

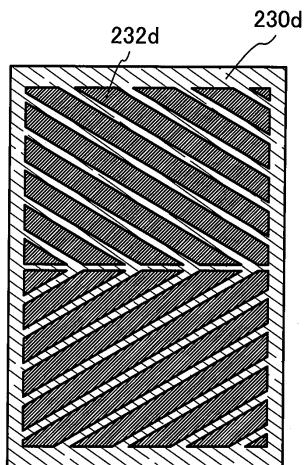


b

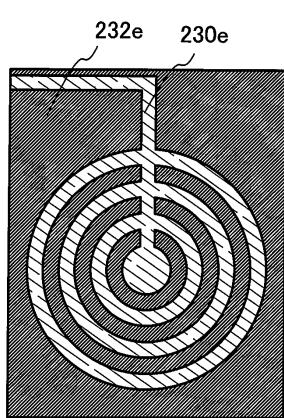


도면16

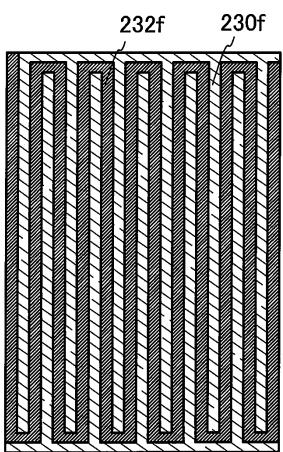
a



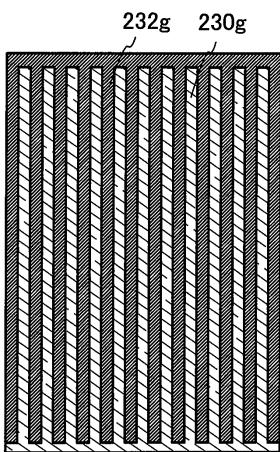
b



c

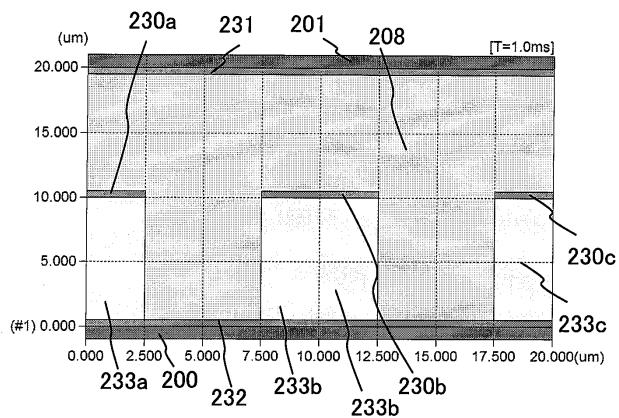


d



도면17

a



b

